

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3773195号
(P3773195)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月24日(2006.2.24)

(51) Int.C1.

F 1

G06F 12/06 (2006.01)

G06F 12/06 510B
G06F 12/06 510C

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2002-311403 (P2002-311403)
 (22) 出願日 平成14年10月25日 (2002.10.25)
 (65) 公開番号 特開2004-145733 (P2004-145733A)
 (43) 公開日 平成16年5月20日 (2004.5.20)
 審査請求日 平成15年8月26日 (2003.8.26)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏
 (74) 代理人 100108501
 弁理士 上野 剛史

最終頁に続く

(54) 【発明の名称】メモリモジュール、情報処理装置、メモリモジュールに関する初期設定方法、並びにプログラム

(57) 【特許請求の範囲】

【請求項 1】

メモリモジュールと、
 電源オンされた後、前記メモリモジュールについて、最初の書き込みを行う前に読み出しを行う読み出し手段と、

前記読み出しにより得られた情報が前記ID情報であるか否かを、前記読み出しにより得られた情報に一致するID情報が所定のテーブル中に存在するか否かによって判定する判定手段と、

前記判定手段における判定が正である場合、前記メモリモジュールは第1のメモリモジュールであるとし、前記読み出しにより得られた情報に基づき前記第1のメモリモジュールに関する初期設定を行う第1の初期設定手段と、

前記判定手段の判定が否である場合、前記メモリモジュールの所定のアドレスについて書き込み及び読み出しを行い、書き込んだデータと同じデータを読み出すことができるかどうかを調べる調査手段、

前記調査手段において読み出すことができた場合には、第2のメモリモジュールが存在するとして、また、前記調査手段において読み出すことができない場合には、メモリモジュールが存在しないとする判断手段、

前記第2のメモリモジュールが存在するとした場合、前記第2のメモリモジュールの識別情報をメインボード上のROMから取得する取得手段と、

前記識別情報を基づいて前記第2のメモリモジュールに関する初期設定を行う第2の初

10

20

期設定手段と、
を具備することを特徴とする情報処理装置。

【請求項 2】

前記第1のメモリモジュールは、
メモリアレイと、
メモリモジュールを識別するための識別情報を出力するID情報出力回路と、
メモリモジュールへの電力供給開始に応じて発せられるリセット検出信号及びメモリモジュールへの書き込み信号に応じた信号によりセット及びリセットされるフリップフロップと、

前記フリップフロップの出力に応じて前記メモリアレイからの出力と前記ID情報出力回路からの出力とを選択的に切り替えて出力するセレクタと、
を具備することを特徴とする請求項1記載の情報処理装置。 10

【請求項 3】

コンピュータにおける前記メモリモジュールに関する初期設定方法であって、
前記コンピュータが電源オンされた後、前記メモリモジュールについて、最初の書き込みを行う前に読み出しを行う読み出し工程と、

前記読み出しにより得られた情報が前記ID情報であるか否かを、前記読み出しにより得られた情報に一致するID情報が所定のテーブル中に存在するか否かにより判定する判定工程と、

前記判定工程における判定が正である場合、前記メモリモジュールは第1のメモリモジュールであるとし、前記読み出しにより得られた情報に基づき前記メモリモジュールに関する初期設定を行う第1の初期設定工程と。 20

前記判定工程における判定が否である場合、前記メモリモジュールの所定のアドレスについて書き込み及び読み出しを行い、書き込んだデータと同じデータを読み出すことができるかどうかを調べる調査工程と、

前記調査工程において読み出すことができた場合には、第2のメモリモジュールが存在するとし、また、前記調査工程において読み出すことができない場合には、メモリモジュールが存在しないとする判断工程と、

前記第2のメモリモジュールが存在するとした場合、前記第2のメモリモジュールの識別情報をメインボード上のROMから取得する取得工程と。 30

前記識別情報に基づいて前記第2のメモリモジュールに関する初期設定を行う工程と、
を具備することを特徴とするメモリモジュールに関する初期設定方法。

【請求項 4】

前記第1のメモリモジュールは、
メモリアレイと、
メモリモジュールを識別するための識別情報を出力するID情報出力回路と、
メモリモジュールへの電力供給開始に応じて発せられるリセット検出信号及びメモリモジュールへの書き込み信号に応じた信号によりセット及びリセットされるフリップフロップと、

前記フリップフロップの出力に応じて前記メモリアレイからの出力と前記ID情報出力回路からの出力とを選択的に切り替えて出力するセレクタと、
を具備することを特徴とする請求項3記載のメモリモジュールに関する初期設定方法。 40

【請求項 5】

請求項3又は4記載のメモリモジュールに関する初期設定方法の各工程をコンピュータに実行させるためのプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メインメモリやVRAM等として使用されるメモリモジュール、情報処理装置、メモリモジュールに関する初期設定方法、及びプログラムに関する。 50

【0002】**【従来の技術】**

一般に、パソコン等で使用されるDDR-SDRAM (Double Data Rate SDRAM) 等の高速メモリの特性はサプライヤや種類によって微妙な差がある。このため、このような高速メモリを駆動する際には、メモリのサプライヤや種類に適合するように、ドライバによるアクセス信号の出力強度等を調整する必要がある。この調整はたとえば、設定プログラム (BIOS) によりメモリコントローラに対して最適なアクセスパラメータ等を付与することによって行われる。この場合、設定プログラムは、メモリモジュールが如何なるものであるかを前もって知る必要がある。

【0003】

10

このため、最近のDIMM (Dual Inline Memory Module) 型のメモリモジュールには、その仕様を記録したROMが設けられており、設定プログラムはこのROMに記録されている情報に基づき、最適なパラメータをメモリコントローラに付与することができるようになっている。ROMにはサプライヤ、メモリの容量、アクセススピード等の多くの情報が記録されている。このように、DIMM上のROMによりDIMMの仕様をBIOSに通知する機能はSPD (Serial Presence Detect) 機能として知られている。

【0004】

20

一方、DIMMにはID番号のみを付与し、DIMMの設定に関する情報はテーブルとして、パソコン本体側に設けられたROMに記録しておくようにした技術も知られている（たとえば特許文献1参照）。この場合、DIMMに関する各種パラメータの設定に際しては、DIMMから読み出したID番号に基づき、対応する設定用パラメータをテーブルから取得することができる。

【0005】

他方、メインボード上に配置されるVRAM (Video RAM) 等の高速メモリとして、コストや供給上の理由により、数種類の限定されたサプライヤのメモリが実装される場合がある。この場合も、初期設定に際してはVRAMの種類を識別する必要があるが、VRAMの場合はDIMMのような汎用性はないので、識別用のROMを設けることはコストの観点からして現実的ではない。そこで、現状では、識別用のビットをメインボード側に設けている。

【0006】

30

この場合、VRAMに関する初期設定の手順は次のようになる。まず、識別用のビットを読むことによってVRAMの種類を知る。次に、そのVRAMの種類に対応するパラメータをテーブルから取得して、メモリコントローラにセットする。そして、所定の番地に適当なデータを書き込み、書き込んだデータが読めるかどうかを調べてVRAMの容量を決定する。

【0007】**【特許文献1】**

特開平8-305629号公報（第5-8頁、図1）

【0008】

40

【発明が解決しようとする課題】

しかしながら、上述のSPD機能によれば、メモリモジュール上にROMを設ける必要があるため、コスト面やスペースの点で不利である。

【0009】

また、上述のDIMM上にID番号を設ける技術によれば、ID番号をゲート回路、ISAバス、及びプロセッサバスを経由して読み取るようにしているため、メインボード上に配線やハードウェアを追加する必要がある。

【0010】

50

また、上述のVRAMに関する技術によれば、VRAMの識別用ビットをメインボード上に設けているため、種類の異なるVRAMが実装されたメインボードはメモリ以外の実装部品も異なるものとなり、管理上別の部品として取り扱う必要がある。このため、管理効

率の点で不利である。

【0011】

本発明の目的は、このような従来技術の問題点に鑑み、コンピュータ本体側すなわちメインボード上に配線や部品を追加したり、メモリモジュール側にROMを設けたりする必要なく、メモリモジュールを容易に識別できるようにすることにある。

【0012】

【課題を解決するための手段】

この目的を達成するため、本発明に係るメモリモジュールは、データを格納するメモリアレイと、メモリモジュールを識別するためのID情報を出力するID情報出力回路と、前記メモリアレイからの出力と前記ID情報出力回路からの出力とを選択的に切り替えて出力する出力切替手段とを備え、前記出力切替手段は、メモリモジュールに対して電力供給が開始された後、最初に書き込みが行われるまで、前記メモリアレイからの出力に代えて前記ID情報出力回路からの出力を選択するものであることを特徴とする。

10

【0013】

ここで、メモリモジュールとしては、たとえばVRAMやメインメモリが該当する。増設用のものも該当する。ID情報としては、たとえばメモリモジュールのサプライヤを特定する4ビットの情報や、メモリモジュールのサプライヤ及び種類を特定する8ビットの情報が該当する。ID情報出力回路としては、たとえば、各ビットに対応する出力端子と、各出力端子にビットのオン・オフに対応する電圧が印加されるように各端子を接地し又は所定の電圧源に接続する回路とを有するものが該当する。出力切替手段としては、たとえば所定の入力制御信号のオン・オフに応じてID情報出力回路からの出力とメモリアレイからの出力を切り替えて出力するセレクタが該当する。

20

【0014】

この構成において、メモリモジュールへの電力供給が開始され、メモリモジュール初期設定が開始されたとき、最初の書き込みが行われる前は、出力切替手段はID情報出力回路側の出力を選択している。したがって、最初に書き込みが行われる前に、いずれかの番地について読み出しが行われると、ID情報出力回路からメモリモジュールのID情報が読み出されることになる。読み出されたID情報は、対応する初期設定用の情報をテーブルから取得するのに使用される。その後、一度書き込みが行われると、出力切替手段はメモリアレイからの出力を選択するので、以後の読み出しにおいては、メモリアレイからのデータが読み出されることになる。

30

【0015】

したがって、メモリモジュールの初期設定に際しては、メモリモジュールに対して最初の書き込みを行う前に読み出しを行うだけで、ID情報を取得することができる。メモリモジュールが従来のものである場合、最初の書き込み前に読み出しを行ったとき、メモリアレイ内のデータが読み出される。この場合、メモリアレイは何も書き込みが行われていない状態であるため、不定値、たとえば16進数のFFが読み出される。したがって、従来のメモリモジュールと混在して実装されている場合でも、本発明に係るメモリモジュールと、従来のメモリモジュールとを容易に区別し、本発明に係るメモリモジュールについては、取得したID情報に基づいて初期設定を行い、従来のメモリモジュールについては従来の方法で初期設定を行うことができる。本発明を適用するためには、コンピュータ本体側に部品や回路を追加したり、メモリモジュール側にROMを設けたりする必要はない。初期設定用のプログラムに小変更を加え、メモリモジュール上に簡単な回路を設けるだけでよい。

40

【0016】

メモリモジュールはさらに、前記電力供給開始に応じて発せられるリセット検出信号及びメモリモジュールに対する書き込み信号に応じた信号に基づき、前記電力供給開始から最初の書き込みまでは前記ID情報出力回路からの出力を選択し、その後は前記メモリアレイからの出力を選択するように前記出力切替手段を制御する切替制御手段を備えるようにしてもよい。

【0017】

50

この場合、さらに、メモリモジュールへの電力供給の開始に基づいて前記リセット検出信号を出力するリセット検出手段を設けるようにしてもよい。

【0018】

本発明のより具体的な態様においては、メモリモジュールは、メモリアレイと、メモリモジュールを識別するための識別情報を出力するID情報出力回路と、メモリモジュールへの電力供給開始に応じて発せられるリセット検出信号及びメモリモジュールへの書き込み信号に応じた信号によりセット及びリセットされるフリップフロップと、前記フリップフロップの出力に応じて前記メモリアレイからの出力と前記ID情報出力回路からの出力を選択的に切り替えて出力するセレクタとを具備する。

【0019】

本発明のメモリモジュールに関する初期設定方法は、コンピュータにおけるメモリモジュールに関する初期設定方法であって、コンピュータが、電源オンされた後、メモリモジュールについて、最初の書き込みを行う前に読み出しを行う工程と、コンピュータが、前記読み出しにより得られた情報がメモリモジュールを識別するためのID情報である場合、そのID情報に基づき、メモリモジュールに関する初期設定を行う工程とを具備することを特徴とする。

10

【0020】

従来のメモリモジュールの場合、電源オンされた後の、最初の書き込みを行う前の読み出しに際してメモリアレイから読み出される値は不定である。しかしながら、メモリモジュールが本発明のものである場合、最初の書き込み前の読み出しにより、メモリモジュールを識別するためのID情報が読み出されることになる。この場合、コンピュータは読み出したID情報に基づいて、メモリモジュールの初期設定を行うことができる。

20

【0021】

本発明のメモリモジュールに関する初期設定方法は、さらに、前記読み出しにより得られた情報が所定のID情報であるかどうかを、前記読み出しにより得られた情報に一致するID情報が所定のテーブル中に存在するかどうかによってコンピュータが判定する工程を備え、初期設定はテーブル中の、前記読み出しにより得られたID情報に対応する各種情報に基づいて行われるようにもよい。テーブルの項目としては、ID情報の他、たとえば、メモリサイズ、バンク数、アクセスタイミング等のメモリモジュール自体の仕様や、メモリモジュールとコンピュータとの組合せ如何で変化し得る各信号線の最適な出力電流値が該当する。

30

【0022】

本発明のメモリモジュールに関する初期設定方法は、また、前記読み出しにより得られた情報が前記ID情報でない場合又は不定値である場合、コンピュータの本体側に設けられた、メモリモジュールについての識別情報の出力手段からその識別情報をコンピュータが取得する工程と、コンピュータが、前記識別情報に基づいてメモリモジュールに関する初期設定を行う工程とを有してもよい。

【0023】

また、前記読み出しにより得られた情報が前記ID情報でない場合又は不定値である場合、S P D機能を利用して前記メモリモジュールの初期設定を行う工程を有してもよい。

40

【0024】

本発明に係る情報処理装置は、本発明のメモリモジュールに関する初期設定方法における各工程を行う手段により構成される。かかる手段は、コンピュータとプログラム(B I O S)を用いて構成される。また、本発明に係るプログラムは、本発明のメモリモジュールに関する初期設定方法における各工程をコンピュータに実行させるものであることを特徴とする。

【0025】

【発明の実施の形態】

図1は本発明の一実施形態に係るメモリモジュールの構成を示すブロック図である。同図に示すように、このメモリモジュールは、データを格納するメモリアレイ1と、メモリモ

50

ジュールを識別するための I D データを出力する I D データ出力回路 2 と、メモリアレイ 1 からの出力と I D データ出力回路 2 からの出力とを選択的に切り替えて出力するセレクタ 3 と、メモリモジュールが搭載されているコンピュータが電源オンされた後、メモリモジュールに対して最初に書き込みが行われるまで、メモリアレイ 1 からの出力に代えて I D データ出力回路 2 からの出力が選択されるようにセレクタ 3 を制御するフリップフロップ 4 とを具備する。

【 0 0 2 6 】

図中の 5 はメモリモジュールが搭載されているコンピュータの電源オンに応じてリセット検出信号を出力するリセット検出手段である。リセット検出手段 5 は、コンピュータの電源オンがなされたことによりメモリモジュールに電力の供給が開始されたことを検出し、リセット検出信号を出力することができる。リセット検出手段 5 の出力はフリップフロップ 4 の入力 S に接続されている。また、フリップフロップ 4 の入力 R には、メモリモジュールへの書き込み許可信号 W E (Write Enable) に基づく信号 W が入力されるようになっている。したがってフリップフロップ 4 は、リセット検出手段 5 がリセット検出信号を出力した後、メモリモジュールへの最初の書き込みが行われるまでは I D データ出力回路 2 からの出力を選択し、その後はメモリアレイ 1 からの出力を選択するようにセレクタ 3 を制御する。

【 0 0 2 7 】

メモリアレイ 1 やセレクタ 3 との間のデータの授受は、データバッファ 6 を経て行われる。その際、データバッファ 6 は信号レベルの調整等を行う。I D データ出力回路 2 、セレクタ 3 、フリップフロップ 4 及びリセット検出手段 5 は、メモリモジュール上に I C 回路として形成される。I D データ出力回路 2 は、I D データを構成する各ビットの固定値を、対応する各端子から出力するように、各端子をアース又は電圧源に接続しただけの簡単な回路として形成することができる。I D データとしては、メモリモジュールのサプライヤを特定する 4 ビットのデータや、サプライヤ及びメモリモジュールの種類を区別するための 8 ビットのデータ等を採用することができる。

【 0 0 2 8 】

図 2 は図 1 のメモリモジュールと、それが実装されたコンピュータの C P U との関係を示すブロック図である。メモリモジュール 7 及び C P U 8 間には、C P U 8 からメモリモジュール 7 へのアクセスを可能とするためのメモリコントローラ 9 が介在する。C P U 8 及びメモリコントローラ 9 は、アドレスバス 1 0 及びコントロールバス 1 1 で接続されている。メモリコントローラ 9 及びメモリモジュール 7 間はメモリアドレスバス 1 2 及び R A S (行アドレス・ストローブ) 信号、C A S (列アドレス・ストローブ) 信号及び W E (書き込み許可) 信号の各信号線を含む信号線 1 3 で接続されている。メモリコントローラ 9 は、C P U 8 からのアクセス要求に応じ、適切な行アドレス、列アドレス、R A S 信号、C A S 信号、W E 信号をメモリモジュール 7 に与え、C P U 8 及びメモリモジュール 7 間でのデータバス 1 4 を介したデータの授受を可能とする。

【 0 0 2 9 】

この構成において、メモリモジュールが実装されたコンピュータの電源がオンされ、メモリモジュールへの電力供給が開始されると、これに応じてリセット検出手段 5 はリセット検出信号を出力する。これにより、フリップフロップ 4 の入力 S がオンとなり、出力 Q がオンとなるので、セレクタ 3 は I D データ出力回路 2 の出力を選択した状態となる。一方、コンピュータは電源オンボタンの押下に応じて B I O S による一連のブートシーケンスを開始する。

【 0 0 3 0 】

図 3 はブートシーケンスにおける図 1 のメモリモジュールについての初期設定処理を例示するフローチャートである。この例では、メモリモジュールが V R A M である場合について示している。なお、図 3 中のステップ 2 3 ~ 2 5 の処理は従来行われている処理であり、ステップ 2 1 及び 2 2 が、本発明に従って追加された処理である。また、B I O S が格納されている R O M には、可能な種々のメモリモジュールについて、それらを識別するた

10

20

30

40

50

めの I D データや初期設定に必要なパラメータ等を有する初期設定用のテーブルも記録されている。

【 0 0 3 1 】

初期設定処理を開始すると、まず、ステップ 2 1 において、メモリモジュールの先頭となるアドレスについて読み出しを行い、読み出した内容がメモリモジュールを識別するための I D データであるか又は不定状態であるかを判定する。読み出しに際しては、必要に応じてアクセス速度を遅くする。

【 0 0 3 2 】

この時点ではメモリモジュールには未だ書き込みは行われていないので、読み出しを行ったメモリモジュールが図 1 の本発明に従ったタイプのものである場合、フリップフロップ 4 は、コンピュータの電源オン時にリセット検出信号が印加されてセット状態になったままの状態が継続している。したがってセレクタ 3 は、フリップフロップ 4 の出力 Q のオン状態に基づき、入力先として I D データ出力回路 1 を選択している。このため、読み出しは I D データ出力回路 1 側から行われ、I D データが得られることになる。

【 0 0 3 3 】

一方、メモリモジュールが従来タイプのものである場合は、メモリアレイからその先頭となるアドレスの内容が読み出されるが、この時点ではメモリモジュールには未だ書き込みは行われていないので、読み出された値は不定である。つまり読み出した内容が I D データであるということは、メモリモジュールが、図 1 の本願発明に従ったタイプのものであるということを意味し、読み出した内容が不定であるということは、メモリモジュールが従来タイプのものであるということを意味する。

【 0 0 3 4 】

ステップ 2 1 における判定は、たとえば読み出した内容が、前記初期設定用テーブル中のいずれかの I D データに合致するか否かにより行うことができる。合致するものがあれば、読み出したデータは I D データであり、合致するものがなければ、読み出したデータは I D データではなく、不定状態であると判定することができる。読み出したデータが I D データである場合はステップ 2 2 へ進み、I D データでない場合はステップ 2 3 へ進む。

【 0 0 3 5 】

ステップ 2 2 では、ステップ 2 1 において読み出した I D データに基づき、初期設定用テーブルから、対応するアクセスタイミング等の設定パラメータを取得し、メモリコントローラに設定することにより、メモリモジュールについての初期設定を行う。

【 0 0 3 6 】

ステップ 2 3 では、メモリモジュールに対応する所定のアドレスについて書き込み及び読み出しを行い、書き込んだデータと同じデータを読み出すことができるかどうかを調べる。同一データが読めるということは、少なくともそのアドレスにメモリモジュールが存在することを意味する。しかしながら、読み出した値が不定であって、同一データが読めない場合はそのアドレスにはメモリモジュールが存在しないことを意味する。同一データを読み出すことができた場合はステップ 2 4 へ進み、読み出すことができなかつた場合はステップ 2 5 へ進む。

【 0 0 3 7 】

ステップ 2 4 では、当該従来タイプのメモリモジュールについてメインボード上に用意されている識別情報を読み取り、読み取った識別情報に対応する各種設定パラメータを、予め用意してあるテーブルから取得して、メモリコントローラに設定することによりメモリモジュールについての初期設定を行う。

【 0 0 3 8 】

ステップ 2 5 では、メモリモジュールが存在しないことが判明したので、エラー処理を行う。

【 0 0 3 9 】

ステップ 2 2 又は 2 4 の初期設定が終了すると、ポートシーケンスにおける次段階の処理が行われることになる。

10

20

20

30

40

50

【0040】

本発明に従った図1のメモリモジュールによれば、最初の書込みが行われるまでは、読み出し操作に対して、メモリアレイ1からのデータではなく、IDデータ出力回路2からのIDデータを出力するようにしたため、BIOSにたとえば図3のステップ21の処理を加えるだけで、メモリモジュールを識別するための情報を容易に取得することができる。

【0041】

また、図3の処理によれば、メモリモジュールとして、図1の本発明に従ったタイプのVRAM及び従来のVRAMのいずれを使用する場合でも、初期設定を支障なく行うことができる。したがって、VRAMの識別情報をメインボード側に設け、メインボードとVRAMを一体の1つの部品として管理していた従来の場合に比べ、図1のタイプのVRAMを使用することにより、VRAMを別の部品として管理することができる。したがって、部品管理の効率を向上させることができる。

10

【0042】

なお、図4に示すような4つのVRAM31がビデオチップ32に接続される場合のように、複数のメモリモジュールが実装される場合を考慮するときは、図3の処理を各メモリモジュールについて繰り返し行うようにすればよい。つまりステップ22又は24の処理の後、ステップ21へ戻る。その場合、ステップ21における読み出し、及びステップ23における書込み及び読み出しのアドレスは、各メモリモジュールに対応させるべく、1つのメモリモジュール分だけ順次増加させる必要がある。

20

【0043】

また、ステップ23において、書き込んだ内容と同一内容を読み出すことができなかった場合は、メモリモジュールが1つも存在しなかったか、又は1つ以上存在したがそれ以上は存在しないことを意味する。したがってステップ25においては、メモリモジュールが1つ以上あったかどうかを判定し、1つもなかった場合はエラー処理を行うが、1つ以上あった場合はブートシーケンスにおける次の段階の処理へ進むようとする。

20

【0044】

この場合、各メモリモジュールとして、図1の本発明に従ったものと、従来のものとを混在させて同時に実装することも可能である。図3の処理の各繰返しにおいて、本発明のメモリモジュールについてはステップ21及び22の処理が行われ、従来のメモリモジュールについてはステップ21、23及び24の処理が行われることになる。

30

【0045】

なお、本発明は上述実施形態に限定されることなく、適宜変形して実施することができる。たとえば、上述実施形態における図3の処理ではVRAMを対象としているが、メインメモリを対象とする場合にも適用することができる。その場合、図3の処理におけるステップ21及び22の処理はそのままでよく、ステップ23～25の処理を従来の、たとえばSPD(Serial Presence Detect)機能に対応したメインメモリについての処理とすればよい。

30

【0046】

その場合、ステップ21の処理によって、本発明に従ったメインメモリと、SPD機能にのみ対応したメインメモリとを区別し、それぞれに対応した初期設定処理を行うことができる。したがってこの場合も、本発明に従ったメインメモリと、SPD機能のみに対応したメインメモリとが複数混在している状況にも対応することができる。また本発明を適用することにより、SPD機能を不要とし、メモリモジュールの仕様を記録したROMをメモリモジュールに搭載する必要をなくすることができる。

40

【0047】**【発明の効果】**

以上説明したように本発明に係るメモリモジュールによれば、電力供給が開始された後、最初に書込みが行われるまで、メモリアレイからの出力に代えてID情報出力回路からの出力が選択されるようにしたため、コンピュータ本体側のハード構成を変更したり、メモリモジュールに仕様等を記録したROMを設けたりする必要なく、メモリモジュール側に

50

簡単な回路を設け、B IOSを小変更するだけで、B IOSは容易にメモリモジュールを識別するためのID情報を取得し、メモリモジュールに関する初期設定を行うことができる。

【0048】

また本発明に係るメモリモジュールの初期設定方法、情報処理装置、及びプログラムによれば、メモリモジュールに電力供給が開始された後、最初の書き込みを行う前の読み出しにより得られた値が所定のID情報である場合、そのID情報に基づき、メモリモジュールに関する初期設定を行うようにしたため、本発明に係るメモリモジュールからID情報を取得してその初期設定を行うことができる。

【図面の簡単な説明】

10

【図1】本発明の一実施形態に係るメモリモジュールの構成を示すブロック図である。

【図2】図1のメモリモジュールと、それが実装されたコンピュータのCPUとの関係を示すブロック図である。

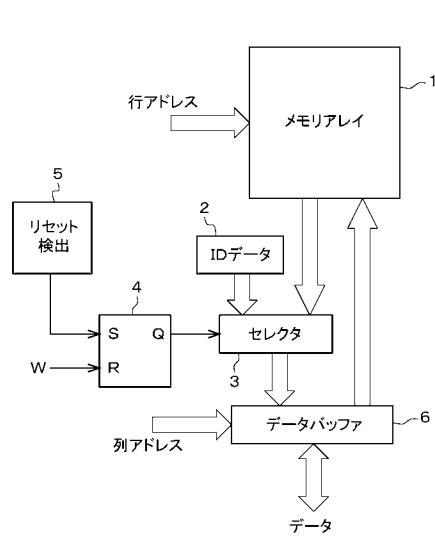
【図3】図1のメモリモジュールに適合したB IOSの処理の一部を示すフローチャートである。

【図4】ビデオチップに複数のVRAMが接続されている様子を示す図である。

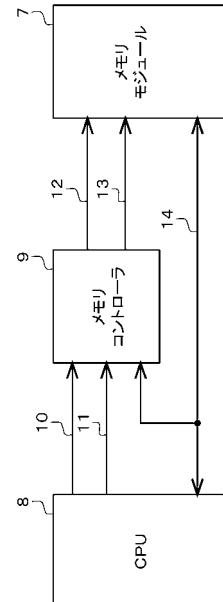
【符号の説明】

1：メモリアレイ、2：IDデータ出力回路、3：セレクタ、4：フリップフロップ、5：リセット検出手段、6：データバッファ、7：メモリモジュール、8：CPU、9：メモリコントローラ、10：アドレスバス、11：コントロールバス、12：メモリアドレスバス、13：信号線、14：データバス、31：VRAM、32：ビデオチップ。 20

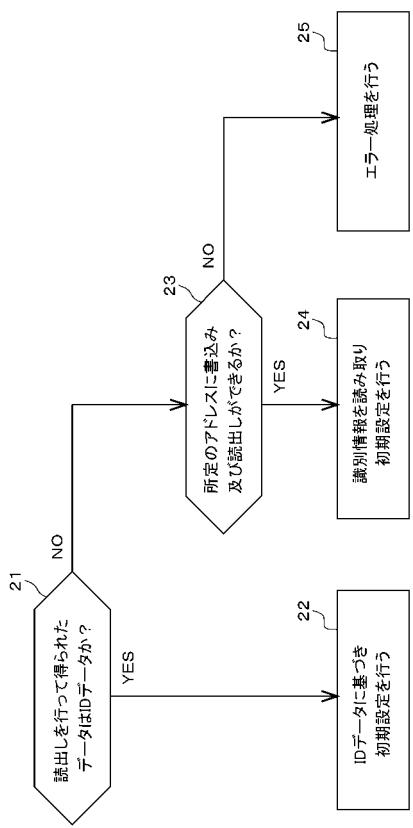
【図1】



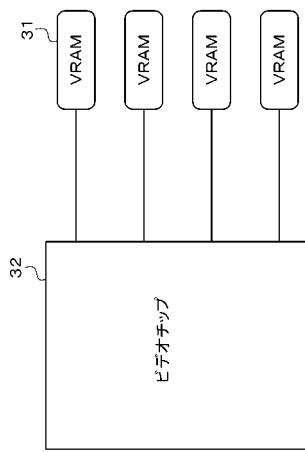
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 山崎 哲

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 久保田 徹

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(72)発明者 藤田 典生

滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・ビー・エム株式会社 野洲事業所内

審査官 滝谷 亮一

(56)参考文献 特開平06-067971 (JP, A)

特開平05-289935 (JP, A)

特開平11-161544 (JP, A)

特開2001-245249 (JP, A)

特開平06-231039 (JP, A)

特開平04-004489 (JP, A)

特開平11-328009 (JP, A)

特開平11-161544 (JP, A)

特開平06-231040 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F12/00 - 12/06