



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월01일
(11) 등록번호 10-0842483
(24) 등록일자 2008년06월24일

(51) Int. Cl.

H01L 21/76 (2006.01)

(21) 출원번호 10-2006-0135918

(22) 출원일자 2006년12월28일

심사청구일자 2006년12월28일

(56) 선행기술조사문헌

KR100093133 B1

(뒷면에 계속)

(73) 특허권자

동부일렉트로닉스 주식회사

서울 강남구 대치동 891-10

(72) 발명자

신용욱

경기 광주군 광주읍 탄벌3리 동보아파트
101-1306호

(74) 대리인

김원준, 장성구

전체 청구항 수 : 총 4 항

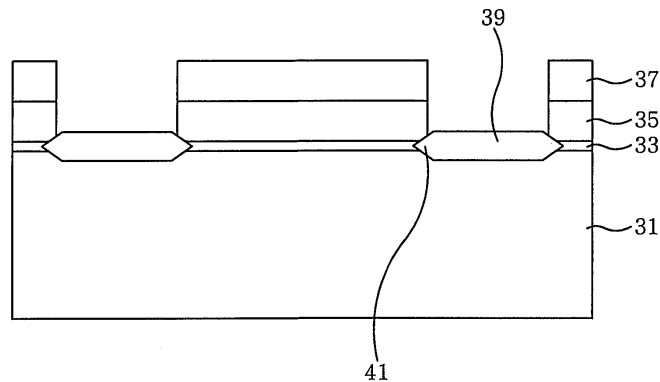
심사관 : 소재현

(54) 반도체장치의 제조방법

(57) 요약

본 발명은 반도체장치의 제조방법에 관한 것으로서 반도체기판에 패드산화막 및 패드산화막을 순차적으로 형성하고 반도체기판이 노출되도록 포토리소그래피 방법으로 패터닝하는 공정과, 상기 반도체기판의 노출된 부분을 상기 패드질화막 모서리 하부에 버즈빅이 형성되도록 LOCOS 방법으로 열산화하여 필드산화막을 형성하는 공정과, 상기 패드질화막을 마스크로 사용하여 상기 버즈 빅이 잔류되게 상기 필드산화막 및 반도체기판을 이방성 식각하여 트렌치를 형성하는 공정과, 상기 패드질화막 및 패드산화막을 제거하면서 상기 잔류하는 버즈 빅을 제거하여 상기 반도체기판의 상기 트렌치 상부 모서리 부분을 둥글게 형성하는 공정과, 상기 트렌치 내에 상부 모서리 부분도 채우도록 소자분리막을 형성하는 공정을 포함한다. 따라서, 소자분리막 모서리 부분의 게이트절연막이 쉽게 열화되어 파괴되는 것을 방지하여 소자의 수명이 단축되는 것을 방지할 수 있다.

대표도 - 도2b



(56) 선행기술조사문헌

KR1019980051512 A

KR1020040002117 A

KR1020060077018 A

KR1019920008894 A

KR1019990048011 A

특허청구의 범위

청구항 1

반도체기판에 패드산화막 및 패드질화막을 순차적으로 형성하고 반도체기판이 노출되도록 포토리쓰그래피 방법으로 패터닝하는 공정과,

상기 반도체기판의 노출된 부분을 상기 패드질화막 모서리 하부에 버즈 빅이 형성되도록 LOCOS 방법으로 열산화하여 필드산화막을 형성하는 공정과,

상기 패드질화막을 마스크로 사용하여 상기 버즈 빅이 잔류되게 상기 필드산화막 및 반도체기판을 이방성 식각하여 트렌치를 형성하는 공정과,

상기 패드질화막 및 패드산화막을 제거하면서 상기 잔류하는 버즈 빅을 제거하여 상기 반도체기판의 상기 트렌치 상부 모서리 부분을 둥글게 형성하는 공정과,

상기 트렌치 내에 상부 모서리 부분도 채우도록 소자분리막을 형성하는 공정

을 포함하는 반도체장치의 제조방법.

청구항 2

청구항 1에 있어서,

상기 패드질화막 상에 TEOS를 화학적기상증착(CVD) 방법으로 500Å ~ 1500Å의 두께로 증착하여 캡핑층을 형성하는 공정을 더 포함하는 반도체장치의 제조방법.

청구항 3

청구항 1에 있어서,

상기 필드산화막은 500Å ~ 1000Å의 두께로 형성되는 반도체장치의 제조방법.

청구항 4

청구항 1에 있어서,

상기 버즈 빅은 상기 패드질화막 하부에 300Å ~ 700Å 확장되게 형성되는 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히, STI(Shallow Trench Isolation) 방법으로 소자분리막을 형성하는 반도체장치의 제조방법에 관한 것이다.
- <9> 도 1a 내지 도 1c를 참조하면, 종래 기술에 따른 반도체장치의 제조 방법의 순차적인 공정이 도시된다.
- <10> 도 1a를 참조하면, 종래 기술의 반도체 장치의 제조 방법은 먼저 반도체기판(11) 상에 패드산화막(13), 패드질화막(15) 및 캡핑막(17)을 순차적으로 형성한다. 그리고, 캡핑막(17), 패드질화막(15) 및 패드산화막(13)을 포토리쓰그래피 방법으로 패터닝하여 반도체기판(11)을 노출시킨다.
- <11> 그 다음 도 1b를 참조하면, 캡핑막(17)을 식각 마스크로 사용하여 반도체기판(11)의 노출된 부분을 건식 식각하여 트렌치(19)를 형성한다.
- <12> 그 다음 도 1c에 도시된 바와 같이, 캡핑막(17) 상에 산화실리콘 등의 절연물질을 트렌치(19)를 채우도록 증착한다. 그리고, 산화실리콘을 캡핑막(17)이 노출되도록 연마하여 트렌치(19) 내에 잔류하는 소자분리막(21)을 형성하고, 캡핑막(17), 패드질화막(15) 및 패드산화막(13)을 습식 식각하여 제거한다.

<13> 그러나, 상술한 종래 기술에 따라 제조된 반도체 소자의 구조에서는 이후에 형성될 게이트 절연막이 균일한 두께로 형성되지 않고 소자분리막의 모서리 부분에서 얇게 형성된다. 그러므로, 소자 동작시 소자분리막의 모서리 부분에 강한 전계가 인가되어 게이트절연막이 쉽게 열화(Degradation)되어서 파괴되므로 소자의 수명이 단축되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

<14> 그러므로, 본 발명의 목적은 게이트 절연막이 소자분리막의 모서리 부분에서 얇게 형성되지 않고 균일한 두께로 형성되어 게이트절연막의 열화로 인한 소자의 수명이 단축되는 것을 방지할 수 있는 반도체장치의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

<15> 전술한 목적을 달성하기 위한 본 발명에 따른 반도체장치의 제조방법은 반도체기판에 패드산화막 및 패드산화막을 순차적으로 형성하고 반도체기판이 노출되도록 포토리쓰그래피 방법으로 패터닝하는 공정과, 상기 반도체기판의 노출된 부분을 상기 패드질화막 모서리 하부에 버즈빅이 형성되도록 LOCOS 방법으로 열산화하여 필드산화막을 형성하는 공정과, 상기 패드질화막을 마스크로 사용하여 상기 버즈 빅이 잔류되게 상기 필드산화막 및 반도체기판을 이방성 식각하여 트렌치를 형성하는 공정과, 상기 패드질화막 및 패드산화막을 제거하면서 상기 잔류하는 버즈 빅을 제거하여 상기 반도체기판의 상기 트렌치 상부 모서리 부분을 둥글게 형성하는 공정과, 상기 트렌치 내에 상부 모서리 부분도 채우도록 소자분리막을 형성하는 공정을 포함한다.

<16> 이하, 본 발명의 바람직한 실시예는 첨부한 도면을 참조하여 다음과 같이 상세하게 설명된다.

<17> 도 2a 내지 도 2d를 참조하면, 본 발명에 따른 반도체 소자의 제조 방법의 순차적인 공정이 도시된다.

<18> 도 2a를 참조하면, 본 발명의 반도체 소자의 제조방법은 먼저 반도체기판(31) 상에 패드산화막(33)을 대략 50Å ~ 80Å 정도의 두께로 형성한다. 그리고, 패드산화막(33) 상에 화학적 기상증착(Cheical Vapor Deposition : CVD) 방법으로 대략 500Å ~ 1500Å 정도 두께의 질화 실리콘과 500Å ~ 1500Å 정도 두께의 TEOS를 순차적으로 형성하여 패드질화막(35) 및 캡핑층(37)을 형성한다. 이 공정에서 캡핑층(37)은 이후 트렌치를 형성할 때 패드질화막(35)의 상부 표면이 식각되지 않도록 하여 폴리머의 발생을 방지하는 것이다.

<19> 그 다음 도 2b를 참조하면, 반도체기판(31)의 노출된 부분을 통상의 LOCOS 방법과 같이 열산화하여 대략 500Å ~ 1000Å 정도 두께의 필드산화막(39)을 형성한다. 이때, 필드산화막(39)을 패드질화막(35) 하부로 대략 300Å ~ 700Å 정도 확장되게 성장시켜 새 부리 모양의 버즈빅(41)(Bird's Beak)이 형성되도록 한다. 이때, 패드 질화막(35) 모서리 하부의 반도체기판(31)은 버즈 빅(41)에 의해 대략 300Å ~ 700Å 정도 둥글게(Round) 형성된다.

<20> 도 2c를 참조하면, 캡핑층(37)을 마스크로 사용하여 필드산화막(39) 및 반도체기판(39)을 반응성 이온 식각(RIE) 등의 이방성 식각 방법으로 대략 2000 ~ 5000Å 정도의 깊이로 식각하여 트렌치(43)를 형성한다. 이때, 필드산화막(39)을 먼저 식각한 후 반도체기판(31)을 식각하는데, 필드산화막(39)의 패드질화막(35) 하부로 확장된 버즈빅(41)은 식각되지 않고 트렌치(43)의 상부 모서리 부분에 잔류하도록 식각한다.

<21> 상기 캡핑층(37)은 트렌치(43) 형성시 패드질화막(35)을 덮어 폴리머가 발생되지 않도록 하여 식각 불량이 발생하는 것을 방지하는 역할을 한다.

<22> 그 다음 도 2d를 참조하면, 캡핑층(37), 패드질화막(35) 및 패드산화막(33)을 습식 식각 방법으로 제거한다. 이때, 트렌치(43)의 상부 모서리 부분에 잔류하는 버즈빅(41)도 식각되어 제거된다. 그러므로, 반도체기판(31)의 트렌치(43) 상부 모서리 부분은 둥글게 형성된다.

<23> 반도체기판(31) 상에 산화실리콘 등의 절연물질을 트렌치(43)를 채우도록 화학적기상증착(CVD) 방법으로 증착한다. 그리고, 산화실리콘 등의 절연물질을 반도체기판(31)이 노출되도록 화학적-기계적 연마(CMP) 방법으로 연마하여 트렌치(43) 내부를 채워 활성영역을 한정하는 소자분리막(45)을 형성한다. 즉, 반도체기판(31)까지 절연물질을 CMP하여 소자분리막(45)을 형성한다. 이때, 소자분리막(45)은 트렌치(43) 상부 모서리 부분에도 채워져 형성된다.

<24> 그러므로, 이후 게이트절연막(도시되지 않음)을 형성할 때 균일한 두께로 형성되지 않고 트렌치(43) 상부 모서리에 얇게 형성되어도 소자분리막(45)에 의해 두께가 보상되므로 충분한 두께를 갖는다. 따라서, 소자 동작시 소자분리막(45)의 모서리 부분에 강한 전계가 인가되어 게이트 절연막이 쉽게 열화(Degradation)되어서 파괴되

는 것을 방지하여 소자의 수명 단축을 방지한다.

<25> 전술한 바와 같이 본 발명은 반도체기판의 패드산화막 및 패드산화막에 의해 노출된 부분을 패드질화막 모서리 하부에 버즈빅이 형성되도록 LOCOS 방법으로 열산화하여 필드산화막을 형성하고, 패드질화막을 마스크로 사용하여 버즈 빅이 잔류되게 필드산화막 및 반도체기판을 이방성 식각하여 트렌치를 형성한다. 그리고, 패드질화막 및 패드산화막을 제거하면서 잔류하는 버즈 빅을 제거하여 반도체기판의 트렌치 상부 모서리 부분을 둥글게 형성하고 트렌치 내에 상부 모서리 부분도 채우도록 소자분리막을 형성한다. 상기 패드질화막 상에 화학적기상증착(CVD) 방법으로 TEOS를 증착하여 캡핑층을 형성하여 트렌치 형성시 패드질화막의 식각에 의한 폴리머의 발생을 방지할 수 있다.

발명의 효과

<26> 따라서, 본 발명은 소자분리막 모서리 부분의 게이트절연막이 쉽게 열화되어 파괴되는 것을 방지하여 소자의 수명이 단축되는 것을 방지할 수 있는 잇점이 있다.

<27> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

<1> 도 1a 내지 도 1c는 종래 기술에 따른 반도체장치의 제조 공정도.

도 2a 내지 도 2d는 본 발명에 따른 반도체장치의 제조 공정도.

<3> * 도면의 주요부분에 대한 부호의 설명 *

<4> 31 : 반도체기판 33 : 패드산화막

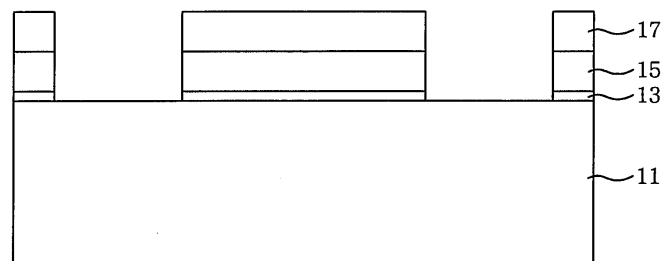
<5> 35 : 패드산화막 37 : 캡핑층

<6> 39 : 펄드산화막 41 : 버즈 빅

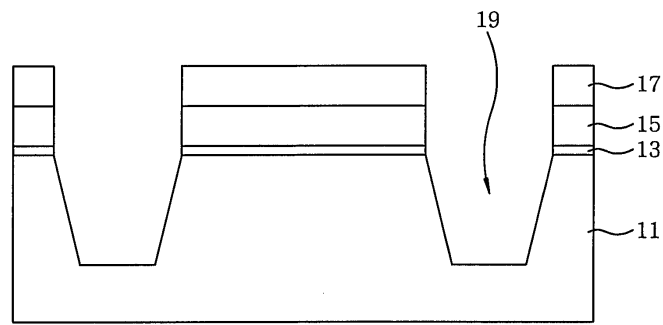
<7> 43 : 트렌치 45 : 소자분리막

도면

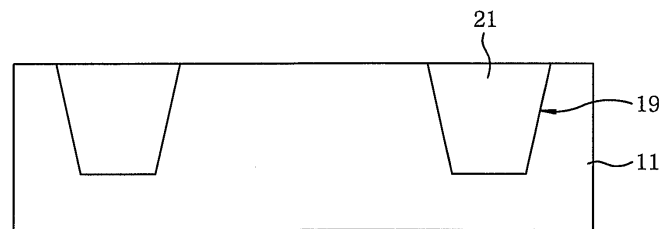
도면1a



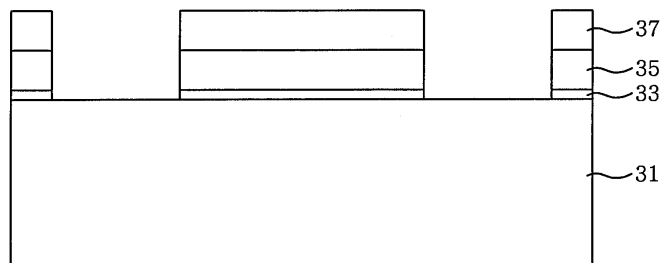
도면1b



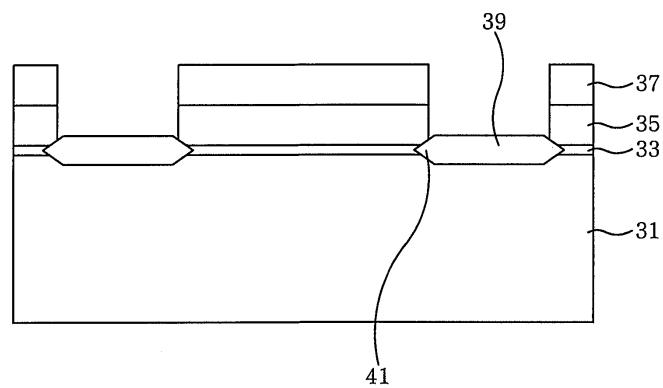
도면1c



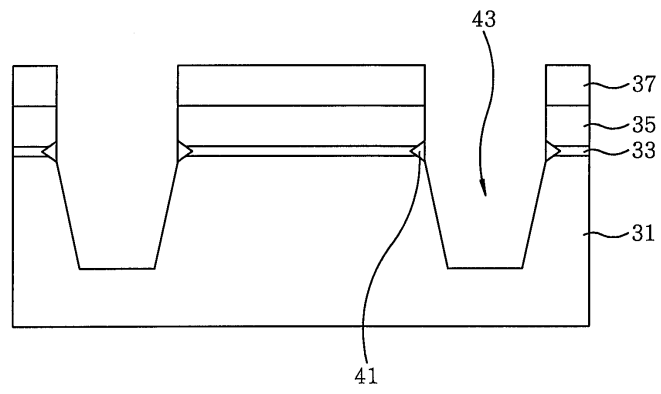
도면2a



도면2b



도면2c



도면2d

