

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成26年11月13日 (2014.11.13)

【公開番号】特開2013-74351(P2013-74351A)

【公開日】平成25年4月22日 (2013.4.22)

【年通号数】公開・登録公報2013-019

【出願番号】特願2011-210078(P2011-210078)

【国際特許分類】

H 0 3 K 5/13 (2014.01)

H 0 3 L 7/081 (2006.01)

【F I】

H 0 3 K 5/13

H 0 3 L 7/08 J

【手続補正書】

【提出日】平成26年9月25日 (2014.9.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

互いに異なる位相を有する第 1 および第 2 クロック信号を生成する粗調整回路と、
第 1 クロック信号の位相と第 2 クロック信号の位相との間の位相を有する第 3 クロック
信号を生成する微調整回路と、を備え、

前記微調整回路は、第 1 クロック信号を受ける複数の第 1 トランジスタと第 2 クロック
信号を受ける複数の第 2 トランジスタとを含み、

前記微調整回路は、 m を自然数とし n を 2^m 以下の自然数とするとき、調整コードに基
づき選択された 0 個以上の第 1 トランジスタから出力される第 1 クロック信号と調整コー
ドに基づき選択された 0 個以上の第 2 トランジスタから出力される第 2 クロック信号とを
合成することにより、 $2^m + n$ ステップで第 3 クロック信号の位相を制御し、

最も小さなサイズの第 1 トランジスタは第 3 クロック信号の位相を 1 ステップ変えるこ
とを可能とし、最も大きなサイズの第 1 トランジスタは第 3 クロック信号の位相を 2^m ス
テップより小さいステップ変えることを可能とし、

最も小さなサイズの第 2 トランジスタは第 3 クロック信号の位相を 1 ステップ変えるこ
とを可能とし、最も大きなサイズの第 2 トランジスタは第 3 クロック信号の位相を 2^m ス
テップより小さいステップ変えることを可能とすることを特徴とする半導体装置。

【請求項 2】

少なくとも 2 つの第 1 トランジスタは同じサイズを有し、少なくとも 2 つの第 2 トラン
ジスタは同じサイズを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記少なくとも 2 つの第 1 トランジスタおよび前記少なくとも 2 つの第 2 トランジスタ
のそれぞれは、 k を m より小さな整数とするとき、第 3 クロック信号の位相を 2^k ステッ
プ変えることを可能とすることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記少なくとも 2 つの第 1 トランジスタおよび前記少なくとも 2 つの第 2 トランジスタ
のそれぞれは、 k を m より小さな整数とするとき、第 3 クロック信号の位相を 2^{k-1} ス
テップ変えることを可能とすることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記微調整回路は、第 3 クロック信号の位相を $2^m + 1$ ステップで調整することを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

第 1 トランジスタの数は $m + 2$ 以上であり、第 2 トランジスタの数は $m + 2$ 以上であることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

少なくとも 2 つの第 1 トランジスタは最大のサイズを有し、少なくとも 2 つの第 2 トランジスタは最大のサイズを有することを特徴とする請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】

全ての第 1 トランジスタは同じサイズを有し、全ての第 2 トランジスタは同じサイズを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

互いに異なる位相を有する第 1 および第 2 クロック信号を生成する粗調整回路と、第 1 クロック信号の位相と第 2 クロック信号の位相との間の位相を有する第 3 クロック信号を生成する微調整回路と、を備え、

前記微調整回路は、第 1 クロック信号を受ける複数の第 1 トランジスタと第 2 クロック信号を受ける複数の第 2 トランジスタとを含み、

前記微調整回路は、調整コードに基づき選択された 0 個以上の第 1 トランジスタから出力される第 1 クロック信号と調整コードに基づき選択された 0 個以上の第 2 トランジスタから出力される第 2 クロック信号とを合成することにより、複数ステップで第 3 クロック信号の位相を制御し、

少なくとも 2 つの第 1 トランジスタのサイズは同じであり、少なくとも 2 つの第 2 トランジスタのサイズは同じであることを特徴とする半導体装置。

【請求項 10】

少なくとも 2 つの第 1 トランジスタは最大のサイズを有し、少なくとも 2 つの第 2 トランジスタは最大のサイズを有することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

全ての第 1 トランジスタは同じサイズを有し、全ての第 2 トランジスタは同じサイズを有することを特徴とする請求項 9 に記載の半導体装置。

【請求項 12】

第 1 入力ノードと第 1 出力ノードと第 2 出力ノードとを含む粗調整回路と、

第 3 出力ノードと複数の第 1 遅延回路と複数の第 2 遅延回路とを含む微調整回路と、を備え、

第 1 入力ノードには第 1 クロック信号が供給され、第 1、第 2 出力ノードにはそれぞれ第 2、第 3 クロック信号が供給され、第 2、第 3 クロック信号の位相はそれぞれ第 1 クロック信号の位相からシフトしており、かつ、第 2、第 3 クロック信号の位相は互いに異なっており、

複数の第 1 遅延回路の入力ノードは前記粗調整回路の第 1 出力ノードに共通に接続され、複数の第 1 遅延回路の出力ノードは第 3 出力ノードに共通に接続され、

複数の第 2 遅延回路の入力ノードは前記粗調整回路の第 2 出力ノードに共通に接続され、複数の第 2 遅延回路の出力ノードは第 3 出力ノードに共通に接続され、

少なくとも 2 つの第 1 遅延回路の位相シフト量は実質的に等しく、少なくとも 2 つの第 2 遅延回路の位相シフト量は実質的に等しいことを特徴とする半導体装置。

【請求項 13】

前記微調整回路は、第 1 および第 2 遅延回路から出力されるクロック信号を合わせ、第 3 出力ノードにおいて第 4 クロック信号を生成するよう構成されることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

各第 1 遅延回路は対応する制御信号を受け該制御信号に応じて活性化されるよう構成され、各第 2 遅延回路は対応する反転制御信号を受け該反転制御信号に応じて活性化されるよう構成されることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

第 4 クロック信号に合わせて本半導体装置の外部にデータを出力するよう構成されたデータ出力回路をさらに備えることを特徴とする請求項 1 3 または 1 4 に記載の半導体装置。

【請求項 1 6】

前記微調整回路の第 1 遅延回路は複数の第 1 インバータ回路を含み、少なくとも 2 つの第 1 インバータ回路のサイズは実質的に等しく、前記微調整回路の第 2 遅延回路は複数の第 2 インバータ回路を含み、少なくとも 2 つの第 2 インバータ回路のサイズは実質的に等しいことを特徴とする請求項 1 2 から 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】

各第 1 インバータ回路のサイズは、対応する第 2 インバータ回路のサイズと実質的に等しいことを特徴とする請求項 1 6 に記載の半導体装置。

【請求項 1 8】

本半導体装置の外部から外部クロック信号が供給されるクロック入力端子と、クロック入力端子と前記粗調整回路との間に設けられ、外部クロック信号に基づき第 1 クロック信号を生成するクロック入力回路と、をさらに備えることを特徴とする請求項 1 2 から 1 7 のいずれかに記載の半導体装置。

【請求項 1 9】

前記少なくとも 2 つの第 1 遅延回路の位相シフト量と別の第 1 遅延回路の位相シフト量とは異なり、前記少なくとも 2 つの第 2 遅延回路の位相シフト量と別の第 2 遅延回路の位相シフト量とは異なることを特徴とする請求項 1 2 から 1 8 のいずれかに記載の半導体装置。

【請求項 2 0】

前記別の第 1 遅延回路の位相シフト量は前記別の第 2 遅延回路の位相シフト量と実質的に等しいことを特徴とする請求項 1 9 に記載の半導体装置。