

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年11月13日(2014.11.13)

【公開番号】特開2013-74351(P2013-74351A)

【公開日】平成25年4月22日(2013.4.22)

【年通号数】公開・登録公報2013-019

【出願番号】特願2011-210078(P2011-210078)

【国際特許分類】

H 03 K 5/13 (2014.01)

H 03 L 7/081 (2006.01)

【F I】

H 03 K 5/13

H 03 L 7/08 J

【手続補正書】

【提出日】平成26年9月25日(2014.9.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

互いに異なる位相を有する第1および第2クロック信号を生成する粗調整回路と、第1クロック信号の位相と第2クロック信号の位相との間の位相を有する第3クロック信号を生成する微調整回路と、を備え、

前記微調整回路は、第1クロック信号を受ける複数の第1トランジスタと第2クロック信号を受ける複数の第2トランジスタとを含み、

前記微調整回路は、mを自然数としnを2^m以下の自然数とするととき、調整コードに基づき選択された0個以上の第1トランジスタから出力される第1クロック信号と調整コードに基づき選択された0個以上の第2トランジスタから出力される第2クロック信号とを合成することにより、2^m+nステップで第3クロック信号の位相を制御し、

最も小さなサイズの第1トランジスタは第3クロック信号の位相を1ステップ変えることを可能とし、最も大きなサイズの第1トランジスタは第3クロック信号の位相を2^mステップより小さいステップ変えることを可能とし、

最も小さなサイズの第2トランジスタは第3クロック信号の位相を1ステップ変えることを可能とし、最も大きなサイズの第2トランジスタは第3クロック信号の位相を2^mステップより小さいステップ変えることを可能とする特徴とする半導体装置。

【請求項2】

少なくとも2つの第1トランジスタは同じサイズを有し、少なくとも2つの第2トランジスタは同じサイズを有することを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記少なくとも2つの第1トランジスタおよび前記少なくとも2つの第2トランジスタのそれぞれは、kをmより小さな整数とするととき、第3クロック信号の位相を2^kステップ変えることを可能とする特徴とする請求項2に記載の半導体装置。

【請求項4】

前記少なくとも2つの第1トランジスタおよび前記少なくとも2つの第2トランジスタのそれぞれは、kをmより小さな整数とするととき、第3クロック信号の位相を2^{k-1}ステップ変えることを可能とする特徴とする請求項2に記載の半導体装置。

【請求項 5】

前記微調整回路は、第3クロック信号の位相を 2^{m+1} ステップで調整することを特徴とする請求項1から4のいずれかに記載の半導体装置。

【請求項 6】

第1トランジスタの数はm+2以上であり、第2トランジスタの数はm+2以上であることを特徴とする請求項1から5のいずれかに記載の半導体装置。

【請求項 7】

少なくとも2つの第1トランジスタは最大のサイズを有し、少なくとも2つの第2トランジスタは最大のサイズを有することを特徴とする請求項1から6のいずれかに記載の半導体装置。

【請求項 8】

全ての第1トランジスタは同じサイズを有し、全ての第2トランジスタは同じサイズを有することを特徴とする請求項1に記載の半導体装置。

【請求項 9】

互いに異なる位相を有する第1および第2クロック信号を生成する粗調整回路と、第1クロック信号の位相と第2クロック信号の位相との間の位相を有する第3クロック信号を生成する微調整回路と、を備え、

前記微調整回路は、第1クロック信号を受ける複数の第1トランジスタと第2クロック信号を受ける複数の第2トランジスタとを含み、

前記微調整回路は、調整コードに基づき選択された0個以上の第1トランジスタから出力される第1クロック信号と調整コードに基づき選択された0個以上の第2トランジスタから出力される第2クロック信号とを合成することにより、複数ステップで第3クロック信号の位相を制御し、

少なくとも2つの第1トランジスタのサイズは同じであり、少なくとも2つの第2トランジスタのサイズは同じであることを特徴とする半導体装置。

【請求項 10】

少なくとも2つの第1トランジスタは最大のサイズを有し、少なくとも2つの第2トランジスタは最大のサイズを有することを特徴とする請求項9に記載の半導体装置。

【請求項 11】

全ての第1トランジスタは同じサイズを有し、全ての第2トランジスタは同じサイズを有することを特徴とする請求項9に記載の半導体装置。

【請求項 12】

第1入力ノードと第1出力ノードと第2出力ノードとを含む粗調整回路と、第3出力ノードと複数の第1遅延回路と複数の第2遅延回路とを含む微調整回路と、を備え、

第1入力ノードには第1クロック信号が供給され、第1、第2出力ノードにはそれぞれ第2、第3クロック信号が供給され、第2、第3クロック信号の位相はそれぞれ第1クロック信号の位相からシフトしており、かつ、第2、第3クロック信号の位相は互いに異なっており、

複数の第1遅延回路の入力ノードは前記粗調整回路の第1出力ノードに共通に接続され、複数の第1遅延回路の出力ノードは第3出力ノードに共通に接続され、

複数の第2遅延回路の入力ノードは前記粗調整回路の第2出力ノードに共通に接続され、複数の第2遅延回路の出力ノードは第3出力ノードに共通に接続され、

少なくとも2つの第1遅延回路の位相シフト量は実質的に等しく、少なくとも2つの第2遅延回路の位相シフト量は実質的に等しいことを特徴とする半導体装置。

【請求項 13】

前記微調整回路は、第1および第2遅延回路から出力されるクロック信号を合わせ、第3出力ノードにおいて第4クロック信号を生成するよう構成されることを特徴とする請求項12に記載の半導体装置。

【請求項 14】

各第1遅延回路は対応する制御信号を受け該制御信号に応じて活性化されるよう構成され、各第2遅延回路は対応する反転制御信号を受け該反転制御信号に応じて活性化されるよう構成されることを特徴とする請求項13に記載の半導体装置。

【請求項15】

第4クロック信号に合わせて本半導体装置の外部にデータを出力するよう構成されたデータ出力回路をさらに備えることを特徴とする請求項13または14に記載の半導体装置。

【請求項16】

前記微調整回路の第1遅延回路は複数の第1インバータ回路を含み、少なくとも2つの第1インバータ回路のサイズは実質的に等しく、前記微調整回路の第2遅延回路は複数の第2インバータ回路を含み、少なくとも2つの第2インバータ回路のサイズは実質的に等しいことを特徴とする請求項12から15のいずれかに記載の半導体装置。

【請求項17】

各第1インバータ回路のサイズは、対応する第2インバータ回路のサイズと実質的に等しいことを特徴とする請求項16に記載の半導体装置。

【請求項18】

本半導体装置の外部から外部クロック信号が供給されるクロック入力端子と、クロック入力端子と前記粗調整回路との間に設けられ、外部クロック信号に基づき第1クロック信号を生成するクロック入力回路と、をさらに備えることを特徴とする請求項12から17のいずれかに記載の半導体装置。

【請求項19】

前記少なくとも2つの第1遅延回路の位相シフト量と別の第1遅延回路の位相シフト量とは異なり、前記少なくとも2つの第2遅延回路の位相シフト量と別の第2遅延回路の位相シフト量とは異なることを特徴とする請求項12から18のいずれかに記載の半導体装置。

【請求項20】

前記別の第1遅延回路の位相シフト量は前記別の第2遅延回路の位相シフト量と実質的に等しいことを特徴とする請求項19に記載の半導体装置。