

【特許請求の範囲】**【請求項 1】**

電路に流れる電流を検出する電流センサと、電路上の主接点を開くトリップコイルと、主接点より二次側の電路から取得した電圧でトリップコイルを駆動する駆動回路と、電流センサの出力に基づいて駆動回路を制御するCPUと、CPUの動作電圧を主接点より一次側の電路から取得する制御電源回路と、CPUを駆動回路から電氣的に絶縁する絶縁カプラとを備え、CPUにより絶縁カプラをON/OFFして駆動回路を制御することを特徴とする電子式ブレーカ。

【請求項 2】

前記制御電源回路から絶縁カプラに動作電圧を供給し、制御電源回路が異常停止したときに、絶縁カプラがOFFし、トリップコイルが主接点を開くことを特徴とする請求項 1 記載の電子式ブレーカ。

10

【請求項 3】

前記絶縁カプラをCPUと駆動回路との間に二つ設け、二つの絶縁カプラをCPUにより交互にON/OFFすることを特徴とする請求項 1 又は 2 記載の電子式ブレーカ。

【請求項 4】

前記駆動回路がトリップコイルを駆動するサイリスタと、絶縁カプラがOFFした後にサイリスタをターンオンさせる遅延回路とを備え、遅延回路にCPUの初期化時間よりも長い遅延時間を設定したことを特徴とする請求項 1、2 又は 3 記載の電子式ブレーカ。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、電路に過電流が流れたときに、トリップコイルを駆動して主接点を開放するCPU制御方式の電子式ブレーカに関する。

【背景技術】**【0002】**

従来、CPUとトリップコイルの動作電圧をそれぞれ主接点より二次側の電路から取得する電子式ブレーカが知られている。例えば、特許文献 1 に記載された電子式ブレーカは、二次側電路に接続した電源回路からCPUとトリップコイルの動作電圧を取得し、二次側電路に流れる電流を電流センサで検出し、検出値が閾値を超えたときに、CPUにより引外し回路を制御し、トリップコイルを駆動して主接点を開くとともに、CPUの制御により電流検出値を外部表示装置に表示するように構成されている。

30

【特許文献 1】特開 2002 - 95152 号公報

【発明の開示】**【発明が解決しようとする課題】****【0003】**

ところが、従来の電子ブレーカによると、CPUの動作電圧を主接点より二次側の電路から取得しているため、主接点が開いたときに、CPUが動作を停止し、表示装置が機能しなくなる問題があった。そこで、CPUの動作電圧を主接点より一次側の電路から取得する方法が考えられる。しかし、この場合は、主接点が開いた後も、一次側の電路がCPUを介して二次側の電路に接続されているため、雷サージ等により高電圧が印加された場合などに、一次側から二次側に電流が流れる可能性があり、電子式ブレーカの信頼性に不安が残るという課題があった。また、CPUとトリップコイルの動作電圧を共に一次側の電路から取得することも考えられるが、この場合は、トリップコイルの電線を太くする必要があり、トリップコイルが大型化するばかりでなく、トリップコイルを確実に動作させるために、駆動信号の出力時間を適切な値に調整する必要がある。

40

【0004】

本発明の目的は、上記課題を解決し、主接点が開いているときに、一次側と二次側の絶縁を確保したうえで、一次側から取得した電圧によりCPUを安全に動作させることができる電子式ブレーカを提供することにある。

50

【課題を解決するための手段】**【0005】**

上記課題を解決するために、本発明は次のような電子式ブレーカを提供する。

(1) 電路に流れる電流を検出する電流センサと、電路上の主接点を開くトリップコイルと、主接点より二次側の電路から取得した電圧でトリップコイルを駆動する駆動回路と、電流センサの出力に基づいて駆動回路を制御するCPUと、CPUの動作電圧を主接点より一次側の電路から取得する制御電源回路と、CPUを駆動回路から電氣的に絶縁する絶縁カブラとを備え、CPUにより絶縁カブラをON/OFFして駆動回路を制御することを特徴とする電子式ブレーカ。

【0006】

(2) 制御電源回路から絶縁カブラに動作電圧を供給し、制御電源回路が異常停止したときに、絶縁カブラがOFFし、トリップコイルが主接点を開くことを特徴とする電子式ブレーカ。

【0007】

(3) 絶縁カブラをCPUと駆動回路との間に二つ設け、二つの絶縁カブラをCPUにより交互にON/OFFすることを特徴とする電子式ブレーカ。

【0008】

(4) 駆動回路がトリップコイルを駆動するサイリスタと、絶縁カブラがOFFした後にサイリスタをターンオンさせる遅延回路とを備え、遅延回路にCPUの初期化時間よりも長い遅延時間を設定したことを特徴とする電子式ブレーカ。

【発明の効果】**【0009】**

上記(1)の電子式ブレーカによれば、CPUと駆動回路を絶縁カブラで電氣的に絶縁し、CPUにより絶縁カブラを介して駆動回路を制御するので、主接点が開いているときに、一次側と二次側の絶縁を確保したうえで、一次側から取得した電圧によりCPUを安全に動作させることができるという効果がある。

【0010】

上記(2)の電子式ブレーカによれば、絶縁カブラの動作電圧を制御電源回路から供給するので、制御電源回路の異常停止でCPUが動作を停止したときに、絶縁カブラをOFFして主接点を開き、電源異常に伴う二次被害を未然に防止することができる。また、停電時には、絶縁カブラがOFFするが、トリップコイルが動作しないため、主接点を閉じた状態に保持できる。

【0011】

上記(3)の電子式ブレーカによれば、二つの絶縁カブラを交互に動作させるので、一次・二次間に長寿命の絶縁を確保し、CPUを長期間安全に動作させることができる。

【0012】

上記(4)の電子式ブレーカによれば、サイリスタの遅延回路にCPUの初期化時間よりも長い遅延時間を設定したので、停電復旧後の電源供給開始時に、サイリスタをターンオフの状態に保持し、トリップコイルによる主接点の不要な引外し動作を防止することができる。

【発明を実施するための最良の形態】**【0013】**

以下、本発明の実施形態を図面に基づいて説明する。図1は単相3線式電路に設備される電子式ブレーカの外観を示す。図2は電子式ブレーカのケーシング内部に設置された機構を示す。図3はCPUを一つのフォトカブラで絶縁した電子式ブレーカの電子制御回路を示す。図4は図3のブレーカの動作を示す。図5はCPUを二つのフォトカブラで絶縁した電子式ブレーカの電子制御回路を示す。図6は図5のブレーカの動作を示す。

【実施例】**【0014】**

図1に示すように、この実施例の電子式ブレーカ1は、ケーシング2の上端部に3つの

10

20

30

40

50

電源側端子 3 を備え、下端部に 3 つの負荷側端子 4 を備えている。ケーシング 2 の前面には、単相 3 線式電路を手動で開閉するハンドル 5 と、ブレーカ 1 の定格電流や動作状態を表示する表示部 6 と、表示や動作モードを切り替える手元スイッチ 7 と、パソコンや携帯端末等の外部操作機器に接続される LAN 配線接続口 8 とが設けられている。

【 0 0 1 5 】

図 2 に示すように、ケーシング 2 の内部には、電路 1 5 (図 3 参照) に過電流が流れたときに主接点 9 を開くトリップコイル 1 0 と、電路 1 5 に短絡電流が流れたときに主接点 9 を瞬時に開く瞬時遮断機構 1 1 と、トリップコイル 1 0 および瞬時遮断機構 1 1 の動力を主接点 9 に伝える開閉機構 1 2 とが設置されている。そして、ケーシング 2 の背面に電子回路基板 1 3 が取り付けられ、この基板 1 3 上に表示部 6 やトリップコイル 1 0 等を制御するための電子制御回路が設けられている。

10

【 0 0 1 6 】

図 3 に示すように、単相 3 線式電路 1 5 は二本の電圧線 1 5 X , 1 5 Y と一本の中性線 1 5 N を備えている。電子回路基板 1 3 には、ブレーカ 1 の動作を全体的に制御する CPU 1 6 と、CPU 1 6 の動作電圧を主接点 9 より一次側 (電源側) の電圧線 1 5 X , 1 5 Y から取得する制御電源回路 1 7 とが設けられている。制御電源回路 1 7 は、内部に異常が発生したときにヒューズ 1 8 を溶断し、電源の供給を停止する。

【 0 0 1 7 】

電圧線 1 5 X , 1 5 Y 上には、線路電流を検出する二つの電流センサ 1 9 が設けられている。電子回路基板 1 3 には、電流センサ 1 9 の出力を数値化する電流検出回路 2 0 と、主接点 9 より二次側 (負荷側) の電圧線 1 5 X , 1 5 Y から取得した電圧 (2 0 0 V) でトリップコイル 1 0 を駆動する駆動回路 2 1 と、CPU 1 6 を駆動回路 2 1 から電氣的に絶縁する一つ的光カプラ 2 2 と、赤外線リモコンを含む外部操作機器との通信を制御する通信制御回路 2 3 とが配設されている。

20

【 0 0 1 8 】

光カプラ 2 2 は発光部 2 2 a と受光部 2 2 b とを備え、発光部 2 2 a の動作電圧が制御電源回路 1 7 から供給される。駆動回路 2 1 にはトリップコイル 1 0 を駆動するサイリスタ SCR が設けられ、サイリスタ SCR のゲート G に受光部 2 2 b が接続されている。そして、CPU 1 6 が電流検出回路 2 0 の出力を監視し、線路電流が閾値未満であるときに、発光部 2 2 a を ON してサイリスタ SCR をターンオフし、線路電流が閾値を超えたときに、発光部 2 2 a を OFF してサイリスタ SCR をターンオンするようになっている。

30

【 0 0 1 9 】

また、駆動回路 2 1 には、サイリスタ SCR のゲート G に定電圧を印加するツェナーダイオード Z D と、コンデンサ C および抵抗 R からなる C R 遅延回路 2 4 とが設けられている。C R 遅延回路 2 4 には、図 4 に示すように、光カプラ 2 2 が OFF してからサイリスタ SCR がターンオンするまでの C R 遅延時間が設定されている。そして、停電復旧後の電源供給開始時にサイリスタ SCR がターンオンしないように、C R 遅延時間が CPU 1 6 の初期化処理に要する時間 (初期化時間) よりも長く設定されている。

【 0 0 2 0 】

次に、上記のように構成された電子式ブレーカ 1 の動作を図 4 のタイムチャートに従って説明する。電路 1 5 が正常な通電状態にあるときには、CPU 1 6 が駆動パルス (P - O U T : L レベルで光カプラを駆動可能) を出力し、光カプラ 2 2 の発光部 2 2 a が ON し、コンデンサ C の両端電圧が消滅し、サイリスタ SCR がターンオフし、トリップコイル 1 0 が消磁し、主接点 9 が閉じている。

40

【 0 0 2 1 】

電路 1 5 に過電流が流れると、CPU 1 6 が駆動パルスの出力を停止し、光カプラ 2 2 が OFF し、コンデンサ C の両端電圧が上昇し、ツェナーダイオード Z D の基準電圧がサイリスタ SCR のゲート G に印加され、C R 遅延時間が経過した時点でサイリスタ SCR がターンオンし、トリップコイル 1 0 が励磁し、主接点 9 が開く。

50

【 0 0 2 2 】

また、制御電源回路 1 7 に内部異常が発生したときには、ヒューズ 1 8 が溶断し、制御電源回路 1 7 が電源の供給を停止し、CPU 1 6 が動作を停止し、フォトカブラ 2 2 が OFF する。そして、過電流発生時と同様に、CR 遅延時間が経過した時点でサイリスタ SCR がターンオンし、トリップコイル 1 0 が主接点 9 を開く。

【 0 0 2 3 】

停電によりブレーカ 1 への電源の供給が停止したときは、CPU 1 6 が動作を停止し、フォトカブラ 2 2 が OFF する。しかし、駆動回路 2 1 に電圧が供給されないため、サイリスタ SCR がターンオンせず、トリップコイル 1 0 が消磁し、主接点 9 が閉じた状態に保持される。

10

【 0 0 2 4 】

停電が復旧し、ブレーカ 1 に電源の供給が開始されると、CPU 1 6 は初期化処理を終えないと駆動パルスを出力しないため、フォトカブラ 2 2 が ON になるまで時間がかかり、その間にサイリスタ SCR のゲート電圧が上昇する。しかし、CR 遅延時間が CPU 1 6 の初期化時間よりも長く設定されているので、フォトカブラ 2 2 が ON した時点で、サイリスタ SCR のゲート電圧が動作点に達する前に低下する。このため、サイリスタ SCR はターンオンせず、トリップコイル 1 0 が消磁し、主接点 9 が閉じた状態に保持される。

【 0 0 2 5 】

したがって、この電子式ブレーカ 1 によれば、次のような作用効果が得られる。

20

(a) 制御電源回路 1 7 が CPU 1 6 の動作電圧を一次側の電圧線 1 5 X , 1 5 Y から取得するので、トリップコイル 1 0 が主接点 9 を開いた後も、CPU 1 6 により表示部 6 や通信制御回路 2 3 を継続的に制御することができる。

【 0 0 2 6 】

(b) フォトカブラ 2 2 が CPU 1 6 と駆動回路 2 1 を電氣的に絶縁しているので、主接点 9 が閉じた状態で、駆動回路 2 1 と異なる基準電圧の CPU 1 6 を安全に動作させることができ、主接点 9 が開いた状態では、一次側から二次側への電流の流れを確実に遮断でき、電子式ブレーカ 1 の信頼性を高めることができる。

【 0 0 2 7 】

(c) サイリスタ SCR の CR 遅延回路 2 4 に CPU 1 6 の初期化時間よりも長い CR 遅延時間を設定したので、停電が復旧したときに、サイリスタ SCR をターンオフした状態に保持し、トリップコイル 1 0 による主接点 9 の不要な引外し動作を防止することができる。

30

【 0 0 2 8 】

(d) フォトカブラ 2 2 の動作電圧を制御電源回路 1 7 から供給するので、制御電源回路 1 7 の異常停止により CPU 1 6 が線路電流を監視できなくなったときに、フォトカブラ 2 2 を OFF して主接点 9 を開くことができるうえ、ハンドル 5 の突出により回路異常をユーザーまたは施工者に知らせることもできる。このため、絶縁用のフォトカブラ 2 2 を利用した簡単な構成で、電源異常に伴う二次被害を未然に防止し、電子式ブレーカ 1 のフェイルセーフ機能を高めることができる。

40

【 0 0 2 9 】

次に、絶縁構造の別の実施例を図 5、図 6 に従って説明する。この電子式ブレーカでは、CPU 1 6 と駆動回路 2 1 との間に第 1 フォトカブラ 3 1 と第 2 フォトカブラ 3 2 とが並列に設けられ、二つの発光部 3 1 a , 3 2 a が別々の NAND 素子 3 3 , 3 4 を介して CPU 1 6 に接続されている。そして、CPU 1 6 が発光部 3 1 a , 3 2 a に共通の駆動パルス (P - O U T : H レベル) を同時に出力するとともに、別々の駆動パルス (P 1) , (P 2) を僅かの時間 (Δt) オーバーラップさせた状態で交互に出力するように構成されている。

【 0 0 3 0 】

このため、電路 1 5 が正常な通電状態にあるときに、どちらかのフォトカブラ 3 1 , 3

50

2を必ずONし、サイリスタSCRを連続的にターンオフさせ、主接点9を閉じた状態に保持することができる。過電流が流れたとき、および、制御電源回路17が異常停止したときには、CPU16が駆動パルス(P-OUT)の出力を停止し、二つのフォトカブラ31, 32が共にOFFし、CR遅延時間が経過した時点でサイリスタSCRがターンオンし、トリップコイル10が主接点9を開く。

【0031】

停電時には、CPU16が動作を停止し、すべての駆動パルスが消滅し、フォトカブラ31, 32が共にOFFするが、駆動回路21に電圧が供給されないため、サイリスタSCRがターンオンせず、主接点9が閉じた状態に保持される。停電復旧時には、CPU16が初期化処理を終えた時点で駆動パルスを出し、フォトカブラ31, 32が交互にOFFする。しかし、上述の実施例と同様に、CR遅延時間がCPU16の初期化時間よりも長く設定されているため、サイリスタSCRがターンオンせず、主接点9が閉じた状態に保持される。

10

【0032】

したがって、この実施例の絶縁構造によれば、次のような作用効果が得られる。

(e)二つのフォトカブラ31, 32を交互に動作させるので、一次・二次間に長寿命の絶縁を確保できる。例えば、寿命期間が90,000時間のフォトカブラを二つ使用した場合、トータルの寿命期間が180,000時間に倍増する。このため、特に、フォトカブラ31, 32の発光部31a, 32aを長時間点灯させる絶縁構造において、寿命低下のおそれを解消し、CPU16を長期間安全に動作させることができる。

20

【0033】

なお、本発明の電子式ブレーカは、単相3線式電路に限定されず、単相2線式電路、3相3線式電路等に適用することもでき、絶縁カブラとして磁気カブラを使用することも可能であり、その他、本発明の趣旨を逸脱しない範囲で、各部の構成や形状を任意に変更して実施することもできる。

【図面の簡単な説明】

【0034】

【図1】本発明の一実施形態を示す電子式ブレーカの正面図である。

【図2】該ブレーカの内部機構を示す斜視図である。

【図3】該ブレーカの電子制御回路を示すブロック図である。

30

【図4】該ブレーカの動作を示すタイムチャートである。

【図5】電子制御回路の変更例を示すブロック図である。

【図6】該制御回路を装備したブレーカの動作を示すタイムチャートである。

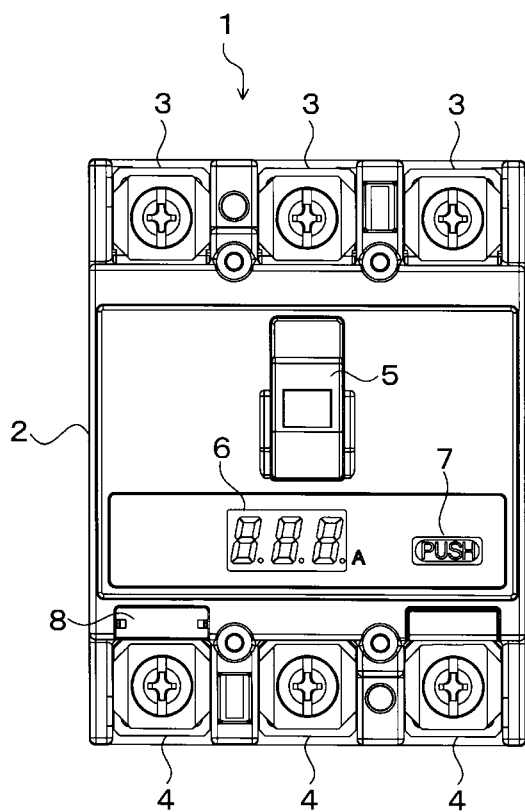
【符号の説明】

【0035】

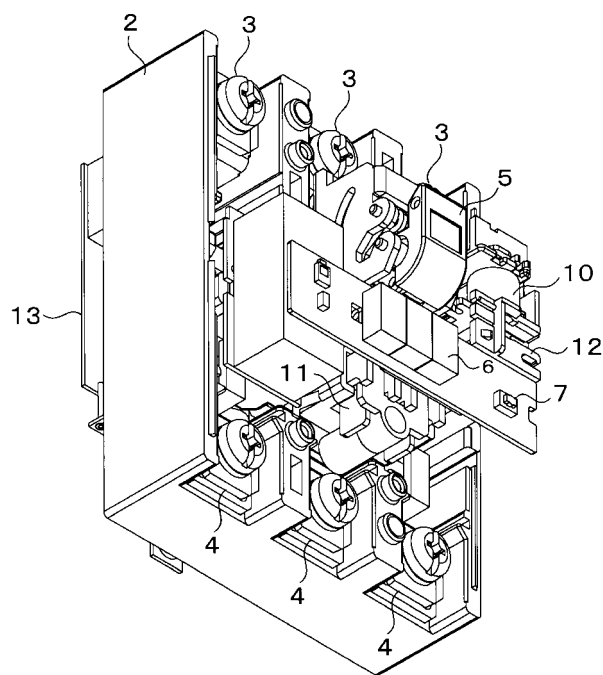
- 1 電子式ブレーカ
- 6 表示部
- 9 主接点
- 10 トリップコイル
- 15 単相3線式電路
- 16 CPU
- 17 制御電源回路
- 19 電流センサ
- 21 駆動回路
- 22 フォトカブラ
- 24 CR遅延回路
- 31 第1フォトカブラ
- 32 第2フォトカブラ

40

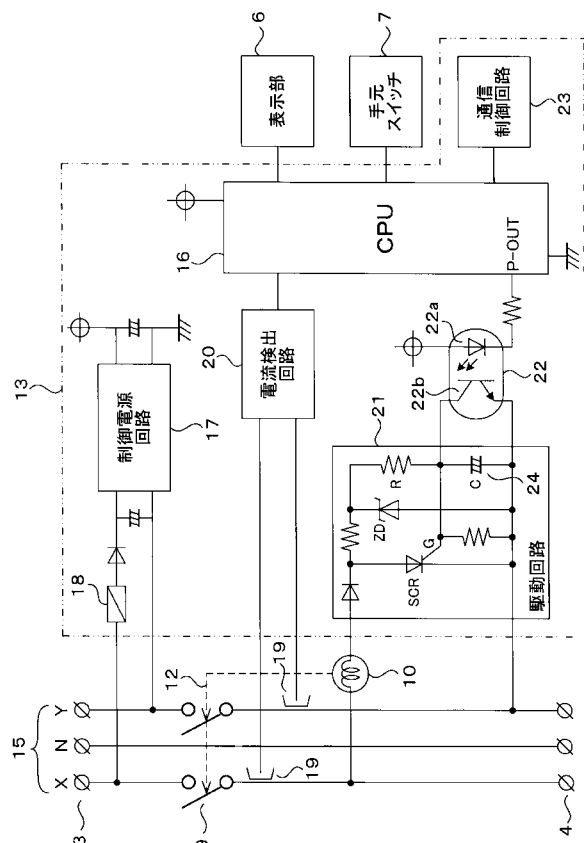
【図 1】



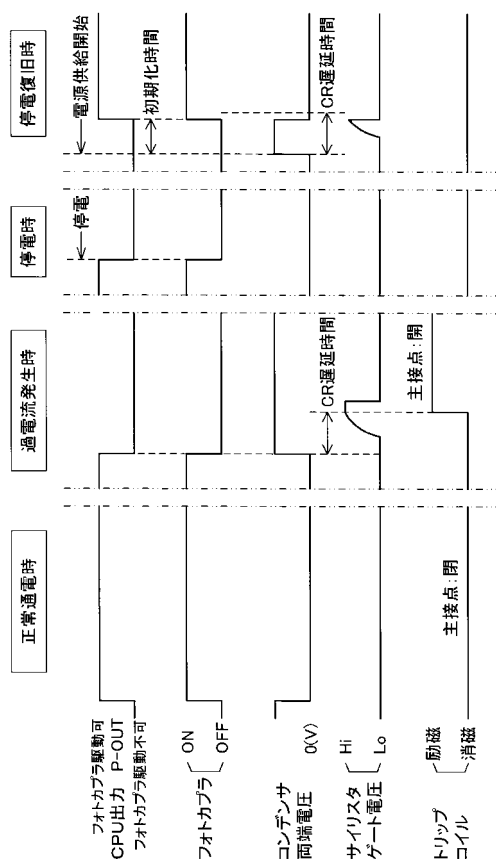
【図 2】



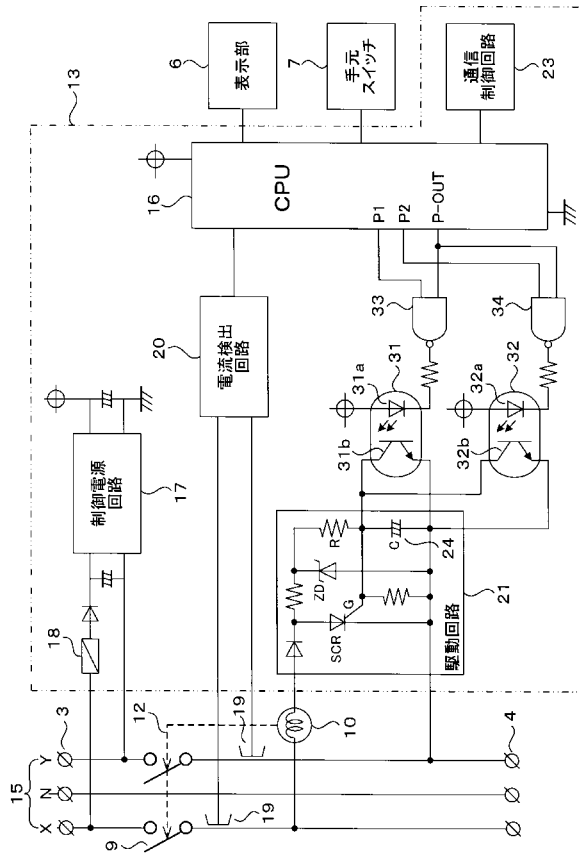
【図 3】



【図 4】



【 図 5 】



【 図 6 】

