



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I640099 B

(45)公告日：中華民國 107 (2018) 年 11 月 01 日

(21)申請案號：106116327

(22)申請日：中華民國 100 (2011) 年 12 月 26 日

(51)Int. Cl. : *H01L29/786 (2006.01)**H01L27/108 (2006.01)**H01L27/11 (2006.01)**H01L21/336 (2006.01)**H01L21/8242(2006.01)**H01L21/8244(2006.01)**H01L27/115 (2017.01)*

(30)優先權：2010/12/28 日本

2010-293051

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0187678A1

US 2009/0283763A1

審查人員：孫建文

申請專利範圍項數：8 項 圖式數：15 共 100 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

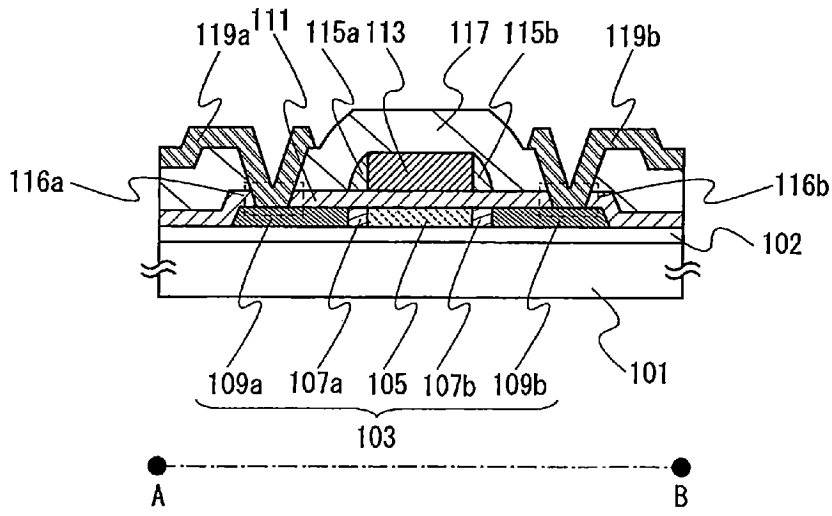
(57)摘要

本發明提供一種不容易因微型化而產生電特性變動的半導體裝置。本發明的一個方式是一種半導體裝置，包括：包括第一區、與第一區的側面接觸的一對第二區、與一對第二區的側面接觸的一對第三區的氧化物半導體膜；設置在氧化物半導體膜上的閘極絕緣膜；以及閘極絕緣膜上的與第一區接觸的第一電極，其中，第一區為 CAAC 氧化物半導體區，一對第二區及一對第三區為包含摻雜物的非晶氧化物半導體區，一對第三區的摻雜濃度比一對第二區的摻雜濃度高。

A semiconductor device in which fluctuation in electric characteristics due to miniaturization is less likely to be caused is provided. The semiconductor device includes an oxide semiconductor film including a first region, a pair of second regions in contact with side surfaces of the first region, and a pair of third regions in contact with side surfaces of the pair of second regions; a gate insulating film provided over the oxide semiconductor film; and a first electrode that is over the gate insulating film and overlaps with the first region. The first region is a CAAC oxide semiconductor region. The pair of second regions and the pair of third regions are each an amorphous oxide semiconductor region containing a dopant. The dopant concentration of the pair of third regions is higher than the dopant concentration of the pair of second regions.

指定代表圖：

圖 1B



符號簡單說明：

- 101 . . . 基板
- 102 . . . 基底絕緣膜
- 103 . . . 氧化物半導體膜
- 105 . . . 第一區
- 107a . . . 第二區
- 107b . . . 第二區
- 109a . . . 第三區
- 109b . . . 第三區
- 111 . . . 閘極絕緣膜
- 113 . . . 第一電極
- 115a . . . 側壁絕緣膜
- 115b . . . 側壁絕緣膜
- 116a . . . 開口部
- 116b . . . 開口部
- 117 . . . 層間絕緣膜
- 119a . . . 第二電極
- 119b . . . 第三電極

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

所公開的本發明係關於一種使用氧化物半導體的半導體裝置及其製造方法。

注意，在本說明書中，半導體裝置是指能夠利用半導體特性而發揮作用的所有裝置。本說明書中的電晶體是半導體裝置，包括該電晶體的電光裝置、半導體電路及電子裝置都包括在半導體裝置中。

【先前技術】

用於以液晶顯示裝置或發光顯示裝置為代表的大部分的平板顯示器的電晶體由形成在玻璃基板上的非晶矽、單晶矽或多晶矽等矽半導體構成。此外，使用該矽半導體的電晶體被用於積體電路(IC)等。

將呈現半導體特性的金屬氧化物用於電晶體代替上述矽半導體的技術受到矚目。注意，在本說明書中，將呈現半導體特性的金屬氧化物稱為氧化物半導體。

例如，公開了作為氧化物半導體使用氧化鋅、In-Ga-Zn-O 類氧化物製造電晶體，將該電晶體用於顯示裝置的

像素的切換元件等的技術（參照專利文獻 1 及專利文獻 2）。

另外，公開了在使用氧化物半導體的電晶體中，藉由在源極區及汲極區與源極電極及汲極電極之間作為緩衝層設置含氮的導電性高的氧化物半導體，來降低氧化物半導體與源極電極及汲極電極之間的接觸電阻的技術（參照專利文獻 3）。

此外，公開了在包含氧化物半導體的頂閘極結構電晶體中自對準地形成通道區、源極區及汲極區的技術（參照專利文獻 1）。

〔專利文獻 1〕日本專利申請公開第 2007-123861 號公報

〔專利文獻 2〕日本專利申請公開第 2007-96055 號公報

〔專利文獻 3〕日本專利申請公開第 2010-135774 號公報

〔非專利文獻 1〕

Jae Chul Park et al., “High performance amorphous oxide thin film transistors with self-aligned top-gate structure” IEDM2009, pp191-194

在使用電晶體的積體電路中，為了集成化需要電晶體的微型化。

在電晶體的微型化中，極端縮短通道長度的電晶體發生臨界值電壓的降低等電特性變動。該現象被稱為短通道

效應，抑制該短通道效應是電晶體的微型化上的課題之一。

已知在室溫下與使用矽形成的電晶體相比，尤其是使用氧化物半導體的電晶體的截止電流小，這可認為是因為因熱激發而產生的載子少，即載子密度小。

【發明內容】

本發明的一個方式的目的是提供一種不容易因微型化而產生電特性的變動的半導體裝置。

解決上述課題的方法是在使用氧化物半導體的電晶體中在包括通道形成區的氧化物半導體膜中設置包含摻雜物的區域。詳細而言，在包括通道形成區的氧化物半導體膜中設置兩處包含摻雜物的一對非晶區，各個區域的摻雜濃度設有差異。由此，由於在該氧化物半導體膜的汲極區中的電場可以緩和施加到該通道形成區的電場，所以可以抑制短通道效應。此外，在本說明書中，摻雜物是指添加到包含通道形成區的氧化物半導體膜的元素之總稱。

此外，通道形成區的氧化物半導體為非單晶，詳細而言，該通道形成區包含晶體部分，其中在從垂直於該非單晶的 ab 面的方向看時具有三角形或六角形或正三角形、正六角形的原子排列，並且從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。此外，在本說明書中，該晶體部分被稱為 c 軸配向晶體，具有該 c 軸配向晶體的氧化物半導體被稱為 CAAC 氧化物半

導體（CAAC-OS：c-axis aligned crystalline oxide semiconductor）。另外，藉由使該通道形成區為 CAAC 氧化物半導體區，可以抑制因可見光或紫外光的照射而導致的電晶體的電特性變動，而可以提高半導體裝置的可靠性。

於是，本發明的一個方式是一種半導體裝置，該半導體裝置包括：包括第一區、與第一區的側面接觸的一對第二區以及與一對第二區的側面接觸的一對第三區的氧化物半導體膜；設置在氧化物半導體膜上的閘極絕緣膜；以及閘極絕緣膜上的重疊於第一區的第一電極，其中，第一區為 CAAC 氧化物半導體區，一對第二區及一對第三區為包含摻雜物的非晶氧化物半導體區，一對第三區的摻雜濃度比一對第二區的摻雜濃度高。

上述氧化物半導體膜較佳為包含選自 In、Ga、Sn 及 Zn 中的兩種以上的元素的氧化物半導體膜。

上述半導體裝置中具有與一對第三區電連接的第二電極及第三電極。

一對第二區及一對第三區可以藉由穿過閘極絕緣膜及在第一電極的側面設置的側壁絕緣膜而添加摻雜物來自對準地形成。換言之，藉由設置側壁絕緣膜，可以使一對第二區為所添加的摻雜物量少的區域（在本說明書中稱為低濃度區）。並且，可以使一對第三區為被摻雜的摻雜物量多的區域（在本說明書中稱為高濃度區）。此外，藉由設置側壁絕緣膜，可以將一對第二區形成在用作通道形成區的第一區與用作源極區及汲極區的一對第三區之間。

添加到一對第二區及一對第三區的摻雜物是第 15 族元素。例如，該摻雜物為選自氮、磷及砷中的一種以上的元素，包含在一對第二區及一對第三區中的摻雜濃度較佳為 $1 \times 10^{19} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下。再者，一對第二區的摻雜濃度更佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，且一對第三區的摻雜濃度更佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下。

此外，在本發明的一個方式的半導體裝置中，第二電極及第三電極既可以採用與一對第三區的上表面接觸的方式，又可以採用與一對第三區的下表面接觸的方式。

形成閘極絕緣膜的範圍根據側壁絕緣膜的形成方法變化。明確而言，有形成閘極絕緣膜的範圍在第一區、第二區及第三區上的方式或只在第一區上的方式。

在作為側壁絕緣膜使用氮化物絕緣體膜，且作為閘極絕緣膜使用氧化物絕緣體膜時，藉由該氮化物絕緣體及該氧化物絕緣體的蝕刻選擇比，該閘極絕緣膜用作形成側壁絕緣膜時的蝕刻停止膜，可以抑制對與該閘極絕緣膜的下表面接觸的氧化物半導體膜的過蝕刻。其結果是，本結構的半導體裝置具有該閘極絕緣膜殘留在第一區、一對第二區及一對第三區上的結構。

此外，在作為側壁絕緣膜及閘極絕緣膜都使用氧化物絕緣體膜時，利用該氧化物絕緣體膜及第一電極的蝕刻選擇比，可以蝕刻設置在一對第二區及一對第三區上的該閘極絕緣膜。其結果是，本結構的半導體裝置具有在第一區

上殘留有該閘極絕緣膜的結構。

根據本發明的一個方式，可以提供一種電特性及可靠性良好且容易進行微型化的使用氧化物半導體的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是示出作為本發明的一個方式的半導體裝置的一個例子的俯視圖及剖面圖；

圖 2A 至圖 2C 是示出作為本發明的一個方式的半導體裝置的製造方法的圖；

圖 3A 至圖 3E 是示出作為本發明的一個方式的半導體裝置的製造方法的圖；

圖 4A 和圖 4B 是示出作為本發明的一個方式的半導體裝置的一個例子的俯視圖及剖面圖；

圖 5A 至圖 5E 是示出作為本發明的一個方式的半導體裝置的製造方法的圖；

圖 6A 和圖 6B 是示出作為本發明的一個方式的半導體裝置的一個例子的俯視圖及剖面圖；

圖 7A 至圖 7E 是示出作為本發明的一個方式的半導體裝置的製造方法的圖；

圖 8A 和圖 8B 是說明氧化物半導體、氧化物半導體及金屬材料的帶結構的圖；

圖 9A 至圖 9D 是示出作為本發明的一個方式的半導

體裝置的一個例子的剖面圖；

圖 10A 和圖 10B 是示出作為本發明的一個方式的電阻元件的一個例子的剖面圖；

圖 11A 和圖 11B 是示出本發明的一個方式的電路圖的一個例子；

圖 12 是示出本發明的一個方式的電路圖的一個例子；

圖 13A 和圖 13B 是示出本發明的一個方式的電路圖的一個例子；

圖 14A 和圖 14B 是示出本發明的一個方式的電路圖的一個例子；

圖 15A 至圖 15C 是示出 CPU 的具體例子的方塊圖及其一部分的電路圖。

【實施方式】

參照圖式詳細說明本發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，本發明不侷限於以下的說明，其方式及詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。另外，在以下說明的本發明的結構中，在不同的圖式之間共同使用相同的圖式標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

另外，在本說明書所說明的每個圖式中，每個結構的

大小、膜的厚度或區域爲了清晰可見而有時被誇大。因此，不一定侷限於其尺度。

另外，在本說明書中使用的“第一”、“第二”、“第三”等是用於避免構成要素的混淆而附加的，並不意味著對個數的限定。因此，也可以將“第一”適當地調換爲“第二”或“第三”等來進行說明。

當在電路工作中改變電流流向時等，“源極電極”與“汲極電極”的功能有時彼此互換。因此，在本說明書中，“源極電極”和“汲極電極”可以互相調換。

實施方式 1

在本實施方式中，參照圖 1A 至圖 3E 說明本發明的一個方式的電晶體的結構及其製造方法。

〈電晶體 100 的結構及特徵〉

圖 1A 是電晶體 100 的平面圖。此外，爲方便起見，在圖 1A 中不圖示基底絕緣膜 102、閘極絕緣膜 111 及層間絕緣膜 117。

在圖 1A 中，在氧化物半導體膜 103 上設置有第一電極 113 及設置在第一電極 113 的側面的側壁絕緣膜 115。第二電極 119a 及第三電極 119b 藉由開口部 116a、116b 設置在氧化物半導體膜 103 的一對第三區 109a、109b 上。此外，第二電極 119a 及第三電極 119b 與一對第三區 109a、109b 的上表面接觸。電晶體 100 爲頂閘極結構頂

接觸型電晶體。

圖 1B 是電晶體 100 中的 A-B 間的剖面圖。在圖 1B 中，在基板 101 上設置有基底絕緣膜 102，在基底絕緣膜 102 上設置有包括第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 的氧化物半導體膜 103。一對第二區 107a、107b 與第一區 105 的側面接觸地設置。一對第三區 109a、109b 與一對第二區 107a、107b 的側面接觸地設置。

在氧化物半導體膜 103 上設置有閘極絕緣膜 111。在閘極絕緣膜 111 上設置有重疊於第一區 105 的第一電極 113。第一電極 113 的側面與側壁絕緣膜 115a、115b（側壁絕緣膜 115）接觸地設置。

在閘極絕緣膜 111、第一電極 113 及側壁絕緣膜 115a、115b 上設置有層間絕緣膜 117。

第二電極 119a 及第三電極 119b 藉由設置在閘極絕緣膜 111 及層間絕緣膜 117 中的開口部 116a、116b 與一對第三區 109a、109b 接觸地設置。此外，閘極絕緣膜 111 與第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 接觸。

第二電極 119a 及第三電極 119b 的端部的形狀可以為漸窄的形狀，但是第一電極 113 的端部的形狀較佳為垂直的形狀。藉由第一電極 113 的端部的形狀為垂直的形狀，在該第一電極 113 上形成成為側壁絕緣膜 115（側壁絕緣膜 115a、115b）的絕緣膜，進行各向異性高的蝕刻，從

而可以形成側壁絕緣膜 115（側壁絕緣膜 115a、115b）。

此外，之後詳細說明，在圖 1A 及圖 1B 中一對第二區 107a、107b 相當於氧化物半導體膜 103 與側壁絕緣膜 115 重疊的區域。側壁絕緣膜 115（側壁絕緣膜 115a、115b）與第一電極 113 的側面及閘極絕緣膜 111 接觸的區域以外的至少一部分也可以具有彎曲形狀。

包括第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 的氧化物半導體膜 103 為包括選自 In、Ga、Sn 及 Zn 中的兩種以上的元素的金屬氧化物。此外，該金屬氧化物的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。像這樣，藉由使用能隙寬的金屬氧化物，可以降低電晶體 100 的截止電流。

在電晶體 100 中，第一區 105 用作通道形成區。

第一區 105 為上述 CAAC 氧化物半導體區。雖然 CAAC 氧化物半導體不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 氧化物半導體包括晶化部分（晶體部分），但是有時不能明確辨別一個晶體部分與其他晶體部分的邊界。也可以用氮取代包含在 CAAC 氧化物半導體中的氧的一部分。另外，構成 CAAC 氧化物半導體的各晶體部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 氧化物半導體的基板面或 CAAC 氧化物半導體膜的表面或膜面、介面等的方向）一致。或者，構成 CAAC 氧化物半導體的各晶體部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於支撐 CAAC 氧化物半導體的基板面

或 CAAC 氧化物半導體膜的表面或膜面、介面等的方向)。CAAC 氧化物半導體取決於其組成等成爲導體、半導體或絕緣體。另外，CAAC 氧化物半導體根據其組成等而呈現對可見光的透明性或不透明性。作爲 CAAC 氧化物半導體的例子，可以舉出一種材料，即從垂直於所形成的表面、被形成的基板面或介面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其形成剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

此外，第一區 105 的氫濃度爲 $1 \times 10^{20} \text{atoms/cm}^3$ 以下，較佳爲 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，更佳爲 $1 \times 10^{18} \text{atoms/cm}^3$ 以下。通道形成區即第一區 105 爲 CAAC 氧化物半導體區，且氫濃度被降低的電晶體 100 在光照射前後及 BT（閘極偏壓溫度）應力測試前後由於臨界值電壓的變動小，所以具有穩定的電特性，從而可以說是可靠性高的電晶體。

一對第二區 107a、107b 及一對第三區 109a、109b 的導電率爲 10S/cm 以上且 1000S/cm 以下，較佳爲 100S/cm 以上且 1000S/cm 以下。此外，一對第三區 109a、109b 的導電率比一對第二區 107a、107b 的導電率高。注意，若導電率太低，則電晶體 100 的導通電流降低。

此外，一對第二區 107a、107b 及一對第三區 109a、109b 爲包含摻雜物的非晶區。作爲一對第二區 107a、107b 及一對第三區 109a、109b 的摻雜物，添加有氮、磷、砷等第 15 族元素中的任一種以上的元素。

藉由增加一對第二區 107a、107b 及一對第三區 109a、109b 的摻雜濃度，可以增加載子密度，但是若過度增加摻雜濃度，則摻雜物阻擋載子的遷移，而降低一對第二區 107a、107b 及一對第三區 109a、109b 的導電性。

因此，一對第二區 107a、107b 及一對第三區 109a、109b 的摻雜濃度較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下。再者，一對第三區 109a、109b 的摻雜濃度比一對第二區 107a、107b 的摻雜濃度高。明確而言，一對第二區 107a、107b 的摻雜濃度為 $5 \times 10^{18} \text{atoms/cm}^3$ 以上且小於 $5 \times 10^{19} \text{atoms/cm}^3$ ，一對第三區 109a、109b 的摻雜濃度較佳為 $5 \times 10^{19} \text{atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{atoms/cm}^3$ 以下。此外，這些摻雜濃度的差異由於在電晶體 100 中設置有側壁絕緣膜 115（側壁絕緣膜 115a、115b），所以在添加摻雜物的製程中自對準地形成。

一對第三區 109a、109b 用作電晶體 100 的源極區及汲極區。電晶體 100 在通道形成區即第一區 105 的兩端設置摻雜濃度有差異的非晶區（低濃度區及高濃度區），從而可以緩和施加到通道形成區即第一區 105 的電場。詳細而言，藉由在通道形成區即第一區 105 的兩端設置低濃度區即一對第二區 107a、107b 及高濃度區即一對第三區 109a、109b，電晶體 100 顯示幾乎不產生在第一區 105 形成的通道中的帶端的彎曲的效果。因此，藉由設置一對第二區 107a、107b 及一對第三區 109a、109b，可以抑制短

通道效應。

〈電晶體 100 的製造方法〉

接著，參照圖 2A 至圖 2C 以及圖 3A 至圖 3E 說明電晶體 100 的製造方法。

在基板 101 上形成基底絕緣膜 102。基底絕緣膜 102 可以藉由濺射法、CVD 法、塗敷法等形成。此外，對基底絕緣膜 102 的厚度沒有限制，但是基底絕緣膜 102 的厚度較佳為 50nm 以上。

儘管對基板 101 的材質等沒有很大的限制，但是該基板至少需要具有能夠承受之後的熱處理程度的耐熱性。例如，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等作為基板 101。另外，也可以應用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 101。

此外，作為基板 101，也可以使用撓性基板。當在撓性基板上設置電晶體時，既可以直接在撓性基板上製造電晶體，又可以在其他基板上製造電晶體之後，剝離其並轉置到撓性基板。注意，為了剝離電晶體並轉置到撓性基板，較佳為在上述其他基板與電晶體之間形成容易進行剝離的區域。

基底絕緣膜 102 除了防止來自基板 101 的雜質（例如，Li 或 Na 等鹼金屬等）的擴散之外還防止因為在電晶

體 100 的製造製程中的蝕刻製程而蝕刻基板 101。

此外，作為基底絕緣膜 102，使用選自氧化矽膜、氧化鎵膜、氧化鋁膜等氧化物絕緣膜或氮化矽膜、氮化鋁膜等氮化物絕緣膜或氧氮化矽膜、氧氮化鋁膜、氮氧化矽膜中的絕緣膜的單層結構或這些的疊層結構。此外，基底絕緣膜 102 較佳為與氧化物半導體膜 103 接觸的部分包含氧。此外，由於氮化鋁膜、氮氧化鋁膜及氮化矽膜的熱傳導率高，所以藉由將上述材料用於基底絕緣膜 102，可以提高放熱性。

在使用濺射法形成基底絕緣膜 102 時，使用矽靶材、石英靶材、鋁靶材或氧化鋁靶材等，在含氧的氛圍中形成即可。在氛圍氣體中的氧的比率占氛圍氣體整體的 6 體積%以上。較佳為 50 體積%以上。藉由提高氛圍氣體中的氧氣體的比率，可以形成藉由加熱釋放氧的絕緣膜。

較佳為儘量去除靶材中的氫。明確而言，藉由使用 OH 基為 100ppm 以下，較佳為 10ppm 以下，更佳為 1ppm 以下的氧化物靶材，從而降低基底絕緣膜 102 中的氫濃度，可以提高電晶體 100 的電特性及可靠性。例如，熔融石英易於使 OH 基為 10ppm 以下，且其成本低，因此是較佳的。當然，也可以使用 OH 基濃度低的合成石英的靶材。

再者，在電晶體 100 的製造中，由於 Li 或 Na 等鹼金屬為雜質，所以較佳為含量少。在作為基板 101 使用包含鹼金屬等雜質的玻璃基板時，為了防止鹼金屬的進入，作

為基底絕緣膜 102 較佳為形成上述氮化物絕緣膜，再者，較佳為在上述氮化物絕緣膜上層疊上述氧化物絕緣膜。

在此，氧氮化矽是指在其組成上氧含量多於氮含量，例如，包含 50 原子%以上且 70 原子%以下的氧、0.5 原子%以上且 15 原子%以下的氮、25 原子%以上且 35 原子%以下的矽以及 0 原子%以上且 10 原子%以下的氫。另外，氮氧化矽膜是指在其組成上氮含量多於氧含量，例如，包含 5 原子%以上且 30 原子%以下的氧、20 原子%以上且 55 原子%以下的氮、25 原子%以上且 35 原子%以下的矽、10 原子%以上且 25 原子%以下的氫。但是，上述範圍是為當利用盧瑟福背散射光譜法（RBS: Rutherford Backscattering Spectrometry）或氫前方散射法（HFS: Hydrogen Forward Scattering）來測定時的範圍。此外，構成元素的含量比率取其總計不超過 100 原子%的值。

此外，基底絕緣膜 102 較佳為在與氧化物半導體膜 103 接觸的部分包含氧，作為基底絕緣膜 102 也可以使用藉由加熱釋放氧的絕緣膜。注意，“藉由加熱釋放氧”是指當利用 TDS（Thermal Desorption Spectroscopy: 熱脫附譜）分析時，換算為氧原子的氧的釋放量為 1.0×10^{18} atoms/cm³ 以上，較佳為 3.0×10^{20} atoms/cm³ 以上。

以下，說明藉由 TDS 分析將氧的釋放量換算為氧原子而定量的方法。

進行 TDS 分析時的氣體的釋放量與光譜的積分值成

正比。因此，根據絕緣膜的光譜的積分值與標準樣品的基準值的比，能夠計算出氣體的釋放量。標準樣品的基準值是指包含既定的原子的樣品的、相對於光譜的積分值的原子密度的比例。

例如，根據作為標準樣品含有既定的密度的氫的矽晶片的 TDS 分析結果以及絕緣膜的 TDS 分析結果，來自絕緣膜中的氧分子的釋放量 (N_{O_2}) 可以藉由算式 1 來求得。在此，假設藉由 TDS 分析而獲得的質量數 32 且檢測出的所有譜均來自氧分子。作為質量數 32 的有 CH_3OH ，但由於存在的可能性低，所以在此不考慮。此外，關於包含氧原子的同位素的質量數 17 的氧原子及質量數 18 的氧原子的氧分子，由於自然界中存在的比率極低，所以不考慮。

[算式 1]

$$N_{O_2} = N_{H_2}/S_{H_2} \times S_{O_2} \times \alpha \quad (\text{算式 1})$$

N_{H_2} 是將從標準樣品脫離的氫分子換算成密度而獲得的值。 S_{H_2} 是藉由 TDS 來分析標準樣品時的譜的積分值。在此，標準樣品的基準值是 N_{H_2}/S_{H_2} 。 S_{O_2} 是藉由 TDS 來分析絕緣膜時的譜的積分值。 α 是影響 TDS 分析中的譜強度的係數。至於算式 1 的細節，可以參照日本專利申請公開平 6-275697 公報。注意，上述氧的釋放量的數值使用由電子科學株式會社製造的熱脫附譜裝置 EMD-

WA1000S/W、作為標準樣品使用包含 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子的矽晶片來測量。

此外，在 TDS 分析中，氧的一部分作為氧原子檢測出。氧分子和氧原子的比率可以根據氧分子的離子化率算出。此外，由於上述 α 包含氧分子的離子化率，所以藉由評價氧分子的釋放量，可以估計氧原子的釋放量。

此外， N_{O_2} 為氧分子的釋放量。在絕緣膜中，換算成氧原子時的氧的釋放量為氧分子的釋放量的 2 倍。

作為藉由加熱釋放氧的絕緣膜的一個例子，有氧過剩的氧化矽 (SiO_x ($x > 2$))。在氧過剩的氧化矽 (SiO_x ($x > 2$)) 中，每單位體積中包含多於矽原子數的 2 倍的氧原子。每單位體積的矽原子數及氧原子數為藉由盧瑟福背散射光譜法來測定的值。

藉由作為基底絕緣膜 102 使用藉由加熱釋放氧的絕緣膜，從而對氧化物半導體膜 103 供應氧，可以降低基底絕緣膜 102 與氧化物半導體膜 103 之間的介面態（介面準位）。因此，可以抑制起因於電晶體 100 的工作而產生的電荷等被俘獲到基底絕緣膜 102 與氧化物半導體膜 103 之間的介面，而可以使電晶體 100 為電特性的劣化少的電晶體。

再者，有時起因於氧化物半導體膜 103 的氧缺陷產生電荷。一般而言，氧化物半導體中的氧缺陷的一部分成為施體而產生作為載子的電子。換言之，在電晶體 100 中，氧化物半導體膜 103 的氧缺陷的一部分成為施體而產生載

子即電子，從而電晶體 100 的臨界值電壓向負方向變動。而且，在氧化物半導體膜 103 中，在氧化物半導體膜 103 與基底絕緣膜 102 之間的介面附近產生的氧缺陷中容易產生該電子的生成。藉由氧從基底絕緣膜 102 充分釋放到氧化物半導體膜 103，可以補充使臨界值電壓向負方向變動的氧化物半導體膜 103 的氧缺陷。

即，藉由作為基底絕緣膜 102 使用藉由加熱釋放氧的絕緣膜，降低氧化物半導體膜 103 與基底絕緣膜 102 之間的介面態以及氧化物半導體膜 103 的氧缺陷，可以減少氧化物半導體膜 103 與基底絕緣膜 102 之間的介面的電荷俘獲的影響。

接著，在基底絕緣膜 102 上形成氧化物半導體膜 103。

明確而言，形成膜整體為 CAAC 氧化物半導體膜的氧化物半導體膜 140，然後藉由對氧化物半導體膜 140 添加摻雜物來形成一對第二區 107a、107b 及一對第三區 109a、109b，而形成氧化物半導體膜 103。以下，說明在添加摻雜物形成一對第二區 107a、107b 及一對第三區 109a、109b 之前的 CAAC 氧化物半導體膜即氧化物半導體膜 140 的製造方法。

作為 CAAC 氧化物半導體膜的氧化物半導體膜 140 的製造方法有兩種方法。

一個方法是在形成氧化物半導體時邊加熱基板邊形成氧化物半導體的方法（為方便起見，該方法稱為 1 步

法)，而另一個方法是分兩次形成氧化物半導體而進行兩次加熱處理來製造的方法（為方便起見，該方法稱為 2 步法）。

首先，說明使用 1 步法形成氧化物半導體膜 140 的方法。

首先，使用在形成氧化物半導體膜 103 時說明的氧化物半導體材料，藉由濺射法邊加熱形成有基底絕緣膜 102 的基板 101 邊形成氧化物半導體膜。此外，從方便起見，將在本製程中形成的氧化物半導體膜稱為氧化物半導體膜 130。將加熱基板 101 的溫度設定為 200°C 以上且 400°C 以下，較佳為設定為 250°C 以上且 350°C 以下。氧化物半導體膜 130 以 1nm 以上且 50nm 以下的厚度形成即可。

在此，以下詳細說明形成氧化物半導體膜 130 的濺射裝置。

形成氧化物半導體膜 130 的處理室的洩漏率較佳為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下，由此在藉由濺射法形成時，可以降低雜質混入到膜中的情況。

為了降低洩漏率，除了外部洩漏以外還需要降低內部洩漏。外部洩漏是指由於微小的孔或密封不良等從真空系統的外部流入氣體。內部洩漏起因於從真空系統內的閥等的隔板的洩漏或從內部的構件的釋放氣體。為了使洩漏率為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下，需要從外部洩漏及內部洩漏兩方面採取對策。

為了減少外部洩漏，使用金屬墊片密封處理室的關閉

部分即可。作為金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬材料。金屬墊片與 O 形環相比密接性高，可以減少外部洩漏。此外，藉由使用由氟化鐵、氧化鋁或氧化鉻等利用鈍化而覆蓋的金屬材料，可以抑制從金屬墊片產生的含氫的釋放氣體，且可以減少內部洩漏。

用作處理室的內壁的構件也可以使用含氫的釋放氣體少的鋁、鉻、鈦、鋯、鎳或鈮或者使用這些元素覆蓋含鐵、鉻及鎳等的至少一種的合金材料的構件。含鐵、鉻及鎳等的至少一種的合金材料具有剛性，耐熱且適合於加工。在此，為了使處理室的內壁的表面積小，藉由使用拋光等降低該構件的表面凹凸，可以減少釋放氣體。或者，該構件也可以由氟化鐵、氧化鋁或氧化鉻等鈍化物覆蓋。

再者，在處理室中引入氛圍氣體之前，較佳為設置氛圍氣體的精製器。此時，將從精製器到處理室的配管的長度設定為 5m 以下，較佳為 1m 以下。藉由將配管的長度設定為 5m 以下或 1m 以下，可以根據配管的長度減少來自配管的釋放氣體的影響。

可以適當地組合粗真空泵如乾燥泵等以及高真空泵如濺射離子泵、渦輪分子泵及低溫泵等而進行處理室的排氣。渦輪分子泵在大分子的排氣方面優秀，但是對氫和水的排氣能力低。從而，組合對水的排氣能力高的低溫泵和對氫的排氣能力高的濺射離子泵而使用是有效果的。

存在於處理室的內的吸附物雖然因為吸附於內壁不會影響到處理室的壓力，但是卻會成為從處理室排氣時的氣

體釋放的原因。因此，雖然洩漏率和排氣速度之間沒有關聯，但是重要的是：使用排氣能力高的泵，儘量使存在於處理室的吸附物脫離，以預先實現排氣。另外，爲了促進吸附物的脫離，也可以焙烤處理室。藉由進行焙烤可以使吸附物的脫離速度提高 10 倍左右。可以在 100°C 以上且 450°C 以下進行焙烤。此時，一邊導入惰性氣體一邊去除吸附物，這樣可以使僅靠排氣不容易脫離的水等的脫離速度得到進一步的提高。

在濺射法中，用來產生電漿的電源裝置可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

在使用濺射法形成氧化物半導體膜 130 時，作爲靶材可以使用含有鋅的金屬氧化物靶材。此外，也可以使用含有選自銦、鎵、錫及鋅中的兩種以上的元素的金屬氧化物靶材。作爲該靶材，例如可以使用如下靶材：四元類金屬氧化物諸如 In-Sn-Ga-Zn 類金屬氧化物；三元類金屬氧化物諸如 In-Ga-Zn 類金屬氧化物、In-Sn-Zn 類金屬氧化物、In-Al-Zn 類金屬氧化物、Sn-Ga-Zn 類金屬氧化物、Al-Ga-Zn 類金屬氧化物、Sn-Al-Zn 類金屬氧化物、In-Hf-Zn 類金屬氧化物、In-La-Zn 類金屬氧化物、In-Ce-Zn 類金屬氧化物、In-Pr-Zn 類金屬氧化物、In-Nd-Zn 類金屬氧化物、In-Sm-Zn 類金屬氧化物、In-Eu-Zn 類金屬氧化物、In-Gd-Zn 類金屬氧化物、In-Tb-Zn 類金屬氧化物、In-Dy-Zn 類金屬氧化物、In-Ho-Zn 類金屬氧化物、In-Er-Zn 類金屬氧化物、In-Tm-Zn 類金屬氧化物、In-Yb-Zn 類

金屬氧化物、In-Lu-Zn 類金屬氧化物；二元類金屬氧化物諸如 In-Zn 類金屬氧化物、Sn-Zn 類金屬氧化物、In-Ga 類金屬氧化物；或者包含銦、錫或鋅等的一元類金屬氧化物等。

作為靶材的一個例子，包含 In、Ga 及 Zn 的金屬氧化物靶材（In-Ga-Zn 類金屬氧化物）具有組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 〔莫耳數比〕。另外，還可以使用組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 〔莫耳數比〕的靶材、組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ 〔莫耳數比〕的靶材或組成比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=2:1:8$ 〔莫耳數比〕的靶材。

此外，氛圍氣體適當地使用稀有氣體（典型的是氬）氛圍、氧氛圍、稀有氣體及氧的混合氣體。此外，作為氛圍氣體，較佳為使用氫、水、羥基或氫化物等雜質被去除的高純度氣體。

藉由使用上述濺射裝置，可以形成降低氫的混入的氧化物半導體膜 130。

此外，也可以在真空下連續形成基底絕緣膜 102 及氧化物半導體膜 130。例如，也可以在藉由熱處理或電漿處理去除基板 101 表面的含氫的雜質之後，不暴露於大氣地形成基底絕緣膜 102，接著不暴露於大氣地形成氧化物半導體膜 130。藉由上述步驟，減少基板 101 表面的含氫的雜質，並且，可以抑制在基板 101 與基底絕緣膜 102 之間的介面、基底絕緣膜 102 與氧化物半導體膜 130 之間的介面附著大氣成分。其結果是，可以製造電特性良好且可靠

性高的電晶體 100。

接著，藉由進行第一光刻製程，在氧化物半導體膜 130 上形成抗蝕劑掩模。使用該抗蝕劑掩模，在第一蝕刻製程中進行加工而形成島狀的氧化物半導體膜 132。此外，該抗蝕劑掩模除了光刻製程之外還可以適當地使用噴墨法、印刷法等。

在第一蝕刻製程中，較佳為進行蝕刻以使島狀的氧化物半導體膜 132 的端部成為漸窄的形狀。藉由島狀的氧化物半導體膜 132 的端部形成為漸窄的形狀，可以提高之後形成的閘極絕緣膜 111 的覆蓋性。在使用光刻製程時，藉由邊使抗蝕劑掩模退縮邊蝕刻可以將島狀的氧化物半導體膜 132 的端部形成為漸窄的形狀。

第一蝕刻製程既可以應用乾蝕刻或濕蝕刻，又可以組合兩者來進行。作為進行濕蝕刻的蝕刻液，可以使用磷酸、醋酸及硝酸的混合溶液、過氧化氫氨水（31wt%過氧化氫溶液：28wt%氨水：水 = 5：2：2（體積比））等。此外，也可以使用 ITO07N（由日本關東化學株式會社製造）。

作為用於乾蝕刻的蝕刻氣體，較佳為使用包含氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。

另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、或

對上述氣體添加了氦（He）或氬（Ar）等的稀有氣體的氣體等。

作為乾蝕刻，可以使用平行平板 RIE（Reactive Ion Etching：反應離子蝕刻）法或 ICP（Inductively Coupled Plasma：感應耦合電漿）蝕刻法。適當地調節蝕刻條件（施加到線圈形電極的電力量、施加到基板側的電極的電力量、基板側的電極溫度等），以便加工為所希望的形狀。

在形成氧化物半導體膜 132 之後進行加熱處理，而形成氧化物半導體膜 140。將加熱處理的溫度設定為 150℃ 以上且 650℃ 以下，較佳為 250℃ 以上且 450℃ 以下，在氧化性氛圍或惰性氛圍下進行加熱處理。在此，氧化氛圍是指含有 10ppm 以上的氧、臭氧、氧化氮等氧化氣體的氛圍。此外，惰性氛圍是指上述氧化氣體小於 10ppm，還填充有氦或稀有氣體的氛圍。將處理時間設定為 3 分鐘至 24 小時。處理時間越長可以形成晶體區的比率比非晶區多的氧化物半導體膜，但是由於超過 24 小時的熱處理導致產率的降低，因此不是較佳的。此外，該加熱處理也可以在形成氧化物半導體膜 132 之後形成閘極絕緣膜 111 再進行。

上述加熱處理在從氧化物半導體膜 132 釋放氫的同時，將包含在基底絕緣膜 102 中的氧的一部分擴散到氧化物半導體膜 132、基底絕緣膜 102 中的氧化物半導體膜 132 的介面附近。

對用於加熱處理的加熱處理裝置沒有特別的限制，也可以具備利用來自電阻發熱體等發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用電爐或如 GRTA (Gas Rapid Thermal Anneal：氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal：燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal：快速熱退火) 裝置。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光 (電磁波) 的輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。

在此，說明使用 2 步法形成氧化物半導體膜 140 的方法。

形成第一氧化物半導體膜，在氮、氧、稀有氣體或乾燥空氣的氛圍下，進行 400℃ 以上且 750℃ 以下的第一加熱處理。藉由該第一加熱處理，在包括第一氧化物半導體膜的表面的區域形成具有晶體區的第一晶體氧化物半導體膜。然後，形成比該第一氧化物半導體膜厚的第二氧化物半導體膜，進行 400℃ 以上且 750℃ 以下的第二加熱處理，以該第一晶體氧化物半導體膜為晶體生長的晶種，向上方進行晶體生長，使第二氧化物半導體膜整體晶化 (形成第二晶體氧化物半導體膜)。藉由將上述步驟形成的第一晶體氧化物半導體膜及第二晶體氧化物半導體膜用作氧化物半導體膜 130，進行上述第一光刻製程及上述第一蝕刻製程，形成氧化物半導體膜 132，藉由在 1 步法中說明

的形成氧化物半導體膜 132 之後進行的加熱處理，可以形成氧化物半導體膜 140。此外，用於第一加熱處理及第二加熱處理的加熱處理裝置使用用於 1 步法中說明的氧化物半導體膜 132 形成之後進行的加熱處理的加熱處理裝置中的任一種。

接著，在氧化物半導體膜 140 上形成閘極絕緣膜 111、第一電極 113（參照圖 3A）。閘極絕緣膜 111 可以與基底絕緣膜 102 同樣地形成。將閘極絕緣膜 111 的厚度較佳為設定為 1nm 以上且 300nm 以下，更佳為 5nm 以上且 50nm 以下。

閘極絕緣膜 111 可以使用選自氧化矽膜、氧化鎵膜、氧化鋁膜、氮化矽膜、氧氮化矽膜、氧氮化鋁膜以及氮氧化矽膜中絕緣膜的單層結構或它們的疊層結構。在閘極絕緣膜 111 中，也較佳為在與氧化物半導體膜 103 接觸的部分包含氧。此外，也可以使用藉由加熱釋放氧的絕緣膜。作為閘極絕緣膜 111，藉由使用藉由加熱釋放氧的絕緣膜，可以修復產生在氧化物半導體膜 103 中的缺陷，可以抑制電晶體 100 的電特性的劣化。

此外，可以使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、鋁酸鈣（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的 high-k 材料。high-k 材料由於介電常數高，所以例如在具有與將氧化矽膜用於閘極絕緣膜時相同的閘極絕緣膜電容的情況下，可以在物理上將閘極絕緣膜形成得較厚。因

此，可以減少閘極洩漏電流。此外，作為閘極絕緣膜 111，既可以使用該 high-k 材料作為單層結構，又可以使用與上述絕緣膜的疊層結構。

第一電極 113 藉由濺射法使用上述導電材料形成導電膜。藉由進行第二光刻製程，在該導電膜上形成抗蝕劑掩模之後，使用該抗蝕劑掩模在第二蝕刻製程中加工，形成第一電極 113。對第一電極 113 的厚度沒有特別的限制，可以根據使用的導電材料的電阻或製造製程所需要的時間適當地決定。

此外，成為閘極絕緣膜 111 及第一電極 113 的導電膜較佳不暴露於大氣地連續形成。

第一電極 113 作為導電材料使用由鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉍或鎢構成的單體金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，有如下結構：包含矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的兩層結構；在鎢膜上層疊鈦膜的兩層結構；在銅-鎂-鋁合金膜上層疊銅膜的兩層結構；鈦膜、在該鈦膜上重疊鋁膜、在其上形成鈦膜的三層結構等。此外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。此外，第一電極 113 也用作佈線。

此外，在第一電極 113 與閘極絕緣膜 111 之間較佳為設置含氮的 In-Ga-Zn-O 膜、含氮的 In-Sn-O 膜、含氮的 In-Ga-O 膜、含氮的 In-Zn-O 膜、含氮的 Sn-O 膜、含氮的 In-O 膜、金屬氮化膜（InN、ZnN 等）。這些膜具有

5eV，較佳為具有 5.5eV 以上的功函數，在電晶體 100 的電特性中，可以將臨界值電壓設定為正值，可以使電晶體 100 為所謂的常截止電晶體。例如，在使用含氮的 In-Ga-Zn-O 膜時，使用至少比氧化物半導體膜 140 高的氮濃度，明確而言，7 原子%以上的 In-Ga-Zn-O 膜。

接著，形成側壁絕緣膜 115a、115b。側壁絕緣膜 115（包括側壁絕緣膜 115a、115b）使用在形成基底絕緣膜 102 及閘極絕緣膜 111 時說明的絕緣膜的任一種形成。

電晶體 100 在第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 的任一區域均設置有閘極絕緣膜 111。為了實現這種結構，使閘極絕緣膜 111 及側壁絕緣膜 115（包括側壁絕緣膜 115a、115b）為蝕刻速率不同的絕緣膜即可。藉由採用這種結構，在形成側壁絕緣膜 115 時，可以將閘極絕緣膜 111 用作蝕刻停止膜。藉由將閘極絕緣膜 111 用作蝕刻停止膜，可以抑制對氧化物半導體膜 140 的過剩的蝕刻。再者，也可以容易檢測出形成側壁絕緣膜 115 時的蝕刻終點（end point）。此外，藉由將側壁絕緣膜 111 用作蝕刻停止膜，可以容易控制側壁絕緣膜 115 的寬度（圖 1B 中的側壁絕緣膜 115a、115b 與閘極絕緣膜 111 接觸的寬度）。作為低濃度區的一對第二區 107a、107b 的範圍對應於側壁絕緣膜 115 的寬度（圖 1B 中的側壁絕緣膜 115a、115b 與閘極絕緣膜 111 接觸的寬度）而決定。藉由擴大該低濃度區的範圍，相應地可以緩和施加到用作通道形成區的第一區 105 的電場。

首先，在閘極絕緣膜 111 及第一電極 113 上形成成爲側壁絕緣膜 115a、115b 的絕緣膜 114（參照圖 3B）。絕緣膜 114 可以與基底絕緣膜 102 同樣地形成，並爲上述列舉的絕緣膜的任一種。對絕緣膜 114 的厚度沒有特別的限制，藉由對絕緣膜 114 進行第三蝕刻製程，形成側壁絕緣膜 115a、115b（參照圖 3C）。第三蝕刻製程爲各向異性高的蝕刻，藉由對絕緣膜 114 進行各向異性高的蝕刻，可以自對準地形成側壁絕緣膜 115a、115b。在此，作爲各向異性高的蝕刻，較佳爲使用乾蝕刻，例如，作爲蝕刻氣體，三氟甲烷（ CHF_3 ）、八氟環丁烷（ C_4F_8 ）、四氟化碳（ CF_4 ）等的含氟的氣體，也可以添加氦（He）或氬（Ar）等稀有氣體或氫（ H_2 ）。再者，作爲乾蝕刻，較佳爲使用對基板施加高頻電壓的反應離子蝕刻法（RIE 法）。

此外，後面形成的一對第二區 107a、107b 的摻雜濃度對應於側壁絕緣膜 115a、115b 的厚度，因此爲使一對第二區 107a、107b 的摻雜濃度成爲上述值，決定側壁絕緣膜 115a、115b 的厚度，還決定第一電極 113 的厚度即可。此外，在此側壁絕緣膜 115a、115b 的厚度是指從與閘極絕緣膜 111 接觸的面到與第一電極 113 接觸的面的最頂部。

此外，低濃度區的一對第二區 107a、107b 的範圍對應於側壁絕緣膜 115 的寬度（在此，圖 1B 的側壁絕緣膜 115a、115b 與閘極絕緣膜 111 接觸的寬度）而決定。再

者，由於側壁絕緣膜 115 的寬度對應於第一電極 113 的厚度，所以以一對第二區 107a、107b 的範圍成爲所希望的範圍的方式決定第一電極 113 的厚度即可。

接著，對氧化物半導體膜 140 進行添加摻雜物 150 的處理，形成氧化物半導體膜 103（參照圖 3D）。

添加的摻雜物 150 爲選自氮、磷或砷等第 15 族元素中任一種的一種以上的元素。此外，作爲對氧化物半導體膜 140 添加摻雜物 150 的方法，可以使用離子摻雜法或離子植入法。藉由使用離子摻雜法或離子植入法，容易控制摻雜物 150 的添加深度（添加區域），可以將摻雜物 150 精度良好地添加到氧化物半導體膜 140。此外，在藉由離子摻雜法或離子植入法添加摻雜物 150 時，也可以邊加熱基板 101 邊進行。

在對氧化物半導體膜 140 添加摻雜物 150 時，摻雜物 150 穿過閘極絕緣膜 111 及側壁絕緣膜 115a、115b 添加到氧化物半導體膜 140。此外，關於添加在氧化物半導體膜 140 中的摻雜物 150 的量，與只穿過閘極絕緣膜 111 而被添加的區域相比，穿過閘極絕緣膜 111 及側壁絕緣膜 115a、115b 而被添加的區域的添加量少。從而，自對準地形成一對第二區 107a、107b 及一對第三區 109a、109b（參照圖 3E）。此外，摻雜物 150 不添加到氧化物半導體膜 140 中的與第一電極 113 重疊的區域。

再者，一對第二區 107a、107b 及一對第三區 109a、109b，由於摻雜物 150 的添加的損傷其晶體性降低而成爲

非晶區。此外，藉由調節添加摻雜物 150 的量等，降低損傷的量，可以將一對第二區 107a、107b 及一對第三區 109a、109b 形成為不會成為完全的非晶區。在此情況下，一對第二區 107a、107b 及一對第三區 109a、109b 至少成為比第一區 105 的非晶區的比率大的區域。

此外，也可以在添加摻雜物 150 之後進行加熱處理。該加熱處理可以與在形成氧化物半導體膜 140 時進行的加熱處理同樣地進行，但是較佳為在一對第二區 107a、107b 及一對第三區 109a、109b 不晶化的溫度下進行。

此外，也可以多次進行對氧化物半導體膜 140 添加摻雜物 150 的處理。在多次進行對氧化物半導體膜 140 添加摻雜物 150 的處理時，摻雜物 150 既可以在多次中都使用相同的摻雜物，又可以在每次處理時改變摻雜物。例如，也可以在如圖 3A 那樣形成第一電極 113 之後，進行一次添加摻雜物 150 的處理（第一添加處理），在形成側壁絕緣膜 115a、115b 之後，再次進行添加摻雜物 150 的處理（第二添加處理）。第一添加處理和第二添加處理中的摻雜物 150 既可以為相同的元素，又可以為不同的元素。

接著，在閘極絕緣膜 111、側壁絕緣膜 115a、115b 及第一電極 113 上形成成為層間絕緣膜 117 的絕緣膜，對該絕緣膜及閘極絕緣膜 111 進行第三光刻製程及第四蝕刻製程，形成開口部 116a、116b。第三光刻製程及第四蝕刻製程可以與第一光刻製程及第一蝕刻製程同樣地進行。

層間絕緣膜 117 可以藉由濺射法、CVD 法等使用氧

化矽膜、氧氮化矽膜、氮氧化矽膜或氮化矽膜形成。此時，作為層間絕緣膜 117 較佳為使用不藉由加熱釋放氧的膜。這是為了不降低一對第二區 107a、107b 及一對第三區 109a、109b 的導電率。明確而言，可以藉由 CVD 法以矽烷氣體為主要材料從氧氮化氣體、氮氣體、氫氣體及稀有氣體選擇適當的原料氣體，混合它們而形成即可。此外，可以將基板溫度設定為 300°C 以上且 550°C 以下。藉由使用 CVD 法，可以形成藉由加熱不容易釋放氧的膜。

接著，形成藉由開口部 116a、116b 與一對第三區 109a、109b 連接的第二電極 119a 及第三電極 119b（參照圖 1B）。

第二電極 119a 及第三電極 119b 分別也用作佈線，使用與在形成第一電極 113 時說明的材料相同的材料形成。

此外，由於在電晶體 100 中接觸於第二電極 119a 及第三電極 119b 的一對第三區 109a、109b 為被添加摻雜物的導電率高的區域，所以可以降低第二電極 119a、第三電極 119b 與一對第三區 109a、109b 之間的接觸電阻，因此可以增大電晶體 100 的導通電流。

與第一電極 113 同樣地使用上述導電材料形成導電膜，對該導電膜進行第四光刻製程及第五蝕刻製程來形成第二電極 119a 及第三電極 119b。此外，第四光刻製程及第五蝕刻製程可以與第一光刻製程及第一蝕刻製程相同。

藉由上述步驟，可以製造電晶體 100。

像這樣，在所公開的發明的一個方式中，可以解決微

型化所導致的問題，其結果是可以使電晶體的尺寸充分地縮小。藉由使電晶體的尺寸充分地縮小，半導體裝置所占的面積縮小，半導體裝置的取得個數增大。由此，可以抑制半導體裝置的製造成本。另外，由於在保持同樣功能的情況下將半導體裝置小型化，所以當採用相同的尺寸時，可以實現功能進一步得到提高的半導體裝置。另外，藉由通道長度的縮小也可以得到工作的高速化、低耗電量化等的效果。換言之，藉由根據所公開的發明的一個方式實現使用氧化物半導體的電晶體的微型化，可以得到微型化帶來的各種各樣的效果。注意，本實施方式可以與其他實施方式適當地組合。

實施方式 2

在本實施方式中說明其結構的一部分與實施方式 1 所示的電晶體 100 的結構不同的電晶體 200。

〈電晶體 200 的結構及特徵〉

電晶體 200 是與電晶體 100 的閘極絕緣膜 111 的形狀不同的電晶體。

圖 4A 是電晶體 200 的平面圖。此外，為方便起見，在圖 4A 中不圖示基底絕緣膜 202、閘極絕緣膜 211 及層間絕緣膜 217。

在圖 4A 中，在氧化物半導體膜 203 上設置有第一電極 213 及設置在第一電極 213 的側面的側壁絕緣膜 215。

第二電極 219a 及第三電極 219b 藉由開口部 216a、216b 設置在氧化物半導體膜 203 的一對第三區 209a、209b 上。此外，第二電極 219a 及第三電極 219b 與第三區 209a、209b 的上表面接觸。電晶體 200 為頂閘極結構頂接觸型電晶體。

圖 4B 是電晶體 200 中的 C-D 間的剖面圖。在圖 4B 中，在基板 201 上設置有基底絕緣膜 202，在基底絕緣膜 202 上設置有包括第一區 205、一對第二區 207a、207b 及一對第三區 209a、209b 的氧化物半導體膜 203。一對第二區 207a、207b 與第一區 205 的側面接觸地設置。一對第三區 209a、209b 與一對第二區 207a、207b 的側面接觸地設置。

在氧化物半導體膜 203 上設置有閘極絕緣膜 211。閘極絕緣膜 211 與第一區 205 接觸。在閘極絕緣膜 211 上設置有重疊於第一區 205 的第一電極 213。第一電極 213 的側面與側壁絕緣膜 215a、215b 接觸地設置。

第二電極 219a 及第三電極 219b 藉由設置在第一電極 213 及側壁絕緣膜 215a、215b 上的層間絕緣膜 217 的開口部 216a、216b 與一對第三區 209a、209b 上表面接觸。

第二電極 219a 及第三電極 219b 的端部的形狀也可以為漸窄的形狀，而第一電極 213 的端部較佳為垂直的形狀。藉由使第一電極 213 的端部成為垂直的形狀，在第一電極 213 上形成成為側壁絕緣膜 215（側壁絕緣膜 215a、215b）的絕緣膜，進行各向異性高的蝕刻，從而可以形成

側壁絕緣膜 215（側壁絕緣膜 215a、215b）。

此外，在圖 4A 中，第二區 207a、207b 相當於氧化物半導體膜 203 與側壁絕緣膜 215 重疊的區域。側壁絕緣膜 215 與第一電極 213 的側面及閘極絕緣膜 211 接觸的區域以外的至少一部分具有彎曲形狀。

在電晶體 100 中由於閘極絕緣膜 111 與第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 接觸，所以開口部 116a、116b 設置在閘極絕緣膜 111 及層間絕緣膜 117 中。但是，在電晶體 200 中由於閘極絕緣膜 211 只與第一區 205 接觸，所以開口部 216a、216b 只設置在層間絕緣膜 217 中。

此外，在電晶體 200 中由於閘極絕緣膜 211 與第一區 205 接觸，所以閘極絕緣膜 211 不沿著氧化物半導體膜 203 的形狀（臺階差）覆蓋。換言之，閘極絕緣膜 211 沒有越過氧化物半導體膜 203 的臺階差的部分。由於閘極絕緣膜 211 沒有越過氧化物半導體膜 203 的臺階差的部分，所以電晶體 200 可以降低起因於閘極絕緣膜 211 的洩漏電流，且提高閘極絕緣膜 211 的耐壓性。由此，使閘極絕緣膜 211 減薄到將近 5nm 而使用也可以使電晶體工作。此外，藉由使閘極絕緣膜 211 薄膜化，可以抑制短通道效應，且提高電晶體的工作速度。

再者，在電晶體 200 中由於閘極絕緣膜 211 沒有延伸超過臺階差的部分，所以幾乎不產生在第一電極 213 與一對第二區 207a、207b 及一對第三區 209a、209b 之間的寄

生電容。由此，電晶體 200 即使縮小通道長度，也可以降低臨界值電壓的變動。

〈電晶體 200 的製造方法〉

接著，參照圖 2A 至圖 2C 及圖 5A 至圖 5E 說明電晶體 200 的製造方法。

在電晶體 200 的製造方法中的直到形成成爲閘極絕緣膜 211 的絕緣膜 210 之前的製程（形成圖 2A 至圖 2C 的氧化物半導體膜 140 的製程）與電晶體 100 相同，所以可以參照實施方式 1（參照圖 2A 至圖 2C）。此外，基板 201 及基底絕緣膜 202 可以採用與實施方式 1 所說明的基板 101 及基底絕緣膜 102 相同的結構。

接著，在氧化物半導體膜 140 上形成絕緣膜 210。絕緣膜 210 可以使用用於實施方式 1 的閘極絕緣膜 111 的材料形成。在絕緣膜 210 上形成成爲第一電極 213 的導電膜 212（參照圖 5A）。導電膜 212 可以使用用於實施方式 1 所說明的第一電極 113 的導電材料形成。此外，導電膜 212 的形成方法與實施方式 1 同樣地利用濺射法即可。

此外，絕緣膜 210 及導電膜 212 較佳不暴露於大氣地連續形成。

藉由加工絕緣膜 210 及導電膜 212，形成閘極絕緣膜 211 及第一電極 213。藉由該加工，可以形成與電晶體 100 的閘極絕緣膜 111 的形狀不同的閘極絕緣膜 211。此外，絕緣膜 210 及導電膜 212 的加工可以適當地使用實施

方式 1 所說明的光刻製程及蝕刻製程進行。閘極絕緣膜 211 的厚度可以根據實施方式 1 所說明的內容適當地決定。

接著，在氧化物半導體膜 140、閘極絕緣膜 211 及第一電極 213 上形成成爲側壁絕緣膜 215a、215b 的絕緣膜 214（參照圖 5B）。絕緣膜 214 使用可以用於實施方式 1 的基底絕緣膜 102 的材料形成。然後，藉由加工絕緣膜 214，形成側壁絕緣膜 215a、215b（參照圖 5C）。將絕緣膜 214 加工爲側壁絕緣膜 215a、215b 的方法可以與實施方式 1 所說明的將絕緣膜 114 加工爲側壁絕緣膜 115a、115b 的方法相同。

此外，側壁絕緣膜 215a、215b 的厚度是指從與之後成爲氧化物半導體膜 203 的氧化物半導體膜 140 接觸的面到與第一電極 213 接觸的面的最頂部。此外，之後形成的一對第二區 207a、207b 的摻雜濃度由於對應於側壁絕緣膜 215a、215b 的厚度，所以以一對第二區 207a、207b 的摻雜濃度成爲與實施方式 1 所說明的值的方式決定側壁絕緣膜 215a、215b 的厚度，還決定第一電極 213 的厚度即可。

此外，低濃度區的一對第二區 207a、207b 的範圍對應於側壁絕緣膜 215 的寬度（在此，圖 4B 的側壁絕緣膜 215a、215b 與氧化物半導體膜 203 接觸的寬度）而決定。在擴大低濃度區的範圍時，相應地可以緩和施加到用作通道形成區的第一區 205 的電場。由於側壁絕緣膜 215

的寬度對應於第一電極 213 的厚度，所以以一對第二區 207a、207b 的範圍成爲所希望的範圍的方式決定第一電極 213 的厚度即可。

接著，進行對氧化物半導體膜 140 添加摻雜物 150 的處理（參照圖 5D）。氧化物半導體膜 140 添加摻雜物 150 的處理與實施方式 1 同樣地進行即可，藉由此處的處理，形成第一區 205、一對第二區 207a、207b 及一對第三區 209a、209b（參照圖 5E）。此外，藉由此處的處理形成的第一區 205、一對第二區 207a、207b 及一對第三區 209a、209b 具有與實施方式 1 所說明的第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 同樣的結構。

再者，如電晶體 200 那樣，在氧化物半導體膜 140 的一部分露出的狀態下添加摻雜物 150 的方式中，作爲摻雜物 150 的添加方法，可以利用離子摻雜法或離子植入法以外的方法。例如，有在包含所添加的元素的氣體氛圍中產生電漿，對被添加物（在此，氧化物半導體膜 140）照射該電漿的電漿處理。作爲產生該電漿的裝置，可以使用乾蝕刻裝置、電漿 CVD 設備、高密度電漿 CVD 設備等。此外，該電漿處理也可以邊加熱基板 201 邊進行。

此外，對氧化物半導體膜 140 添加摻雜物 150 的處理可以與實施方式 1 同樣地進行多次。

此外，在添加摻雜物 150 之後，也可以進行加熱處理。該加熱處理可以與在形成氧化物半導體膜 140 時進行

的加熱處理同樣地進行，較佳為一對第二區 207a、207b 及一對第三區 209a、209b 不晶化的溫度。

接著，層間絕緣膜 217、開口部 216a、216b、第二電極 219a 及第三電極 219b 可以與實施方式 1 所說明的層間絕緣膜 117、開口部 116a、116b、第二電極 119a 及第三電極 119b 同樣地形成。藉由上述步驟，可以製造電晶體 200（參照圖 4B）。

本實施方式所說明的電晶體 200 可以得到與實施方式 1 同樣的效果。此外，本實施方式可以與其他實施方式適當地組合。

實施方式 3

在本實施方式中說明其結構的一部分與上述實施方式所示的電晶體的結構不同的電晶體 300。

〈電晶體 300 的結構及特徵〉

電晶體 300 與電晶體 200 的不同之處在於：第二電極及第三電極與一對第三區接觸的面不同。

圖 6A 是電晶體 300 的平面圖。此外，為方便起見，在圖 6A 中不圖示基底絕緣膜 302、閘極絕緣膜 311 及層間絕緣膜 317。

在圖 6A 中，在氧化物半導體膜 303 上設置有第一電極 313 及設置在第一電極 313 的側面的側壁絕緣膜 315。第二電極 319a 及第三電極 319b 與氧化物絕緣體膜 303 的

第三區 309a、309b 的下表面接觸。電晶體 300 為頂閘極結構底接觸型電晶體。

圖 6B 是電晶體 300 中的 E-F 間的剖面圖。在圖 6B 中，在基板 301 上設置有基底絕緣膜 302，在基底絕緣膜 302 上設置有包括第一區 305、一對第二區 307a、307b 及一對第三區 309a、309b 的氧化物半導體膜 303 及第二電極 319a、第三電極 319b。一對第二區 307a、307b 與第一區 305 的側面接觸地設置。一對第三區 309a、309b 與一對第二區 307a、307b 的側面接觸地設置。

在氧化物半導體膜 303 上設置有閘極絕緣膜 311。閘極絕緣膜 311 與第一區 305 接觸。在閘極絕緣膜 311 上設置有重疊於第一區 305 的第一電極 313。第一電極 313 的側面與側壁絕緣膜 315a、315b 接觸地設置。

在閘極絕緣膜 311、第一電極 313 及側壁絕緣膜 315a、315b 上設置有側壁絕緣膜 317。

第二電極 319a 及第三電極 319b 的端部的形狀也可以為漸窄的形狀，而第一電極 313 的端部較佳為垂直的形狀。藉由使第一電極 313 的端部成為垂直的形狀，在第一電極 313 上形成成為側壁絕緣膜 315（側壁絕緣膜 315a、315b）的絕緣膜，進行各向異性高的蝕刻，可以形成側壁絕緣膜 315（側壁絕緣膜 315a、315b）。

此外，在圖 6A 中，第二區 307a、307b 相當於氧化物半導體膜 303 與側壁絕緣膜 315 重疊的區域。側壁絕緣膜 315 與第一電極 313 的側面及閘極絕緣膜 311 接觸的區域

以外的至少一部分具有彎曲形狀。

此外，在電晶體 300 中由於閘極絕緣膜 311 與第一區 305 接觸，所以閘極絕緣膜 311 不沿著氧化物半導體膜 303 的形狀（臺階差）覆蓋。換言之，閘極絕緣膜 311 沒有越過氧化物半導體膜 303 的臺階差的部分。由於閘極絕緣膜 311 沒有越過氧化物半導體膜 303 的臺階差的部分，所以電晶體 300 可以降低起因於閘極絕緣膜 311 的洩漏電流，且提高閘極絕緣膜 311 的耐壓性。由此，使閘極絕緣膜 311 減薄到將近 5nm 而使用也可以使電晶體工作。此外，藉由使閘極絕緣膜 311 薄膜化，可以抑制短通道效應，且提高電晶體的工作速度。

再者，電晶體 300 由於沒有閘極絕緣膜 311 的越過臺階差的部分，所以幾乎不產生在第一電極 313 與一對第二區 307a、307b 及一對第三區 309a、309b 之間的寄生電容。由此，電晶體 300 即使縮小通道長度，也可以降低臨界值電壓的變動。

此外，圖 6A 和圖 6B 所示的電晶體 300 具有閘極絕緣膜 311 設置在只與第一電極 313 接觸的區域的方式，但是閘極絕緣膜 311 也可以與實施方式 1 同樣地具有設置在第三區 309a、309b（進而，第二電極 319a 及第三電極 319b）上的方式。

〈電晶體 300 的製造方法〉

接著，參照圖 7A 至圖 7E 說明電晶體 300 的製造方

法。

在基板 301 上形成基底絕緣膜 302，在基底絕緣膜 302 上形成成爲第二電極 319a 及第三電極 319b 的導電膜，加工該導電膜，形成第二電極 319a 及第三電極 319b。基板 301、基底絕緣膜 302 可以採用與實施方式 1 所說明的基板 101 及基底絕緣膜 102 同樣的結構。該導電膜使用用於實施方式 1 所說明的第二電極 119a 及第三電極 119b 的導電材料形成。此外，該導電膜的形成方法可以與實施方式 1 同樣地利用濺射法。此外，該導電膜的加工可以適當地使用實施方式 1 所說明的光刻製程及蝕刻製程進行。

在基底絕緣膜 302、第二電極 319a 及第三電極 319b 上形成氧化物半導體膜 340（參照圖 7A）。氧化物半導體膜 340 可以與實施方式 1 所說明的氧化物半導體膜 140 同樣地形成（參照圖 2A 至圖 2C）。

接著，在第二電極 319a、第三電極 319b 及氧化物半導體膜 340 上形成閘極絕緣膜 311 及第一電極 313。首先，在氧化物半導體膜 340 上形成成爲閘極絕緣膜 311 的絕緣膜。閘極絕緣膜 311 及第一電極 313 可以與實施方式 2 的閘極絕緣膜 211 及第一電極 213 同樣地形成。

接著，在氧化物半導體膜 340、閘極絕緣膜 311 及第一電極 313 上形成成爲側壁絕緣膜 315a、315b 的絕緣膜 314（參照圖 7B）。絕緣膜 314 使用可以用於實施方式 1 的基底絕緣膜 102 的材料形成。然後，藉由加工絕緣膜

314，形成側壁絕緣膜 315a、315b（參照圖 7C）。將絕緣膜 314 加工為側壁絕緣膜 315a、315b 的方法可以與實施方式 1 所說明的絕緣膜 114 加工為側壁絕緣膜 115a、115b 的方法相同。

此外，側壁絕緣膜 315a、315b 的厚度是指從與之後成為氧化物半導體膜 303 的氧化物半導體膜 340 接觸的面到與第一電極 313 接觸的面的最頂部。此外，之後形成的一對第二區 307a、307b 的摻雜濃度由於對應於側壁絕緣膜 315a、315b 的厚度，所以以一對第二區 307a、307b 的摻雜濃度成為與實施方式 1 所說明的值的方式決定側壁絕緣膜 315a、315b 的厚度，還決定第一電極 313 的厚度即可。

此外，低濃度區的一對第二區 307a、307b 的範圍對應於側壁絕緣膜 315 的寬度（在此，圖 6B 的側壁絕緣膜 315a、315b 與氧化物半導體膜 340 接觸的寬度）而決定。藉由擴大低濃度區的範圍，相應地可以緩和施加到用作通道形成區的第一區 305 的電場。由於側壁絕緣膜 315 的寬度對應於第一電極 313 的厚度，所以以一對第二區 307a、307b 的範圍成為所希望的範圍的方式決定第一電極 313 的厚度即可。

接著，進行對氧化物半導體膜 340 添加摻雜物 150 的處理（參照圖 7D）。氧化物半導體膜 340 添加摻雜物 150 的處理與實施方式 1 同樣地進行即可，藉由此處的處理，形成第一區 305、一對第二區 307a、307b 及一對第三區

309a、309b（參照圖 7E）。此外，藉由此處的處理形成的第一區 305、一對第二區 307a、307b 及一對第三區 309a、309b 具有與實施方式 1 所說明的第一區 105、一對第二區 107a、107b 及一對第三區 109a、109b 同樣的結構。

再者，電晶體 300 與電晶體 200 同樣在氧化物半導體膜 340 的一部分露出的狀態下被添加摻雜物 150。因此，作為摻雜物 150 的添加方法，可以與實施方式 2 同樣地利用電漿處理。此外，該電漿處理與實施方式 2 所說明的電漿處理同樣。

此外，對氧化物半導體膜 340 添加摻雜物 150 的處理可以與實施方式 1 同樣地進行多次。

此外，在閘極絕緣膜 311 與實施方式 1 同樣地設置在第三區 309a、309b（進而，第二電極 319a 及第三電極 319b）上的方式的情況下，也可以對氧化物半導體膜 340 進行添加摻雜物 150 的處理。此時，摻雜物 150 穿過閘極絕緣膜 311 及側壁絕緣膜 315a、315b 添加到氧化物半導體膜 340。

此外，也可以在添加摻雜物 150 之後進行加熱處理。該加熱處理可以與在形成氧化物半導體膜 340 時進行的加熱處理同樣地進行，較佳為一對第二區 307a、307b 及一對第三區 309a、309b 不晶化的溫度。

接著，在第一電極 313、第二電極 319a、第三電極 319b 及側壁絕緣膜 315a、315b 上與實施方式 1 所說明的

層間絕緣膜 117 同樣地形成層間絕緣膜 317。藉由上述步驟，可以製造電晶體 300（參照圖 6B）。

本實施方式所說明的電晶體 300 可以得到與實施方式 1 同樣的效果。此外，本實施方式可以與其他實施方式適當地組合。

實施方式 4

在本實施方式中，在實施方式 1 至實施方式 3 所示的電晶體中，參照帶圖說明包含在氧化物半導體膜的第一區、一對第二區以及一對第三區的對電晶體的電特性的影響。此外，以圖 6A 和圖 6B 所示的電晶體 300 為例子說明。

圖 8A 及圖 8B 示出電晶體 300（參照圖 6B）的 G-H 間的剖面的能帶圖（示意圖）。此外，圖 8B 示出源極區與汲極區之間的電壓為等電位（ $V_D=0V$ ）的情況。電晶體 300 為具有包括第一區 305（稱為 OS1）、一對第二區 307a、307b（稱為 OS2）以及一對第三區 309a、309b（稱為 OS3）的氧化物半導體膜 303、第二電極 319a 及第三電極 319b（稱為 metal）的電晶體。

電晶體 300 的通道形成區由 OS1 形成，藉由從膜中盡可能去除、脫離水分（包含氫）等雜質而被高純度化，OS1 由本質（I 型）氧化物半導體、或無限近於本質的氧化物半導體形成。由此，費米能階（ E_f ）可以為與本質費米能階（ E_i ）相同的能階。

此外，電晶體 300 的低濃度區由 OS2 形成，源極區及汲極區由 OS3 形成。OS2 及 OS3 與 OS1 同樣地從膜中儘量去除、脫離水分（包含氫）等雜質而被高純度化以成爲本質（I 型）或者無限近於本質的氧化物半導體，然後藉由添加選自氮、磷或砷等第 15 族元素中的一種以上的摻雜物來形成。由此，OS2 及 OS3 與 OS1 相比載子密度高，費米能階的位置位於傳導帶附近。

圖 8A 示出真空能階（稱爲 E_{vac} ）、第一區 305（稱爲 OS1）、一對第二區 307a、307b（稱爲 OS2）、一對第三區 309a、309b（稱爲 OS3）、第二電極 319a 及第三電極 319b（稱爲 metal）的帶結構的關係。在此，IP 表示電離電位， E_a 表示電子親和力， E_g 表示能隙， W_f 表示功函數。此外， E_c 表示導帶的下端， E_v 表示價電子帶的上端， E_f 表示費密能階。注意，關於各符號的末尾所示的圖式標記，1 表示 OS1，2 表示 OS2，3 表示 OS3，m 表示 metal。在此，作爲 metal 設想 W_{f_m} 爲 4.1eV（鈦等）。

由於 OS1 爲被高純度化的氧化物半導體，載子密度極低，所以 E_{f_1} 大致位於 E_c 和 E_v 的中央。此外，OS2 及 OS3 爲被添加摻雜物的載子密度高的氧化物半導體， E_{c_2} 與 E_{f_2} 大致一致， E_{c_3} 與 E_{f_3} 大致一致。

OS1 所示的氧化物半導體的能隙（ E_g ）被認爲是 3.15eV，電子親和力（ E_a ）被認爲是 4.3eV。OS2 及 OS3 所示的氧化物半導體可以根據摻雜物的添加量使能隙（ E_g ）小於 3.15。此外，此時，由於電離電位幾乎沒有變

化，所以其結果是電子親和力及功函數變大。在圖 8A 及圖 8B 中示出 OS2 及 OS3 的 E_g 都比 OS1 小的情況。此外，由於 OS3 的摻雜物的添加量比 OS2 多，所以 OS3 的 E_g 比 OS2 的 E_g 小。換言之，OS1、OS2 及 OS3 的 E_g 的大小關係從大至小為 OS1、OS2 及 OS3（換言之， $E_{g_1} > E_{g_2} > E_{g_3}$ ）。

如圖 8B 所示，在作為通道形成區的 OS1 與作為低濃度區的 OS2 接觸時，以 OS1 與 OS2 的費米能階一致的方式發生載子的遷移，而 OS1 的帶端彎曲。再者，在作為低濃度區的 OS2 與作為源極區及汲極區的 OS3 接觸時，也以 OS2 與 OS3 的費米能階一致的方式發生載子的遷移，而 OS2 的帶端彎曲。再者，在作為源極區及汲極區的 OS3 與 metal 接觸時，以 OS3 與 metal 的費米能階一致的方式發生載子的遷移，而 OS3 的帶端彎曲。

像這樣，藉由在成為通道的 OS1 與成為第二電極 319a 及第三電極 319b 的 metal 之間形成載子密度高且該載子密度有差異的氧化物半導體的 OS2 及 OS3，可以使氧化物半導體膜 303 與金屬的接觸為歐姆接觸，還可以降低接觸電阻。其結果是，可以增加電晶體 300 的導通電流。此外，由於可以使 OS1 的帶端的彎曲小，所以可以降低電晶體 300 的短通道效應。

實施方式 5

在本實施方式中參照圖 9A 至圖 9D 說明與上述實施

方式所示的電晶體不同的電晶體的例子。

圖 9A 是電晶體 400 的剖面圖，而圖 9B 是放大圖 9A 的虛線部的圖。

電晶體 400 的結構是如下結構。在基板 401 上設置有基底絕緣膜 402。在基底絕緣膜 402 上設置有包括第一區 405、一對第二區 407a、407b、一對第三區 409a、409b 以及一對第四區 410a、410b 的氧化物半導體膜 403。在一對第四區 410a、410b 上設置有第二電極 419a 及第三電極 419b。在第一區 405、一對第二區 407a、407b、一對第三區 409a、409b、一對第四區 410a、410b、第二電極 419a 及第三電極 419b 上設置有閘極絕緣膜 411。第一電極 413 與第一區 405 重疊地設置在閘極絕緣膜 411 上。

電晶體 400 為頂閘極結構頂接觸型電晶體，並與電晶體 100、電晶體 200 及電晶體 300 不同，設置有一對第四區 410a、410b。

基板 401、基底絕緣膜 402、第一區 405、閘極絕緣膜 411、第一電極 413、第二電極 419a 及第三電極 419b 可以與實施方式 1 所說明的基板 101、基底絕緣膜 102、第一區 105、閘極絕緣膜 111、第一電極 113、第二電極 119a 及第三電極 119b 同樣地形成。

作為通道形成區的第一區 405 為實施方式 1 所說明的 CAAC 氧化物半導體區，一對第四區 410a、410b 也為實施方式 1 所說明的 CAAC 氧化物半導體區。一對第二區 407a、407b 及一對第三區 409a、409b 為包含摻雜物的非

晶區，該摻雜物與實施方式 1 所說明的摻雜物同樣。此外，一對第二區 407a、407b 的摻雜濃度與一對第三區 409a、409b 的摻雜濃度不同。一對第二區 407a、407b 及一對第三區 409a、409b 的摻雜濃度的範圍為實施方式 1 所說明的摻雜濃度的範圍。

在電晶體 400 中，在形成實施方式 1 所說明的氧化物半導體膜 140 之後，利用第一電極 413、第二電極 419a 及第三電極 419b，可以形成摻雜濃度不同的區域（第一區 405、一對第二區 407a、407b 及一對第三區 409a、409b、一對第四區 410a、410b）。

由於第二電極 419a 及第三電極 419b 為漸窄的形狀，所以形成一對第三區 409a、409b。此外，藉由減薄第二電極 419a 及第三電極 419b 的厚度，可以放大一對第三區 409a、409b 的範圍。

此外，電晶體 100、電晶體 200 及電晶體 300 是如下電晶體，即分別利用設置在各個電晶體中的第一電極及側壁絕緣膜來形成摻雜濃度不同的區域（各個電晶體中的第一區、一對第二區以及一對第三區）。

如上所述，電晶體 400 由於隔著通道形成區即第一區 405 設置摻雜濃度不同的一對第二區 407a、407b 及一對第三區 409a、409b，可以緩和施加到通道形成區即第一區 405 的電場，所以可以抑制短通道效應。

此外，除了電晶體 400 以外作為與上述實施方式所示的電晶體不同的電晶體的例子說明電晶體 500。

圖 9C 是電晶體 500 的剖面圖，而圖 9D 是放大圖 9C 的虛線部的圖。

電晶體 500 的結構是如下結構。在基板 401 上設置有基底絕緣膜 402。在基底絕緣膜 402 上設置有第一電極 413 及覆蓋第一電極 413 的閘極絕緣膜 411。在閘極絕緣膜 411 上設置有包括第一區 405、一對第二區 407a、407b、一對第三區 409a、409b 以及一對第四區 410a、410b 的氧化物半導體膜 403。在一對第四區 410a、410b 上設置有第二電極 419a 及第三電極 419b。在第一區 405 上設置有絕緣膜 420。

電晶體 500 為底閘極結構頂接觸型電晶體，並與電晶體 100、電晶體 200 及電晶體 300 不同，設置有一對第四區 410a、410b。

基板 401、基底絕緣膜 402、第一區 405、閘極絕緣膜 411、第一電極 413、第二電極 419a 及第三電極 419b 可以與實施方式 1 所說明的基板 101、基底絕緣膜 102、第一區 105、閘極絕緣膜 111、第一電極 113、第二電極 119a 及第三電極 119b 同樣地形成。此外，電晶體 500 由於為底閘極結構，所以較佳的是，第一電極 413 與第二電極 419a 及第三電極 419b 同樣地為漸窄的形狀。藉由使第一電極 413 為漸窄的形狀，可以提高閘極絕緣膜 411 的覆蓋性。

通道形成區即第一區 405 為實施方式 1 所說明的 CAAC 氧化物半導體區，一對第四區 410a、410b 也為實

施方式 1 所說明的 CAAC 氧化物半導體區。一對第二區 407a、407b 及一對第三區 409a、409b 為包含摻雜物的非晶區，該摻雜物與實施方式 1 所說明的摻雜物同樣。此外，一對第二區 407a、407b 的摻雜濃度與一對第三區 409a、409b 的摻雜濃度不同。一對第二區 407a、407b 及一對第三區 409a、409b 的摻雜濃度的範圍為實施方式 1 所說明的摻雜濃度的範圍。

在電晶體 500 中，在閘極絕緣膜 411 上形成實施方式 1 所說明的氧化物半導體膜 140 之後，利用第二電極 419a、第三電極 419b 及絕緣膜 420，而可以形成摻雜濃度不同的區域（第一區 405、一對第二區 407a、407b 及一對第三區 409a、409b、一對第四區 410a、410b）。絕緣膜 420 需要形成得較厚，以免對第一區 405 添加摻雜物。

由於第二電極 419a 及第三電極 419b 為漸窄的形狀，所以形成一對第三區 409a、409b。此外，藉由減薄第二電極 419a 及第三電極 419b 的厚度，可以放大一對第三區 409a、409b 的範圍。

此外，電晶體 100、電晶體 200 及電晶體 300 是如下電晶體，即分別利用設置在各個電晶體中的第一電極及側壁絕緣膜形成摻雜濃度不同的區域（各個電晶體中的第一區、一對第二區以及一對第三區）。

如上所述，電晶體 500 由於隔著通道形成區即第一區 405 設置摻雜濃度不同的一對第二區 407a、407b 及一對

第三區 409a、409b，可以緩和施加到通道形成區即第一區 405 的電場，所以可以抑制短通道效應。

實施方式 6

在本實施方式中參照圖 10A 和圖 10B 說明使用添加摻雜物的氧化物半導體的電阻元件。

圖 10A 示出電阻元件 600。以下示出電阻元件 600 的結構。在基板 601 上設置有基底絕緣膜 602。在基底絕緣膜 602 上設置有添加有摻雜物的氧化物半導體膜 603。在氧化物半導體膜 603 上設置有導電膜 604a、604b。換言之，在電阻元件 600 中將氧化物半導體膜 603 用作電阻器。例如在實施方式 2 所示的氧化物半導體膜 140（參照圖 5A 及圖 5B）上不形成閘極絕緣膜 211 及第一電極 213 之後，可以藉由添加摻雜物來形成添加有摻雜物的氧化物半導體膜 603。此外，導電膜 604a、604b 可以使用可用於上述實施方式所說明的第一電極的導電材料形成。

圖 10B 示出電阻元件 610。以下示出電阻元件 610 的結構。在基板 601 上設置有基底絕緣膜 602。在基底絕緣膜 602 上設置有添加有摻雜物的氧化物半導體膜 603。在氧化物半導體膜 603 上設置有絕緣膜 606。與絕緣膜 606 及氧化物半導體膜 603 的一部分接觸地設置導電膜 604a、604b。在電阻元件 610 中將氧化物半導體膜 603 用作電阻器。例如在實施方式 2 所示的氧化物半導體膜 140（參照圖 5A 及圖 5B）上不形成閘極絕緣膜 211 及第一電

極 213 之後，可以藉由添加摻雜物來形成添加有摻雜物的氧化物半導體膜 603。絕緣膜 606 可以適當地使用上述實施方式所說明的基底絕緣膜、閘極絕緣膜、層間絕緣膜。此外，導電膜 604a、604b 可以使用可用於上述實施方式所說明的第一電極的導電材料形成。如上所述，電阻元件 610 可以使與用作電阻器的導電膜 604a、604b 接觸的氧化物半導體膜 603 的電流通路為一定，並可以為具有更加精確的電阻值的電阻元件。

實施方式 7

圖 11A 示出構成半導體裝置的記憶元件（以下也稱為儲存單元）的電路圖的一個例子。儲存單元由將氧化物半導體以外的材料用於通道形成區的電晶體 1160 及將氧化物半導體用於通道形成區的電晶體 1162 構成。

將氧化物半導體用於通道形成區的電晶體 1162 可以根據上述實施方式製造。

如圖 11A 所示，電晶體 1160 的閘極電極與電晶體 1162 的源極電極或汲極電極中的一個電連接。另外，第一佈線（1st Line：也稱為源極電極線）與電晶體 1160 的源極電極電連接，第二佈線（2nd Line：也稱為位元線）與電晶體 1160 的汲極電極電連接。另外，第三佈線（3rd Line：也稱為第一信號線）與電晶體 1162 的源極電極或汲極電極中的另一個電連接，第四佈線（4th Line：也稱為第二信號線）與電晶體 1162 的閘極電極電連接。

由於將氧化物半導體以外的材料例如單晶矽用於通道形成區的電晶體 1160 可以進行充分的高速工作，所以藉由使用電晶體 1160 可以進行高速的儲存內容的讀出等。此外，將氧化物半導體用於通道形成區的電晶體 1162 具有其截止電流比電晶體 1160 小的特徵。因此，藉由使電晶體 1162 成爲截止狀態，可以在極長時間保持電晶體 1160 的閘極電極的電位。

藉由有效地利用能夠保持電晶體 1160 的閘極電極的電位的特徵，可以如下所述那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入及保持進行說明。首先，藉由將第四佈線的電位設定爲使電晶體 1162 成爲導通狀態的電位，使電晶體 1162 成爲導通狀態。由此，將第三佈線的電位施加到電晶體 1160 的閘極電極（寫入）。然後，藉由將第四佈線的電位設定爲使電晶體 1162 成爲截止狀態的電位，使電晶體 1162 成爲截止狀態，而保持電晶體 1160 的閘極電極的電位（保持）。

因爲電晶體 1162 的截止電流比電晶體 1160 小，所以能長時間保持電晶體 1160 的閘極電極的電位。例如，在電晶體 1160 的閘極電極的電位爲使電晶體 1160 成爲導通狀態的電位的情況下，能長時間保持電晶體 1160 的導通狀態。另外，在電晶體 1160 的閘極電極的電位爲使電晶體 1160 成爲截止狀態的電位的情況下，能長時間保持電晶體 1160 的截止狀態。

接著，對資訊的讀出進行說明。如上所述，當在保持電晶體 1160 的導通狀態或截止狀態的狀態下將既定的電位（低電位）施加到第一佈線時，第二佈線的電位根據電晶體 1160 的導通狀態或截止狀態而取不同的值。例如，在電晶體 1160 處於導通狀態的情況下，第二佈線的電位相對於第一佈線的電位降低。另外，在電晶體 1160 處於截止狀態的情況下，第二佈線的電位不變化。

如上所述，藉由在保持資訊的狀態下對第二佈線的電位和既定的電位進行比較，可以讀出資訊。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入和保持同樣進行。換言之，藉由將第四佈線的電位設定為使電晶體 1162 成為導通狀態的電位，使電晶體 1162 成為導通狀態。由此，對電晶體 1160 的閘極電極施加第三佈線的電位（有關新的資訊的電位）。然後，藉由將第四佈線的電位設定為使電晶體 1162 成為截止狀態的電位，使電晶體 1162 成為截止狀態，而處於保持新的資訊的狀態。

如上所述，根據所公開的發明的儲存單元可以藉由再次進行資訊的寫入而直接改寫資訊。由此，不需要閃速記憶體等所需要的擦除工作，並且，可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現具有儲存單元的半導體裝置的高速工作。

此外，圖 11B 示出應用圖 11A 的儲存單元的電路圖的一個例子。

圖 11B 所示的儲存單元 1100 包括第一佈線 SL（源極電極線）、第二佈線 BL（位元線）、第三佈線 S1（第一信號線）、第四佈線 S2（第二信號線）、第五佈線 WL（字線）、電晶體 1164（第一電晶體）、電晶體 1161（第二電晶體）以及電晶體 1163（第三電晶體）。在電晶體 1164 及電晶體 1163 中，將氧化物半導體以外的材料用於通道形成區，在電晶體 1161 中，將氧化物半導體用於通道形成區。

在此，電晶體 1164 的閘極電極與電晶體 1161 的源極電極或汲極電極中的一個電連接。另外，第一佈線 SL 與電晶體 1164 的源極電極電連接，並且電晶體 1164 的汲極電極與電晶體 1163 的源極電極電連接。另外，第二佈線 BL 與電晶體 1163 的汲極電極電連接，第三佈線 S1 與電晶體 1161 的源極電極或汲極電極中的另一個電連接，第四佈線 S2 與電晶體 1161 的閘極電極電連接，並且第五佈線 WL 與電晶體 1163 的閘極電極電連接。

以下，具體說明電路的工作。

在將資料寫入到儲存單元 1100 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，而在寫入資料“0”時，將第三佈線 S1 設定為 0V。此時，電晶體 1163 處於截止狀態，電晶體 1161 處於導通狀態。另外，在資料寫入結束時，在第三佈線 S1 的電位變化之前，將第四佈線

S2 設定為 0V，而使電晶體 1161 處於截止狀態。

其結果是，在寫入資料“1”之後，連接到電晶體 1164 的閘極電極的節點（以下，稱為節點 A）的電位成為 2V 左右，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。在節點 A 中儲存根據第三佈線 S1 的電位的電荷，但電晶體 1161 的截止電流比將單晶矽用於通道形成區的電晶體小，從而能長時間保持電晶體 1164 的閘極電極的電位。

接著，在從儲存單元讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使連接於第二佈線 BL 的讀出電路處於工作狀態。此時，電晶體 1163 處於導通狀態，電晶體 1161 處於截止狀態。

在資料為“0”，即節點 A 大約處於 0V 的狀態下，電晶體 1164 處於截止狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於高電阻狀態。另一方面，在資料為“1”，即節點 A 處於 2V 左右的狀態下，電晶體 1164 處於導通狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於低電阻狀態。在讀出電路中可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，雖然在寫入時將第二佈線 BL 設定為 0V，但是也可以使第二佈線處於浮動狀態或充電到 0V 以上的電位。雖然在讀出時將第三佈線 S1 設定為 0V，但是也可以使第三佈線處於浮動狀態或充電到 0V 以上的電位。

注意，資料“1”和資料“0”是爲了方便起見而定義的，也可以反過來。另外，上述工作電壓只是一個例子。只要在資料爲“0”時使電晶體 1164 處於截止狀態且在資料爲“1”時使電晶體 1164 處於導通狀態的方式、在寫入時使電晶體 1161 處於導通狀態且在寫入時以外使電晶體 1161 處於截止狀態的方式以及在讀出時電晶體 1163 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。

在本實施方式中，爲了清楚地理解而說明了最小儲存單位（1 位元）的儲存單元，但是儲存單元的結構不侷限於此。也可以藉由適當地連接多個儲存單元而構成更高度的半導體裝置。例如，可以使用多個上述儲存單元而構成 NAND 型或 NOR 型的半導體裝置。佈線的結構也不侷限於圖 11A 或圖 11B，而可以適當地進行改變。

圖 12 示出具有 $m \times n$ 位元的儲存容量的本發明的一個方式關於的半導體裝置的框電路圖。

圖 12 所示的半導體裝置包括： m 個第五佈線 WL (1) 至 WL (m) 及第四佈線 S2 (1) 至 S2 (m)； n 個第二佈線 BL (1) 至 BL (n) 及第三佈線 S1 (1) 至 S1 (n)；將多個儲存單元 1100 (1, 1) 至 1100 (m, n) 配置爲縱 m 個（行） \times 橫 n 個（列）（ m, n 爲自然數）的矩陣狀的儲存單元陣列 1110；以及週邊電路如第二佈線及第三佈線的驅動電路 1111、第四佈線及第五佈線的驅動電路 1113 以及讀出電路 1112。作爲其他週邊電路，

也可以設置有刷新電路等。

作為各儲存單元的代表，考慮儲存單元 1100 (i 、 j)。在此，儲存單元 1100 (i 、 j) (i 為 1 以上且 m 以下的整數， j 為 1 以上且 n 以下的整數) 分別連接於第二佈線 BL (j)、第三佈線 S1 (j)、第五佈線 WL (i)、第四佈線 S2 (i) 以及第一佈線。將第一佈線電位 V_s 施加到第一佈線。另外，第二佈線 BL (1) 至 BL (n) 及第三佈線 S1 (1) 至 S1 (n) 連接於第二佈線及第三佈線的驅動電路 1111 及讀出電路 1112。此外，第五佈線 WL (1) 至 WL (m) 及第四佈線 S2 (1) 至 S2 (m) 連接於第四佈線及第五佈線的驅動電路 1113。

以下，說明圖 12 所示的半導體裝置的工作。在本結構中，按每個行進行寫入及讀出。

在對第 i 行的儲存單元 1100 (i 、1) 至 1100 (i 、 n) 進行寫入時，將第一佈線電位 V_s 設定為 0V，將第五佈線 WL (i) 設定為 0V，將第二佈線 BL (1) 至 BL (n) 設定為 0V，並且將第四佈線 S2 (i) 設定為 2V。此時，電晶體 1161 成為導通狀態。在寫入資料“1”的列中將第三佈線 S1 (1) 至 S1 (n) 設定為 2V，而在寫入資料“0”的列中將第三佈線 S1 (1) 至 S1 (n) 設定為 0V。另外，在資料寫入結束時，在第三佈線 S1 (1) 至 S1 (n) 的電位變化之前將第四佈線 S2 (i) 設定為 0V，而使電晶體 1161 處於截止狀態。另外，將未選擇的第五佈線 WL 設定為 0V，並且將未選擇的第四佈線 S2 設定為 0V。

其結果是，在寫入有資料“1”的儲存單元中，與電晶體 1164 的閘極電極連接的節點（以下稱為節點 A）的電位成爲 2V 左右，而在寫入有資料“0”的儲存單元中，節點 A 的電位成爲 0V 左右（參照圖 11B 及圖 12）。另外，未選擇的儲存單元的節點 A 的電位不變。

在進行第 i 行的儲存單元 1100 ($i, 1$) 至 1100 (i, n) 的讀出時，將第一佈線電位 V_s 設定爲 0V，將第五佈線 $WL(i)$ 設定爲 2V，將第四佈線 $S2(i)$ 設定爲 0V，將第三佈線 $S1(1)$ 至 $S1(n)$ 設定爲 0V，並使連接於第二佈線 $BL(1)$ 至 $BL(n)$ 的讀出電路處於工作狀態。在讀出電路中例如可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，將未選擇的第五佈線 WL 設定爲 0V，並且將未選擇的第四佈線 $S2$ 設定爲 0V。另外，雖然在寫入時將第二佈線 BL 設定爲 0V，但是也可以使第二佈線 BL 處於浮動狀態或充電到 0V 以上的電位。雖然在讀出時將第三佈線 $S1$ 設定爲 0V，但是也可以使第三佈線 $S1$ 處於浮動狀態或充電到 0V 以上的電位。

注意，資料“1”和資料“0”是爲了方便起見被定義的，也可以反過來。另外，上述工作電壓只是一個例子。只要在資料爲“0”時使電晶體 1164 處於截止狀態且在資料爲“1”時使電晶體 1164 處於導通狀態的方式、在寫入時使電晶體 1161 處於導通狀態且在寫入時以外使電晶體 1161 處於截止狀態的方式以及在讀出時電晶體 1163 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以

使用週邊邏輯電路的電源電位 VDD 代替 2V。

實施方式 8

在本實施方式中示出具有電容元件的儲存單元的電路圖的一個例子。圖 13A 所示的儲存單元 1170 包括第一佈線 SL、第二佈線 BL、第三佈線 S1、第四佈線 S2、第五佈線 WL、電晶體 1171（第一電晶體）、電晶體 1172（第二電晶體）以及電容元件 1173。在電晶體 1171 中將氧化物半導體以外的材料用於通道形成區，而在電晶體 1172 中，將氧化物半導體用於通道形成區。

在此，電晶體 1171 的閘極電極、電晶體 1172 的源極電極或汲極電極中的一個以及電容元件 1173 的一個的電極電連接。另外，第一佈線 SL 與電晶體 1171 的源極電極電連接，第二佈線 BL 與電晶體 1171 的汲極電極電連接，第三佈線 S1 與電晶體 1172 的源極電極或汲極電極中的另一個電連接，第四佈線 S2 與電晶體 1172 的閘極電極電連接，並且第五佈線 WL 與電容元件 1173 的另一個的電極電連接。

以下，具體說明電路的工作。

在將資料寫入到儲存單元 1170 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，在寫入資料“0”時，將第三佈線 S1 設定為 0V。此時，電晶體 1172 成為導通狀

態。另外，在資料寫入結束時，在第三佈線 S1 的電位變化之前，將第四佈線 S2 設定為 0V，而使電晶體 1172 處於截止狀態。

其結果是，在寫入資料“1”之後，連接到電晶體 1171 的閘極電極的節點（以下，稱為節點 A）的電位成為大約 2V，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。

在從儲存單元 1170 讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使連接於第二佈線 BL 的讀出電路處於工作狀態。此時，電晶體 1172 處於截止狀態。

以下，說明將第五佈線 WL 設定為 2V 時的電晶體 1171 的狀態。用來決定電晶體 1171 的狀態的節點 A 的電位取決於第五佈線 WL 與節點 A 之間的電容 C1 和電晶體 1171 的閘極與源極電極及汲極電極之間的電容 C2。

另外，雖然在讀出時將第三佈線 S1 設定為 0V，但是也可以使第三佈線 S1 處於浮動狀態或充電到 0V 以上的電位。資料“1”和資料“0”是爲了方便起見被定義的，也可以反過來。

關於寫入時的第三佈線 S1 的電位，在寫入後電晶體 1172 處於截止狀態另外在第五佈線 WL 的電位為 0V 時電晶體 1171 處於截止狀態的範圍，分別選擇資料“1”或資料“0”的電位即可。關於讀出時的第五佈線 WL 的電

位，以在資料“0”時電晶體 1171 處於截止狀態而在資料“1”時電晶體 1171 處於導通狀態的方式選擇電位，即可。另外，電晶體 1171 的臨界值電壓也只是一個例子。只要在不改變上述電晶體 1171 的狀態的範圍，就可以採用任何臨界值。

此外，使用圖 13B 說明使用儲存單元的 NOR 型半導體儲存裝置的例子，該儲存單元包括具有第一閘極電極及第二閘極電極的選擇電晶體以及電容元件。

圖 13B 所示的本發明的一個方式關於的半導體裝置具備儲存單元陣列，該儲存單元陣列具有排列為 I 行（ I 為 2 以上的自然數）和 J 列（ J 為自然數）的矩陣狀的多個儲存單元陣列。

圖 13B 所示的儲存單元陣列具有：排列為 i 行（ i 為 3 以上的自然數）和 j 列（ j 為 3 以上的自然數）的矩陣狀的多個儲存單元 1180； i 個字線 WL（字線 WL₁ 至字線 WL _{i} ）； i 個電容線 CL（電容線 CL₁ 至電容線 CL _{i} ）； i 個閘極線 BGL（閘極線 BGL₁ 至閘極線 BGL _{i} ）； j 個位元線 BL（位元線 BL₁ 至位元線 BL _{j} ）；以及源極電極線 SL。

再者，多個儲存單元 1180 的每一個（也稱為儲存單元 1180（ M, N ）（但是， N 為 1 以上且 j 以下的自然數， M 為 1 以上且 i 以下的自然數））具備電晶體 1181（ M, N ）、電容元件 1183（ M, N ）以及電晶體 1182（ M, N ）。

此外，在半導體儲存裝置中，電容元件由第一電容電極、第二電容電極以及重疊於第一電容電極及第二電容電極的介電層構成。在電容元件中根據施加到第一電容電極與第二電容電極之間的電壓積累電荷。

電晶體 1181 (M, N) 為 n 通道型電晶體，並具有源極電極、汲極電極、第一閘極電極以及第二閘極電極。此外，在本實施方式的半導體儲存裝置中，電晶體 1181 不一定需要為 n 通道型電晶體。

電晶體 1181 (M, N) 的源極電極和汲極電極中的一個與位元線 BL_N 連接，電晶體 1181 (M, N) 的第一閘極電極與字線 WL_M 連接，電晶體 1181 (M, N) 的第二閘極電極與閘極線 BGL_M 連接。藉由採用電晶體 1181 (M, N) 的源極電極和汲極電極中的一個與位元線 BL_N 連接的結構，可以在每個儲存單元選擇性地讀出資料。

電晶體 1181 (M, N) 在儲存單元 1180 (M, N) 中具有選擇電晶體的功能。

作為電晶體 1181 (M, N)，可以使用將氧化物半導體用於通道形成區的電晶體。

電晶體 1182 (M, N) 為 P 通道型電晶體。此外，在本實施方式的半導體儲存裝置中，電晶體 1182 不一定需要為 P 通道型電晶體。

電晶體 1182 (M, N) 的源極電極和汲極電極中的一個與源極電極線 SL 連接，電晶體 1182 (M, N) 的源極電極和汲極電極中的另一個與位元線 BL_N 連接，電晶體

1182 (M, N) 的閘極電極與電晶體 1181 (M, N) 的源極電極和汲極電極中的另一個連接。

電晶體 1182 (M, N) 在儲存單元 1180 (M, N) 中具有輸出電晶體的功能。作為電晶體 1182 (M, N)，例如可以使用將單晶矽用於通道形成區的電晶體。

電容元件 1183 (M, N) 的第一電容電極與電容線 CL_M 連接，電容元件 1183 (M, N) 的第二電容電極與電晶體 1181 (M, N) 的源極電極和汲極電極中的另一個連接。另外，電容元件 1183 (M, N) 具有儲存電容器的功能。

字線 WL_1 至字線 WL_i 的每個電壓例如由使用解碼器的驅動電路控制。

位元線 BL_1 至位元線 BL_j 的每個電壓例如由使用解碼器的驅動電路控制。

電容線 CL_1 至電容線 CL_i 的每個電壓例如由使用解碼器的驅動電路控制。

閘極線 BGL_1 至閘極線 BGL_i 的每個電壓例如使用閘極線驅動電路控制。

閘極線驅動電路例如由包括二極體及第一電容電極與二極體的陽極及閘極線 BGL 電連接的電容元件的電路而構成。

藉由調節電晶體 1181 的第二閘極電極的電壓，可以調節電晶體 1181 的臨界值電壓。從而，可以調節用作選擇電晶體的電晶體 1181 的臨界值電壓，而可以使流動在

截止狀態下的電晶體 1181 的源極電極和汲極電極之間的電流極小。因此，可以延長儲存裝置中的資料保持期間。此外，由於可以使寫入及讀出資料時需要的電壓比現有的半導體裝置低，所以可以降低耗電量。

實施方式 9

在本實施方式中，參照圖 14A 和圖 14B 說明使用上述實施方式所示的電晶體的半導體裝置的例子。

圖 14A 示出具有相當於所謂 DRAM (Dynamic Random Access Memory : 動態隨機記憶體) 的結構的半導體裝置的一個例子。圖 14A 所示的儲存單元陣列 1120 具有將多個儲存單元 1130 排列為矩陣狀的結構。另外，儲存單元陣列 1120 具有 m 個第一佈線以及 n 個第二佈線。注意，在本實施方式中將第一佈線稱為位元線 BL，將第二佈線稱為字線 WL。

儲存單元 1130 具有電晶體 1131 和電容元件 1132。電晶體 1131 的閘極電極與第一佈線 (字線 WL) 連接。另外，電晶體 1131 的源極電極或汲極電極中的一個與第二佈線 (位元線 BL) 連接，電晶體 1131 的源極電極或汲極電極中的另一個與電容元件的一個的電極連接。另外，電容元件的另一個的電極與電容線 CL 連接，並被施加有一定的電壓。作為電晶體 1131 使用上述實施方式所示的電晶體。

與將單晶矽用於通道形成區的電晶體相比，將上述實

施方式所示的氧化物半導體用於通道形成區的電晶體的截止電流低。因此，如果將該電晶體用於作為所謂 DRAM 而被認識的圖 14A 所示的半導體裝置，則可以得到實質上的不揮發性儲存裝置。

圖 14B 示出具有相當於所謂 SRAM (Static Random Access Memory: 靜態隨機存取記憶體) 的結構的半導體裝置的一個例子。圖 14B 所示的儲存單元陣列 1140 可以採用將多個儲存單元 1150 排列為矩陣狀的結構。此外，儲存單元陣列 1140 具有多個第一佈線 (字線 WL)、多個第二佈線 (位元線 BL) 以及多個第三佈線 (反相 (inverted) 位元線/BL)。

儲存單元 1150 具有第一電晶體 1151、第二電晶體 1152、第三電晶體 1153、第四電晶體 1154、第五電晶體 1155 以及第六電晶體 1156。第一電晶體 1151 和第二電晶體 1152 用作選擇電晶體。另外，第三電晶體 1153 和第四電晶體 1154 中，一個為 n 通道型電晶體 (在此為第四電晶體 1154)，另一個為 p 通道型電晶體 (在此為第三電晶體 1153)。換言之，由第三電晶體 1153 和第四電晶體 1154 構成 CMOS 電路。同樣地，由第五電晶體 1155 和第六電晶體 1156 構成 CMOS 電路。

第一電晶體 1151、第二電晶體 1152、第四電晶體 1154、第六電晶體 1156 為 n 通道型電晶體，可以使用上述實施方式所示的電晶體。第三電晶體 1153 和第五電晶體 1155 為 p 通道型電晶體，將氧化物半導體以外的材料

（例如，單晶矽等）用於這些電晶體的通道形成區。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 10

至少其一部分可以使用將氧化物半導體用於通道形成區的電晶體來構成 CPU（Central Processing Unit:中央處理單元）。

圖 15A 是示出 CPU 的具體結構的方塊圖。圖 15A 所示的 CPU 在其基板 1190 上具有：運算邏輯單元（ALU: Arithmetic logic unit）1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、定時控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排界面（匯流排 I/F）1198、能夠重寫的 ROM 1199 以及 ROM 介面（ROM I/F）1189。基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM 1199 及 ROM I/F 1189 也可以設置在不同的晶片上。當然，圖 15A 所示的 CPU 只不過是簡化其結構而示出的一個例子，所以實際的 CPU 根據其用途具有各種各樣的結構。

藉由 Bus I/F 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195 根據被解碼的指令而進行各種控

制。明確而言，ALU 控制器 1192 生成用來控制 ALU 1191 的工作的信號。另外，中斷控制器 1194 在進行 CPU 的程式時，根據其優先度或遮罩狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

另外，定時控制器 1195 生成用來控制 ALU 1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作定時的信號。例如，定時控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈發生器，並將該時脈信號 CLK2 供應到上述各種電路。

在圖 15A 所示的 CPU 中，在暫存器 1196 中設置有記憶元件。作為暫存器 1196 的記憶元件可以使用實施方式 8 所示的記憶元件。

在圖 15A 所示的 CPU 中，暫存器控制器 1197 根據 ALU 1191 的指令來選擇暫存器 1196 中的保持工作。換言之，暫存器控制器 1197 選擇在暫存器 1196 所具有的記憶元件中由倒相元件（phase-inversion element）保持資料或由電容元件保持資料。在選擇由倒相元件保持資料的情況下，對暫存器 1196 中的記憶元件供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶元件供應電源電壓。

如圖 15B 或圖 15C 所示，關於電源的停止可以藉由在記憶元件群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來進行。以下對圖 15B 及圖 15C 的電路進行說明。

圖 15B 及圖 15C 示出儲存電路的結構的一個例子，其中作為用來控制對記憶元件供應電源電位的切換元件使用將氧化物半導體用於通道形成區的電晶體。

圖 15B 所示的儲存裝置包括切換元件 1141 以及具有多個記憶元件 1142 的記憶元件群 1143。明確而言，作為各記憶元件 1142 可以使用實施方式 8 所示的記憶元件。記憶元件群 1143 所具有的各記憶元件 1142 藉由切換元件 1141 施加有高電平的電源電位 VDD。並且，記憶元件群 1143 所具有的各記憶元件 1142 施加有信號 IN 的電位和低電平的電源電位 VSS。

在圖 15B 中，作為切換元件 1141 使用將氧化物半導體用於通道形成區的電晶體，並且該電晶體由施加到其閘極電極的信號 SigA 來控制其開關。

另外，雖然圖 15B 中示出切換元件 1141 只具有一個電晶體的結構，但是不限於此，切換元件 1141 也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯來連接。

另外，在圖 15B 中，雖然由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應高電平的電

源電位 VDD，但是也可以由切換元件 1141 控制供應低電平的電源電位 VSS。

另外，圖 15C 示出儲存裝置的一個例子，其中藉由切換元件 1141 對記憶元件群 1143 所具有的各記憶元件 1142 供應低電平的電源電位 VSS。可以由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應低電平的電源電位 VSS。

即使在記憶元件群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，暫時停止 CPU 的動作而停止供應電源電壓，也能夠保持資料，從而可以降低耗電量。明確而言，例如個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊的期間，也可以停止 CPU 的工作，因此可以降低耗電量。

在此，雖然以 CPU 為例子來說明，但是也可以應用於 DSP (Digital Signal Processor：數位信號處理器)、定制 LSI、FPGA(Field Programmable Gate Array：現場可編程閘陣列)等的 LSI。

本實施方式可以與上述實施方式適當地組合而實施。

【符號說明】

100：電晶體

101：基板

102：基底絕緣膜

103：氧化物半導體膜

- 105 : 第一區
- 107a : 第二區
- 107b : 第二區
- 109a : 第三區
- 109b : 第三區
- 111 : 閘極絕緣膜
- 113 : 第一電極
- 115 : 側壁絕緣膜
- 115a : 側壁絕緣膜
- 115b : 側壁絕緣膜
- 117 : 層間絕緣膜
- 119a : 第二電極
- 119b : 第三電極
- 116a : 開口部
- 116b : 開口部
- 130 : 氧化物半導體膜
- 132 : 島狀的氧化物半導體膜
- 140 : 氧化物半導體膜
- 114 : 絕緣膜
- 150 : 摻雜物
- 200 : 電晶體
- 201 : 基板
- 202 : 基底絕緣膜
- 203 : 氧化物半導體膜

- 205 : 第一區
- 207a : 第二區
- 207b : 第二區
- 209a : 第三區
- 209b : 第三區
- 211 : 閘極絕緣膜
- 212 : 導電膜
- 213 : 第一電極
- 215 : 側壁絕緣膜
- 215a : 側壁絕緣膜
- 215b : 側壁絕緣膜
- 217 : 層間絕緣膜
- 219a : 第二電極
- 219b : 第三電極
- 216a : 開口部
- 216b : 開口部
- 210 : 絕緣膜
- 214 : 絕緣膜
- 300 : 電晶體
- 301 : 基板
- 302 : 基底絕緣膜
- 303 : 氧化物半導體膜
- 305 : 第一區
- 307a : 第二區

- 307b : 第二區
- 309a : 第三區
- 309b : 第三區
- 311 : 閘極絕緣膜
- 313 : 第一電極
- 314 : 絕緣膜
- 315 : 側壁絕緣膜
- 315a : 側壁絕緣膜
- 315b : 側壁絕緣膜
- 317 : 層間絕緣膜
- 319a : 第二電極
- 319b : 第三電極
- 340 : 氧化物半導體膜
- 400 : 電晶體
- 401 : 基板
- 402 : 基底絕緣膜
- 403 : 氧化物半導體膜
- 405 : 第一區
- 407a : 第二區
- 407b : 第二區
- 409a : 第三區
- 409b : 第三區
- 410a : 第四區
- 410b : 第四區

- 411 : 閘極絕緣膜
- 413 : 第一電極
- 415a : 側壁絕緣膜
- 415b : 側壁絕緣膜
- 419a : 第二電極
- 419b : 第三電極
- 420 : 絕緣膜
- 500 : 電晶體
- 600 : 電晶體
- 601 : 基板
- 602 : 基底絕緣膜
- 603 : 氧化物半導體膜
- 604a : 導電膜
- 604b : 導電膜
- 606 : 絕緣膜
- 610 : 電阻元件
- 1100 : 儲存單元
- 1110 : 儲存單元陣列
- 1111 : 驅動電路
- 1112 : 讀出電路
- 1113 : 驅動電路
- 1120 : 儲存單元陣列
- 1130 : 儲存單元
- 1131 : 電晶體

- 1132 : 電容元件
- 1140 : 儲存單元陣列
- 1141 : 切換元件
- 1142 : 記憶元件
- 1143 : 記憶元件群
- 1150 : 儲存單元
- 1151 : 電晶體
- 1152 : 電晶體
- 1153 : 電晶體
- 1154 : 電晶體
- 1155 : 電晶體
- 1156 : 電晶體
- 1160 : 電晶體
- 1161 : 電晶體
- 1162 : 電晶體
- 1163 : 電晶體
- 1164 : 電晶體
- 1170 : 儲存單元
- 1171 : 電晶體
- 1172 : 電晶體
- 1173 : 電容元件
- 1180 : 儲存單元
- 1181 : 電晶體
- 1182 : 電晶體

- 1183 : 電容元件
- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 定時控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM

I640099

發明摘要

※申請案號：

※申請日：100年12月26日

※IPC分類：

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明提供一種不容易因微型化而產生電特性變動的半導體裝置。本發明的一個方式是一種半導體裝置，包括：包括第一區、與第一區的側面接觸的一對第二區、與一對第二區的側面接觸的一對第三區的氧化物半導體膜；設置在氧化物半導體膜上的閘極絕緣膜；以及閘極絕緣膜上的與第一區接觸的第一電極，其中，第一區為CAAC氧化物半導體區，一對第二區及一對第三區為包含摻雜物的非晶氧化物半導體區，一對第三區的摻雜濃度比一對第二區的摻雜濃度高。

【英文】

A semiconductor device in which fluctuation in electric characteristics due to miniaturization is less likely to be caused is provided. The semiconductor device includes an oxide semiconductor film including a first region, a pair of second regions in contact with side surfaces of the first region, and a pair of third regions in contact with side surfaces of the pair of second regions; a gate insulating film provided over the oxide semiconductor film; and a first electrode that is over the gate insulating film and overlaps with the first region. The first region is a CAAC oxide semiconductor region. The pair of second regions and the pair of third regions are each an amorphous oxide semiconductor region containing a dopant. The dopant concentration of the pair of third regions is higher than the dopant concentration of the pair of second regions.

圖式

圖 1A

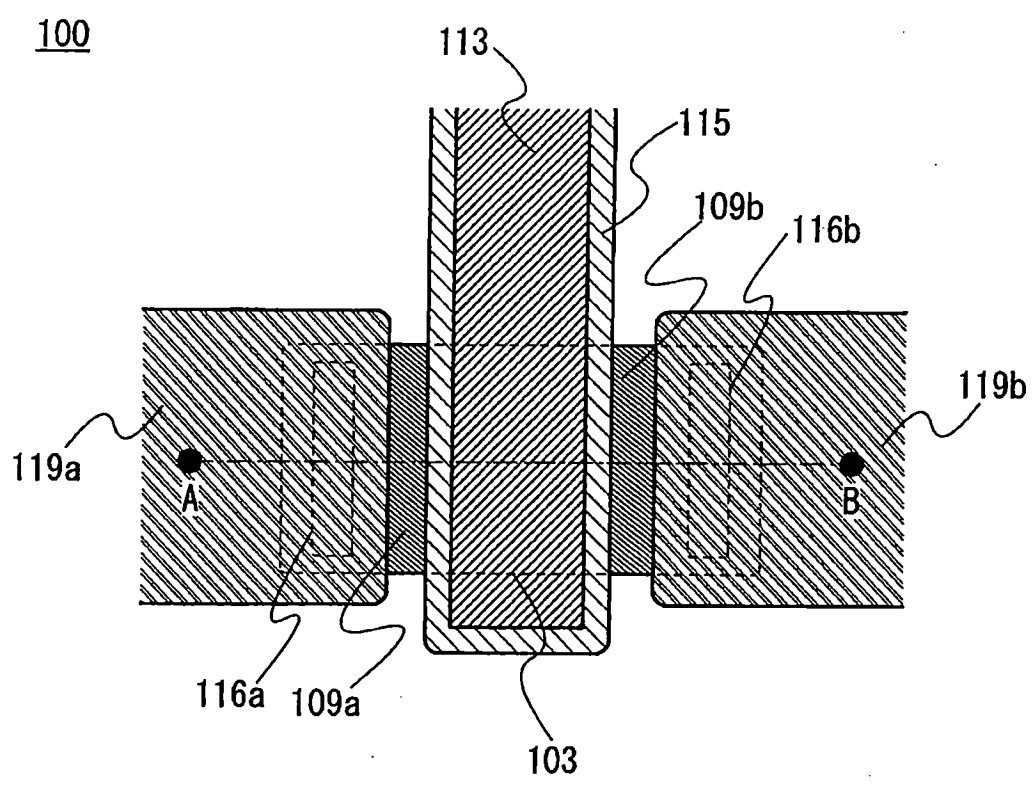


圖 1B

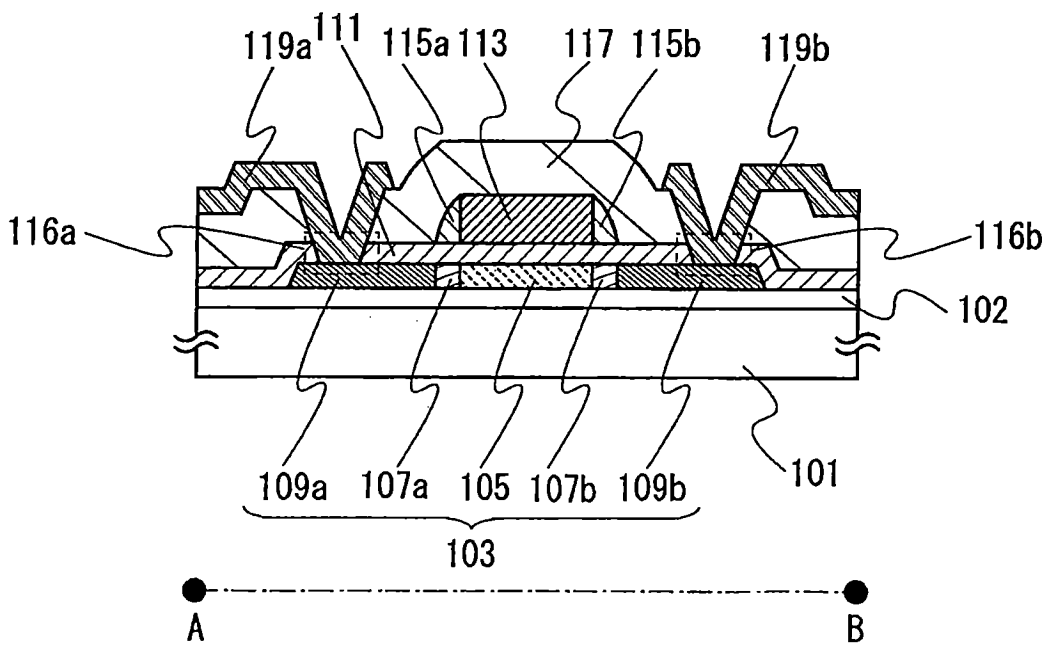


圖 2A

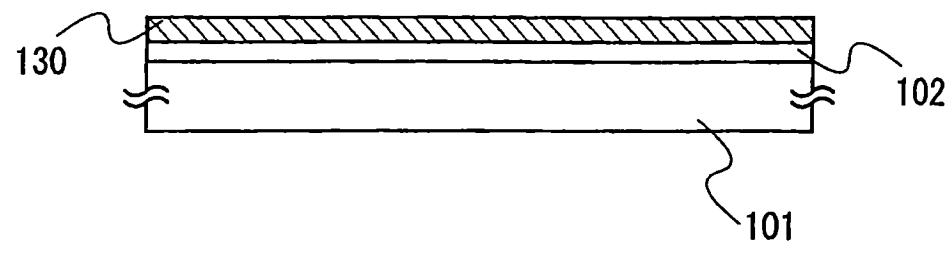


圖 2B

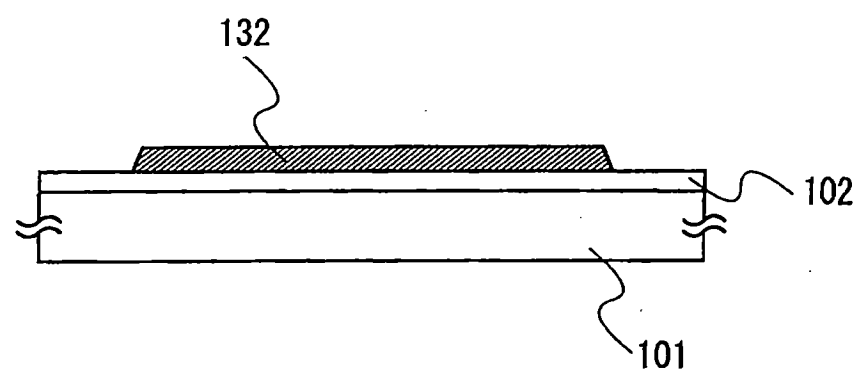


圖 2C

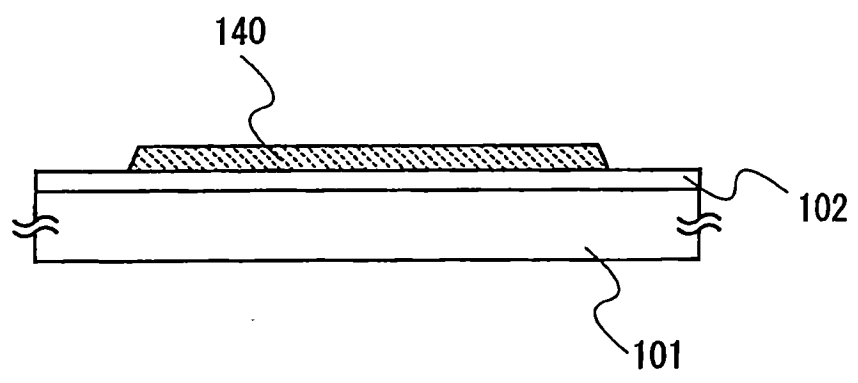


圖 3A

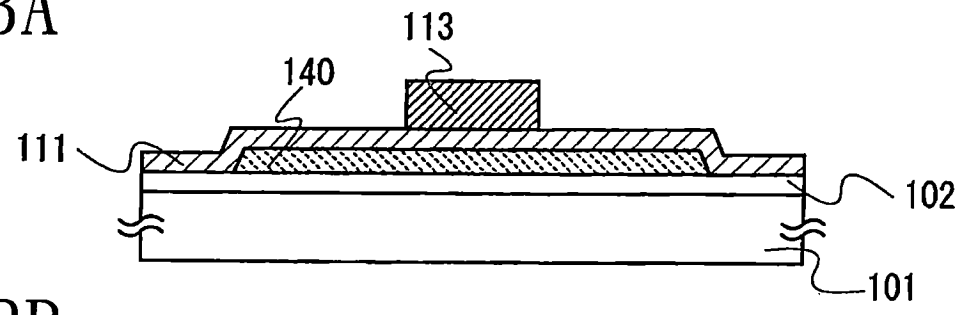


圖 3B

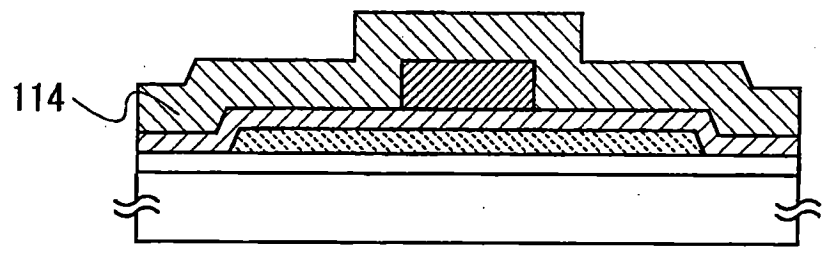


圖 3C

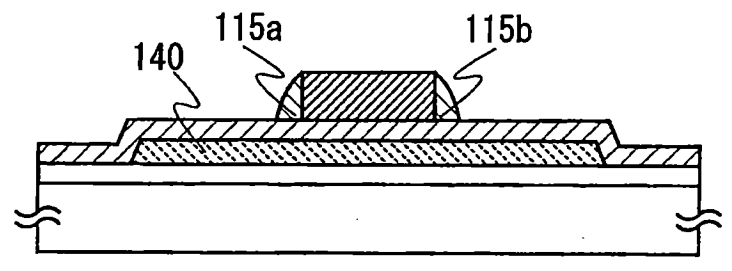


圖 3D

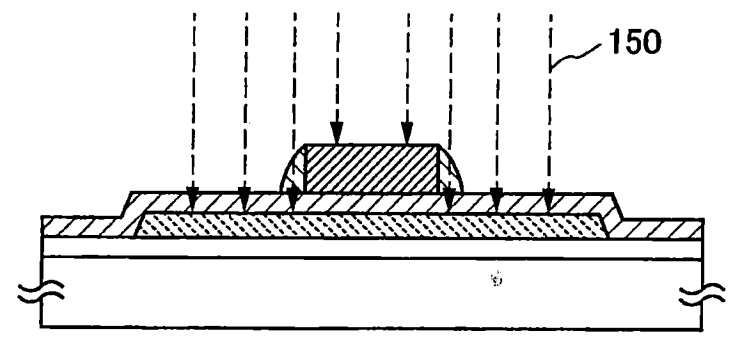


圖 3E

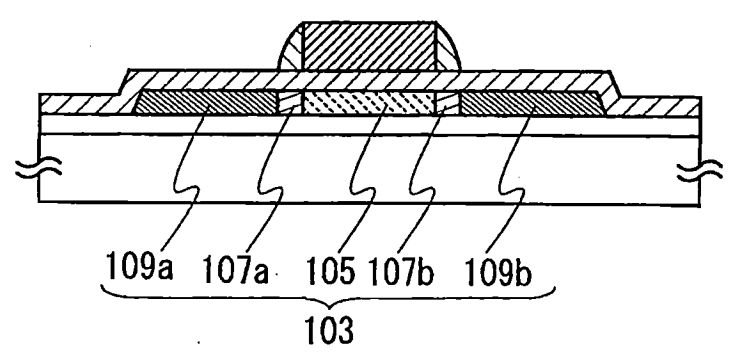


圖 4A

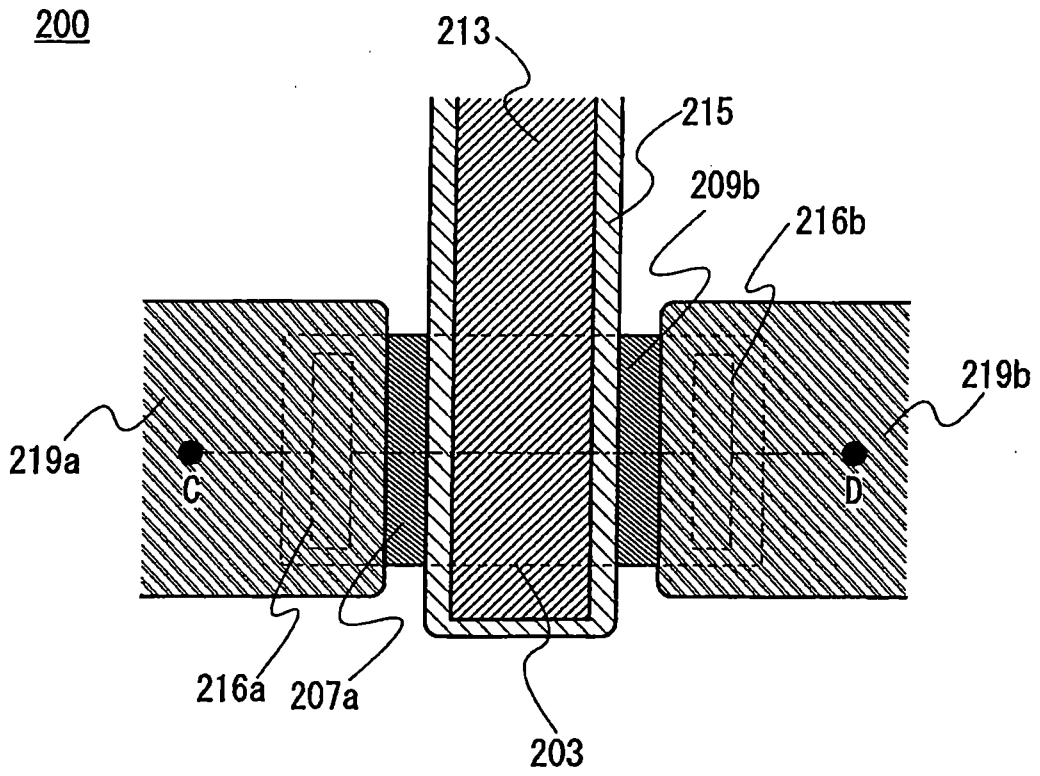


圖 4B

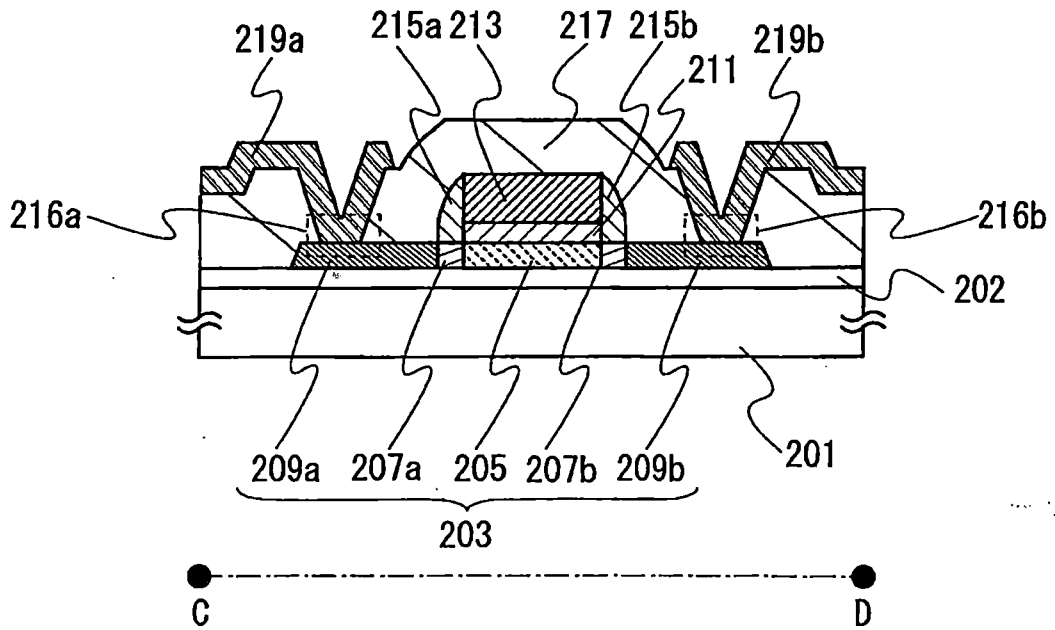


圖 5A

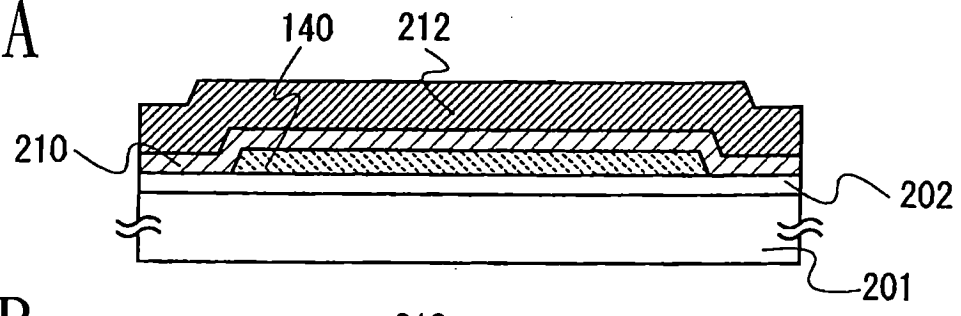


圖 5B

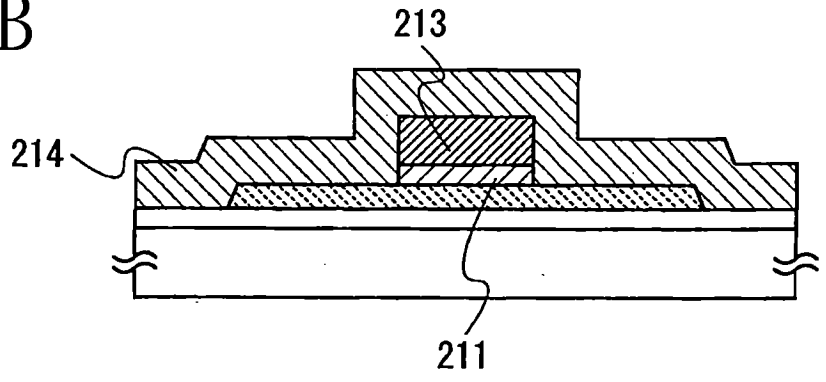


圖 5C

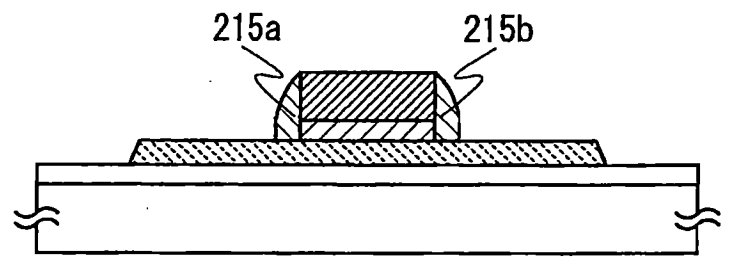


圖 5D

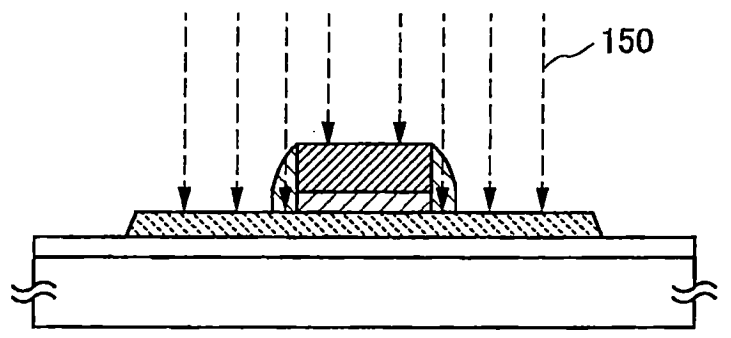


圖 5E

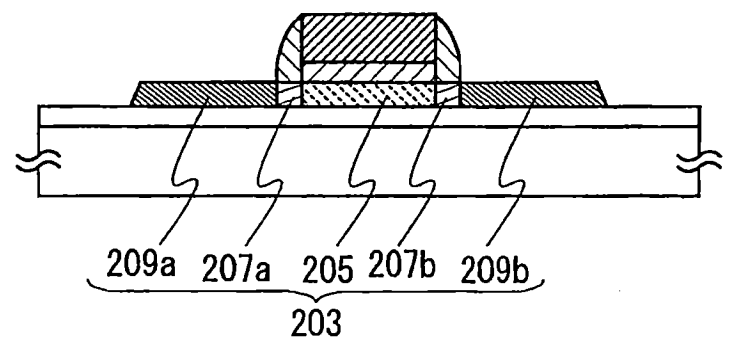


圖 6A

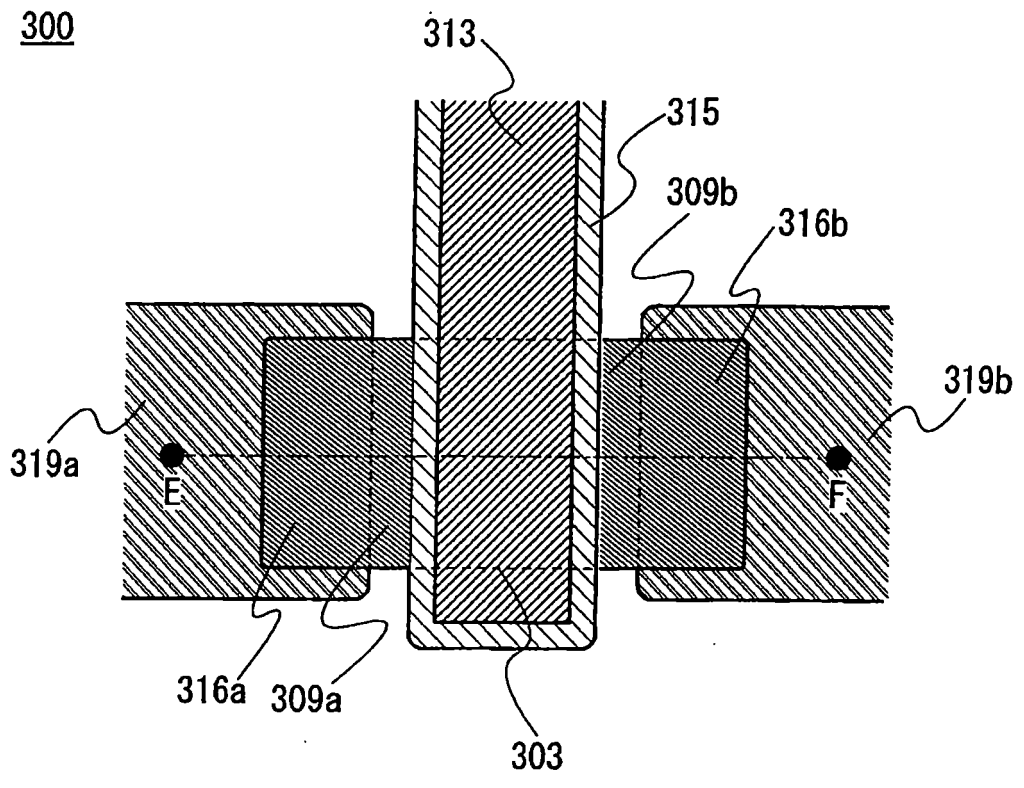


圖 6B

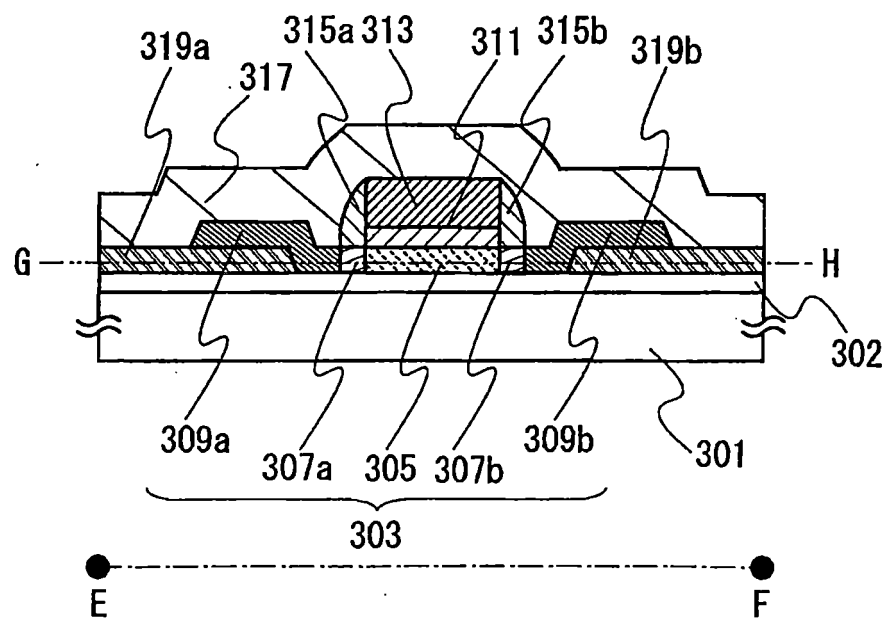


圖 7A

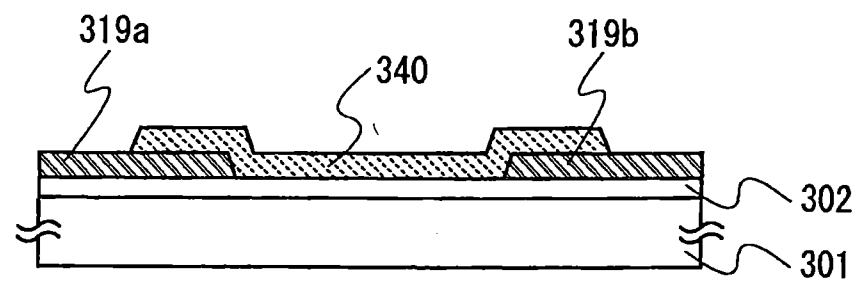


圖 7B

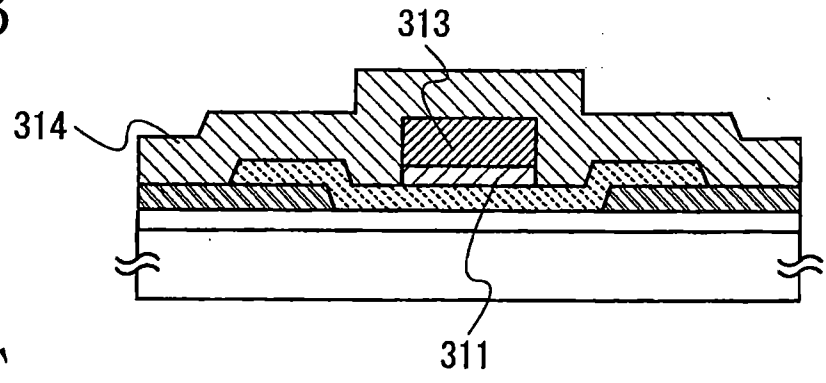


圖 7C

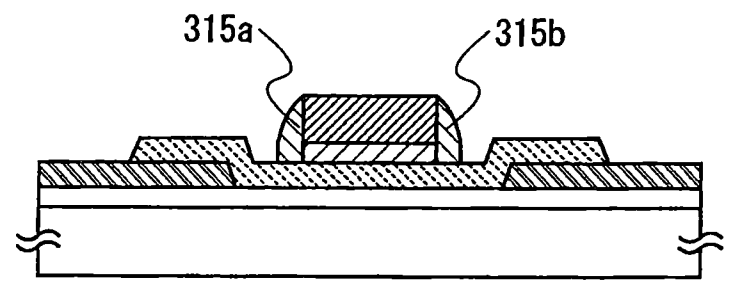


圖 7D

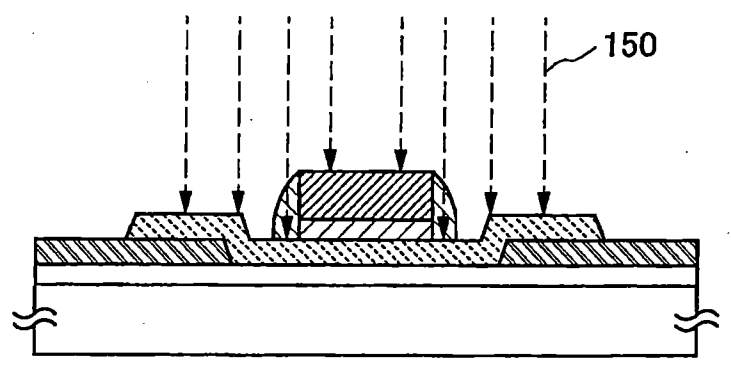
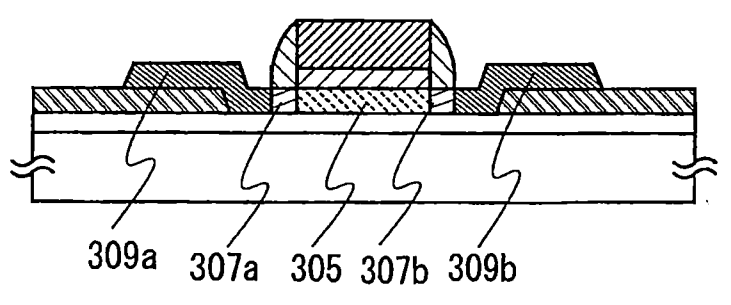


圖 7E



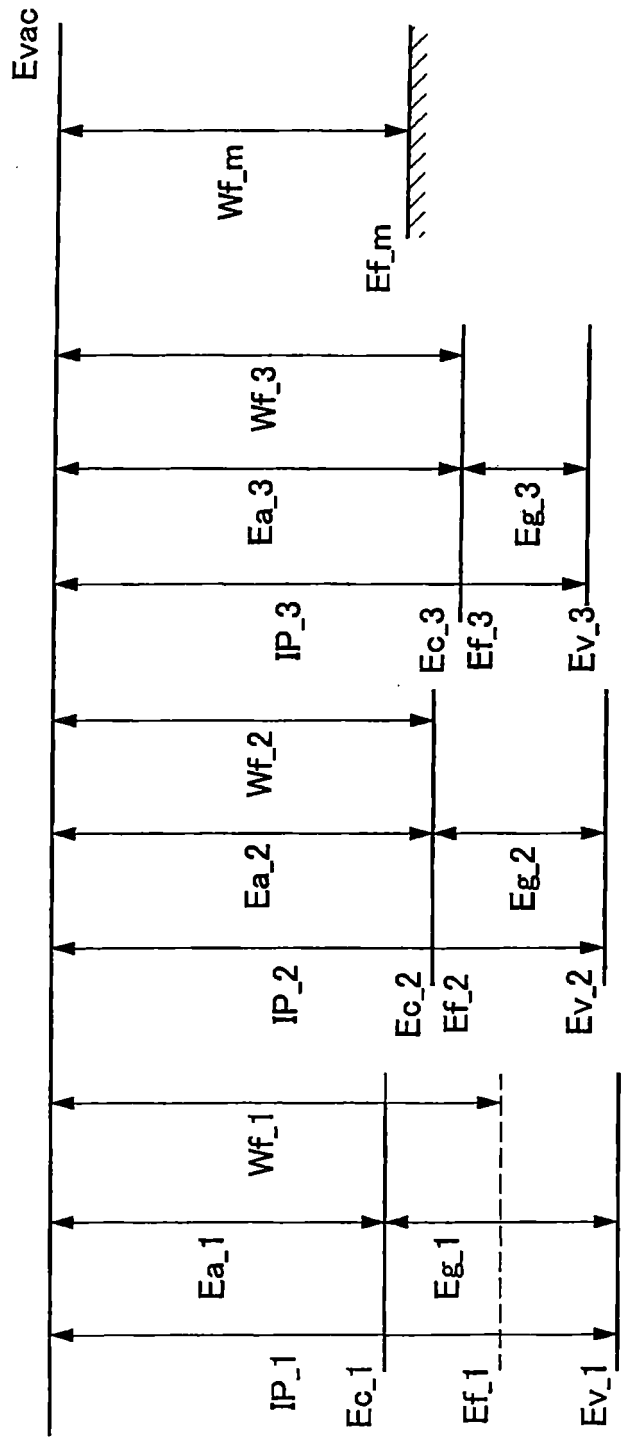


圖 8A

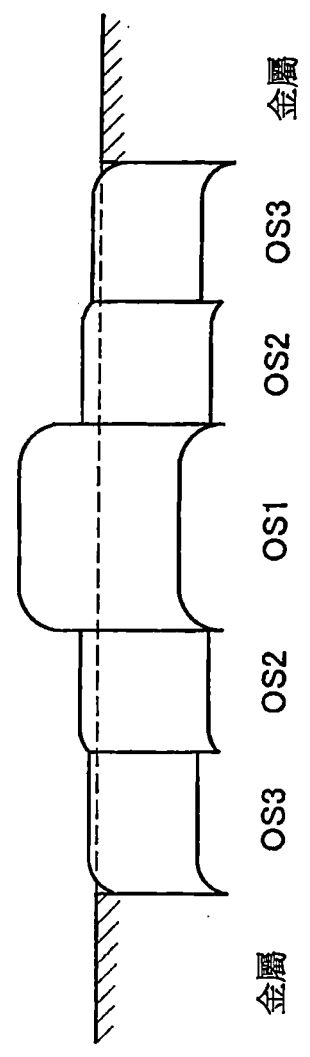
金屬

OS3

OS2

OS1

圖 8B



金屬

OS2

OS1

OS2

OS3

金屬

圖 9A

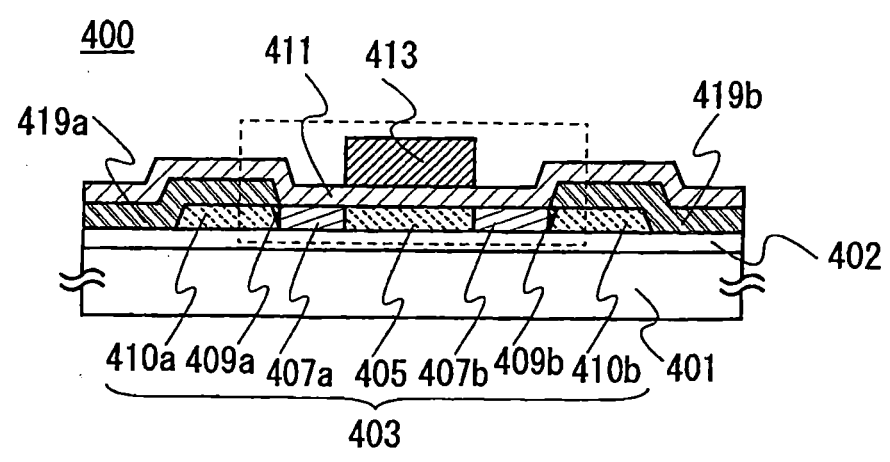


圖 9B

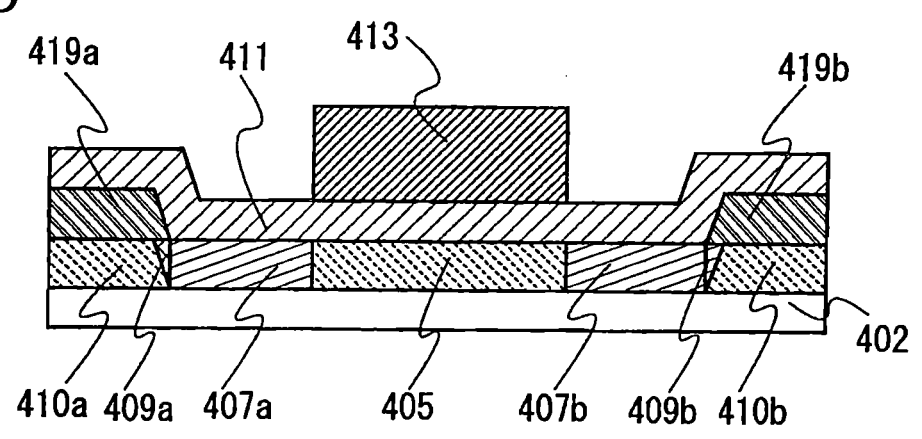


圖 9C

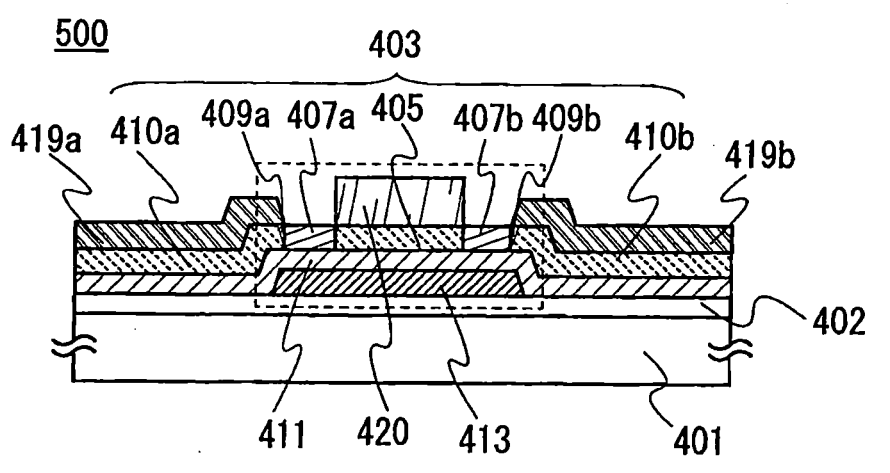


圖 9D

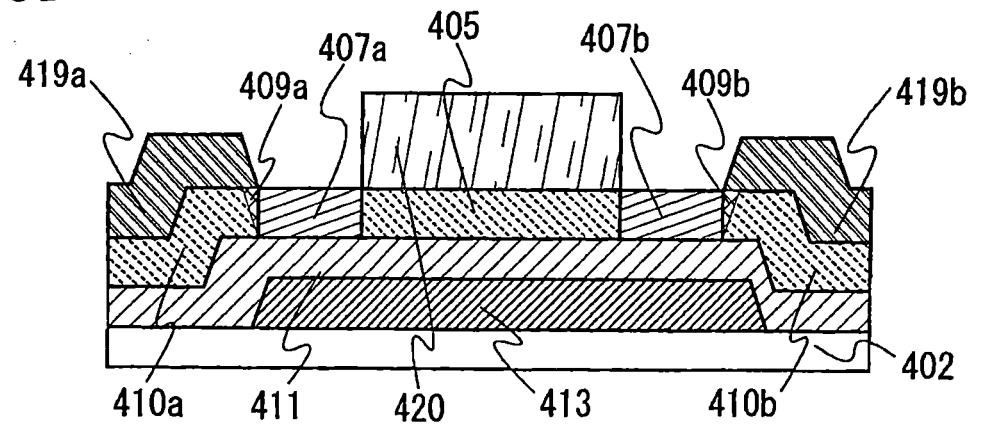


圖 10A

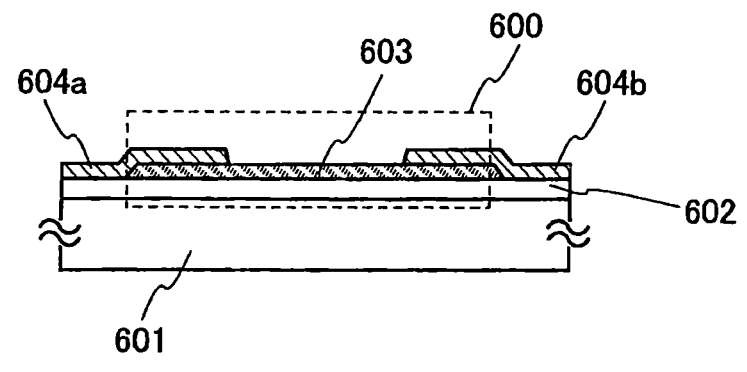


圖 10B

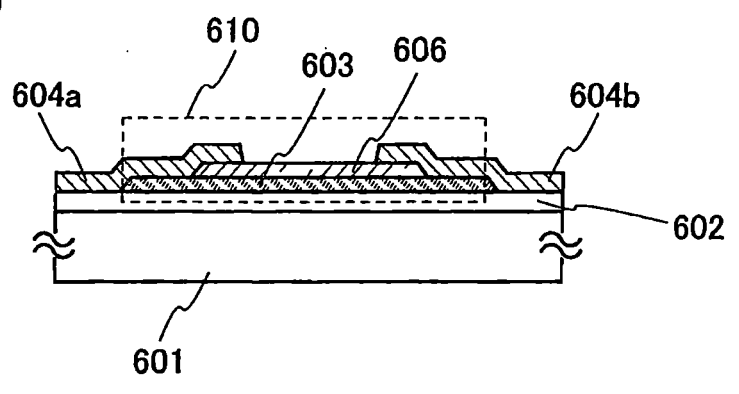


圖 11A

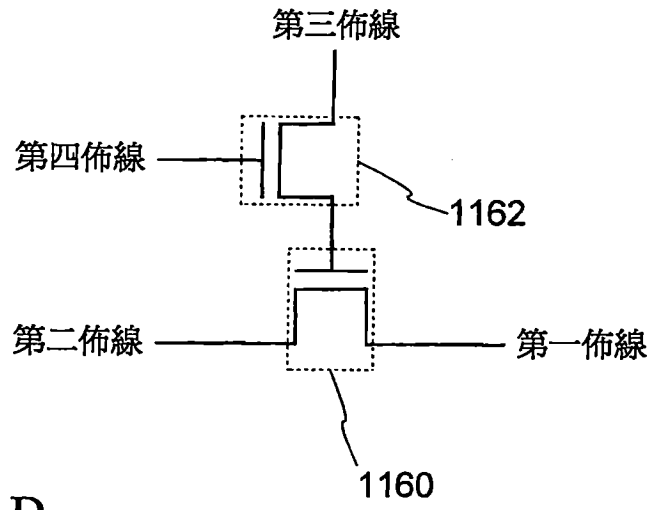


圖 11B

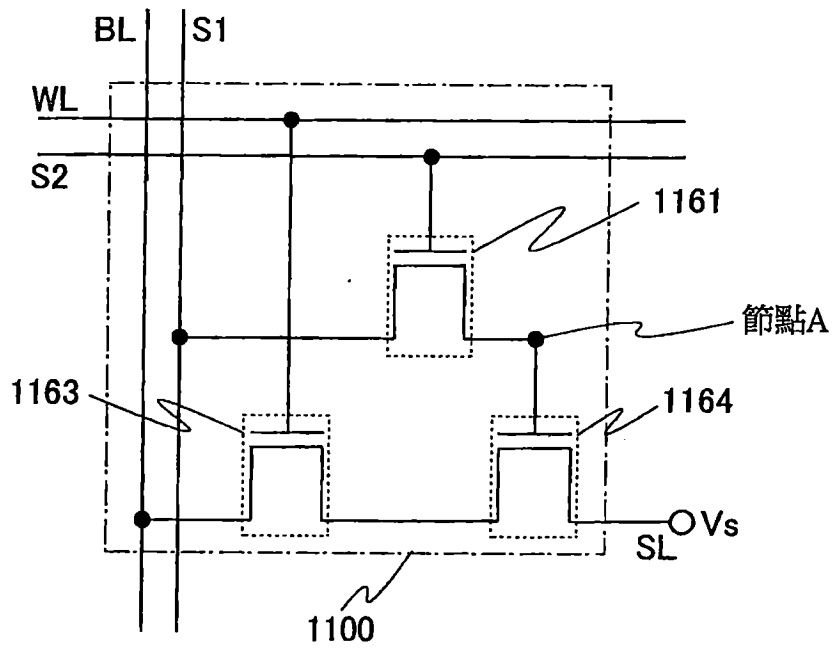


圖 12

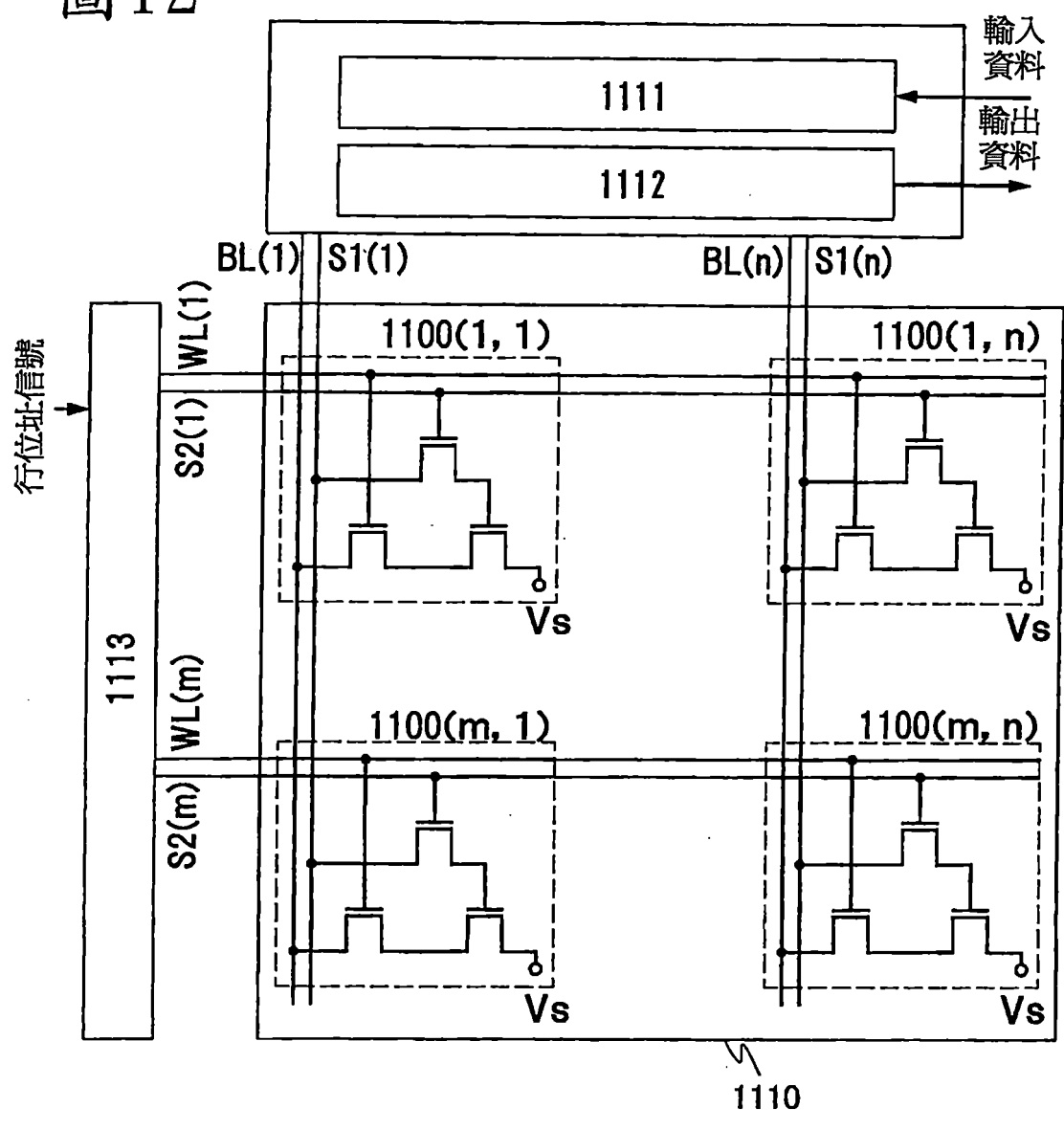


圖 13A

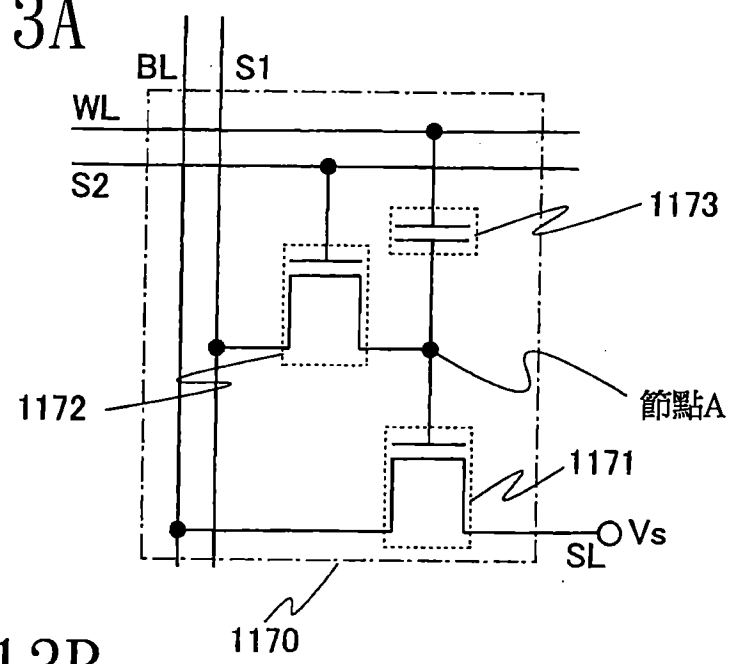


圖 13B

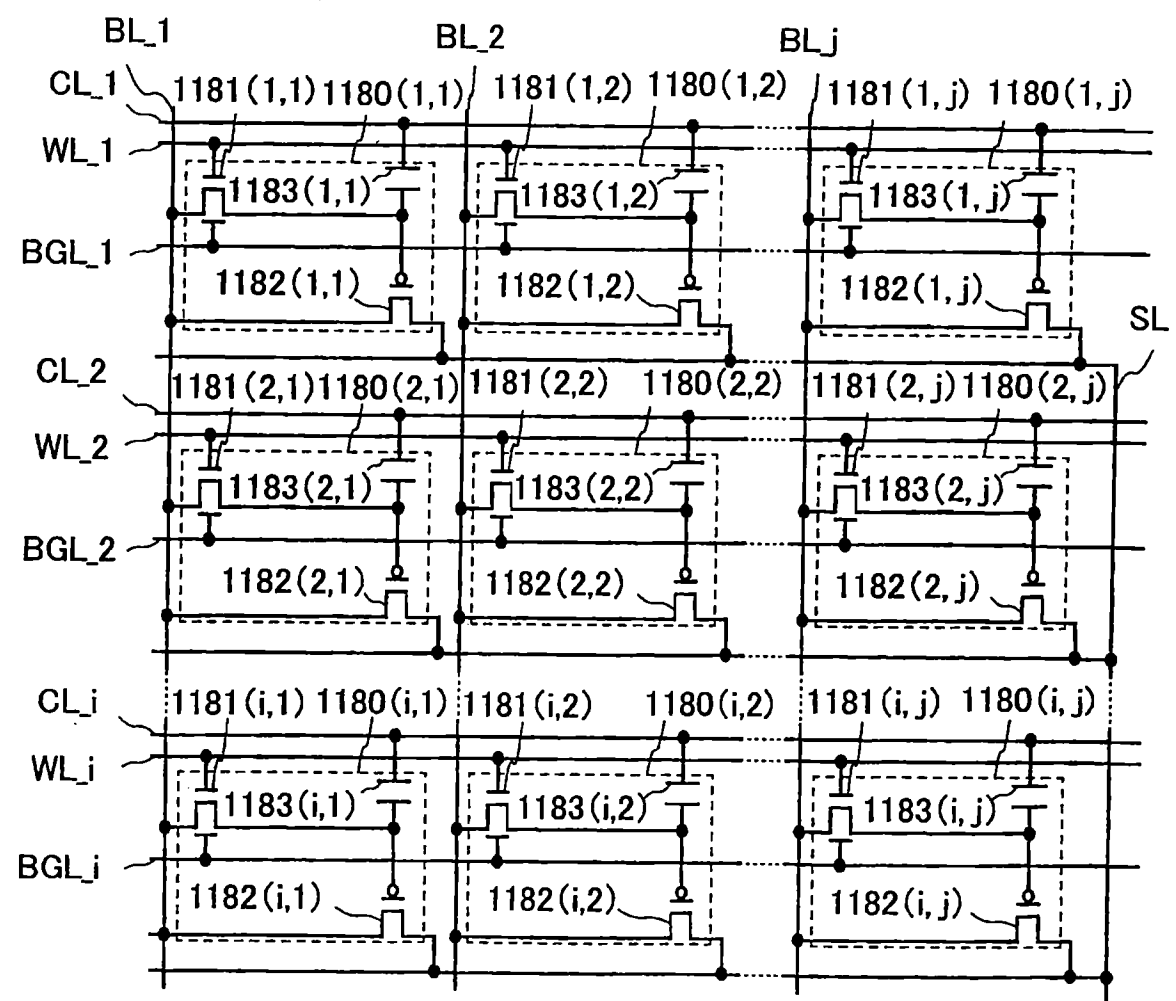


圖 14A

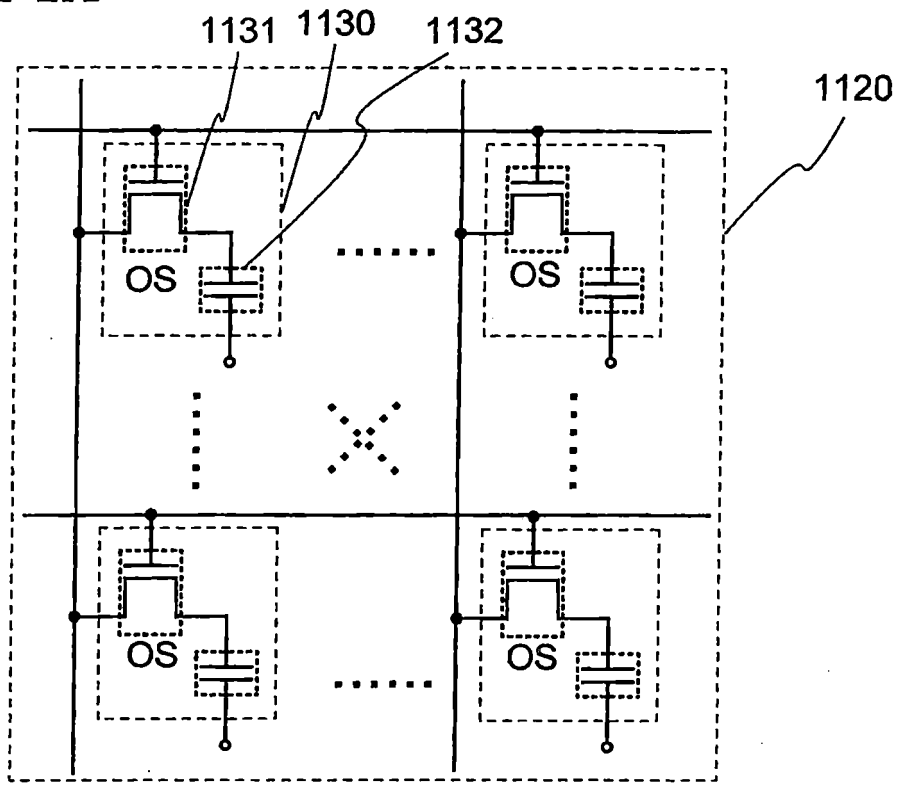


圖 14B

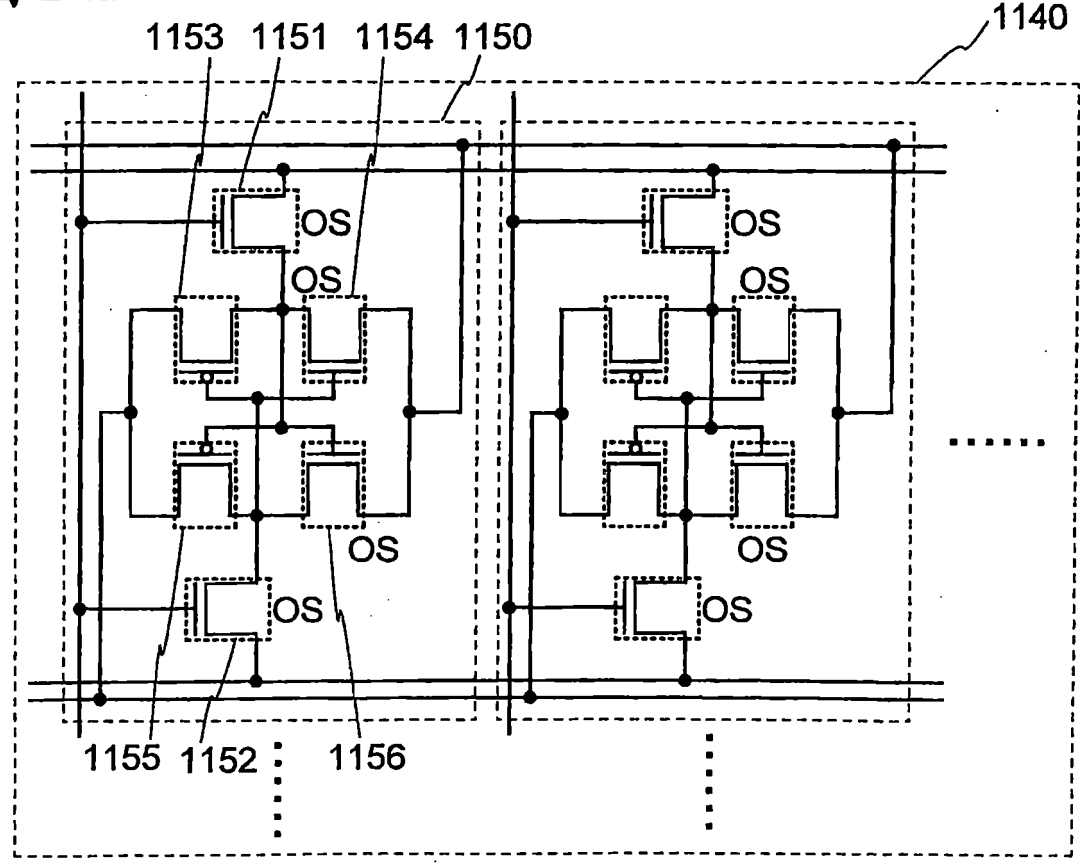


圖 15A

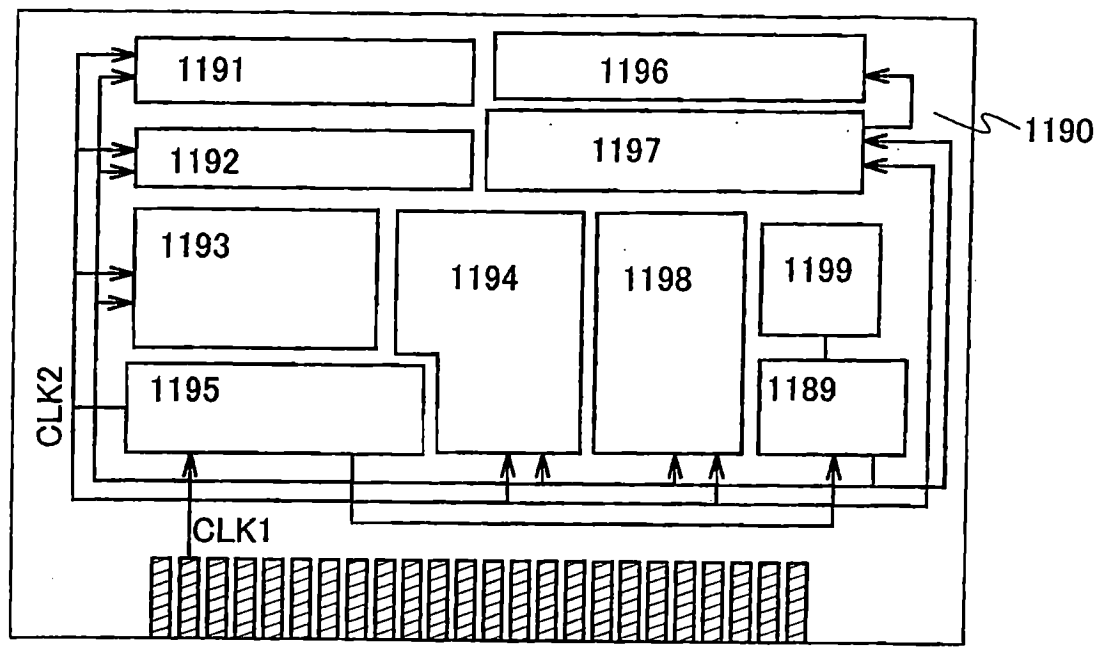


圖 15B

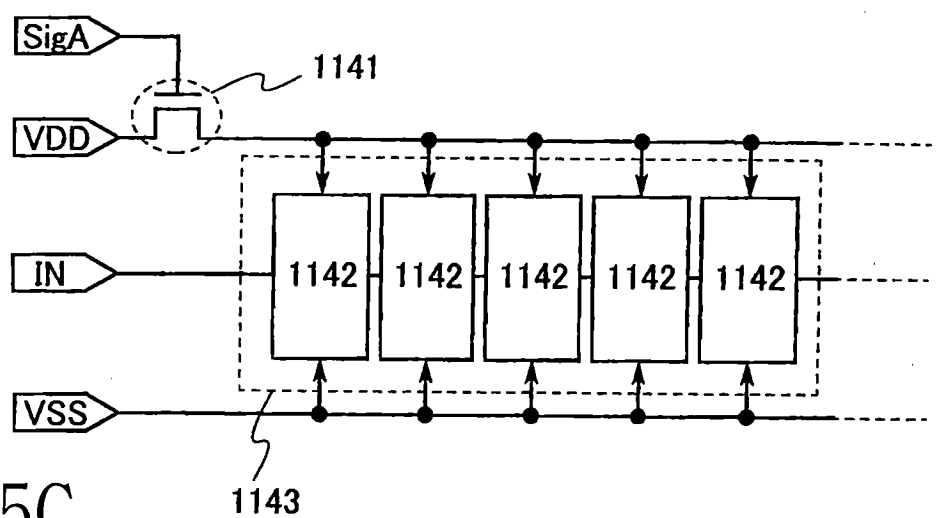
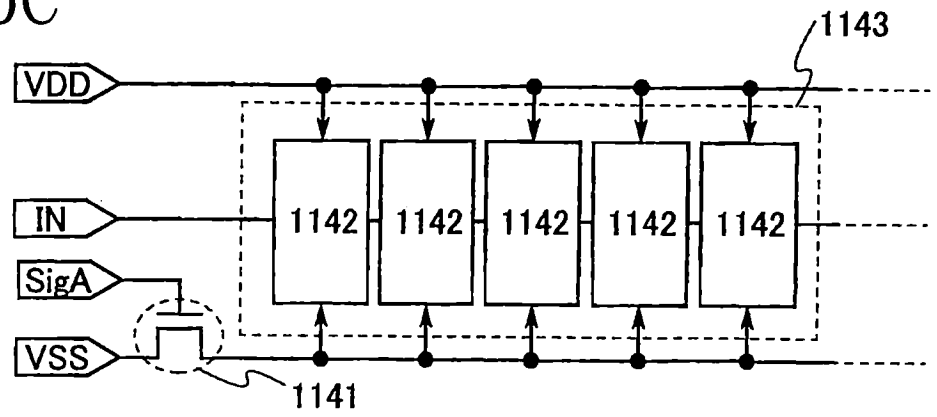


圖 15C



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

- 101：基板
- 102：基底絕緣膜
- 103：氧化物半導體膜
- 105：第一區
- 107a：第二區
- 107b：第二區
- 109a：第三區
- 109b：第三區
- 111：閘極絕緣膜
- 113：第一電極
- 115a：側壁絕緣膜
- 115b：側壁絕緣膜
- 116a：開口部
- 116b：開口部
- 117：層間絕緣膜
- 119a：第二電極
- 119b：第三電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，其包含：

氧化物半導體膜，其包含：

第一區；

一對第二區，該第一區位於該一對第二區之間；

以及

一對第三區，該第一區及該一對第二區位於該一對第三區之間；

閘極絕緣膜，其在該氧化物半導體膜之上；

閘極電極，其在該閘極絕緣膜之上且與該第一區重疊；以及

第一側壁絕緣膜及第二側壁絕緣膜，其位於該閘極電極之側面上，

其中該閘極絕緣膜與該第一區重疊，

其中該第一側壁絕緣膜與該一對第二區中的一者重疊，以及該第二側壁絕緣膜與該一對第二區中的另一者重疊，

其中該一對第二區及該一對第三區中的每一者包含摻雜物，

其中該一對第三區之摻雜物濃度大於該一對第二區之摻雜物濃度，

其中第一電極與該一對第三區中一者的底部表面接觸，以及

其中第二電極與該一對第三區中另一者的底部表面接觸。

2. 一種半導體裝置，其包含：

氧化物半導體膜，其包含：

第一區；

一對第二區，該第一區位於該一對第二區之間；

以及

一對第三區，該第一區及該一對第二區位於該一對第三區之間；

閘極絕緣膜，其在該氧化物半導體膜之上；

閘極電極，其在該閘極絕緣膜之上且與該第一區重疊；以及

第一側壁絕緣膜及第二側壁絕緣膜，其位於該閘極電極之側面及該閘極絕緣膜之側面上，

其中該閘極絕緣膜與該第一區重疊，

其中該第一側壁絕緣膜與該一對第二區中的一者重疊，以及該第二側壁絕緣膜與該一對第二區中的另一者重疊，

其中該一對第二區及該一對第三區中的每一者包含摻雜物，

其中該一對第三區之摻雜物濃度大於該一對第二區之摻雜物濃度，

其中第一電極與該一對第三區中一者的底部表面接觸，以及

其中第二電極與該一對第三區中另一者的底部表面接觸。

3. 一種半導體裝置，其包含：
- 氧化物半導體膜，其包含：
- 第一區；
- 一對第二區，該第一區位於該一對第二區之間；
- 以及
- 一對第三區，該第一區及該一對第二區位於該一對第三區之間；
- 閘極絕緣膜，其在該氧化物半導體膜之上；
- 閘極電極，其在該閘極絕緣膜之上且與該第一區重疊；以及
- 第一側壁絕緣膜及第二側壁絕緣膜，其位於該閘極電極之側面上，
- 其中該閘極絕緣膜與該第一區重疊，
- 其中該第一側壁絕緣膜與該一對第二區中的一者重疊，以及該第二側壁絕緣膜與該一對第二區中的另一者重疊，
- 其中該第一區為 c 軸配向晶體氧化物半導體區，
- 其中該一對第二區及該一對第三區中的每一者包含摻雜物，
- 其中該一對第三區之摻雜物濃度大於該一對第二區之摻雜物濃度，
- 其中第一電極與該一對第三區中一者的底部表面接觸，以及
- 其中第二電極與該一對第三區中另一者的底部表面接觸

觸。

4. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該閘極絕緣膜為氧化物絕緣膜，以及

其中該第一側壁絕緣膜及該第二側壁絕緣膜中的每一者為氮化物絕緣膜。

5. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該閘極絕緣膜、該第一側壁絕緣膜及該第二側壁絕緣膜中的每一者為氧化物絕緣膜。

6. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該一對第二區及該一對第三區包含選自氮、磷和砷中的一或多種元素作為摻雜物，以及

其中該一對第二區之該摻雜物濃度及該一對第三區之該摻雜物濃度大於或等於 5×10^{18} 原子/立方公分並且小於或等於 1×10^{22} 原子/立方公分。

7. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該一對第二區及該一對第三區包含選自氮、磷和砷中的一或多種元素作為摻雜物，

其中該一對第二區之該摻雜物濃度大於或等於 5×10^{18} 原子/立方公分並且小於 5×10^{19} 原子/立方公分，以及

其中該一對第三區之該摻雜物濃度大於或等於 5×10^{19}

原子/立方公分並且小於或等於 1×10^{22} 原子/立方公分。

8. 如申請專利範圍第 1 至 3 項中任一項所述之半導體裝置，

其中該氧化物半導體膜包含選自 In、Ga、Sn 和 Zn 中的兩種或多種的元素。