



(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201140899 A1

(43)公開日：中華民國 100 (2011) 年 11 月 16 日

(21)申請案號：099127790

(22)申請日：中華民國 99 (2010) 年 08 月 19 日

(51)Int. Cl. : H01L45/00 (2006.01)

H01L27/24 (2006.01)

(30)優先權：2010/05/12 美國

12/778,897

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹市新竹科學工業園區力行路 16 號

國際商業機器股份有限公司 (美國) INTERNATIONAL BUSINESS MACHINES
CORPORATION (US)
美國

(72)發明人：龍翔瀾 LUNG, HSIANG LAN (TW)；林仲漢 LAM, CHUNG HON (US)；布雷杜斯
克 馬修 J BREITWISCH, MATTHEW J. (US)

(74)代理人：李貴敏

申請實體審查：有 申請專利範圍項數：24 項 圖式數：22 共 53 頁

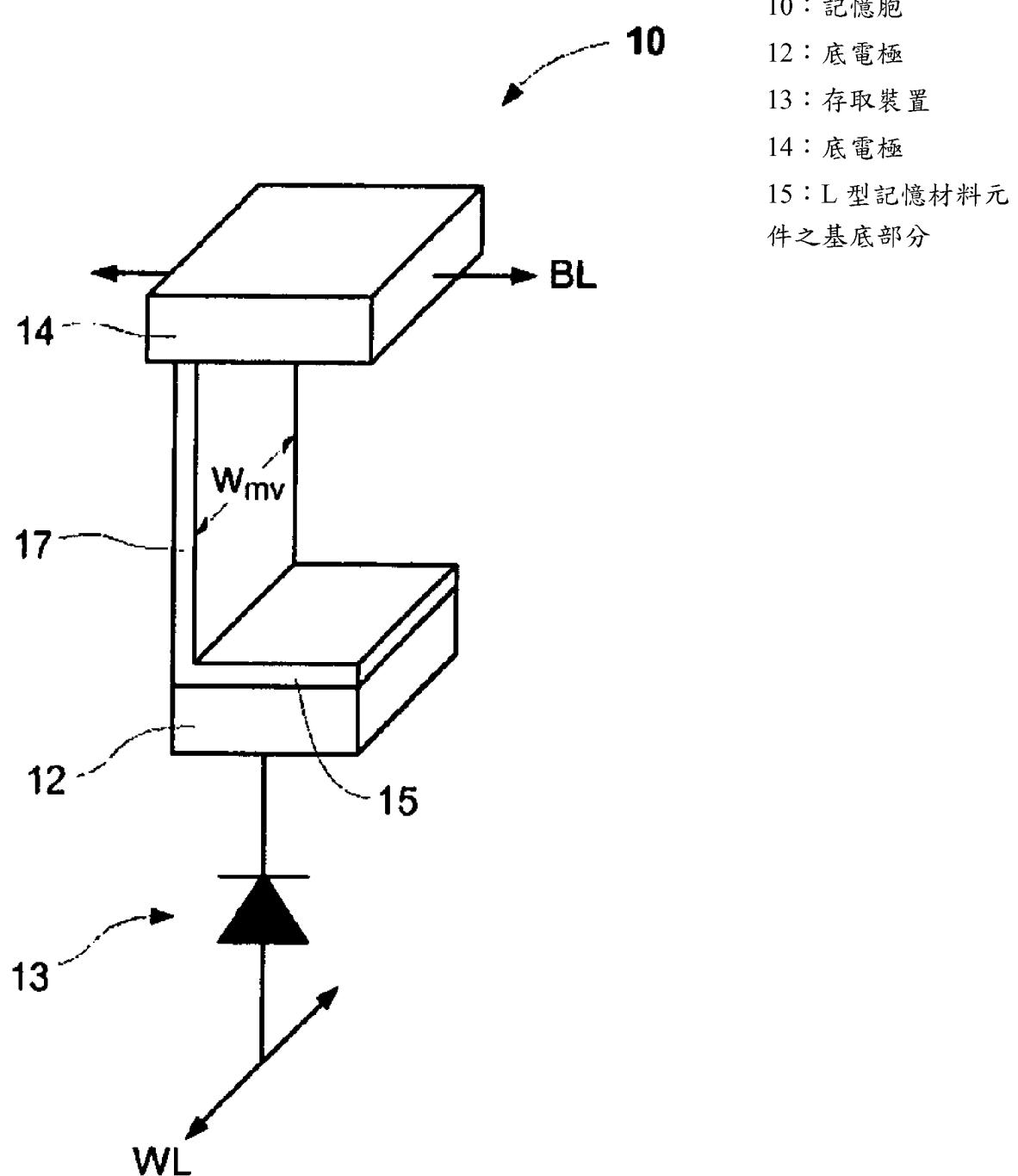
(54)名稱

自動對準之鰭型可程式記憶胞

SELF ALIGNED FIN-TYPE PROGRAMMABLE MEMORY CELL

(57)摘要

本發明的特徵為一記憶胞具有一底電極與一存取裝置電性耦接、一頂電極及一 L 形記憶材料元件與底電極和頂電極電性耦接。一種記憶陣列包括上述之記憶胞陣列，其與存取裝置陣列電性耦接。本發明的再一目的為提供一種製造一具有記憶胞之記憶陣列的方法，包含：提供一底電極陣列於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接；形成一介電支持層於該底電極陣列之上，該介電支持層具有一上表面；形成一空洞穿過該介電支持層，定義一具有側壁的介電支持結構且裸露鄰接該側壁的該底電極之表面；形成一記憶材料薄膜於該介電支持結構之上及該空洞中；沈積一介電間隔物層於該記憶材料薄膜之上；由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；形成一介電填充層；平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。





(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201140899 A1

(43)公開日：中華民國 100 (2011) 年 11 月 16 日

(21)申請案號：099127790

(22)申請日：中華民國 99 (2010) 年 08 月 19 日

(51)Int. Cl. : H01L45/00 (2006.01)

H01L27/24 (2006.01)

(30)優先權：2010/05/12 美國

12/778,897

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹市新竹科學工業園區力行路 16 號

國際商業機器股份有限公司 (美國) INTERNATIONAL BUSINESS MACHINES
CORPORATION (US)
美國

(72)發明人：龍翔瀾 LUNG, HSIANG LAN (TW)；林仲漢 LAM, CHUNG HON (US)；布雷杜斯
克 馬修 J BREITWISCH, MATTHEW J. (US)

(74)代理人：李貴敏

申請實體審查：有 申請專利範圍項數：24 項 圖式數：22 共 53 頁

(54)名稱

自動對準之鰭型可程式記憶胞

SELF ALIGNED FIN-TYPE PROGRAMMABLE MEMORY CELL

(57)摘要

本發明的特徵為一記憶胞具有一底電極與一存取裝置電性耦接、一頂電極及一 L 形記憶材料元件與底電極和頂電極電性耦接。一種記憶陣列包括上述之記憶胞陣列，其與存取裝置陣列電性耦接。本發明的再一目的為提供一種製造一具有記憶胞之記憶陣列的方法，包含：提供一底電極陣列於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接；形成一介電支持層於該底電極陣列之上，該介電支持層具有一上表面；形成一空洞穿過該介電支持層，定義一具有側壁的介電支持結構且裸露鄰接該側壁的該底電極之表面；形成一記憶材料薄膜於該介電支持結構之上及該空洞中；沈積一介電間隔物層於該記憶材料薄膜之上；由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；形成一介電填充層；平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

六、發明說明：

【發明所屬之技術領域】

本發明係關於根基於相變化記憶材料的高密度記憶裝置，例如硫屬化物材料及其他可程式電阻記憶材料，及此種裝置的製造方法。

【先前技術】

相變化為基礎的記憶材料，例如硫屬化物或其他類似的材料可以藉由施加合適應用於積體電路中的電流階級而導致在一非晶態與一結晶態之間的相變化。此大致為非晶態具有較大致為結晶態更高的電阻率，其可以很容易被感應而作為指示資料之用。這些特性引起了使用可程式電阻材料作為非揮發記憶體電路的興趣，其可以進行隨機存取的讀取或寫入。

自非晶狀態改變為結晶狀態的相變化通常是一較低電流的操作。而自結晶狀態改變為結非晶狀態的相變化，在此稱為重置，一般係為一高電流操作，其包含一個短且高電流密度脈衝以熔化或打斷此晶相結構，在此相變化材料快速的冷卻之後，退火此熔化的相變化材料且允許至少一部份的相變化材料穩定至非晶態。

重置操作所需的電流密度可由降低在記憶胞內相變化材料元件的大小及/或在電極及相變化材料之間的接觸面積，故較高的電流密度可藉由使用較小的絕對電流值通過此相變化材料而達成。

一個記憶胞中的相變化記憶元件之尺寸可以藉由限制電流於一較小的體積中來減少。在形成一限制記憶胞結構的方案中，一鰭型底電極元件被形成且隨後被凹陷以提供一較窄縫隙



供沈積相變化材料之用。此製程的困難在於需要將相變化材料填入非常窄的縫隙中。此外，完成後的鰭型相變化材料僅具有有限的高度，其會限制此記憶胞的能量節省表現。

【發明內容】

通常而言，本發明的特徵為一記憶胞具有一底電極與一存取裝置電性耦接、一頂電極及一L形記憶材料元件與底電極和頂電極電性耦接。

此L形記憶材料元件具有通常為水平基底部分及一平面垂直部分，其中該記憶材料元件之該平面垂直部分(鰭型)係由沈積一記憶材料薄膜於一寬溝渠的側壁所形成，且其可以被認為具有一高度。

本發明的目的之一為提供一記憶胞具有一底電極、一頂電極及一L形記憶材料元件，其具有通常為水平基底部分及一平面垂直部分與底電極和頂電極電性耦接。在某些實施例中，記憶材料元件的水平基底部分與底電極的一接觸表面接觸。在某些實施例中，記憶材料元件平面垂直部分的一上方端點之一表面與頂電極接觸；在其他的實施例中，記憶材料層是在頂電極之下，且記憶材料元件平面垂直部分的一上方端點之一表面與記憶材料層接觸。

此記憶材料元件平面垂直部分的一上方端點之接觸表面是通常為平面的，且通常位於與底電極接觸表面平行的平面上，且與L形記憶材料元件平面垂直部分正交。

在某些實施例中，該記憶材料元件包含一可程式化電阻材料。在某些實施例中，該可程式化電阻材料包括一相變化記憶材料，且在某些如此的實施例中，該相變化記憶材料包括硫屬化物為基礎的材料，例如是鎗銻碲(GST)合金。

本發明的另一目的為提供一種記憶陣列包含一記憶胞陣列，該記憶胞包括一L形記憶材料元件與底電極和頂電極電性耦接。該底電極於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接，且該頂電極與位元線電性耦接或構成位元線。

在某些實施例中，該存取裝置包括電晶體；在某些實施例中，該電晶體包括場效電晶體(FET)且在某些實施例中，該電晶體包括雙極接面電晶體(BJT)；在某些實施例中，該存取裝置包括二極體；在某些實施例中，該存取裝置包括雙極接面電晶體(BJT)裝置。

本發明的又一目的為提供一種製造一記憶胞的方法，包含：形成一介電支持層於一底電極之上，該介電支持層具有一上表面；形成一空洞穿過該介電支持層；裸露該底電極的一表面且定義一具有側壁的介電支持結構；形成一記憶材料薄膜於該介電支持結構之上及該空洞中；沈積一介電間隔物層於該記憶材料薄膜之上；由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；形成一介電填充層；平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

因為記憶材料元件平面垂直部分的一上方端點之表面是由於平坦化的結果所形成，此表面通常是平面的，且通常位於與底電極接觸表面平行的平面上，且與L形記憶材料元件平面垂直部分正交。

在某些實施例中，此方法更包含，於沈積一頂電極材料於該平坦化之介電填充層之上的步驟之前，形成一記憶材料層



於該平坦化之介電填充層之上。

在某些實施例中，沈積一介電支持層包含沈積一介電材料層，例如是氧化矽，或是一熱絕緣材料。在某些實施例中，形成一空洞穿過該介電支持層包括一圖案化蝕刻，例如藉由一微影技術。在某些實施例中，形成一記憶材料薄膜包含形成一例如是鍺銻碲(GST)合金的相變化材料材料薄膜，且在某些如此形成相變化材料材料的實施例中，包含例如是化學氣相沈積的氣相沈積。在某些實施例中，沈積一介電間隔物層包含沈積一介電材料層，例如是氧化矽，或是一熱絕緣材料。在某些實施例中，形成該介電側壁間隔物及形成該記憶材料結構是分階段進行。在某些實施例中，形成該介電側壁間隔物包含非均向蝕刻該介電間隔物層，使用一方向性蝕刻，例如是電漿方向性蝕刻。在某些實施例中，形成該記憶材料結構包含蝕刻未由該介電側壁間隔物所覆蓋的該記憶材料薄膜部分。在某些實施例中，形成一介電填充層包含沈積一介電材料，此介電材料例如是氧化矽或是氮化矽。在某些實施例中，平坦化該介電填充層包括使用化學機械研磨(CMP)進行。在某些實施例中，形成該頂電極及該記憶材料元件包含一次或多次圖案化蝕刻，例如藉由一微影技術。

本發明的再一目的為提供一種製造一具有記憶胞之記憶陣列的方法，包含：提供一底電極陣列於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接；形成一介電支持層於該底電極陣列之上，該介電支持層具有一上表面；形成一空洞穿過該介電支持層，定義一具有側壁的介電支持結構且裸露鄰接該側壁的該底電極之表面；形成一記憶材料薄膜於該介電支持結構之上及該空洞中；沈積一介電間隔物層於該記憶材料薄膜之上；由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側

壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；形成一介電填充層；平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

本發明的方法包括形成自動對準的記憶材料元件並不需要在一窄的空間中沈積記憶材料。此方法是簡單明確的且可以可靠地提供具有改良高度的薄膜鰭型相變化記憶元件。在不同的實施例中，本發明的鰭型相變化記憶胞中有著狹窄定義的鰭型可程式記憶元件可以減少重置所需的能量，且因此減少重置電流。記憶胞的尺寸也可以因此對應地減少，且分隔記憶胞陣列之間的驅動裝置距離也可以放寬。

【實施方式】

本發明之下述實施方式一般將參照特定結構實施例及方法。將為吾人所了解的本發明創作並未受限於其詳細描述內容特別是對於所揭露的實施例及方法，同時本發明亦可使用其他特徵、元件、方法、和實施例來實施。本發明本發明所述之較佳實施例並不侷限其範圍，而由申請專利範圍中定義。熟習此項技藝之人士亦可了解本發明實施方式中的各種等同變化。為了簡化說明起見，在各實施例中所使用的相同元件，在其他圖中或許不會再次標號。此外，也是為了簡化說明起見，某些特徵並不會在每一個圖中皆顯示，但是其並不會妨礙對本發明的理解。

第 1A 和 1B 圖顯示本發明實施例通常一單位記憶胞 10 的示意圖。此記憶胞包括一底電極 12 與一存取裝置 13 電性耦接。此存取裝置與字元線電性耦接。在此例示實施例中此存取



裝置為二極體。一個 L 型記憶材料元件於底電極 12 之上。此 L 型記憶材料元件包括一垂直部分 17 以及一基底部分 15。在此範例中的基底部分 15 與底電極 12 的一接觸表面 16 連接。此 L 型記憶材料元件垂直部分 17 的上端一個較窄表面 18 在此範例中與頂電極 14 的一接觸表面連接。在此範例中頂電極構成一位元線。介於底電極 12 和頂電極 14 之間的電流路徑是經由(鰭型)記憶材料元件的垂直部分 17，且因此，此可程式電阻記憶裝置也可以稱為"鰭型"裝置。

第 1C 和 1D 圖顯示本發明另一實施例通常一單位記憶胞 11 的示意圖。此記憶胞係與第 1A 和 1B 圖所示的記憶胞類似，除了增加額外的一記憶材料層 19 於 L 型記憶材料元件垂直部分 17 與頂電極 14 之間。如同第 1A 和 1B 圖的實施例所示，此記憶胞包括一底電極 12 與一存取裝置 13 電性耦接。此存取裝置與字元線電性耦接。在此例示實施例中此存取裝置為二極體。一個 L 型記憶材料元件於底電極 12 之上。此 L 型記憶材料元件包括一垂直部分 17 以及一基底部分 15。在此範例中的基底部分 15 與底電極 12 的一接觸表面 16 連接。此 L 型記憶材料元件垂直部分 17 的上端一個較窄表面 18 在此範例中與記憶材料層 19 的一接觸表面連接。在此範例中頂電極構成一位元線。介於底電極 12 和頂電極 14 之間的電流路徑是經由(鰭型)記憶材料元件的垂直部分 17 以及記憶材料層 19。此增加的記憶材料層 19 可以改善此記憶胞的熱隔離。

此記憶胞結構提供許多優良的特徵，如同第 1A、1B、1C 和 1D 圖所示。記憶元件中記憶材料的體積可以非常少，具有由所沈積之記憶材料薄膜厚度所決定的厚度。第 1B 和 1D 圖中標示有重要部份的尺寸。特別是，鰭型垂直部分 17 的厚度(t_{mv})非常小，而鰭型垂直部分 17 的高度(h_m)則是非常大。在不同的實施例中，此厚度(t_{mv})最小可以是 1 奈米且可以是在 1 到

50 奈米範圍之間，通常是在 5 到 15 奈米範圍之間，且在一特定範例時為 8 奈米；在不同的實施例中，此高度(h_m)最小可以是 10 奈米且可以是在 10 到 200 奈米範圍之間，通常是在 20 到 100 奈米範圍之間，且在一特定範例時約為 50 奈米。為了提供最合適的電性接觸，此鰭型垂直部分 17 表面 18 與頂電極 14(或是在其他實施例中的記憶材料層 19)之間的接觸區域是越小越好，可以是最小特徵尺寸的平方(舉例而言，在最小特徵尺寸是 5 奈米時為 25 平方奈米)，且可以是在 25 到 2500 平方奈米範圍之間，通常是在 100 到 500 平方奈米範圍之間，最好是在約 200 平方奈米範圍。在本發明以下的一實施例中關於製造記憶胞陣列方法的不同階段中，也可以使用其他的尺寸。

第 19 圖係顯示使用本發明所描述之記憶胞的記憶陣列 190 之示意圖。在此範例中，每一記憶胞包含一二極體存取裝置 198 及一鰭型可程式電阻記憶元件 196 (以可變電阻器表示)，串聯安排在沿著對應字元線 192 與對應位元線 194 之間的一電流路徑上。以下會更詳細地描述，在一給定記憶胞中的記憶元件可以程式化至包含一第一及一第二電阻狀態的複數個電阻狀態之一。

該陣列包含複數條字元線 192 及位元線 194，該等字元線 192 包含與第一方向平行延伸之字元線 192a、192b 及 192c，及該等位元線 194 包含與第二方向平行延伸之位元線 194a、194b 及 194c，第二方向係與第一方向垂直。該陣列 190 係表示為一交點陣列，因為字元線 192 及位元線 194 係以一給定字元線 130 及一給定位元線 120 彼此橫跨但非實際上交叉的方式配置，及記憶胞係位於字元線 192 及位元線 194 之交點位置處。

記憶胞 10 係為陣列 190 之代表記憶胞，及被配置在位元線 192b 與字元線 194b 之交點處，該記憶胞 10 包含一二極體



198 及串聯配置之記憶元件 196，該二極體 198 電性耦接至字元線 192b，及記憶元件 196 電性耦接至位元線 194b。

陣列 100 之記憶胞 10 的讀取與寫入，可藉由施加適當電壓脈衝至對應字元線 192b 與位元線 194b 以誘發通過選擇之記憶胞 10 的電流而達成。所施加電壓的大小階級及持續時間係視所進行之操作而定，該操作例如是讀取操作或寫入操作。

於儲存在記憶胞 10 中的資料值之一讀取（或感測）操作時，與對應字元線 192b 及位元線 194b 耦接之偏壓電路(可參見例如第 20 圖中的偏壓調整供應電壓電流源 236)施加一適當大小階級及持續時間之讀取脈衝通過該記憶胞 10，以誘發電流流過且不會使記憶元件 196 發生電阻狀態之變化。該流過記憶胞 10 之電流係視記憶元件 196 之電阻而定，及因而與儲存在記憶胞 10 中的該資料值相關。此資料值可以由例如感測放大器(可參見例如第 20 圖中的感測放大器/資料輸入結構 224)比較該位元線 194b 的電流與一合適的參考電流而得。

於儲存在記憶胞 10 中的一程式化操作時，與對應字元線 192b 及位元線 194b 耦接之偏壓電路(可參見例如第 20 圖中的偏壓調整供應電壓電流源 236)施加一適當大小階級及持續時間之讀取脈衝通過該記憶胞 10，以誘發記憶元件 196 之一可程式化改變以將資料值儲存在記憶胞 10 中，記憶元件 196 之電阻係與儲存在記憶胞 10 中的該資料值相關。

此調整偏壓包括一第一調整偏壓足以正向偏壓此二極體 198 且改變記憶元件 196 的電阻狀態自對應於第一程式化狀態的電阻值至對應於第二程式化狀態的電阻值。此調整偏壓也包括一第二調整偏壓足以正向偏壓此二極體 198 且改變記憶元件 196 的電阻狀態自對應於第二程式化狀態的電阻值至對應於第一程式化狀態的電阻值。在不同的實施例中，此記憶元件 196 單極性操作的調整偏壓可以包括一個或多個電壓脈衝，且

電壓階級及脈衝時間可以根據每個實施例由實驗地決定。

第 20 圖顯示積體電路的簡化示意圖，其中積體電路 201 包括一交會點記憶胞陣列 190。在此範例中，每一個記憶胞包括一二極體存取裝置和一個此處所描述之鰭型可程式電阻記憶元件。字元線(列)解碼器 214 與複數條字元線 216 耦接且電性溝通。位元線(行)解碼器 218 與複數條位元線 220 電性溝通以自陣列 190 的記憶胞(未示)讀取資料或寫入資料至其中。位址係由匯流排 222 提供給字元線解碼及驅動器 214 與位元線解碼器 218。方塊 224 中的感測放大器與資料輸入結構經由資料匯流排 226 與位元線解碼器 218 耦接。資料由積體電路 201 上的輸入/輸出埠提供給資料輸入線 228，或者由積體電路 201 其他內部/外部的資料源，輸入至方塊 224 中的資料輸入結構。其他電路 230 係包含於積體電路 201 之內，例如泛用目的處理器或特殊目的應用電路，或是模組組合以提供由陣列 190 所支援的系統單晶片功能。資料由方塊 224 中的感測放大器，經由資料輸出線 232，提供至積體電路 201，或提供至積體電路 201 內部/外部的其他資料終端。

在本實施例中所使用的控制器 234，使用了偏壓調整狀態機構 236，並控制了偏壓調整供應電壓的應用，例如讀取、程式化以及程式化確認電壓。該控制器 234 可利用特殊目的邏輯電路而應用，如熟習該項技藝者所熟知。在替代實施例中，該控制器 234 包括了通用目的處理器，其可使於同一積體電路，以執行一電腦程式而控制裝置的操作。在又一實施例中，該控制器 234 係由特殊目的邏輯電路與通用目的處理器組合而成。

本發明所述之記憶材料元件的可程式電阻材料實施例包括相變化記憶材料，包括硫屬化物材料與其他材料。硫屬化物包括下列四元素之任一者：氧 (O)、硫 (S)、硒 (Se)、以及碲 (Te)，形成元素週期表上第 VIA 族的部分。硫屬化物包括



將一硫屬元素與一更為正電性之元素或自由基結合而得。硫屬化合物合金包括將硫屬化合物與其他物質如過渡金屬等結合。一硫屬化合物合金通常包括一個以上選自元素週期表第 IVA 族的元素，例如鍺 (Ge) 以及錫 (Sn)。通常，硫屬化合物合金包括下列元素中一個以上的複合物：鎘 (Sb)、镓 (Ga)、銦 (In)、以及銀 (Ag)。許多以相變化為基礎之記憶材料已經被描述於技術文件中，包括下列合金：镓/鎘、銦/鎘、銦/硒、鎘/碲、鍺/碲、鍺/鎘/碲、銦/鎘/碲、镓/硒/碲、錫/鎘/碲、銦/鎘/鍺、銀/銦/鎘/碲、鍺/錫/鎘/碲、鍺/鎘/硒/碲、以及碲/鍺/鎘/硫。在鍺/鎘/碲合金家族中，可以嘗試大範圍的合金成分。此成分可以下列特徵式表示： $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ ，其中 a 與 b 代表了所組成元素的原子總數為 100% 時，各原子的百分比。一位研究員描述了最有用的合金係為，在沈積材料中所包含之平均碲濃度係遠低於 70%，典型地係低於 60%，並在一般型態合金中的碲含量範圍從最低 23% 至最高 58%，且最佳係介於 48% 至 58% 之碲含量。鍺的濃度係高於約 5%，且其在材料中的平均範圍係從最低 8% 至最高 30%，一般係低於 50%。最佳地，鍺的濃度範圍係介於 8% 至 40%。在此成分中所剩下的主要成分則為鎘。(Ovshinsky '112 專利，欄 10~11) 由另一研究者所評估的特殊合金包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 、以及 GeSb_4Te_7 。

(Noboru Yamada, "Potential of Ge-Sb-Te Phase-change Optical Disks for High-Data-Rate Recording", SPIE v.3109, pp. 28-37(1997)) 更一般地，過渡金屬如鉻(Cr)、鐵(Fe)、鎳(Ni)、鈮(Nb)、鈀(Pd)、鉑(Pt)、以及上述之混合物或合金，可與鍺/鎘/碲結合以形成一相變化合金其包括有可程式化的電阻性質。可使用的記憶材料的特殊範例，係如 Ovshinsky '112 專利中欄 11-13 所述，其範例在此係列入參考。

在一些實施例中，硫屬化物及其他相變化材料摻雜雜質

來修飾導電性、轉換溫度、熔點及使用在摻雜硫屬化物記憶元件之其他特性。使用在摻雜硫屬化物代表性的雜質包含氮、矽、氧、二氧化矽、氮化矽、銅、銀、金、鋁、氧化鋁、鉭、氧化鉭、氮化鉭、鈦、氧化鈦。可參見美國專利第 6,800,504 號專利及美國專利申請號第 2005/0029502 號專利。

相變化合金能夠在一個第一結構狀態以及一個第二結構狀態之間變換，其中第一結構狀態係指材料大致為非晶的固態，第二結構狀態係指材料在此記憶胞之主動通道區域內的其局部狀態係在一個大致結晶的固態。這些合金至少是雙穩態的。此非晶相的用語係指一個相對不規則的結構，或比單晶相更不規則的結構，其具有可測得的特性，例如和結晶相相比具有更高的電阻率。此結晶相的用語係指一個相對規則的結構，其比非晶結構更有規則，其具有可測得的特性，例如具和非晶相相比具有更低的電阻率。通常，相變化材料可在不同可測得的局部規則的狀態之間作電性切換，這些狀態係在完全非晶相及完全結晶相狀態之間的範圍內。其它在非晶相與結晶相之間變換時受到影響的材料特性包含原子排列，自由電子濃度以及活化能量。此材料可能轉換至不同的固態相或二個以上的固態相的組合，以在完美的非晶相以及完美的結晶相之間調變。在此材料中的電性特性亦可能隨著改變。

相變化合金可能藉由電子脈衝的應用自某一相態改變至另一相態。目前已知較短且較高強度的脈衝容易將此相變化材料改變至一個大致的非晶相狀態。而較長且較低強度的脈衝容易將此相變化材料改變至一個大致的結晶相狀態。對於較短且較強的脈衝，其具有足夠高的能量而能讓晶體結構的鍵結斷裂，且其係足夠短而能避免原子重新排列而成為結晶相狀態。適當的脈衝數據不需太麻煩的實驗即可專用地調整用於特定的相變化合金。在以下所揭露的部份，此相變化材料係以 GST



代表，且可推論出其它種類的相變化材料亦可被採用。對於 PCRAM 的應用，在此的說明係以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 為例作為適當的材料。

其它的可程式電阻記憶體材料可被用於本發明之其它的實施例中，包含其它使用晶體相變化以決定電阻的材料，或是其它使用電子脈衝以改變電阻狀態的記憶體材料。這些範例包含用於電阻式隨機存取記憶體(RRAM)的材料，例如金屬氧化物包含 WO_x 、 NiO 、 Nb_2O_5 、 CuO_2 、 Ta_2O_5 、 Al_2O_3 、 CoO 、 Fe_2O_3 、 HfO_2 、 TiO_2 、 SrTiO_3 、 SrZrO_3 、 $(\text{BaSr})\text{TiO}_3$ 。在此之外的範例還包含用於磁阻式隨機存取記憶體(MRAM)，例如旋轉力矩轉換(STT) MRAM，的材料，包含例如以下至少一種材料： CoFeB 、 Fe 、 Co 、 Ni 、 Gd 、 Dy 、 CoFe 、 NiFe 、 MnAs 、 MnBi 、 MnSb 、 CrO_2 、 MnOFe_2O_3 、 FeOFe_2O_5 、 NiOFe_2O_3 、 MgOFe_2 、 EuO 、 $\text{Y}_3\text{Fe}_5\text{O}_{12}$ 。其範例請見，例如，美國專利公開號第 2007/0176251 號，標題為”Magnetic Memory Device and Method of Fabricating the Same”，其係在此作為參考之用。另外的範例包含固態的電解質材料，其係用於可程式化金屬化胞(PMC)記憶體，或奈米記憶體，例如銀摻雜的硫化鎗電解質以及銅摻雜的硫化鎗電解質。請參閱，例如，N.E. Gilbert 等人於 Solid-State Electronics 49 (2005)1813-1819 所發表的”A macro model of programmable metallization cell devices”一文，其係在此作為參考之用。

第 2A、2B 及 3 到 12 圖顯示根據本發明實施例之可程式記憶胞陣列製程階段的示意圖。

第 2A 圖顯示一底電極 22 陣列一部分的上視圖，其裸露出一介電支持 24 的表面。第 2B 圖顯示如此陣列的一段落 21，其是第 2A 圖中的虛線圍起來的部分。此段落 21 包含六列的兩個底電極，及兩行的六個底電極。可以理解的是，底電極

22 是與形成其下基板上的存取裝置電性耦接(未顯示於圖中)；此與底電極電性耦接的存取裝置在每一列中與一字元線耦接，且此記憶胞在每一行中與一位元線耦接(會於底下更詳細地描述)。合適的底電極 22 材料包括例如是金屬、金屬為基礎的或是非金屬材料等導電材料，例如銅、鋁或是鉭和鉭為基礎的材料例如 TiN、氮氧化鉭(TON)；鉭和鉭為基礎的材料例如 TaN；多晶矽、鎢為基礎的材料例如矽化鎢等；以及低熱傳導性電極材料，例如氧化鑭鎳(LNO)和 LaSrMnO₃(LSMO)。合適的介電支持 24 材料包括例如可以做為中間介電層的材料，且包括氧化物(例如氧化矽)。底電極的上表面可以使用例如是化學機械研磨技術(CMP)進行平坦化。此底電極可以具有一厚度例如是在 1 到 100 奈米範圍之間，通常是在 10 到 50 奈米範圍之間，且在一特定範例時約為 20 奈米。

第 3 圖顯示一介電支持 30 形成於底電極陣列的表面之上。合適的介電支持 24 材料包括例如可以做為中間介電層的材料，且包括氧化物(例如氧化矽)及氮化物(例如氮化矽)；最好是低介電常數介電層(例如摻雜氧化矽)；及最好是具有低導熱性的材料。此介電支持層可以使用，舉例而言例如是物理氣相沈積(PVD)或是化學氣相沈積(CVD)形成。此介電支持層的厚度是自上表面至下層底電及陣列表面進行量測，是與 L 型記憶材料元件的最終高度相關，會於以下更詳細地描述。

之後，在此介電支持層中形成空洞。這些空洞將底層底電極陣列的區域裸露出來，且定義具有側壁的介電支持結構。在第 4 圖所示的範例中，這些空洞是沿著與底電極陣列之下的字元線平行的溝渠 41。由溝渠 41 所定義之此介電支持結構 40 通常是具有垂直側壁 44。這些溝渠是安排成使得底電極 22 的區域 42 在鄰接此側壁 44 處是裸露出來的；且在此所示的範例中，這些溝渠是安排成及放置成使得底電極 22 的區域 42 在鄰



接每一個溝渠的兩側側壁 44 皆是裸露出來的。

這些空洞舉例而言是由一圖案化蝕刻的微影技術或是反應式離子蝕刻技術(RIE)所形成。當使用反應式離子蝕刻技術(RIE)時，可以再進行一清潔步驟。合適的技術可以產生一個大致平坦、幾乎垂直的側壁，且可以使用兩個或以上的步驟進行。

之後，形成一記憶材料薄膜於此介電支持結構的上表面及側壁之上，且於底電極陣列裸露的區域之上。如第 5 圖所示之完成結構，其中記憶材料薄膜順形地覆蓋在此介電支持結構 40 的上表面 50 以及側壁 54 之上；也順形地覆蓋在底電極陣列裸露的區域 51 之上。如此的結果是記憶材料薄膜與底電極 22 裸露的區域 42 接觸。

在此範例中顯示，是使用一硫屬化物。此硫屬化物薄膜可以使用蒸氣沈積形成，舉例而言例如是物理氣相沈積(PVD)或是化學氣相沈積(CVD)。

用以形成硫屬化物材料的一例示方法係利用 PVD 滅鍍或磁控滅鍍方式，其反應氣體為氬氣、氮氣及/或氦氣，壓力為 1 mTorr 至 100 mTorr。此沈積步驟一般係於室溫下進行。一長寬比為 1~5 之準直器可用以改良其填充表現。為了改善其填充表現，亦可使用數十至數百伏特之直流偏壓。另一方面，亦可同時合併使用直流偏壓以及準直器。

另一個使用化學氣相沈積來形成硫屬化物的例示方法揭露於美國專利公開號第 2006/0172067 號，其發明名稱為”Chemical Vapor Deposition of Chalcogenide Materials”，其中之內容乃併入本文作為參考。

有時需要在真空中或氮氣環境中進行一沈積後退火處理，以改良硫屬化物材料之結晶態。此退火處理的溫度典型地係介於 100°C 至 400°C，而退火時間則少於 30 分鐘。

此記憶材料薄膜的厚度(t_{mv})是在 1 到 50 奈米範圍之間，通常是在 5 到 15 奈米範圍之間，且在一特定範例時為 8 奈米。請參閱第 1B 和 1D 圖，記憶薄膜在側壁 54 處建立記憶材料元件鰭型垂直部分 17 的最終厚度(t_{mv})；且在底電極 22 裸露區域 42 表面之上的記憶薄膜處 51 的厚度建立記憶材料元件基底部分 15 的最終寬度(t_{ms})。可以理解的是，因為此記憶薄膜與大致是平面的介電支持結構之側壁順形，此記憶材料元件的鰭型垂直部分因此也是大致平面的，且可以在此處稱為"平面"的。

於形成記憶材料薄膜之後，一介電側壁間隔物層形成於此記憶材料薄膜之上。其完成結構如第 6 圖所示，其中介電側壁間隔物層 60 覆蓋於記憶材料薄膜之上。合適的介電側壁間隔物層的材料包括氧化物(例如氧化矽)及氮化物(例如氮化矽)；最好是低介電常數介電層(例如摻雜氧化矽)。最佳的材料僅會少量或是不會與記憶材料薄膜反應；且最佳的材料與記憶材料薄膜的附著性良好。當此記憶材料是一 GST 型態相變化材料時，舉例而言，最佳的側壁間隔物材料是氮化矽。此介電側壁間隔物層可以使用，舉例而言例如是化學氣相沈積(CVD)、原子層化學氣相沈積(ALCVD)或是原子層沈積(ALD)形成。此介電側壁間隔物層可以是在 1 到 100 奈米範圍之間，通常是在 5 到 30 奈米範圍之間，且在一特定範例時約為 15 奈米。

於介電側壁間隔物形成之後，形成一具有通常為水平基底部分於介電側壁間隔物(即介於介電側壁間隔物與此電極陣列表面)之下，及一通常為平面垂直部分於介電側壁間隔物與介電支持結構之間的記憶材料結構。換個方式而言，此完成的記憶材料結構在沿著穿越溝渠的剖面線上是一個 L 形結構。

此介電側壁間隔物是將介電側壁間隔物 60 非均向蝕刻至記憶材料薄膜而形成。形成介電側壁間隔物的合適非均向蝕刻



技術包括，舉例而言反應式離子蝕刻(RIE)。如第 7 圖所示的完成結構，顯示介電側壁間隔物 74 在由記憶材料薄膜 54 於介電支持結構 40 的側壁交會處所定義的內側角度，及記憶材料薄膜 51 在底電極陣列裸露的區域之上。此介電側壁間隔物具有一寬度(W_{ss})在底電極陣列之上。此寬度(W_{ss})係根據此介電側壁間隔物的厚度及其他因素所決定；此外，此介電側壁間隔物的寬度可以由特定被蝕刻材料之蝕刻參數(功率、壓力、蝕刻反應氣體)等決定。

最好是將記憶材料結構通常為水平基底部分 85 的寬度最小化，因為與裝置表現性能最重要的因素是垂直部分 87。

此介電側壁間隔物層 60 的非均向蝕刻將記憶材料薄膜在 50 的區域、介電支持結構 40 的上表面及底電極陣列未被側壁間隔物 74 所覆蓋的區域 71 裸露出來。此非均向蝕刻可以繼續直到穿過此記憶材料薄膜裸露區域；或是此記憶材料薄膜裸露區域在後續蝕刻步驟中被移除。當此記憶材料是一 GST 型態相變化材料時，舉例而言，其最好是避免使用氯為基礎的蝕刻化學成分來移除此記憶材料薄膜的裸露區域。

如第 8 圖所示之完成結構。如同之前注意到的，此階段中剩餘的記憶材料薄膜為具有通常為水平基底部分 85 於介電側壁間隔物之下，及一通常為平面垂直部分 87 於介電側壁間隔物與介電支持結構之間的記憶材料結構。在此階段中此垂直部分 87 的高度(H_{ms})大致與介電支持結構 40 的高度相當；且在此階段中此通常為水平部分 85 的寬度(W_{ms})大致與介電側壁間隔物 74 的寬度(W_{ss})相當。

之後一介電填充形成於溝渠中且於第 8 圖的結構之上，如同第 9 圖中所示的 90。合適的介電填充材料包括，舉例而言，例如是氧化矽的氧化物、或是例如是氮化矽的氮化物；最好是低介電常數介電層。此介電填充材料，舉例而言，可以是

沈積一合適的填充材料而形成。

之後第 9 圖所示的結構進行例如是化學機械研磨的平坦化，以形成第 10 圖所示的結構。此平坦化完成結構(包括介電支持結構 144、介電填充 100、介電側壁間隔物 104 和記憶材料結構 115 的垂直部分 117)的特徵高度可以小於平坦化前介電支持結構 40 的高度(H_{ms})。平坦化可以將介電支持結構 144 的上表面、介電填充 100、削減後的介電側壁間隔物 104 上方邊緣和記憶材料結構 115 的垂直部分 117 上端之表面 107 裸露出來。此平坦化並不會對記憶材料結構 115 的通常為水平部分 85 的寬度(W_{ms})產生影響。

因為記憶材料結構 115 的垂直部分 117 上端之表面 107 是由第 9 圖所示的結構進行平坦化而形成，其接觸表面 107 通常是平面的，且位於一通常與底電極平行的平面之上，且與 L 形記憶材料結構的垂直部分 117 正交。

之後一頂電極材料層形成於第 10 圖所示的結構之平坦化表面之上，如第 11 圖所示的 110。合適的頂電極層材料包括例如是金屬、金屬為基礎的或是非金屬材料等導電材料，例如銅、鋁或是鈦和鈦為基礎的材料例如 TiN、氮氧化鈦(TON)；鉭和鉭為基礎的材料例如 TaN；多晶矽、鎢為基礎的材料例如矽化鎢等；以及低熱傳導性電極材料，例如氧化鑭鎳(LNO)和 LaSrMnO₃(LSMO)。頂電極層材料可以使用任何適合特定材料的技術形成。如此的技術包括舉例而言，濺鍍或電鍍或是化學氣相沈積。

之後，頂電極材料層被圖案化以形成頂電極於記憶胞之上。此頂電極材料層可以被圖案化以形成頂電極島；或是；如第 12 圖所示的範例，形成分開的細線或是位元線 114，大致與底下的字元線垂直。此頂電極可以具有厚度，舉例而言，在介於 200 到 5000 埃的範圍中，通常是約 2000 埃。此圖案化的



頂電極與記憶材料結構 115、117 的頂表面 107(如第 10 圖所示)接觸，以建立通過介於頂電及與底電極之間的此鰭型記憶材料元件之電流路徑。

此外，溝渠，例如是溝渠 120 垂直地形成於底層字元線之上及介於頂電極之間以將記憶胞的行分隔。此溝渠形成至一深度足以將記憶材料結構切開，導致單獨分開的記憶材料元件行。此溝渠可以停在底電極層；或是如第 12 圖所示，此溝渠也可以穿越底電極層。在任何情況下，此溝渠不能穿過其下的字元線。

此頂電極可以在形成溝渠之前利用例如是蝕刻方式(藉由例如微影技術)加以圖案化。或是如此處，形成分開的細線或是位元線，此頂電極可以圖案化作為溝渠的一部份。其中當頂電極(使用相同的幕罩)作為溝渠的一部份時，此頂電極是與記憶材料結構自動對準。

形成溝渠的合適技術包括，舉例而言一方向性蝕刻例如反應式離子蝕刻(RIE)。此反應式離子蝕刻(RIE)藉由選取製程參數來控制；使用低氣壓及較高基板偏壓可以較佳地控制此溝渠的形狀及大小。也可以使用一雙重圖案化或是主體摺疊微影(manifold patterning lithographic)技術；如此技術的範例可參閱 Ping Xie 等人發表的文章”Analysis of higher-order pitch division for sub-32nm lithography”，Proc. Of SPIE, Vol. 7274, pp. 72741Y-1 到 72741Y-8，且其內容乃併入本文作為參考。

替代地，一記憶材料層可以在形成頂電極層之前，形成一記憶材料層 130 於第 10 圖所示的結構之平坦化表面之上，即放置在介於第 10 圖所示的結構之平坦化表面與頂電極層之間，如第 13~15 圖中之範例所示。此記憶材料層 130 可以是自上述的記憶材料中選取。此記憶材料層 130 可以是與記憶材料結構 115、117 相同的材料。之後，如同之前所描述的，形成

一頂電極材料層 140 於此記憶材料層 130 之上，如第 14 圖中所示。

之後，頂電極材料層被圖案化以形成頂電極於記憶胞之上。此頂電極材料層可以被圖案化以形成頂電極島；或是；如第 15 圖所示的範例，形成分開的細線或是位元線 114，大致與底下的字元線垂直。此頂電極可以具有厚度，舉例而言，在介於 200 到 5000 埃的範圍中，通常是約 2000 埃。

此外，溝渠，例如是溝渠 120 垂直地形成於底層字元線之上及介於頂電極與記憶材料層 130 之間以將記憶胞的行分隔。此溝渠穿越記憶材料層，導致記憶材料線 119 於頂電極 114 之下，如第 15 圖所示。此溝渠形成至一深度足以將記憶材料結構切開，導致單獨分開的記憶材料元件行。此溝渠可以停在底電極層；或是如第 15 圖所示，此溝渠也可以穿越底電極層。在任何情況下，此溝渠不能穿過其下的字元線。

此頂電極可以在形成溝渠之前利用例如是蝕刻方式(藉由例如微影技術)加以圖案化。或是如此處，形成分開的細線或是位元線，此頂電極可以圖案化作為溝渠的一部份。其中當頂電極(使用相同的幕罩)作為溝渠的一部份時，此頂電極是與記憶材料結構自動對準。圖案化頂電極和形成溝渠的合適技術之範例，可以之前所描述的一般。

根據頂電極之圖案化及形成溝渠所選取之技術，此頂電極的寬度可以與其下的記憶材料元件的寬度相同或是較大。其中，舉例而言，頂電極與其下的記憶材料元件可以是自動對準的，且蝕刻是高度方向性的，此頂電極的寬度可以與其下的記憶材料元件的寬度相同。或是，舉例而言，此蝕刻步驟可以調整以控制下方的記憶材料元件的側削，導致記憶材料元件的寬度是小於頂電極的寬度。或是，舉例而言，頂電極的寬度是小於記憶材料元件的寬度，可以使用不同的幕罩進行頂電極之圖



案化及形成溝渠，或是在後續的步驟中修剪頂電極的寬度。

請參閱第 1B 圖和第 12 圖的範例，其中頂電極 114 的寬度(W_{bl})是等於或大於其下記憶元件之垂直部分 17 的寬度(W_{mv})，介於記憶元件之垂直部分 17 與頂電極 14(114)之間的接觸區域為接觸表面 18 的區域。即，此接觸區域的面積為記憶元件之垂直部分 17 的寬度(W_{mv})乘上厚度(t_{ms})。其中，另一方面，在頂電極 114 的寬度(W_{bl})是小於其下記憶元件之垂直部分 17 的寬度(W_{mv})時，介於記憶元件之垂直部分 17 與頂電極 14(114)之間的接觸區域面積記憶元件之垂直部分 17 的厚度(t_{ms})乘上頂電極 114 的寬度(W_{bl})。這些尺寸可以由特定被蝕刻材料之蝕刻參數(功率、壓力、蝕刻反應氣體)而精確地決定。

將記憶元件的行分隔之後，一介電填充(未示於圖中)沈積於溝渠之中且於頂電極之上。

如同上述，可以使用不同型態的存取裝置，如第 16~18 圖中所示。每一個圖中顯示記憶胞的行之一部分與作為位元線的頂電極電性耦接。在第 16 圖中的存取裝置 160 是二極體；在第 17 圖中的存取裝置 170 是場效電晶體；而在第 18 圖中的存取裝置 180 則是雙極接面電晶體。業界已熟知許多不同的存取電路組態，及其製造方法。範例包括垂直矽-基礎之裝置。

第 21A、21B、21C 圖顯示適合使用的存取裝置範例。第 21A 圖為存取裝置陣列的一部分之上視圖，第 21B 圖為沿著第 21A 圖之 B-B' 線(即字元線 2130)的存取裝置陣列一部分之剖面圖；而第 21C 圖為沿著第 21A 圖之 C-C' 線(即位元線 2120)的存取裝置陣列一部分之剖面圖。

此存取裝置陣列 2101 包括一單晶基板 2100，其包含具有第一導電型態的井區 2105 及導線 2120(2120a、2120b、2120c、2120d)(其可以組成位元線)於井區 2105 內。導線 2120 級沿著第一方向延伸自第 21B 圖之剖面穿出且由井區 2105 內的介電

溝渠隔離結構 2132 分隔。導線 2120 包含與第一導電型態相反的第二導電型態之摻雜基板材料。在此例示實施例中，此導線 2120 的摻雜基板材料包含濃摻雜 N 型(N+)材料之基板 2100，且井區 2105 包含摻雜 P 型材料之基板 2100。

此存取裝置的場效電晶體 2115 包含第一終端 2122，其包含摻雜半導體材料於對應的導線 2120b 之上、一通道區域 2123 包含摻雜半導體材料於此第一終端 2122 之上、及一第二終端 2124，其包含摻雜半導體材料於通道區域 2123 之上。

一導電覆蓋層 2127 包含一金屬矽化物於第二終端 2124 之上。此導電覆蓋層 2127 可以包含舉例而言，鈦、鎢、鈷、鎳或鉭的金屬矽化物。該導電覆蓋層 2127 於操作期間藉由提供一低電阻的接點於該第二該摻雜半導體終端 2124 及於上方電極陣列(未示於圖中；可參見第 2A、2B 圖中的電極 22)的電極 22 間。

在此例示實施例中，第一及第二終端 2122、2124 包含濃摻雜 N 型材料，而通道區域 2123 包含摻雜 P 型半導體材料。

此第一及第二終端 2122、2124、通道區域 2123 和導電覆蓋層 2127 構成一堆疊，其由一介電層 2230 所圍繞，此介電層 2230 分隔對應的字元線 2130b 與通道區域 2123。

字元線 2130，包括字元線 2130b 係作為存取裝置之場效電晶體 2115 的閘極，係沿著第 21C 圖之剖面進入及穿出，且包含摻雜多晶矽材料及一金屬矽化物層於摻雜多晶矽材料之上。由第一及第二終端 2122、2124、通道區域 2123 和導電覆蓋層 2127 所構成之堆疊延伸通過字元線中 2130b 的一介層孔以將導線 2120b 與上方電極電性耦接，字元線中 2130b 的介層孔具有一側壁結構 2135 環繞通道區域 2123。

如此存取裝置的建構之描述可以參閱舉例而言 2009 年 5 月 22 日所申請之美國專利申請 12/471287 號。



第 21A、21B、21C 圖也顯示形成於存取裝置之上的記憶胞陣列。在某些實施例中，導電覆蓋層 2127 本身可以作為其上記憶胞的底電極。或是，另外提供一個上方底電極(未示於圖中；可參見第 2A、2B 圖)，包括與導電覆蓋層 2127 接觸的電極 22 且延伸通過介電層 24 而至記憶元件。

此可程式化記憶胞的操作可以藉由第 1C、1D 和 21B、21C 圖的範例描述。在操作時，一共同電壓與導電材料(頂電極)14 耦接且電壓供應至字元線 2130b 和導(位元)線 2120b 以誘發電流自導線 2120b 經由第一終端 2122、通道區域 2123、第二終端 2124、導電覆蓋層 2127、底電極 12、記憶元件 15、17 及記憶材料 19 而流至導電材料 14，或反之亦然。

第 22A、22B 圖顯示適合使用的存取裝置之另一範例。第 22A 圖為沿著垂直於位元線 2320 方向的存取裝置陣列一部分之剖面圖；而第 22B 圖為沿著位元線 2320 方向的存取裝置陣列一部分之剖面圖。

此存取裝置陣列 2301 包括一單晶基板 2300，其包含具有第一導電型態的井區 2305 及導線 2320(2320a、2320b、2320c、2320d)(其可以組成位元線)於井區 2305 內。導線 2320 級沿著第一方向延伸自第 22A 圖之剖面穿出且由井區 2305 內的介電溝渠隔離結構 2332 分隔。導線 2320 包含與第一導電型態相反的第二導電型態之摻雜基板材料。在此例示實施例中，此導線 2320 的摻雜基板材料包含濃摻雜 N 型(N+)材料之基板 2300，且井區 2305 包含摻雜 P 型材料之基板 2300。存取裝置 2315 自對應的導線經由介電層 2330 環繞之介層孔向上延伸。每一存取裝置 2315 包含自導線 2320 連續向上的淡摻雜 N 型(N-)材料終端 2322、濃摻雜 P 型(P+)材料層 2323 及一導電覆蓋層 2327。

如此存取裝置的建構之描述可以參閱舉例而言 2008 年 3

月 31 日所申請之美國專利申請 12/060075 號，其已在 2009 年 10 月 1 日公開為 US 2009-0242865A1。

第 22A、22B 圖也顯示形成於存取裝置之上的記憶胞陣列。在某些實施例中，導電覆蓋層 2327 本身可以作為其上記憶胞的底電極。或是，另外提供一個上方底電極(未示於圖中；可參見第 2A、2B 圖)，包括與導電覆蓋層 2327 接觸的電極 22 且延伸通過介電層 24 而至記憶元件。

可以發現第 21A、21B、21C 圖的範例結構定義一電晶體而第 22A、22B 圖範例結構中的 N- 和 P+ 層定義一二極體。在這些範例中，每一種型態之結構是垂直的，且可以製造成高密度裝置。

必須理解的是圖式僅顯示陣列的一部分，顯示一 4X4 陣列中一行或是列的四個相鄰元件。所顯示的許多元件並沒有顯示出需要連接至彼此或是其他電路之部件，也沒有顯示其嵌入的半導體晶片。熟知此技術人士可以理解陣列可以包含有多達好幾億的元件或更多。

此記憶元件之主動區域，其中此記憶材料會被誘發在至少兩個固態相間改變，係位於垂直部分 17 之中。可以理解的是，在此例示實施例的結構中，主動區域可以是非常小，因此減少了誘發相變化所需的電流大小。此記憶材料 17 的厚度(t_{mv})可以使用如同上述之薄膜沈積技術而製作的非常小。此外，因為鰭型垂直部分 17 的寬度(W_{mv})是使用與圖案化頂電極相同的幕罩所形成(即，頂電極與鰭型記憶材料寬度是自動對準的)，此寬度(W_{mv})可以小於頂電極 14 的寬度，且最好是小於用來形成頂電極之一製程(通常是微影製程)的最小特徵尺寸。請再次參閱第 1C 和 1D 圖，完成之鰭型記憶材料 17 具有薄和窄的剖面區域，且一對應薄和窄的頂表面 18 與記憶材料層 19 接觸。此鰭型記憶材料 17 較小的剖面區域及頂表面可以



集中電流密度，因此減少了主動區域中誘發相變化所需的電流大小。此外，鄰近鰭狀記憶材料的介電層可以提供主動區域某種程度的熱隔離，其也可以幫助減少誘發相變化所需的電流大小。

本發明之較佳實施例與範例詳細揭露如上，惟應瞭解為上述範例僅作為範例，非用以限制專利之範圍。就熟知技藝之人而言，自可輕易依據下列申請專利範圍對相關技術進行修改與組合。

【圖式簡單說明】

第 1A 圖顯示本發明實施例之一相變化記憶胞的三維示意圖。

第 1B 圖顯示第 1A 圖之相變化記憶胞的剖面示意圖。

第 1C 圖顯示本發明另一實施例之一相變化記憶胞的三維示意圖。

第 1D 圖顯示第 1C 圖之相變化記憶胞的剖面示意圖。

第 2A 圖顯示本發明實施例之第一電極陣列的上視圖。

第 2B 圖顯示第 2A 圖中之第一電極陣列一部分的三維示意圖。

第 3 到 12 圖顯示根據本發明實施例之可程式記憶胞陣列製程階段的三維示意圖。

第 13 到 15 圖顯示根據本發明另一實施例之可程式記憶胞陣列製程階段的三維示意圖。

第 16 到 18 圖顯示根據本發明另一實施例之可程式記憶胞陣列的三維示意圖。

第 19 圖係顯示使用本發明所描述之記憶胞的記憶陣列之示意圖。

第 20 圖顯示積體電路的簡化示意圖，其中積體電路包括一記憶胞陣列，每一個記憶胞包括一二極體存取裝置和一個此處所描述之鰭型可程式電阻記憶元件。

第 21A、21B、21C 圖顯示根據本發明實施例適合用於一記憶陣列中的存取裝置陣列之範例示意圖。

第 22A、22B 圖顯示根據本發明另一實施例適合用於一記憶陣列中的存取裝置陣列之範例示意圖。



【主要元件符號說明】

- 10、11：記憶胞
12：底電極
13：存取裝置
14：底電極
15：L型記憶材料元件之基底部分
17：L型記憶材料元件之垂直部分
18：垂直部分的上端一個較窄表面
19、130：記憶材料層
●
20：陣列的上視圖
21：陣列的一段落
22：底電極
24：介電支持
30：介電支持層
40、144：介電支持結構
41、120：溝渠
●
42：底電極的裸露區域
44：垂直側壁
●
50、51、54：記憶材料薄膜
60：介電側壁間隔物層
71：記憶材料薄膜的裸露表面
74、104：介電側壁間隔物
85：記憶材料元件通常水平之基底部分
87：記憶材料元件通常垂直部分
90：介電填充層
100：介電填充
107：垂直部分的上端之表面
115、117：記憶材料結構

- 110：頂電極之平坦表面
- 119：記憶材料線
- 140：頂電極材料層
- 190：具有鰭型記憶材料元件之記憶胞陣列
- 196：記憶元件
- 198：存取裝置
- 201：積體電路
- 214：字元線(列)解碼器及驅動器
- 130、192、216：字元線
- 218：位元線(行)解碼器
- 114、120、194、220：位元線
- 222、226：匯流排
- 224：感測放大器/資料輸入結構
- 230：其他電路
- 234：控制器
- 236：偏壓調整供應電壓、電流源
- 228：資料輸入線
- 232：資料輸出線
- 2100、2300：單晶基板
- 2101、2301：存取裝置陣列
- 2105、2305：第一導電型態的井區
- 2115：場效電晶體
- 2315：存取裝置(二極體)
- 2120、2320：導線
- 2122：第一終端
- 2123：通道區域
- 2124：第二終端
- 2127、2327：導電覆蓋層



201140899

2130：字元線

2132、2332：隔離結構

2135：側壁結構

2160、2162：介電層

2230、2330：介電層

2322：淡摻雜 N 型(N-)材料終端

2323：濃摻雜 P 型(P+)材料終端

201140899

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99127790

※申請日： 99.8.19 ※IPC 分類： H01L 45/00 (2006.01)

一、發明名稱：(中文/英文) H01L 27/24 (2006.01)

自動對準之鳍型可程式記憶胞

SELF ALIGNED FIN-TYPE PROGRAMMABLE MEMORY
CELL

二、中文發明摘要：

本發明的特徵為一記憶胞具有一底電極與一存取裝置電性耦接、一頂電極及一 L 形記憶材料元件與底電極和頂電極電性耦接。一種記憶陣列包括上述之記憶胞陣列，其與存取裝置陣列電性耦接。本發明的再一目的為提供一種製造一具有記憶胞之記憶陣列的方法，包含：提供一底電極陣列於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接；形成一介電支持層於該底電極陣列之上，該介電支持層具有一上表面；形成一空洞穿過該介電支持層，定義一具有側壁的介電支持結構且裸露鄰接該側壁的該底電極之表面；形成一記憶材料薄膜於該介電支持結構之上及該空洞中；沈積一介電間隔物層於該記憶材料薄膜之上；由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；形成一介電填充層；平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

三、英文發明摘要：

A fin-type programmable memory cell includes a bottom electrode electrically coupled to an access device, a top electrode, and a L-shaped memory material element electrically coupled to the bottom and top electrodes. A memory array includes an array of such memory cells, electrically coupled to an array of access devices. Method for making a memory cell, includes: forming a dielectric support layer over a bottom electrode, the dielectric support layer having an upper surface; forming a cavity through the dielectric support layer, exposing a surface of the bottom electrode and defining a dielectric support structure having a sidewall; forming a film of memory material over the dielectric support structure and in the cavity; depositing a dielectric layer over the memory material film; forming a dielectric sidewall spacer from the dielectric spacer layer and a memory material structure having a generally horizontal portion underlying the dielectric sidewall spacer and a generally vertical portion between the dielectric sidewall spacer and the sidewall of the dielectric support structure; forming a dielectric fill; planarizing dielectric fill to expose upper ends of the vertical portion of the memory material structure; depositing a top electrode material over the planarized dielectric fill; and forming a top electrode from the top electrode material and a memory material element from the memory material structure.



七、申請專利範圍：

1. 一種記憶胞，包含一底電極於一存取裝置之上，一頂電極具有一第一接觸表面，及一記憶材料元件與該底電極和該頂電極電性耦接，該記憶材料元件具有通常為水平基底部分及一平面垂直部分，其中該記憶材料元件之該平面垂直部分的一上方端點為一第二接觸表面，其係位於該第一接觸表面之下。
2. 如申請專利範圍第 1 項之記憶胞，其中該記憶材料元件之該基底部分的下方表面與該底電極的一接觸表面接觸。
3. 如申請專利範圍第 1 項之記憶胞，其中該記憶材料元件之該垂直部分的該上方端點與該頂電極接觸。
4. 如申請專利範圍第 1 項之記憶胞，其中一記憶材料層位於該頂電極之下，且該記憶材料元件之該垂直部分的該上方端點與該記憶材料層接觸。
5. 如申請專利範圍第 1 項之記憶胞，其中該記憶材料元件包含一可程式化電阻材料。
6. 如申請專利範圍第 5 項之記憶胞，其中該可程式化電阻材料包括一相變化記憶材料。
7. 如申請專利範圍第 6 項之記憶胞，其中該相變化記憶材料包括硫屬化物為基礎的材料。
8. 如申請專利範圍第 6 項之記憶胞，其中該相變化記憶材料



包括鍺銻碲(GST)合金。

9. 如申請專利範圍第 1 項之記憶胞，其中該頂電極及該記憶材料元件之該垂直部分是自動對準的。

10. 一種記憶陣列包含一記憶胞陣列，該記憶胞包括一底電極具有一第一接觸表面，一頂電極具有一第二接觸表面，及一記憶材料元件與該底電極和該頂電極電性耦接，該記憶材料元件具有一通常為水平基底部分及一平面垂直部分，其中該記憶材料元件之該平面垂直部分的一上方端點為一第二接觸表面，其係位於該第一接觸表面之下，且其中該底電極於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接，且該頂電極與位元線電性耦接或構成位元線。

11. 如申請專利範圍第 10 項之記憶陣列，其中該頂電極及該記憶材料元件之該垂直部分是自動對準的。

12. 一種製造一記憶胞的方法，包含：

形成一介電支持層於一底電極之上，該介電支持層具有一上表面；

形成一空洞穿過該介電支持層；

裸露該底電極的一表面且定義一具有側壁的介電支持結構；

形成一記憶材料薄膜於該介電支持結構之上及該空洞中；

沈積一介電間隔物層於該記憶材料薄膜之上；

由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；

形成一介電填充層；

平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；

沈積一頂電極材料於該平坦化之介電填充層之上；以及

由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

13. 如申請專利範圍第 12 項之方法，更包含，於沈積一頂電極材料於該平坦化之介電填充層之上的步驟之前，形成一記憶材料層於該平坦化之介電填充層之上。

14. 如申請專利範圍第 12 項之方法，其中沈積一介電支持層包含沈積一介電材料層。

15. 如申請專利範圍第 12 項之方法，其中形成一記憶材料薄膜包含形成一相變化材料薄膜。

16. 如申請專利範圍第 12 項之方法，其中沈積一介電間隔物層包含沈積一介電材料層。

17. 如申請專利範圍第 12 項之方法，其中形成該介電側壁間隔物及形成該記憶材料結構是分階段進行。

18. 如申請專利範圍第 12 項之方法，其中形成該介電側壁間隔物包含非均向蝕刻該介電間隔物層。

19. 如申請專利範圍第 12 項之方法，其中形成該記憶材料結構



包含蝕刻未由該介電側壁間隔物所覆蓋的該記憶材料薄膜部分。

20. 如申請專利範圍第 12 項之方法，其中形成一介電填充層包含沈積一介電材料。

21. 如申請專利範圍第 12 項之方法，其中形成該頂電極及該記憶材料元件包含一次或多次圖案化蝕刻。

22. 如申請專利範圍第 12 項之方法，其中形成該頂電極及該記憶材料元件包含使用相同的幕罩進行一次或多次圖案化蝕刻。

23. 一種製造一具有記憶胞之記憶陣列的方法，包含：

提供一底電極陣列於一存取裝置陣列之上且與其電性耦接，該存取裝置與字元線電性耦接；

形成一介電支持層於該底電極陣列之上，該介電支持層具有一上表面；

形成一空洞穿過該介電支持層，定義一具有側壁的介電支持結構且裸露鄰接該側壁的該底電極之表面；

形成一記憶材料薄膜於該介電支持結構之上及該空洞中；

沈積一介電間隔物層於該記憶材料薄膜之上；

由該介電側壁間隔物層形成一介電側壁間隔物，且一記憶材料結構具有一通常為水平基底部分於該介電側壁間隔物之下及一通常為垂直部分於該介電側壁間隔物與該介電支持結構的側壁之間；

形成一介電填充層；

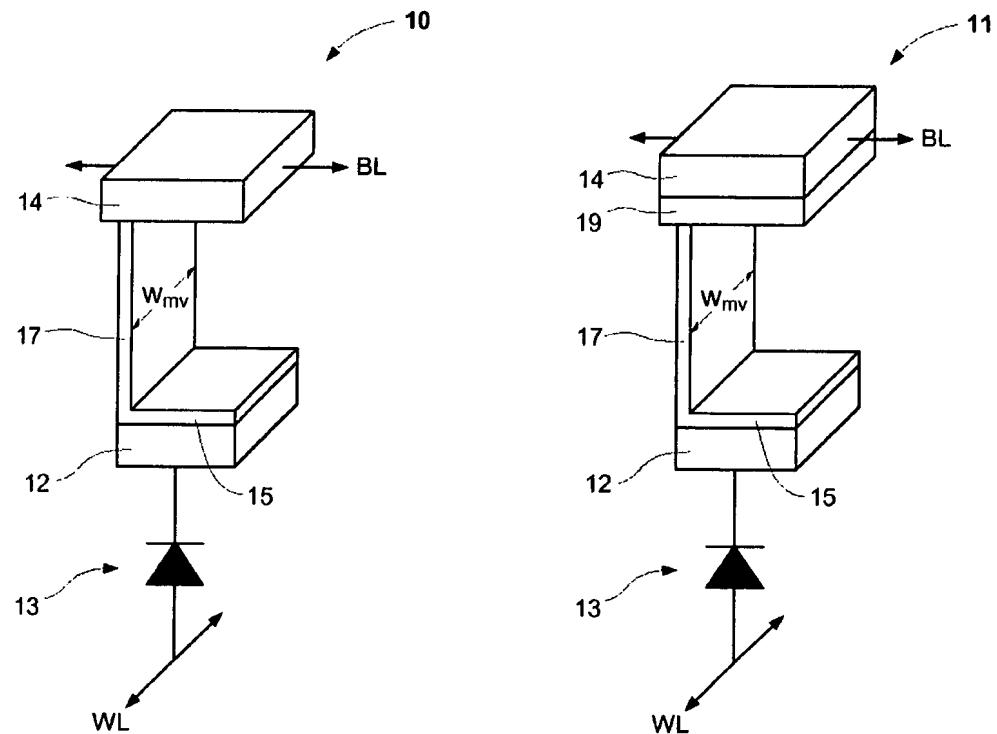
平坦該介電填充層以裸露該記憶材料結構之該垂直部分的上方端點；

沈積一頂電極材料於該平坦化之介電填充層之上；以及由該頂電極材料形成一頂電極及由該記憶材料結構形成一記憶材料元件。

24. 一種記憶裝置，包含：

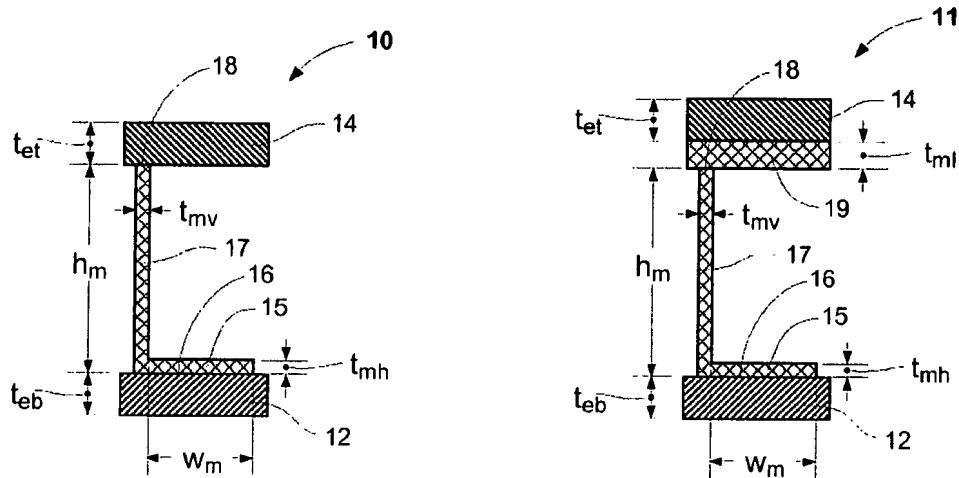
第一及第二電極於一存取裝置之上；
一記憶材料元件與該第一及第二電極電性耦接；
該記憶元件係位於第一及第二平坦表面，其中該第一平坦表面係大致與該第二平坦表面垂直，且該記憶元件在沿著該第一及第二平坦表面具有一順形輪廓。





第1A圖

第1C圖

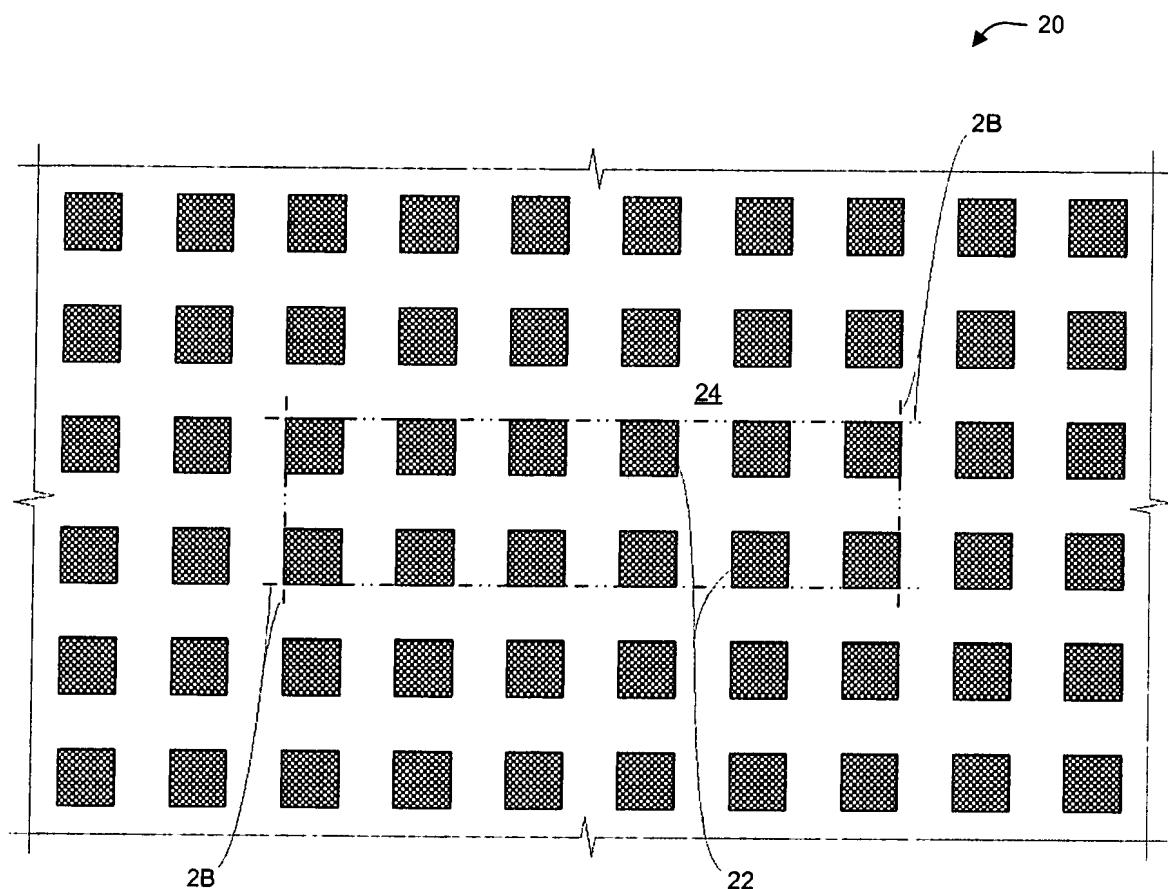


第1B圖

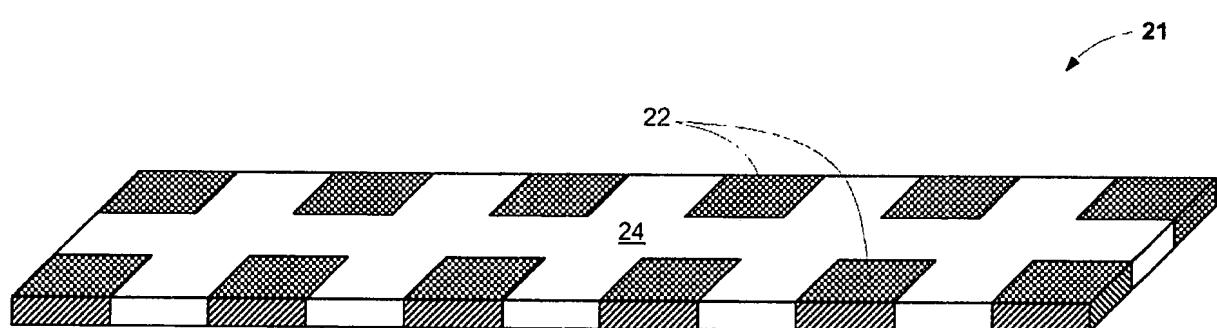
第1D圖

201140899

2/14



第2A圖

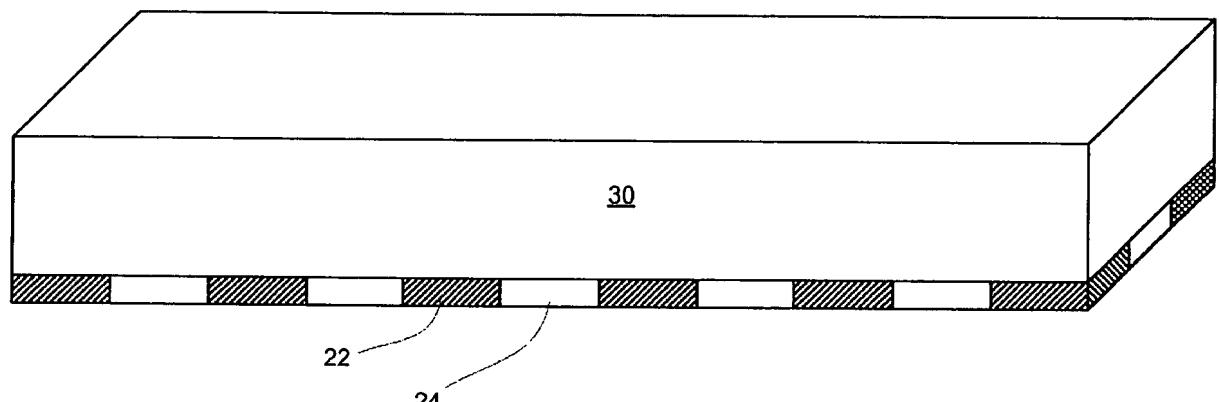


第2B圖

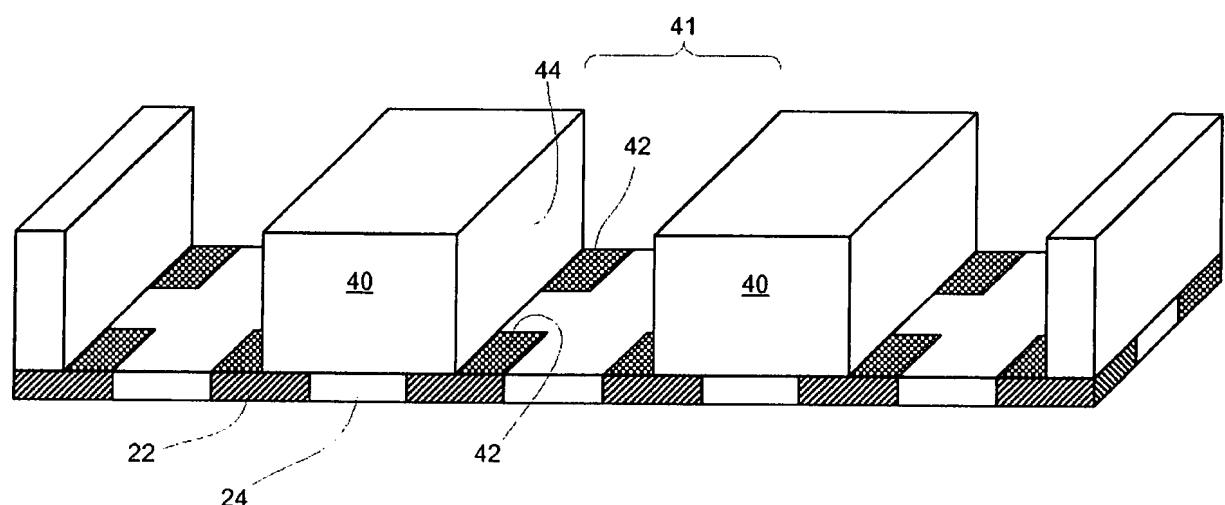


201140899

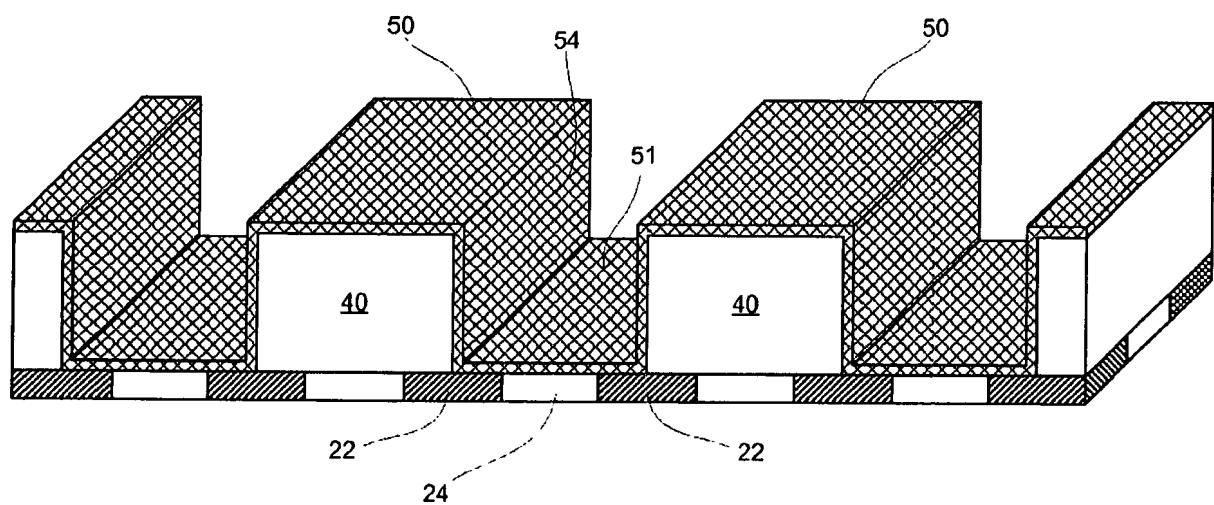
3/14



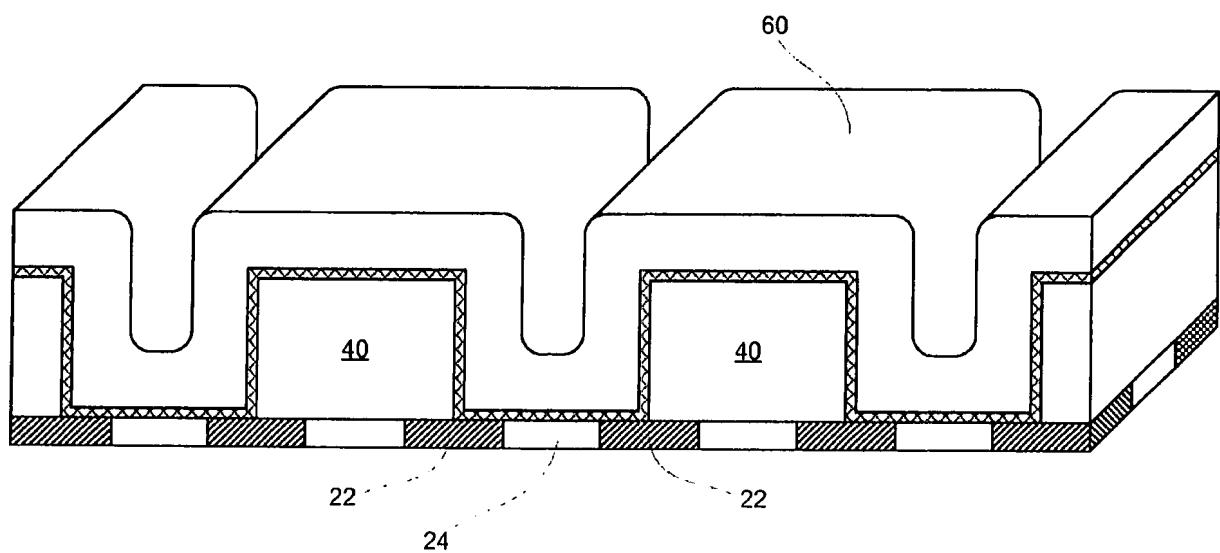
第3圖



第4圖



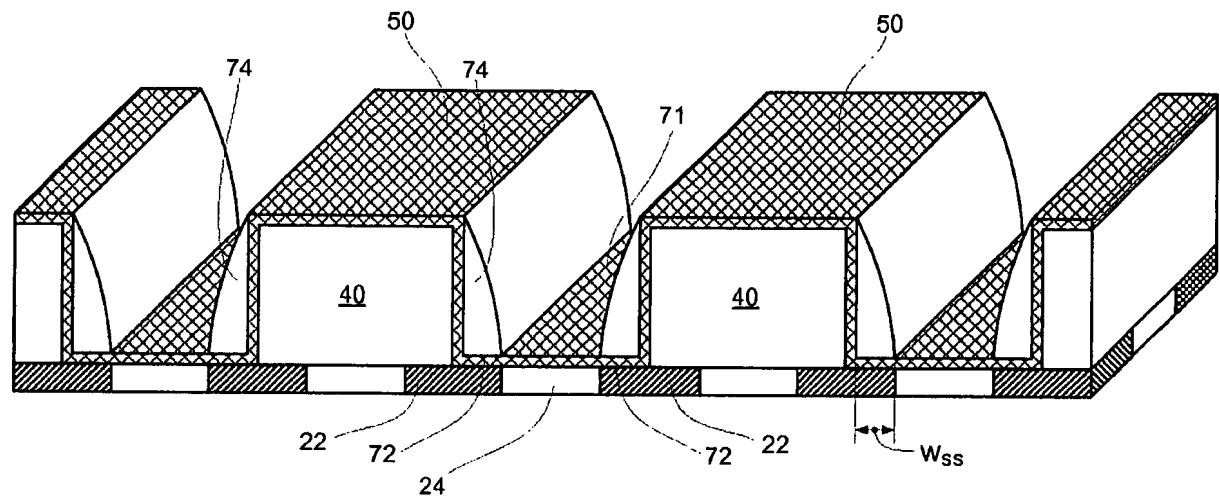
第5圖



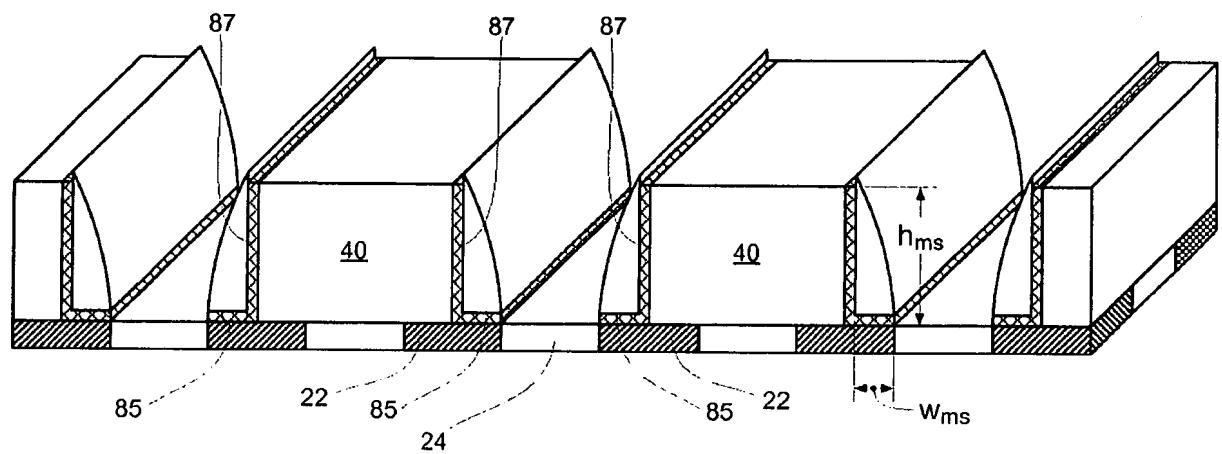
第6圖

201140899

5/14



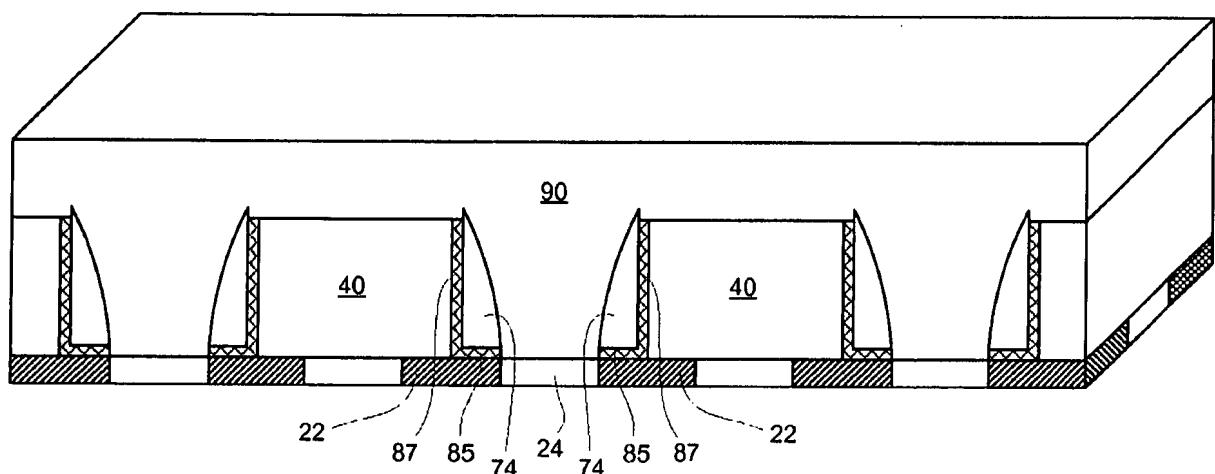
第7圖



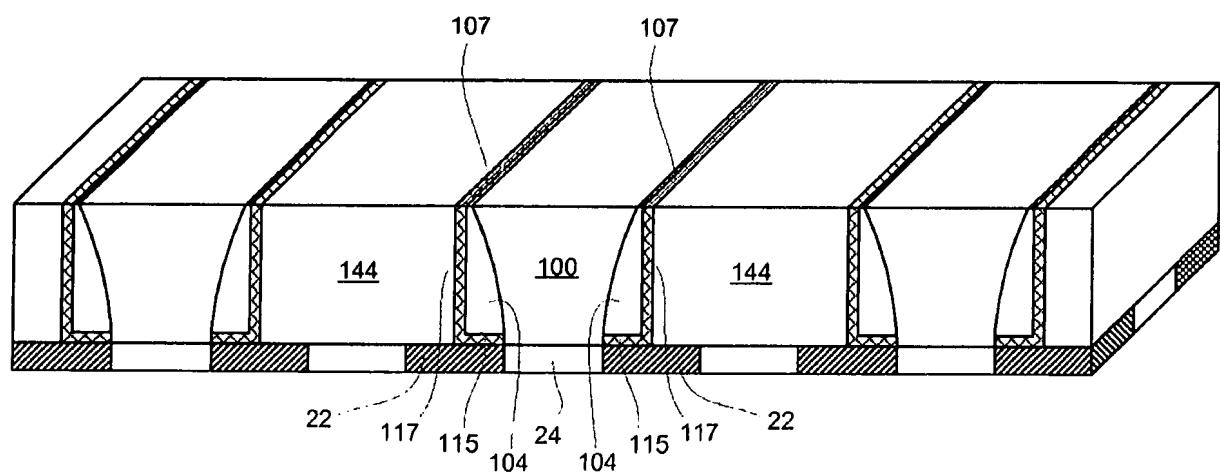
第8圖

201140899

6/14



第9圖

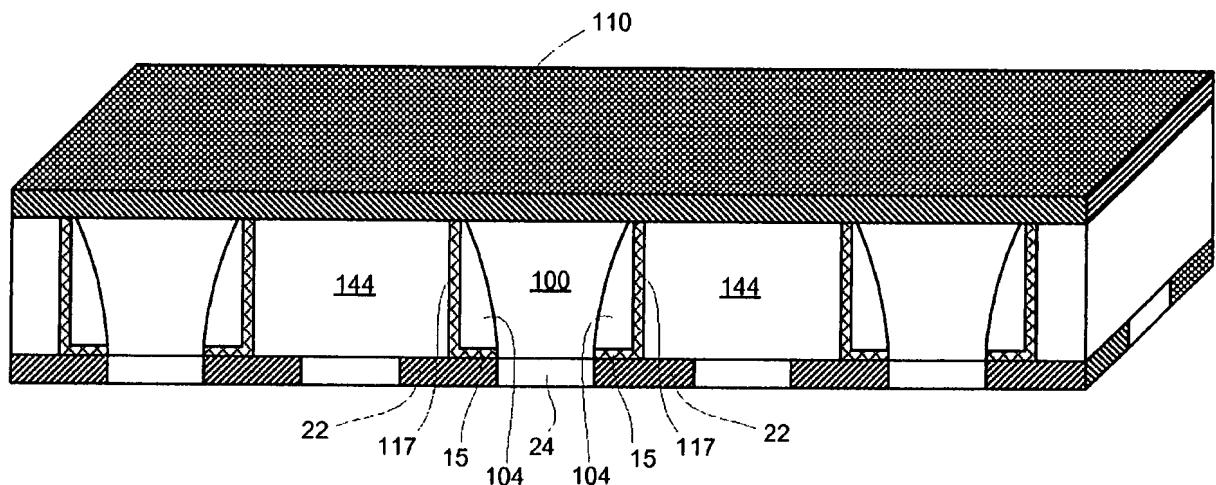


第10圖

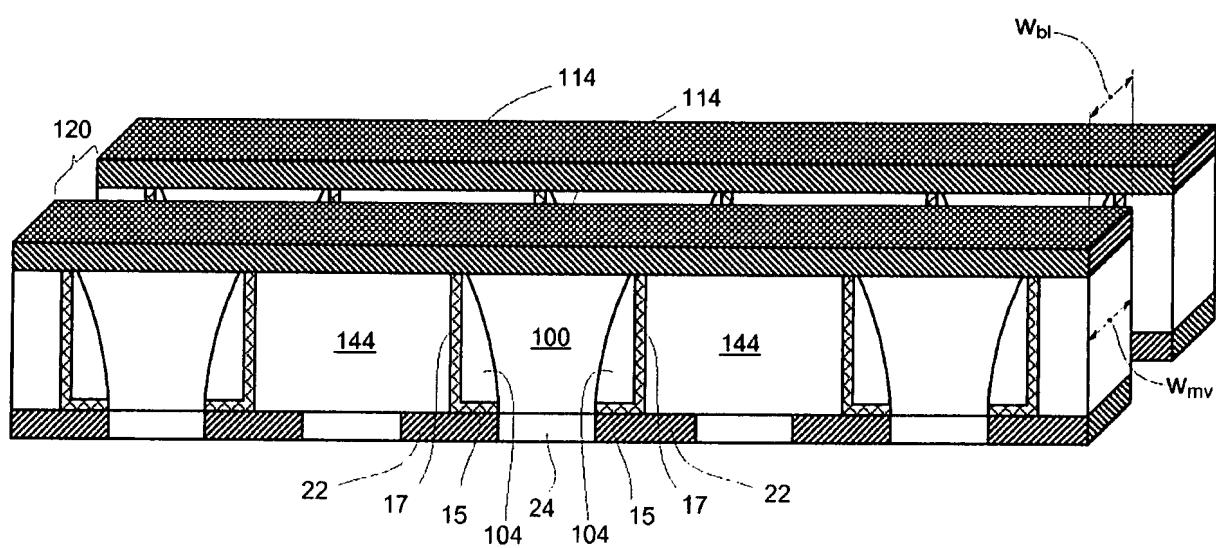


201140899

7/14



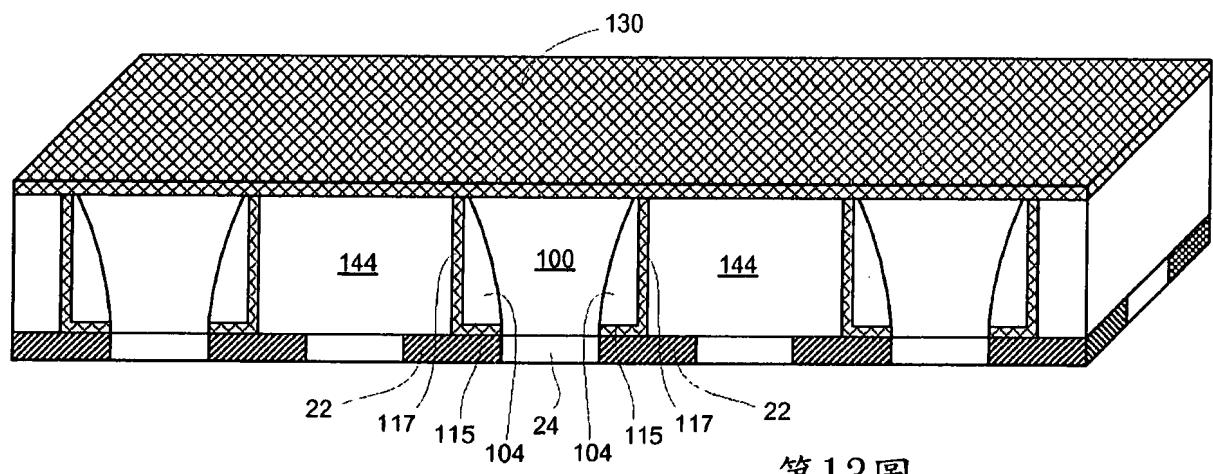
第11圖



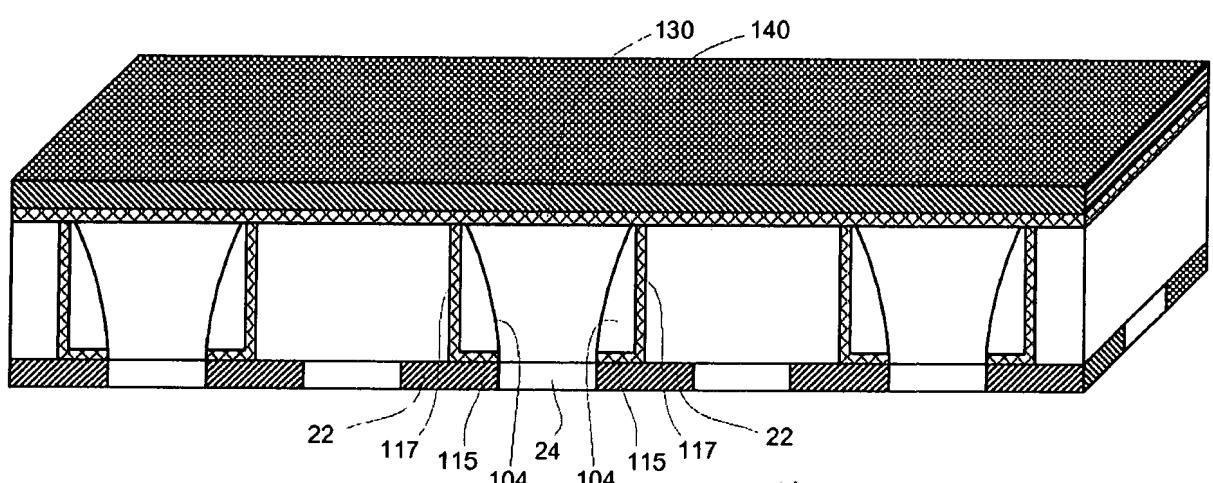
第12圖

201140899

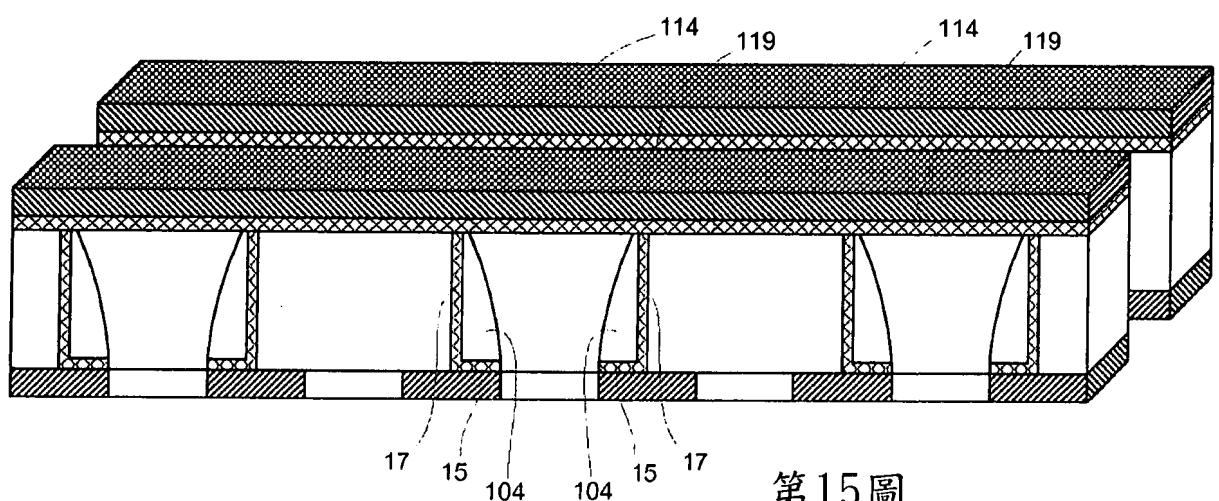
8/14



第13圖



第14圖

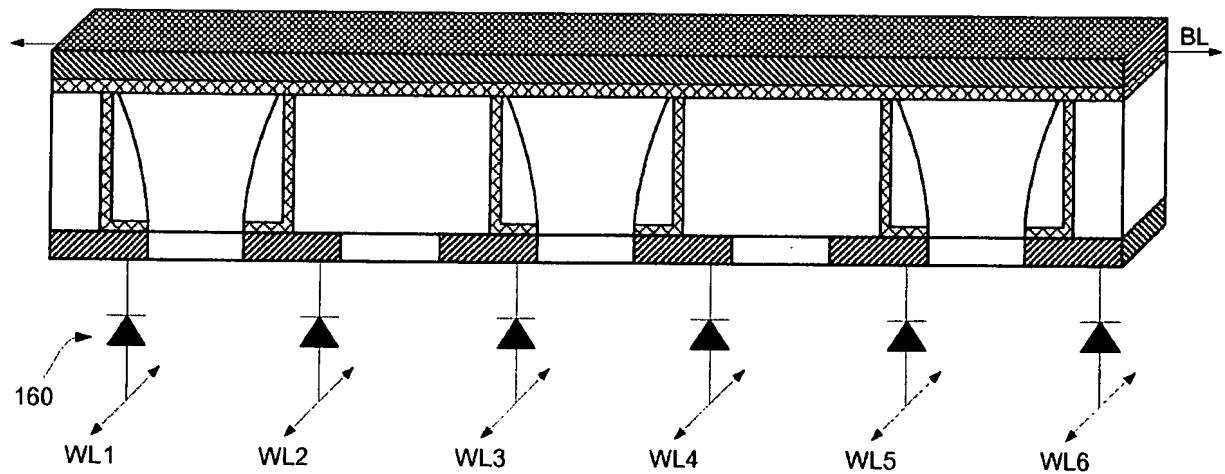


第15圖

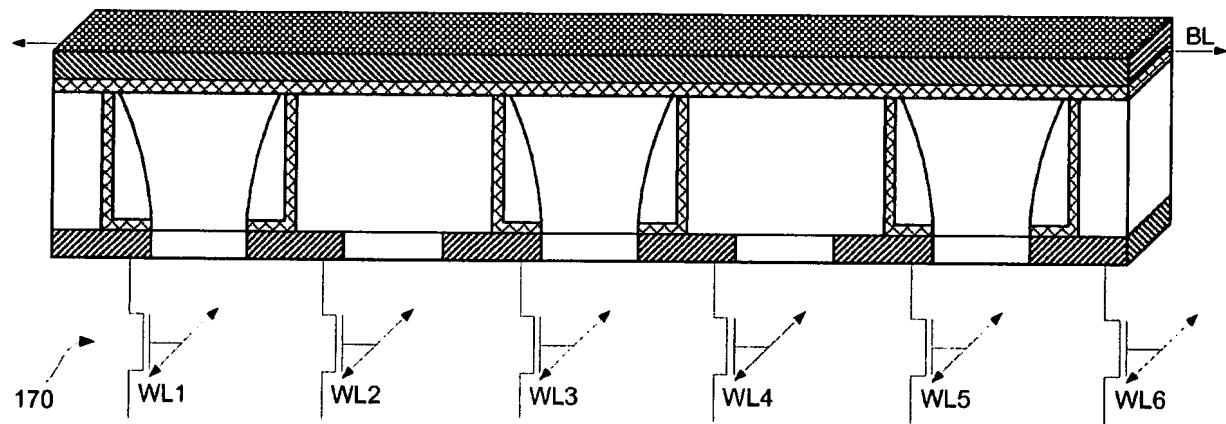
(S)

201140899

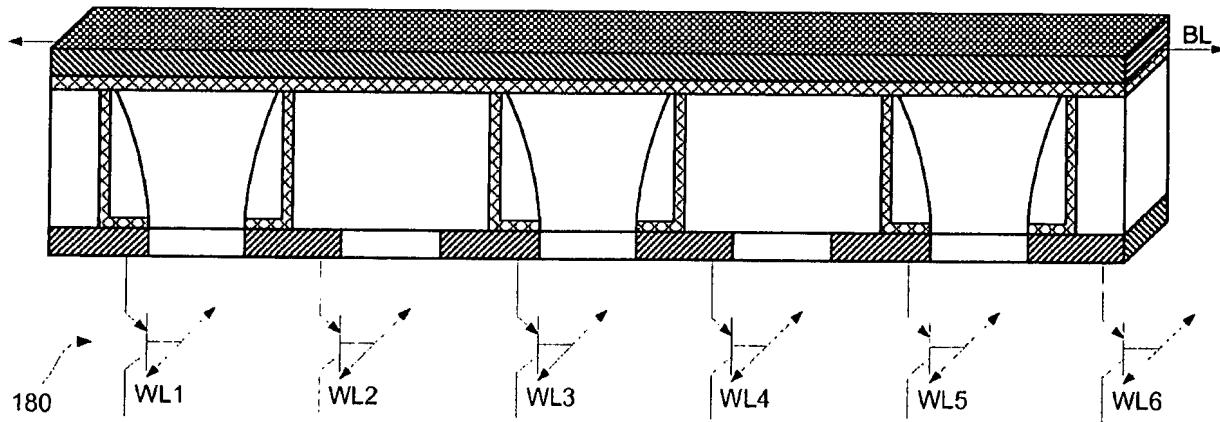
9/14



第16圖



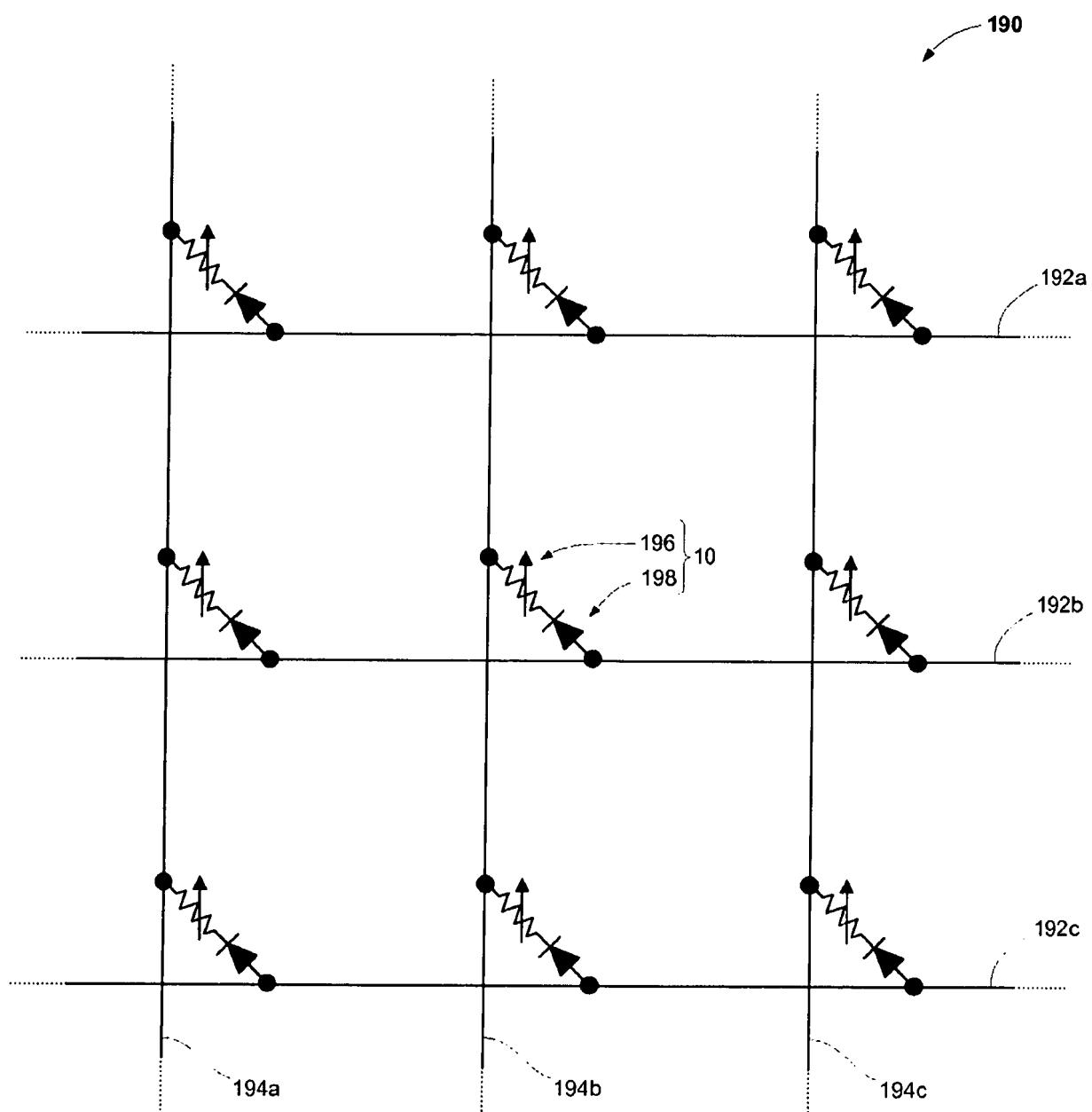
第17圖



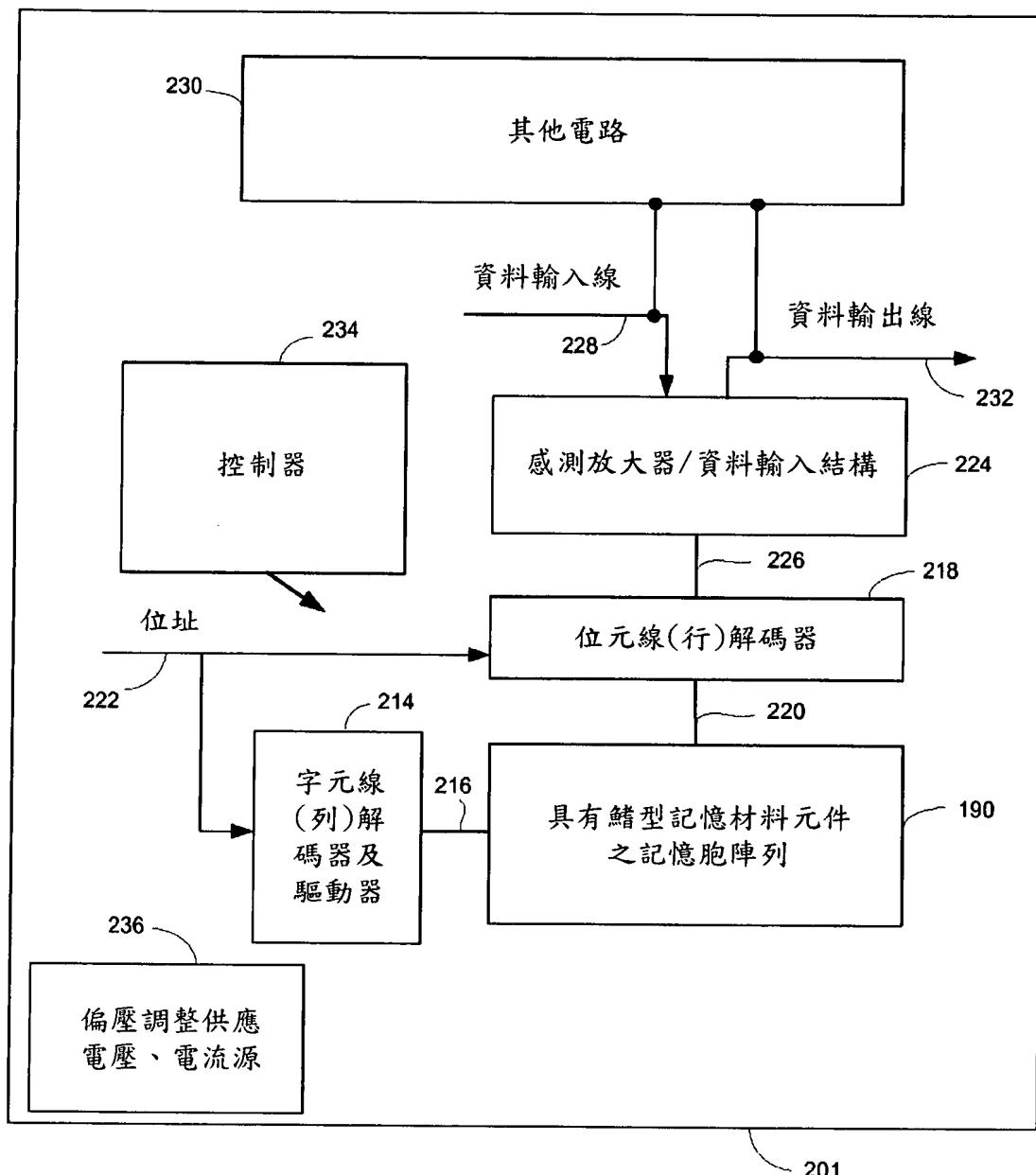
第18圖

201140899

10/14



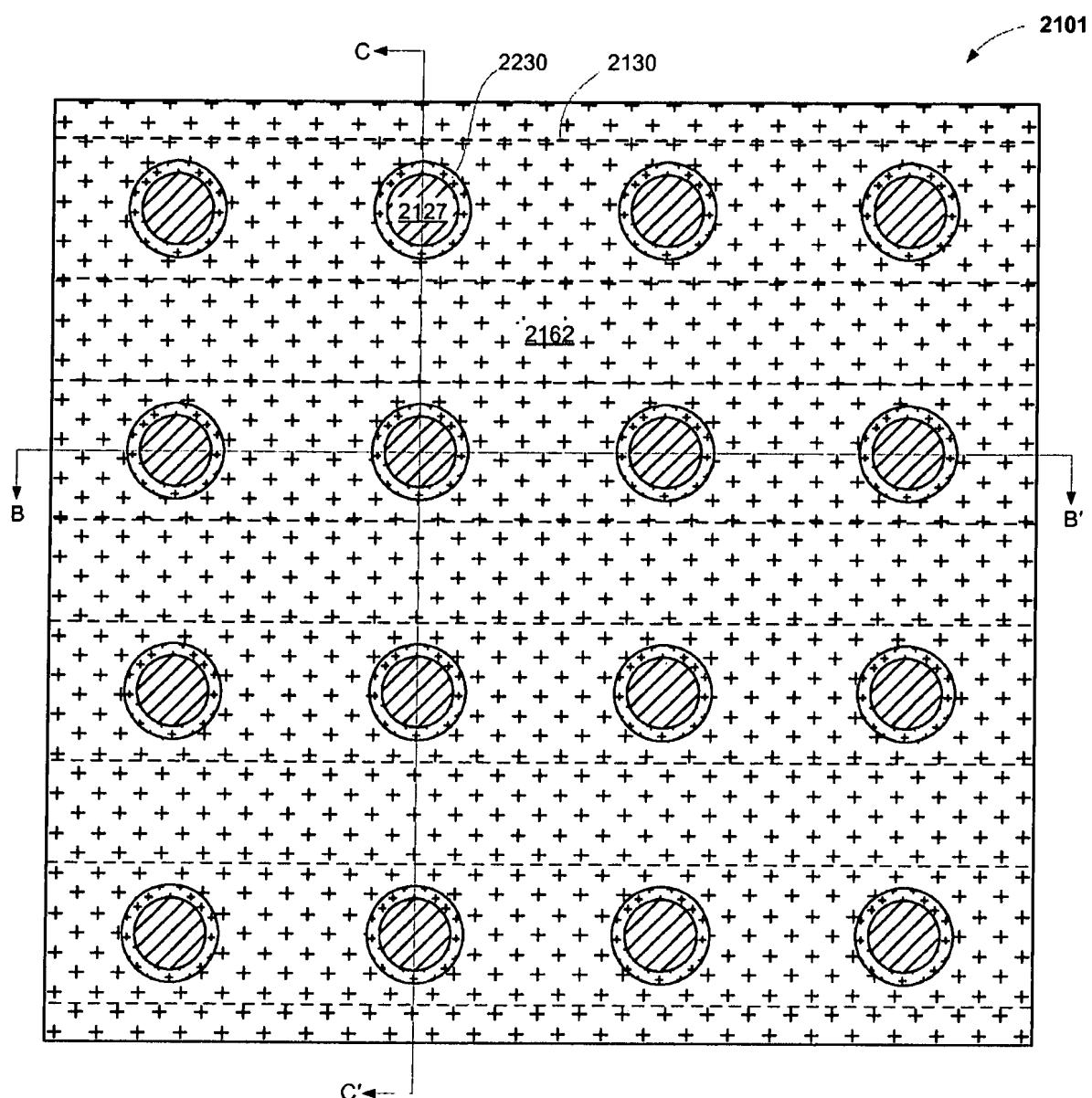
第19圖



第20圖

201140899

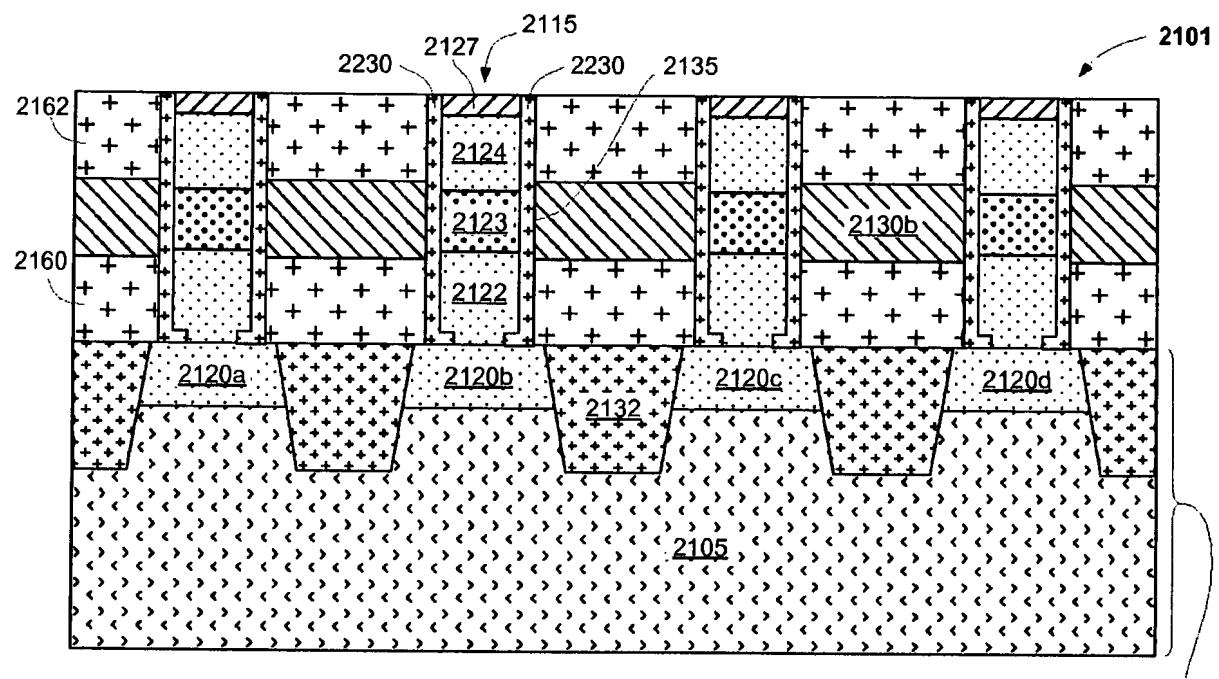
12/14



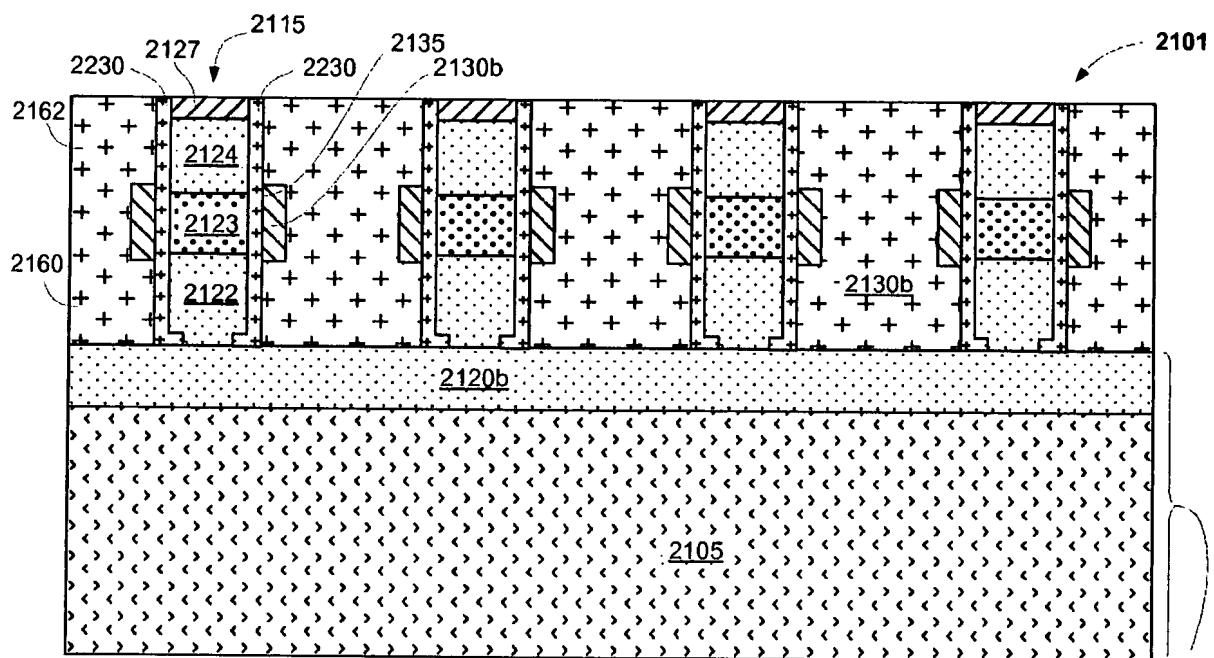
第21A圖

201140899

13/14



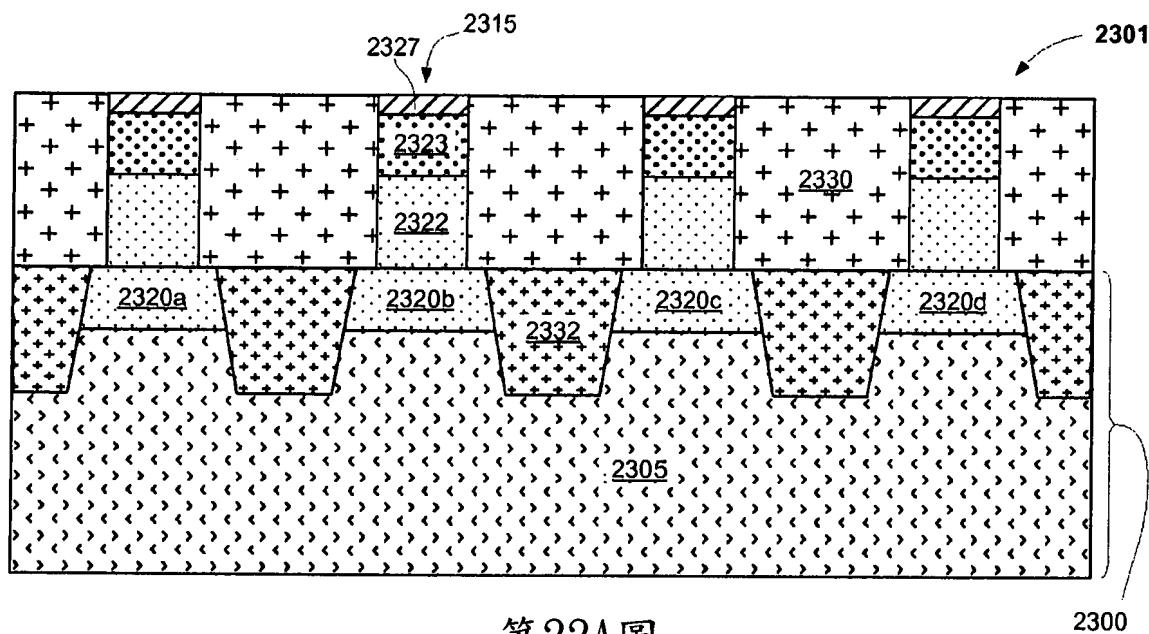
第21B圖



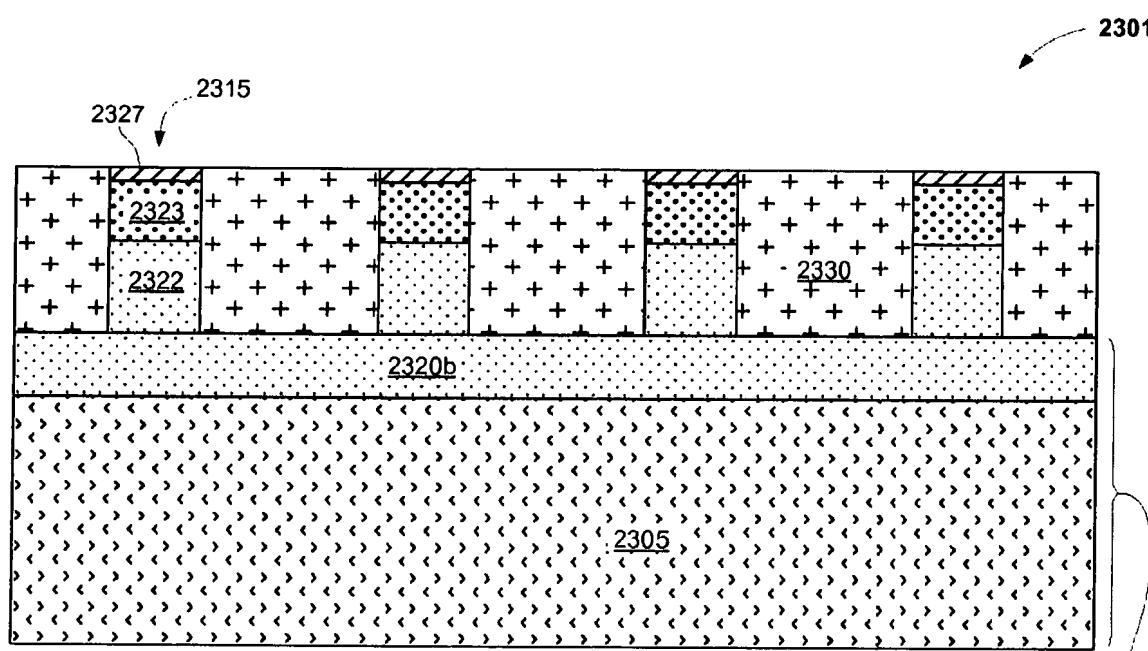
第21C圖

201140899

14/14



第22A圖



第22B圖

S

201140899

四、指定代表圖：

(一)本案指定代表圖為：第（ 1A ）圖。

(二)本代表圖之元件符號簡單說明：

10：記憶胞

12：底電極

13：存取裝置

14：底電極

15：L型記憶材料元件之基底部分

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無