

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4243473号  
(P4243473)

(45) 発行日 平成21年3月25日(2009.3.25)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl. F I  
**H03H 17/02 (2006.01)**  
 H03H 17/02 681B  
 H03H 17/02 655Z  
 H03H 17/02 681E

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2002-329042 (P2002-329042)	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成14年11月13日(2002.11.13)	(73) 特許権者	303013763 NECエンジニアリング株式会社 東京都品川区東品川四丁目10番27号
(65) 公開番号	特開2004-165945 (P2004-165945A)	(74) 代理人	100088812 弁理士 ▲柳▼川 信
(43) 公開日	平成16年6月10日(2004.6.10)	(72) 発明者	渡辺 慎二 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成17年10月14日(2005.10.14)	(72) 発明者	田中 洋一 東京都港区芝浦三丁目18番21号 日本電気エンジニアリング株式会社内

最終頁に続く

(54) 【発明の名称】 FIRデジタルフィルタ

(57) 【特許請求の範囲】

【請求項1】

入力データ信号をサンプリングした入力クロック信号からm倍(mは正の整数)した第1のクロックと前記入力クロック信号に対して位相制御を行った第2のクロックとを発生するクロック発生器と、前記第1のクロックに基づいて前記入力データ信号に対して所定のフィルタ係数の演算処理を行ってタップ出力信号を出力する積和演算器と、前記積和演算器からのタップ出力信号を前記第2のクロックでサンプリングする第1のラッチとを有し、

前記積和演算器は、入力信号を(m-1)段遅延させる遅延素子と、前記遅延素子の出力信号と前記入力データ信号とを切替える第1のセレクタと、予めタップ係数信号を格納するメモリと、前記メモリから出力されるタップ係数信号と前記遅延素子からの出力信号とを乗算する乗算器と、前記乗算器の乗算結果を逐次累算して出力する累算器と、前記遅延素子からの出力信号を前記第2のクロックでサンプリングする第2のラッチとを含み、

前記累算器の出力を前記タップ出力信号として出力するとともに、

前記累算器は、前記乗算器からの出力信号と前記タップ出力信号とを加算する加算器と、前記乗算器からの出力信号と前記加算器からの加算結果とを切替える第2のセレクタと、前記第2のセレクタの出力信号を前記第1のクロックで保持するラッチとを含むことを特徴とするFIRデジタルフィルタ。

【請求項2】

前記第1のクロックを基に前記第1のセレクタの切替えを行う第1の切替制御手段を含

むことを特徴とする請求項 1 記載の F I R デジタルフィルタ。

【請求項 3】

前記第 1 のクロックを基に前記メモリからの前記タップ係数信号の出力を制御するメモリ制御手段を含むことを特徴とする請求項 1 または請求項 2 記載の F I R デジタルフィルタ。

【請求項 4】

前記第 1 のクロックを基に前記第 2 のセレクタの切替えを行う第 2 の切替制御手段を含むことを特徴とする請求項 1 から請求項 3 のいずれか記載の F I R デジタルフィルタ。

【請求項 5】

前記積和演算器を直列に複数段接続したことを特徴とする請求項 1 から請求項 4 のいずれか記載の F I R デジタルフィルタ。

10

【請求項 6】

タップ数を増大させる場合に前記クロック発生器における前記入力クロック信号の倍数  $m$  を大きくすることを特徴とする請求項 1 から請求項 5 のいずれか記載の F I R デジタルフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は F I R デジタルフィルタに関し、特に F I R ( F i n i t e I m p u l s e R e s p o n s e ) デジタルフィルタの回路規模の削減に関する。

20

【0002】

【従来の技術】

従来、F I R デジタルフィルタにおいては、図 4 に示すように、遅延素子  $200 \sim 20m$  ( $m$  は正の整数) と、乗算器  $210 \sim 21n$  ( $n$  は正の整数、 $n = m + 1$ ) と、加算器  $220 \sim 220m$  とから構成されている。

【0003】

上記の F I R デジタルフィルタでは、データ信号入力端子とデータ信号出力端子との間に複数の遅延素子  $200 \sim 20m$  を直列に接続し、各接続にタップを形成している。

【0004】

各タップにはタップ係数  $H_0 \sim H_n$  を乗算するための複数の乗算器  $210 \sim 21n$  が接続され、各乗算器  $210 \sim 21n$  の出力端は複数の加算器  $220 \sim 220m$  に接続され、乗算結果の総和が算出されて出力されるものである (例えば、特許文献 1 参照)。

30

【0005】

【特許文献 1】

特開 2001 - 177378 号公報 (第 2, 3 頁、図 5)

【0006】

【発明が解決しようとする課題】

上述した従来の F I R デジタルフィルタでは、良好な特性を得ようと、F I R デジタルフィルタのタップ数を増大していくと、タップ数と同等の数の乗算器とタップ数より 1 個少ない数の加算器とが必要となる。

40

【0007】

例えば、1000 タップのデジタルフィルタの場合、乗算器が 1000 個、加算器が 999 個必要となる。多タップ数のフィルタを構成すると、上記のように乗算器と加算器とが多数必要となるため、回路規模が膨大となり、集積回路化するのに非常に困難である。

【0008】

そこで、本発明の目的は上記の問題点を解消し、回路規模を小さくすることができる F I R デジタルフィルタを提供することにある。

【0009】

【課題を解決するための手段】

本発明による F I R デジタルフィルタは、入力データ信号をサンプリングした入力ク

50

ロック信号から $m$ 倍 ( $m$ は正の整数)した第1のクロックと前記入力クロック信号に対して位相制御を行った第2のクロックとを発生するクロック発生器と、前記第1のクロックに基づいて前記入力データ信号に対して所定のフィルタ係数の演算処理を行ってタップ出力信号を出力する積和演算器と、前記積和演算器からのタップ出力信号を前記第2のクロックでサンプリングする第1のラッチとを備え、

前記積和演算器は、入力信号を  $(m - 1)$  段遅延させる遅延素子と、前記遅延素子の出力信号と前記入力データ信号とを切替える第1のセレクタと、予めタップ係数信号を格納するメモリと、前記メモリから出力されるタップ係数信号と前記遅延素子からの出力信号とを乗算する乗算器と、前記乗算器の乗算結果を逐次累算して出力する累算器と、前記遅延素子からの出力信号を前記第2のクロックでサンプリングする第2のラッチとを含み、

10

前記累算器の出力を前記タップ出力信号として出力するとともに、

前記累算器は、前記乗算器からの出力信号と前記タップ出力信号とを加算する加算器と、前記乗算器からの出力信号と前記加算器からの加算結果とを切替える第2のセレクタと、前記第2のセレクタの出力信号を前記第1のクロックで保持するラッチとを含むことを特徴とする。

#### 【0010】

すなわち、本発明のFIR (Finite Impulse Response) デジタルフィルタは、入力データ信号をサンプリングした入力クロック信号から $m$ 倍 ( $m$ は正の整数)した第1のクロックと入力クロック信号に対して位相制御を行った第2のクロックとを発生するクロック発生器と、第1のクロックに基づいて入力データ信号に対して所定のフィルタ係数の演算処理を行う積和演算器と、積和演算器の出力信号を第2のクロックでサンプリングするラッチとを備えている。

20

#### 【0011】

積和演算器は、入力信号を  $(m - 1)$  段遅延させる遅延素子と、その遅延素子の出力信号と入力データ信号とを切替えるセレクタと、そのセレクタの切替えを行う切替制御部と、タップ係数信号を格納するメモリと、そのメモリの出力制御を行うメモリ制御部と、このメモリから出力されるタップ係数信号と遅延素子からの出力信号とを乗算する1個の乗算器と、タップ係数信号と遅延された出力信号とを乗算させた結果を逐次累算して出力する1個の累算器と、遅延素子からの出力信号を入力クロック周波数でサンプリングするためのラッチとを備えている。

30

#### 【0012】

累算器は乗算器からの出力信号とラッチから出力されるタップ出力信号とを加算する1個の加算器と、乗算器からの出力信号と加算器からの加算結果とを切替えるセレクタと、そのセレクタの切替えを行う切替制御部と、そのセレクタの出力信号を保持するためのラッチとから構成されている。

#### 【0013】

上記のように構成することで、本発明のFIRデジタルフィルタは、回路規模の大幅な削減が可能となるので、従来よりも小規模の集積回路によって実現可能になるとともに、FIRデジタルフィルタが有する良好な特性を維持することも可能となる。

#### 【0014】

また、本発明のFIRデジタルフィルタは、 $m$ タップのフィルタを構成する場合、クロックを $m$ 倍にすれば実現可能となる。つまり、本発明のFIRデジタルフィルタは、タップ数を増大させる場合、クロック発生部で入力クロックの倍数 $m$ を大きくすることで、多タップ数のフィルタが実現可能となる。この場合には $m$ がタップ数となり、例えば $m = 2000$ とすると、2000タップ数のフィルタが実現可能となる。

40

#### 【0015】

##### 【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の実施の形態によるFIR (Finite Impulse Response) デジタルフィルタの構成を示すブロック図である。図1において、本発明の実施の形態によるFIRディ

50

タルフィルタはデータ信号入力端子 12 から入力される入力データ信号  $d_1$  をサンプリングしかつクロック信号入力端子 11 から入力される入力クロック信号  $a_1$  から  $m$  倍したクロック  $b_1$  と入力クロック信号  $a_1$  の位相制御したクロック  $c_1$  ,  $h_1$  とを発生するクロック発生部 21 と、フィルタの演算処理を行う積和演算器 31 と、積和演算器 31 内から出力されるタップ出力信号  $g_1$  を入力クロック周波数 (クロック  $c_1$ ) でサンプリングするためのラッチ 42 とを備えている。

【0016】

積和演算器 31 は入力信号を  $(m - 1)$  段遅延させる遅延素子 61 と、その遅延素子 61 の出力信号  $e_1$  と入力データ信号  $d_1$  とを切替えるセレクタ 51 と、そのセレクタ 51 の切替えを行う切替制御部 101 と、タップ係数信号  $f_1$  を格納するメモリ 112 と、そのメモリ 112 の出力制御を行うメモリ制御部 111 と、このメモリ 112 から出力されるタップ係数信号  $f_1$  と遅延素子 61 からの出力信号  $e_1$  とを乗算する 1 個の乗算器 71 と、タップ係数信号  $f_1$  と遅延された出力信号  $e_1$  とを乗算させた結果を逐次累算して出力する 1 個の累算器 91 と、遅延素子 61 の出力信号  $e_1$  を入力クロック周波数 (クロック  $h_1$ ) でサンプリングするためのラッチ 41 とを備えている。

10

【0017】

累算器 91 は乗算器 71 からの出力信号  $m_1$  とラッチ 43 から出力されるタップ出力信号  $g_1$  とを加算する 1 個の加算器 81 と、乗算器 71 からの出力信号  $m_1$  と加算器 81 からの加算結果  $n_1$  とを切替えるセレクタ 52 と、そのセレクタ 52 の切替えを行う切替制御部 102 と、そのセレクタ 52 の出力信号  $q_1$  を保持するためのラッチ 43 とから構成されている。

20

【0018】

図 2 は本発明の実施の形態による FIR デジタルフィルタの動作を示すタイミングチャートである。図 2 は  $m = 4$  の場合を例にしたタイミングを示しており、これら図 1 と図 2 とを用いて本発明の実施の形態による FIR デジタルフィルタの動作について説明する。

【0019】

クロック信号入力端子 11 から入力クロック信号  $a_1$  が入力され、この入力クロック信号  $a_1$  はデータ信号入力端子 12 からの入力データ信号  $d_1$  をサンプリングしているクロックである。したがって、データ信号入力端子 12 から入力されるデータ信号  $d_1$  は入力クロック信号  $a_1$  でサンプリングされている。上記の入力クロック信号  $a_1$  と入力データ信号  $d_1$  とのタイミング関係は図 2 に示す通りである。

30

【0020】

クロック発生部 21 は入力クロック信号  $a_1$  を  $m$  倍したクロック  $b_1$  として出力しており、積和演算器 31 ではこの  $m$  倍したクロック  $b_1$  に基づいてフィルタの演算処理を行っている。例えば、 $m = 4$  の場合のクロック発生部 21 から出力される 4 倍したクロック  $b_1$  と入力クロック信号  $a_1$  とのタイミング関係は図 2 に示す通りである。

【0021】

また、上記のクロック発生部 21 ではラッチ 41 にクロック  $h_1$  を供給し、ラッチ 42 にクロック  $c_1$  を供給している。上記の各クロック  $c_1$  ,  $h_1$  は入力クロック信号  $a_1$  と同じサンプリング周波数のクロックであるが、上記の各ラッチ 41 , 42 に入力されるデータ信号とのタイミングを合わせるために、入力クロック信号  $a_1$  の位相を制御して生成され、それぞれのラッチ 41 , 42 へ出力されている。

40

【0022】

セレクタ 51 は入力データ信号  $d_1$  と  $(m - 1)$  段遅延される遅延素子 61 から出力されるデータ信号  $e_1$  とを選択的に出力し、遅延素子 61 へ供給している。切替制御部 101 では、 $m$  回に 1 回、High パルスを出力する切替制御信号  $r_1$  をセレクタ 51 へ供給し、セレクタ 51 の切替えを行っている。例えば、 $m = 4$  の場合の上記の遅延素子 61 と切替制御部 101 とセレクタ 51 とのタイミング関係は図 2 に示す通りである。

【0023】

50

図 2 において、切替制御部 101 の出力である切替制御信号 r1 は 4 回に 1 回、High パルスとして出力される。セクタ 51 では上記の切替制御信号 r1 が High パルス時に入力データ信号 (A, B, C, D) を選択し、上記の切替制御信号 r1 が Low パルス時に遅延素子 61 の出力データ [(X, Y, Z)、(Y, Z, A)、(Z, A, B)、(A, B, C)] を選択して出力する。

【0024】

上記のセクタ 51 の出力データ k1 は遅延素子 61 に入力され、3 段遅延された後、再びセクタ 51 へ入力される。このように、セクタ 51 と遅延素子 61 との間でのデータ処理は、巡回的に繰り返し行われ、上記の遅延素子 61 から出力されるデータ信号 e1 はラッチ 41 に供給される。

10

【0025】

上記のラッチ 41 に使用されるクロック h1 は、図 2 に示すように、上記の遅延素子 61 から出力されるデータ信号 e1 とのタイミングを合わせるため、クロック発生部 21 で入力クロック信号 a1 が位相制御されて出力されるものである。したがって、上記のデータ信号 e1 はラッチ 41 を介して、入力クロック信号 a1 と同じ周波数でサンプリングされたデータ信号 s1 (ここでは W, X, Y, Z) としてデータ信号出力端子 14 へ出力される。

【0026】

メモリ制御部 111 ではメモリ 112 からの出力タイミングを制御し、タップ係数信号 f1 を出力している。上記のタップ係数信号 f1 は、図 4 に示す従来例のタップ係数 H0 ~ Hn に対応している。そして、このタップ係数は全てメモリ 112 に格納されており、メモリ制御部 111 の制御によって m 倍したクロック b1 で出力され、乗算器 71 へと供給されている。

20

【0027】

また、上記の遅延素子 61 から出力されるデータ信号 e1 も乗算器 71 へと供給されているので、上記の乗算器 71 は上記の遅延素子 61 からの出力に対して、タイミングを合わせて出力されたタップ係数信号 f1 との乗算を行う。上記の乗算器 71 への入力タイミングは、例えば、m = 4 の場合、図 2 に示す通りである。

【0028】

図 2 において、タップ係数信号 f1 は上記の遅延素子 61 から出力されるデータ信号 e1 を 4 個毎に [ここでは (X, Y, Z, A) とする]、タイミングを合わせ、4 タップ分 (ここでは、H3 ~ H0) を出力し、 $X * H3$ 、 $Y * H2$ 、 $Z * H1$ 、 $A * H0$  と順々に乗算されている。この乗算器 71 による結果 m1 は、図 2 に示すように、Mb0 ~ Mb3 として出力される。

30

【0029】

上記の乗算器 71 からの出力のうち的一方はセクタ 52 へ直接供給される。上記の乗算器 71 からの出力のうちのもう一方は加算器 81 へ供給される。上記の加算器 81 は乗算器 71 からの出力 m1 とラッチ 43 から出力されるタップ出力信号 g1 との加算を行い、その加算結果をセクタ 52 へ供給する。

【0030】

切替制御部 102 では m 回に 1 回、High パルスを出力する切替制御信号 p1 としてセクタ 52 の切替えを行っている。例えば、m = 4 の場合、上記のラッチ 43 と加算器 81 と切替制御部 102 とセクタ 52 とのタイミング関係は図 2 に示す通りである。

40

【0031】

図 2 において、切替制御部 102 の出力である切替制御信号 p1 は、4 回に 1 回、High パルスが出力されている。セクタ 52 では上記の切替制御信号 p1 が High パルス時に乗算器 71 の出力データ m1 (Mb0, Mc0, Md0, Me0) を選択し、上記の切替制御信号 p1 が Low パルス時に加算器 81 の出力データ n1 (Ab1 ~ Ab3, Ac1 ~ Ac3, Ad1 ~ Ad3) を選択して出力している。

【0032】

50

上記のセレクタ52の出力データq1はラッチ43で1段遅延された後、再び加算器81へ入力される。このように、上記の切替制御部102と加算器81とセレクタ52とラッチ43とによって累算器91を構成しており、この累算器91は乗算された結果を逐次累算して出力している。

【0033】

尚、上記の累算器91はセレクタ52で乗算器71の出力データを選択することで、これまでの累算結果をクリアし、累算の初期値となって再び逐次累算を始める。ここまでの演算処理またはデータ処理は、上記のセレクタ51～累算器91によって積和演算器31として構成されている。

【0034】

ラッチ42に使用されるクロックc1は、図2に示すように、上記の積和演算器31の累算器91から出力されるタップ出力信号g1とのタイミングを合わせるため、クロック発生部21で入力クロック信号a1が位相制御されて出力されるものである。したがって、タップ出力信号g1はラッチ42を介して、入力クロック信号a1と同じ周波数でサンプリングされたタップ出力信号t1（ここではAz3, Aa3, Ab3, Ac3）として、フィルタ信号出力端子13へ出力される。

【0035】

上述した如く、本発明の実施の形態によるFIRデジタルフィルタは、回路規模を大幅に削減することができる。例えば、従来のFIRデジタルフィルタで1000タップ数の場合、1000個の乗算器と999個の加算器とが必要であるのに対し、本発明の実施の形態によるFIRデジタルフィルタでは、m倍したクロックを1000倍に設定すると、1個の乗算器71と1個の累算器91とで済む。よって、これら回路規模の大幅な削減が可能であり、またFIRデジタルフィルタが有する良好な特性を維持することができる。

【0036】

さらに、本発明の実施の形態によるFIRデジタルフィルタでは、タップ数を増大させる場合、クロック発生部21で入力クロック信号a1の倍数mを大きくすることで、多タップ数のフィルタを実現することができる。つまり、mがタップ数となり、例えば、m=2000とすると、2000タップ数のフィルタが実現可能となる。

【0037】

図3は本発明の一実施例によるFIRデジタルフィルタの構成を示すブロック図である。図3において、本発明の一実施例によるFIRデジタルフィルタは、直列に5段接続した積和演算器31～35と、各積和演算器31～35からのタップ出力信号g1～g5を加算する加算器121と、クロック発生器21と、ラッチ42とから構成されている。尚、クロック発生器21の動作は上述した本発明の実施の形態と同様であるため、その動作についての説明は省略する。

【0038】

データ信号入力端子12から入力される入力データ信号d1は、1段目の積和演算器31へ供給され、上述した積和演算器31の動作によって、積和演算器31からデータ信号s1が出力され、2段目の積和演算器32へと供給される。以下、この動作と同様に、3段目の積和演算器33、4段目の積和演算器34、5段目の積和演算器35で動作が行われる。

【0039】

また、上記の各積和演算器31～35から出力されるタップ出力信号g1～g5は、最終的な累算結果を算出するために加算器121へと供給される。上記の加算器121の出力である加算結果u1は、上述した通り、ラッチ42を介して、入力クロック信号a1と同じ周波数でサンプリングされたタップ出力信号t1としてフィルタ信号出力端子13へ出力される。

【0040】

本実施例は、m倍したクロック信号が、デジタルフィルタ内で周波数制限された場合で

10

20

30

40

50

も、積和演算器 31 ~ 35 を直列接続することで、従来のデジタルフィルタよりも回路規模を大幅に削減することができることを示した例である。例えば、従来の FIR デジタルフィルタで 1000 タップ数の場合、1000 個の乗算器と 999 個の加算器とが必要であるのに対し、本実施例では、積和演算器 31 ~ 35 内の最大クロック周波数が入力クロックの 200 倍と制限されていても、積和演算器 31 ~ 35 内の 5 個の乗算器及び 5 個の累算器と 1 個の加算器 121 とで済む。したがって、これら回路規模の削減が可能であり、また FIR デジタルフィルタが有する良好な特性を維持することができる。

#### 【0041】

さらに、タップ数を増大させる場合には、積和演算器の数を n 段接続することで多タップ数のフィルタが可能となる。つまり、上記のようなデジタルフィルタ内で最大クロック周波数が制限されている場合、 $m \times n$  がタップ数となり、例えば、 $m = 200$ 、 $n = 10$  とすると、2000 タップ数のフィルタが実現可能となる。

10

#### 【0042】

このように、本実施例による FIR デジタルフィルタでは、回路規模の大幅な削減が可能であり、また FIR デジタルフィルタが有する良好な特性を維持することもできる。

#### 【0043】

さらに、本実施例による FIR デジタルフィルタでは、タップ数を増大させる場合、クロック発生器 21 における入力クロック信号 a1 の倍数 m を大きくすることで、多タップ数のフィルタを実現することができる。この場合には m がタップ数となるので、例えば、 $m = 2000$  とすると、2000 タップ数のフィルタが実現可能となる。

20

#### 【0044】

#### 【発明の効果】

以上説明したように本発明は、入力データ信号をサンプリングした入力クロック信号から m 倍 (m は正の整数) した第 1 のクロックと入力クロック信号に対して位相制御を行った第 2 のクロックとを発生するクロック発生器と、第 1 のクロックに基づいて入力データ信号に対して所定のフィルタ係数の演算処理を行ってタップ出力信号を出力する積和演算器と、積和演算器からのタップ出力信号を第 1 のクロックでサンプリングするラッチとを備えることによって、回路規模を小さくすることができるという効果が得られる。

#### 【図面の簡単な説明】

【図 1】本発明の実施の形態による FIR デジタルフィルタの構成を示すブロック図である。

30

【図 2】本発明の実施の形態による FIR デジタルフィルタの動作を示すタイミングチャートである。

【図 3】本発明の一実施例による FIR デジタルフィルタの構成を示すブロック図である。

【図 4】従来の FIR デジタルフィルタの構成を示すブロック図である。

#### 【符号の説明】

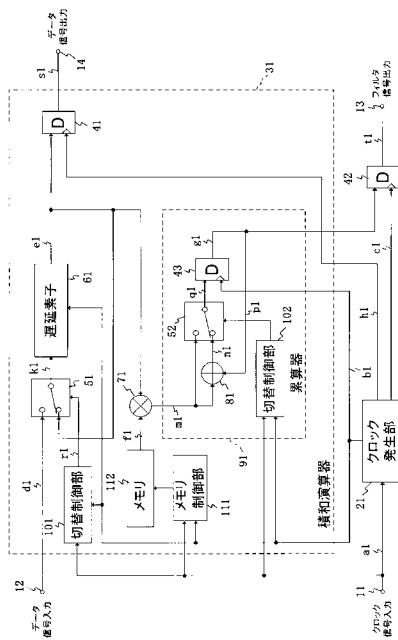
- 11 クロック信号入力端子
- 12 データ信号入力端子
- 13 フィルタ信号出力端子
- 14 データ信号出力端子
- 21 クロック発生部
- 31 ~ 35 積和演算器
- 41 ~ 43 ラッチ
- 51, 52 セレクタ
- 61 遅延素子
- 71 乗算器
- 81 加算器
- 91 累算器
- 101, 102 切替制御部

40

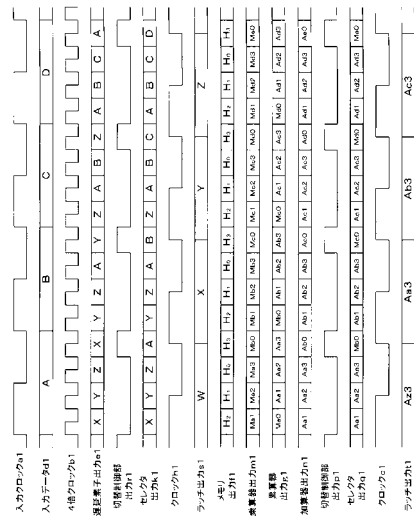
50

- 1 1 1 メモリ制御部
- 1 1 2 メモリ
- 1 2 1 加算器

【図 1】



【図 2】





フロントページの続き

審査官 畑中 博幸

(56)参考文献 特開平07-030374(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H03H 17/02