



(12) 发明专利

(10) 授权公告号 CN 102956492 B

(45) 授权公告日 2015. 03. 11

(21) 申请号 201110247740. 1

US 2006/0003520 A1, 2006. 01. 05,

(22) 申请日 2011. 08. 24

CN 1983564 A, 2007. 06. 20,

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

审查员 姚日英

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 刘焕新 刘佳磊

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

(56) 对比文件

US 2005/0266639 A1, 2005. 12. 01,

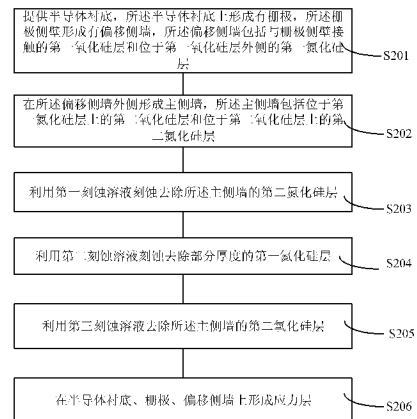
权利要求书2页 说明书6页 附图5页

(54) 发明名称

半导体结构及其制作方法、MOS 晶体管及其制作方法

(57) 摘要

一种半导体结构的制作方法,包括步骤:提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氮化硅层外侧的第二氧化硅层和位于第二氧化硅层外侧的第二氮化硅层;利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;在半导体衬底、栅极、偏移侧墙上形成应力层。本发明方法增加了晶体管沟道区的应力,提高了载流子的迁移率,增强了晶体管的性能。



1. 一种半导体结构的制作方法,其特征在于,包括步骤:

提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;

在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氮化硅层外侧的第二氧化硅层和位于第二氧化硅层外侧的第二氮化硅层;

利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;

利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;

利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;

在半导体衬底、栅极、偏移侧墙上形成应力层。

2. 如权利要求 1 所述半导体结构的制作方法,其特征在于,所述第一刻蚀溶液包含有氮化硅颗粒和磷酸;所述磷酸的浓度为 80%~85%。

3. 如权利要求 1 或 2 所述半导体结构的制作方法,其特征在于,所述第一刻蚀溶液对所述氮化硅和氧化硅的刻蚀选择比为 650:1~800:1。

4. 如权利要求 1 所述半导体结构的制作方法,其特征在于,所述第二刻蚀溶液为磷酸,浓度为 80%~85%。

5. 如权利要求 1 或 4 所述半导体结构的制作方法,其特征在于,所述第二刻蚀溶液对氮化硅和氧化硅的刻蚀选择比为 50:1~70:1。

6. 如权利要求 1 所述半导体结构的制作方法,其特征在于,所述第三刻蚀溶液为稀释氢氟酸,所述稀释氢氟酸中水和氢氟酸体积比例为 200:1~500:1。

7. 如权利要求 1 或 6 所述半导体结构的制作方法,其特征在于,所述第三刻蚀溶液对氧化硅和氮化硅的刻蚀选择比为 20:1~30:1。

8. 如权利要求 1 所述半导体结构的制作方法,其特征在于,所述去除部分厚度的第一氮化硅层为去除原厚度的 1/2~6/7。

9. 一种 MOS 晶体管的制作方法,其特征在于,包括步骤:

提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;

以所述栅极、偏移侧墙为掩膜,向所述半导体衬底内注入离子,形成源/漏极延伸区;

在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氮化硅层外侧的第二氧化硅层和位于第二氧化硅层外侧的第二氮化硅层;

以所述栅极、偏移侧墙、主侧墙为掩膜,向所述半导体衬底内注入离子,形成源/漏区;

利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;

利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;

利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;

在半导体衬底、栅极、偏移侧墙上形成应力层。

10. 如权利要求 9 所述 MOS 晶体管的制作方法的制作方法,其特征在于,所述第一刻蚀溶液为包含有氮化硅颗粒和磷酸;所述磷酸的浓度为 80%~85%。

11. 如权利要求 9 或 10 所述 MOS 晶体管的制作方法,其特征在于,所述第一刻蚀溶液对

所述氮化硅和氧化硅的刻蚀选择比为 650:1 ~ 800:1。

12. 如权利要求 9 所述 MOS 晶体管的制作方法,其特征在于,所述第二刻蚀溶液为磷酸,浓度为 80% ~ 85%。

13. 如权利要求 9 或 12 所述 MOS 晶体管的制作方法,其特征在于,所述第二刻蚀溶液对氮化硅和氧化硅的刻蚀选择比为 50:1 ~ 70:1。

14. 如权利要求 9 所述 MOS 晶体管的制作方法,其特征在于,所述第三刻蚀溶液为稀释氢氟酸,所述稀释氢氟酸中水和氢氟酸体积比例为 200:1 ~ 500:1。

15. 如权利要求 9 或 14 所述 MOS 晶体管的制作方法,其特征在于,所述第三刻蚀溶液对氧化硅和氮化硅的刻蚀选择比为 20:1 ~ 30:1。

16. 如权利要求 9 所述 MOS 晶体管的制作方法,其特征在于,所述去除部分厚度的第一氮化硅层为去除原厚度的 $1/2 \sim 6/7$ 。

半导体结构及其制作方法、MOS 晶体管及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体结构及其制作方法、MOS 晶体管及其制作方法。

背景技术

[0002] 随着半导体制造技术的飞速发展,为了达到更高的运算速度、更大的数据存储量、以及更多的功能,半导体器件朝向更高的元件密度、及更高的集成度方向发展。伴随半导体器件集成度的提高,金属氧化物半导体晶体管(MOS)的栅极变得越来越细且长度变得比以往更短。为了获得较好的电学性能,通常通过控制载流子迁移率来提高半导体器件性能。该技术的一个关键要素是控制晶体管沟道中的应力。

[0003] 目前,金属氧化物半导体(MOS)晶体管包括:半导体衬底;位于所述半导体衬底上的栅极;位于所述栅极两侧半导体衬底内的源极和漏极;位于所述栅极下方半导体衬底内的导电沟道;所述栅极和导电沟道之间具有栅氧化层;在所述栅极侧壁形成环绕栅极的侧墙(Spacer),所述侧墙一方面可以保护栅极,另一方面可以防止源/漏注入与导电沟道过于接近而产生漏电流甚至漏/源之间导通。为了进一步提高MOS器件的性能,回刻蚀形成侧墙后,在MOS晶体管表面形成覆盖衬底和栅极表面的应力薄膜,通过应力薄膜对导电沟道施加不同形式的应力(对空穴载流子加压应力,对电子加拉应力)可以提高两类载流子的迁移率。

[0004] 图1~图3为现有技术的形成MOS晶体管的剖面结构示意图。

[0005] 首先,参考图1,提供半导体衬底100,在所述半导体衬底100内形成浅沟槽隔离区101,用以隔离有源区,在所述半导体衬底100上形成栅极104,在所述栅极104两侧形成偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的氧化硅层106和位于氧化硅层106外侧的氮化硅层107;在偏移侧墙外侧形成主侧墙108;以栅极104、偏移侧墙和主侧墙108为掩膜,用离子注入方式对半导体衬底100进行掺杂,形成源/漏区102。

[0006] 然后,参考图2,采用等离子干法刻蚀方法回刻所述主侧墙108,在刻蚀过程中以氮化硅层107为刻蚀停止层。

[0007] 参考图3,在所述晶体管表面沉积形成覆盖栅极104、氮化硅层107、半导体衬底100的应力层109。所述应力层109的材料可以是氮化硅,通常在PMOS晶体管表面沉积压应力层,在NMOS晶体管表面沉积拉应力层。

[0008] 更多关于MOS晶体管的制作方法见公开号为“CN101789447A”的中国专利申请。

[0009] 现有技术形成应力层后,通过应力层施加在导电沟道的应力有限,载流子的迁移率的提高较小,晶体管的性能提高有限。

发明内容

[0010] 本发明解决的问题提供一种半导体结构及其制作方法、MOS晶体管及其制作方法,提高了载流子的迁移率,增强了晶体管的性能。

- [0011] 为解决上述问题,本发明提供一种半导体结构的制作方法,包括步骤:
- [0012] 提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;
- [0013] 在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氮化硅层外侧的第二氧化硅层和位于第二氧化硅层外侧的第二氮化硅层;
- [0014] 利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;
- [0015] 利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;
- [0016] 利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;
- [0017] 在半导体衬底、栅极、偏移侧墙上形成应力层。
- [0018] 可选的,所述第一刻蚀溶液包含有氮化硅颗粒和磷酸;所述磷酸的浓度为 80%~85%。
- [0019] 可选的,所述第一刻蚀溶液对所述氮化硅和氧化硅的刻蚀选择比为 650 : 1 ~ 800 : 1。
- [0020] 可选的,所述第二刻蚀溶液为磷酸,浓度为 80%~85%。
- [0021] 可选的,所述第二刻蚀溶液对氮化硅和氧化硅的刻蚀选择比为 50 : 1 ~ 70 : 1。
- [0022] 可选的,所述第三刻蚀溶液为稀释氢氟酸,所述稀释氢氟酸中水和氢氟酸体积比例为 200 : 1 ~ 500 : 1。
- [0023] 可选的,所述第三刻蚀溶液对氧化硅和氮化硅的刻蚀选择比为 20 : 1 ~ 30 : 1。
- [0024] 可选的,所述去除部分厚度的第一氮化硅层为去除原厚度的 1/2 ~ 6/7。
- [0025] 本发明还提供了一种半导体结构,包括:半导体衬底;位于所述半导体衬底上的栅极;位于所述栅极两侧的偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层,所述第一氮化硅层的高度低于栅极的高度;位于所述半导体衬底、栅极、偏移侧墙上的应力层。
- [0026] 可选的,所述第一氮化硅层的高度是所述栅极的高度的 1/7 ~ 1/2。
- [0027] 更进一步,本发明提供了一种 MOS 晶体管的制作方法,包括步骤:
- [0028] 提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;
- [0029] 以所述栅极、偏移侧墙为掩膜,向所述半导体衬底内注入离子,形成源/漏极延伸区;
- [0030] 在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氮化硅层外侧的第二氧化硅层和位于第二氧化硅层外侧的第二氮化硅层;
- [0031] 以所述栅极、偏移侧墙、主侧墙为掩膜,向所述半导体衬底内注入离子,形成源/漏区;
- [0032] 利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;
- [0033] 利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;
- [0034] 利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;
- [0035] 在所述半导体衬底、栅极、偏移侧墙上形成应力层。

[0036] 可选的,所述第一刻蚀溶液包含有氮化硅颗粒和磷酸;所述磷酸的浓度为 80%~85%。

[0037] 可选的,所述第一刻蚀溶液对所述氮化硅和氧化硅的刻蚀选择比为 650 : 1 ~ 800 : 1。

[0038] 可选的,所述第二刻蚀溶液为磷酸,浓度为 80%~85%。

[0039] 可选的,所述第二刻蚀溶液对氮化硅和氧化硅的刻蚀选择比为 50 : 1 ~ 70 : 1。

[0040] 可选的,所述第三刻蚀溶液为稀释氢氟酸,所述稀释氢氟酸中水和氢氟酸体积比例为 200 : 1 ~ 500 : 1。

[0041] 可选的,所述第三刻蚀溶液对氧化硅和氮化硅的刻蚀选择比为 20 : 1 ~ 30 : 1。

[0042] 可选的,所述去除部分厚度的第一氮化硅层为去除原厚度的 1/2 ~ 6/7。

[0043] 本发明还提供了一种 MOS 晶体管,包括:半导体衬底;位于所述半导体衬底上的栅极;位于所述栅极两侧的偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层,所述第一氮化硅层的高度低于栅极的高度;位于所述栅极、偏移侧墙两侧半导体衬底内的源/漏极延伸区;位于所述半导体衬底内,深度大于源/漏极延伸区的源/漏区;位于所述半导体衬底、栅极、偏移侧墙上的应力层。

[0044] 可选的,所述第一氮化硅层的高度是所述栅极的高度的 1/7 ~ 1/2。

[0045] 与现有技术相比,本发明技术方案具有以下优点:

[0046] 去除主侧墙后,将偏移侧墙的第一氮化硅层的厚度减薄,即:使侧墙结构厚度更薄,进而使得 MOS 晶体管表面应力层与栅极、导电沟道的距离变近,提高应力层施加在导电沟道的应力,提高载流子的迁移率,提高晶体管的性能。

[0047] 进一步,在刻蚀所述第二氮化硅层时,使用包含有氮化硅颗粒和磷酸的第一刻蚀溶液,大大降低所述第一刻蚀溶液对所述第二氧化层 306 的刻蚀速率,从而使得所述第一刻蚀溶液对所述第二氮化硅层和所述第二氧化层刻蚀选择比从 50 : 1 ~ 70 : 1 大幅提高到 650 : 1 ~ 800 : 1,因而在采用所述第一刻蚀溶液刻蚀去除所述第二氮化硅层时,第二氧化层表面所受的损伤忽略不计,进而保护偏移侧墙不被刻蚀,保证后续刻蚀的工艺条件稳定性,同样,所述第二刻蚀溶液对所述第一氮化硅和所述第二氧化硅层的具有高刻蚀选择比为 50 : 1 ~ 70 : 1,所述第三刻蚀溶液对所述第二氧化硅层和第一氮化硅层具有高刻蚀选择比,为 20 : 1 ~ 30 : 1。通过上述刻蚀方法,可以形成满足工艺要求的偏移侧墙,并且不会形成对所述栅极表面和所述半导体衬底表面的刻蚀损伤。

附图说明

[0048] 图 1 ~ 图 3 是现有技术的半导体结构制作方法剖面结构示意图;

[0049] 图 4 是本发明的半导体结构制作方法流程示意图;

[0050] 图 5 ~ 图 13 是本发明的 MOS 晶体管制作方法剖面结构示意图。

具体实施方式

[0051] 发明人在现有制作 MOS 晶体管的过程中发现为了提高晶体管导电沟道中载流子的迁移率,在形成 MOS 晶体管后需要形成应力层,通常在 PMOS 晶体管上形成压应力层,在 NMOS 晶体管上形成拉应力层;然而,现有技术形成的 MOS 晶体管侧墙的厚度较厚,在 MOS 晶

体管形成应力层后,由于应力层距 MOS 晶体管导电沟道较远,使得通过应力层施加在导电沟道的应力有限,载流子的迁移率提高较小,晶体管的性能提高有限。

[0052] 为了解决上述问题,发明人经过不断研究,得到一种半导体结构的制作方法,参考图 4,执行步骤 S201,提供半导体衬底,所述半导体衬底上形成有栅极,所述栅极侧壁形成有偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层;执行步骤 S202,在所述偏移侧墙外侧形成主侧墙,所述主侧墙包括位于第一氧化硅层上的第二氧化硅层和位于第二氧化硅层上的第二氮化硅层;执行步骤 S203,利用第一刻蚀溶液刻蚀去除所述主侧墙的第二氮化硅层;执行步骤 S204,利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层;执行步骤 S205,利用第三刻蚀溶液去除所述主侧墙的第二氧化硅层;执行步骤 S206,在半导体衬底、栅极、偏移侧墙上形成应力层。

[0053] 基于上述方法形成的半导体结构,包括:半导体衬底;位于半导体衬底上的栅极;位于所述栅极两侧的偏移侧墙,所述偏移侧墙包括与栅极侧壁接触的第一氧化硅层和位于第一氧化硅层外侧的第一氮化硅层,所述第一氮化硅层的高度低于栅极的高度;位于半导体衬底、栅极、偏移侧墙上的应力层。

[0054] 需要说明的是,本发明所提供的半导体结构的制作方法既可以用于形成 NMOS 晶体管,也可以用于形成 PMOS 晶体管,示例性地以 NMOS 晶体管为例,对本发明进行阐述。

[0055] 请参考图 5 ~ 图 13,为本发明的 NMOS 晶体管制作方法的剖面结构示意图,作为本发明的第一实施例。

[0056] 参考图 5,提供半导体衬底 300,在所述半导体衬底 300 内形成浅沟槽隔离区 301,所述浅沟槽隔离区 301 之间为有源区,在所述半导体衬底 300 上形成栅极 302。其中,所述半导体衬底 300 可以为硅 (Si) 或绝缘体上硅 (SOI)。

[0057] 所述浅沟槽隔离区 301 之间的半导体衬底 300 为有源区。所述有源区内形成有掺杂阱 (未示出)。所述掺杂阱通过离子注入或扩散的方式形成。所述掺杂阱的掺杂离子的类型与该有源区形成的 MOS 晶体管的种类有关,若待形成的 MOS 晶体管为 N 型,则所述掺杂阱的掺杂离子可以为硼离子,若待形成的 MOS 晶体管为 P 型,则所述掺杂阱的掺杂离子可以为磷离子。

[0058] 形成所述栅极 302 的过程为:在所述半导体衬底 300 和浅沟槽隔离区 301 表面依次沉积栅氧化层和多晶硅层后,采用离子注入方法对所述多晶硅层进行预掺杂,然后在所述多晶硅层上覆盖一层光刻胶层,图形化所述光刻胶层,以图形化的光刻胶层为掩膜,依次刻蚀所述多晶硅层和栅氧化层,形成栅极 302。

[0059] 参考图 6,在所述栅极 302 外侧形成偏移侧墙 30,所述偏移侧墙 30 包括与所述栅极 302 侧壁接触的第一氧化硅层 304 和位于所述第一氧化硅层 304 外侧的第一氮化硅层 305。

[0060] 形成所述第一氧化硅层 304 采用化学气相沉积的方法。

[0061] 形成所述第一氮化硅层 305 过程为:采用化学气相沉积或炉管扩散工艺形成覆盖所述第一氧化硅层 304 以及所述半导体衬底 300 和所述栅极 302 表面的氮化硅层,对所述氮化硅层进行刻蚀工艺,在所述第一氧化硅层 304 外侧形成第一氮化硅层 305。

[0062] 所述第一氮化硅层 305 的作用是为了防止在接下来进行的轻掺杂工艺中 NMOS 沟道的减小而增加源漏间电荷穿通的可能性。

[0063] 参考图 7,以所述栅极 302 和所述偏移侧墙 30 为掩膜,以离子注入 10 的方法对所述半导体衬底 300 进行轻掺杂,形成源漏极延伸区。

[0064] 对于 NMOS 来说,轻掺杂采用的离子可以是砷。

[0065] 离子注入后,进行快速热退火工艺,以修复离子注入对晶格的损伤。

[0066] 参考图 8,在所述偏移侧墙 30 外形成主侧墙 40,所述主侧墙 40 包括位于所述第一氮化硅层 305 外侧的第二氧化硅层 306 以及位于所述第二氧化硅层 306 外侧的第二氮化硅层 307。

[0067] 形成所述第二氧化硅层 306 的过程为:采用化学气相沉积工艺形成覆盖所述偏移侧墙 30 以及所述半导体衬底 300 和所述栅极 302 表面的氧化硅层,对所述氧化硅层进行刻蚀工艺,在所述偏移侧墙 30 外侧形成第二氧化硅层 306。

[0068] 形成所述第二氮化硅层 307 的过程为:采用化学气相沉积工艺或炉管扩散工艺形成覆盖所述第二氧化硅层 306 以及所述半导体衬底 300 和所述栅极 302 表面的氮化硅层,对所述氮化硅层进行刻蚀工艺,在所述第二氧化硅层 306 上形成第二氮化硅层 307。

[0069] 参考图 9,以所述栅极 302 和所述主侧墙 40 为掩膜,以离子注入 20 的方法对所述栅极 302 和所述半导体衬底 300 进行掺杂,形成源/漏区 308。

[0070] 参考图 10,利用第一刻蚀溶液刻蚀去除所述主侧墙 40 的第二氮化硅层 307。

[0071] 所述第一刻蚀溶液包含有氮化硅颗粒和磷酸。反应温度范围为:140 ~ 165 摄氏度,优选温度范围:140 ~ 150 摄氏度;所述热磷酸刻蚀液百分比浓度为 80% ~ 85%。

[0072] 所述第一刻蚀溶液中氮化硅颗粒的形成方法为:提供控片,所述控片可以为晶圆裸片;在所述控片表面沉积一层厚度为 2500 埃的氮化硅层;将所述 100 片沉积有氮化硅层的控片放入酸槽的热磷酸溶液中,所述热磷酸溶解所述氮化硅层,在所述第一刻蚀溶液中形成氮化硅颗粒。所述氮化硅层的沉积厚度和所述控片的数量仅为举例,并非进行限定,具体所述氮化硅层的沉积厚度和所述控片的数量应根据工艺条件确定。

[0073] 在所述第一刻蚀溶液中形成氮化硅颗粒后,然后再用所述第一刻蚀溶液刻蚀去除所述主侧墙 40 的第二氮化硅层 307。

[0074] 所述第一刻蚀溶液中加入氮化硅颗粒,大大降低所述第一刻蚀液对所述第二氧化硅层 306 的刻蚀速率,从而使得所述第一刻蚀溶液对所述第二氮化硅层 307 和所述第二氧化硅层 306 刻蚀选择比从 50 : 1 ~ 70 : 1 提高到 650 : 1 ~ 800 : 1,因此在使用所述第一刻蚀溶液刻蚀去除所述第二氮化硅层 307 时,所述第二氧化硅层 306 表面所受的损伤忽略不计,进而保护偏移侧墙 30 不被刻蚀,保证后续刻蚀的工艺条件稳定性。

[0075] 参考图 11,利用第二刻蚀溶液刻蚀去除部分厚度的第一氮化硅层 305。

[0076] 刻蚀第一氮化硅层 305 利用第二刻蚀溶液进行,所述第二刻蚀溶液为热磷酸。反应温度范围为:140 ~ 165 摄氏度,优选温度范围:140 ~ 150 摄氏度;所述热磷酸刻蚀液百分比浓度为 80% ~ 85%。所述热磷酸对所述第一氮化硅层 305 和所述第二氧化硅层 306 的刻蚀选择比为 50 : 1 ~ 70 : 1。

[0077] 所述第一氮化硅层 305 刻蚀过程为:所述第二刻蚀溶液先刻蚀掉所述第二氧化硅层 306 顶部的部分二氧化硅,露出所述第一氮化硅层 305 的顶部,由于所述第二刻蚀溶液对所述第一氮化硅层 305 和所述第二氧化硅层 306 的刻蚀选择高,第二刻蚀溶液沿着栅极从上到下刻蚀去除部分厚度的所述第一氮化硅层 305,在所述半导体衬底 300 上形成具有一

定厚度的第一氮化硅层 305,刻蚀所述第一氮化硅层 305 时,所述第二刻蚀溶液对所述第二氧化硅层 306 刻蚀量很小。

[0078] 所述去除部分厚度的第一氮化硅层 305 为去除原厚度的 $1/2 \sim 6/7$ 。

[0079] 参考图 12,利用第三刻蚀溶液去除所述第二氧化硅层 306。

[0080] 第三刻蚀溶液为稀释的氢氟酸。所述第三刻蚀溶液中水和氢氟酸的体积比例范围为 $:200 : 1 \sim 500 : 1$,刻蚀反应温度为室温。所示第三刻蚀溶液对所述第二氧化硅层 306 和第一氮化硅层 305 具有高刻蚀选择比,为 $20 : 1 \sim 30 : 1$ 。

[0081] 参考图 13,在刻蚀去除所述第二氧化硅层 306 后,利用沉积工艺形成覆盖所述半导体衬底 300、所述栅极 302、和所述偏移侧墙 30 表面的应力层 309。所述应力层 309 可以是张应力氮化硅或者压应力氮化硅,在 PMOS 晶体管表面沉积压应力氮化硅,在 NMOS 晶体管表面沉积拉应力氮化硅。在本实施例中,所述应力层 309 为拉应力氮化硅,具体的沉积工艺为本领域技术人员所公知,在此不再赘述。

[0082] 基于上述方法形成的晶体管结构,包括:半导体衬底 300;位于所述半导体衬底 300 上的栅极 302;位于所述栅极 302 两侧的偏移侧墙 30,所述偏移侧墙 30 包括与所述栅极 302 侧壁接触的第一氧化硅层 304 和位于所述第一氧化硅层 304 外侧的第一氮化硅层 305,所述第一氮化硅层 305 高度低于所述栅极 302 的高度;位于所述栅极 302 两侧和所述半导体衬底 300 内的源/漏极延伸区(未标示);位于所述半导体衬底 300 内,深度大于所述源/漏极延伸区的源/漏区 308;位于所述半导体衬底 300、栅极 302、偏移侧墙 30 上的应力层 309。

[0083] 所述第一氮化硅层 305 的高度是所述栅极 302 高度的 $1/7 \sim 1/2$ 。

[0084] 综上,根据本发明提供的方法形成的所述偏移侧墙结构,使得在 MOS 晶体管表面形成覆盖半导体衬底和栅极和所述偏移侧墙的应力层与晶体管导电沟道的距离变得更近,提高通过应力层施加在导电沟道的应力,提高载流子的迁移率,提高晶体管的性能。另外,在刻蚀所述第二氮化硅层时,使用包含有氮化硅颗粒和磷酸的第一刻蚀溶液,大大降低所述第一刻蚀溶液对所述第二氧化层 306 的刻蚀速率,从而使得所述第一刻蚀溶液对所述第二氮化硅层和所述第二氧化层刻蚀选择比从 $50 : 1 \sim 70 : 1$ 大幅提高到 $650 : 1 \sim 800 : 1$,因而在采用所述第一刻蚀溶液刻蚀去除所述第二氮化硅层时,第二氧化层表面所受的损伤忽略不计,进而保护偏移侧墙不被刻蚀,保证后续刻蚀的工艺条件稳定性,同样,所述第二刻蚀溶液对所述第一氮化硅和所述第二氧化硅层的具有高刻蚀选择比为 $50 : 1 \sim 70 : 1$,所述第三刻蚀溶液对所述第二氧化硅层和第一氮化硅层具有高刻蚀选择比,为 $20 : 1 \sim 30 : 1$ 。通过上述刻蚀方法,可以形成满足工艺要求的偏移侧墙,并且不会形成对所述栅极表面和所述半导体衬底表面的刻蚀损伤。

[0085] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

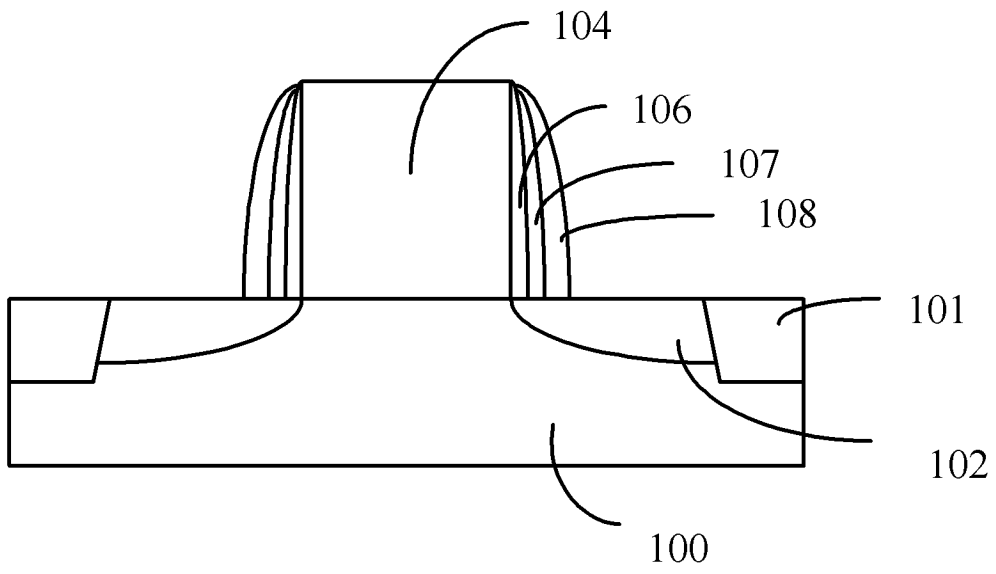


图 1

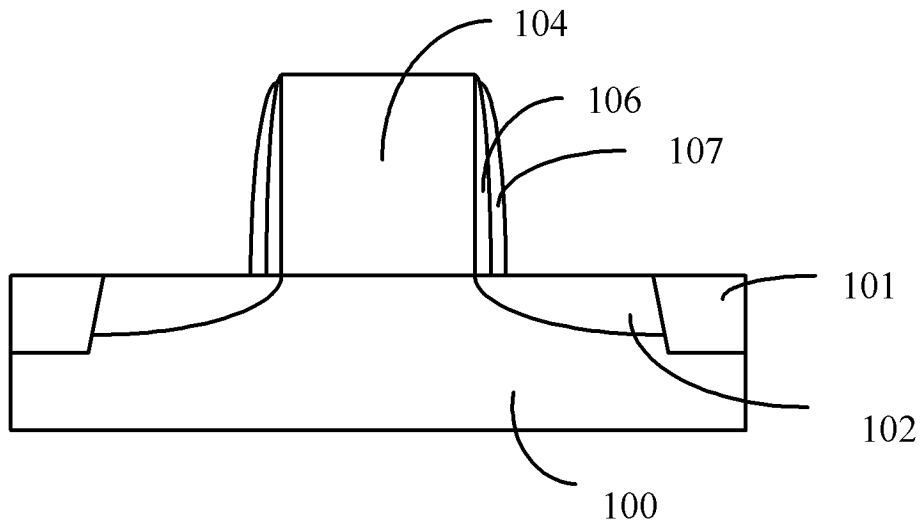


图 2

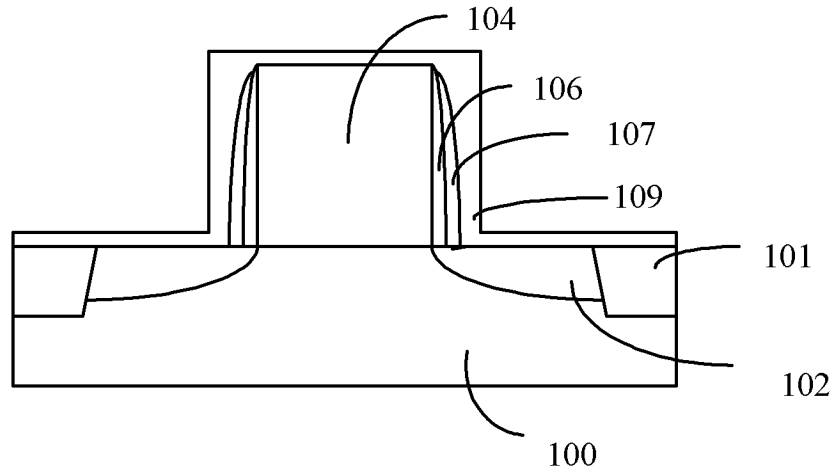


图 3

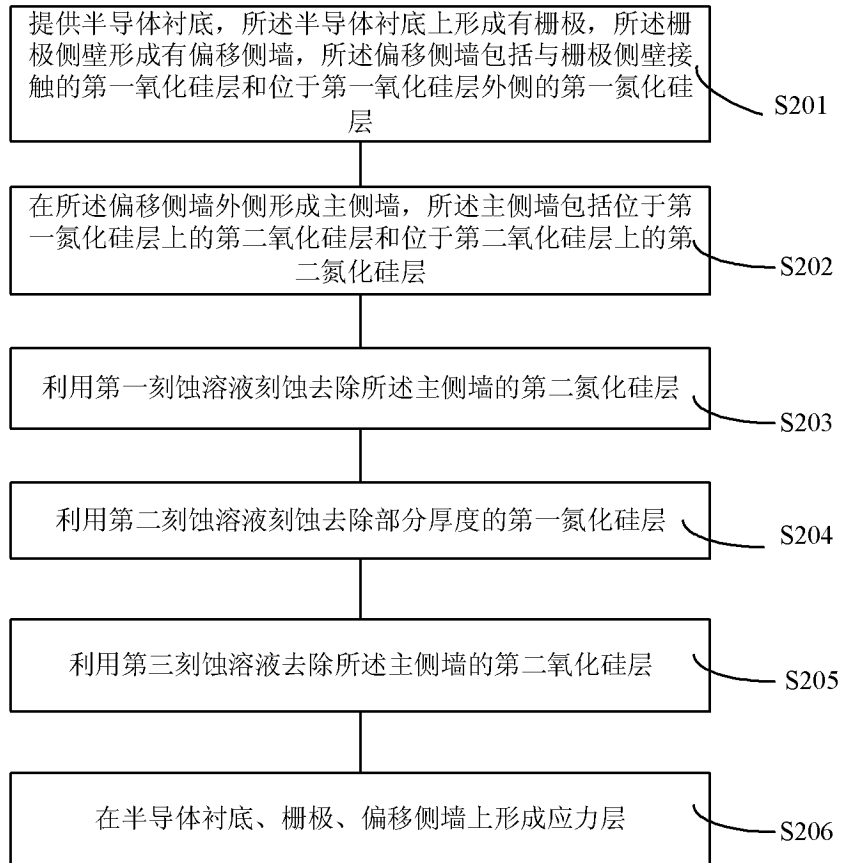


图 4

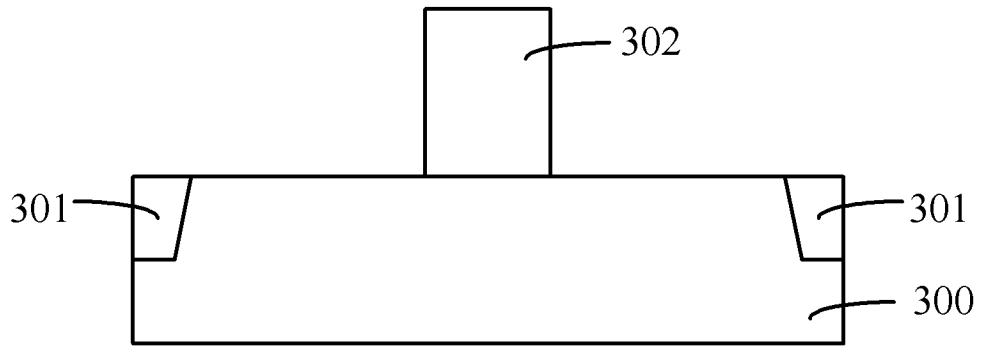


图 5

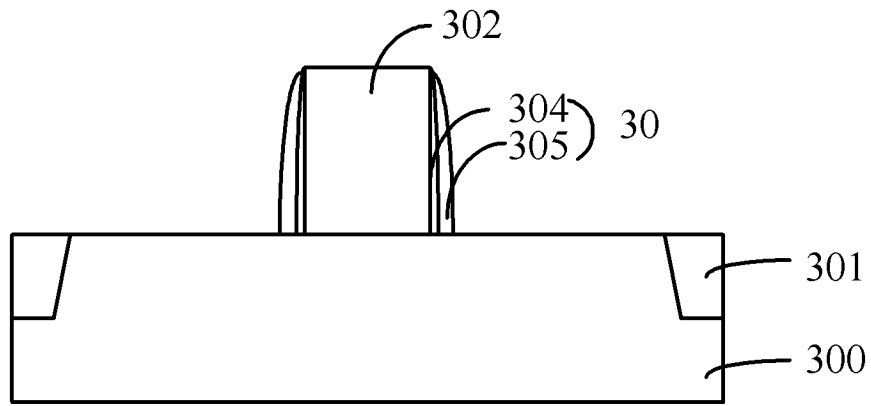


图 6

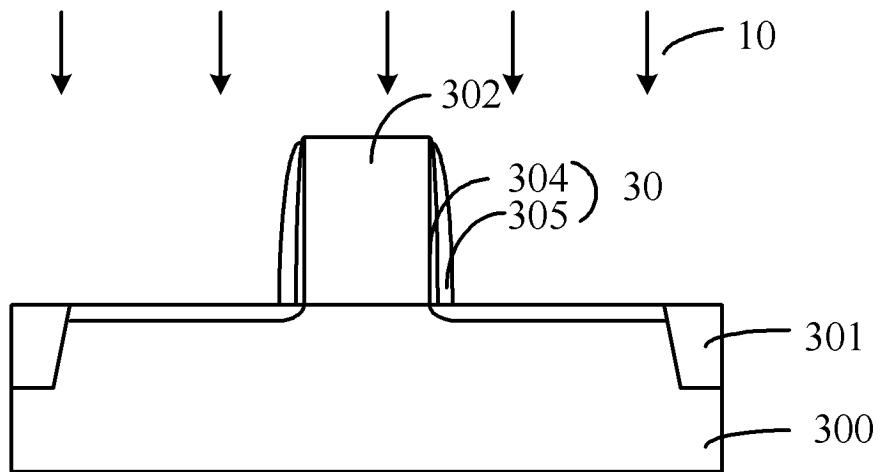


图 7

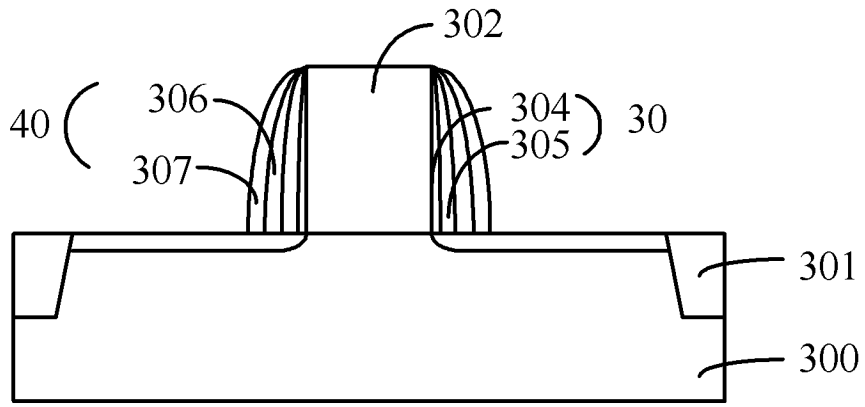


图 8

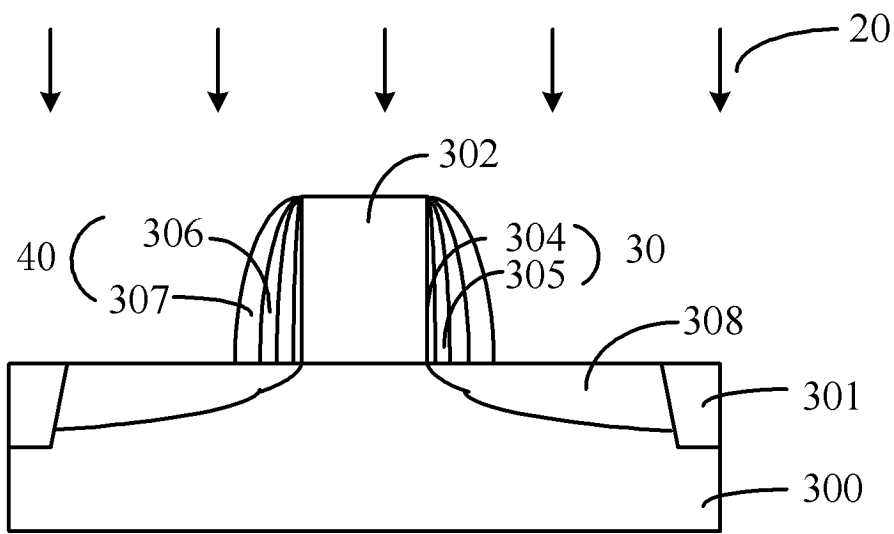


图 9

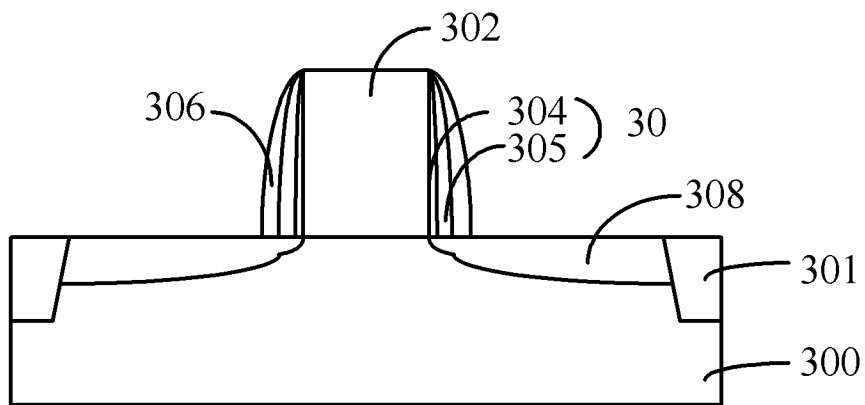


图 10

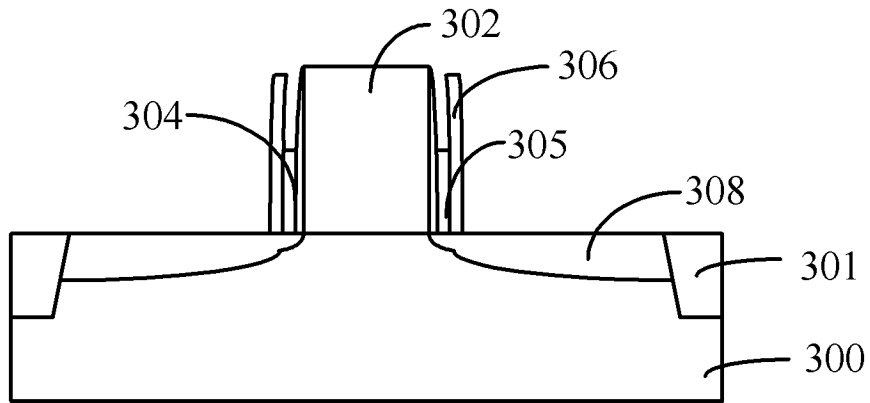


图 11

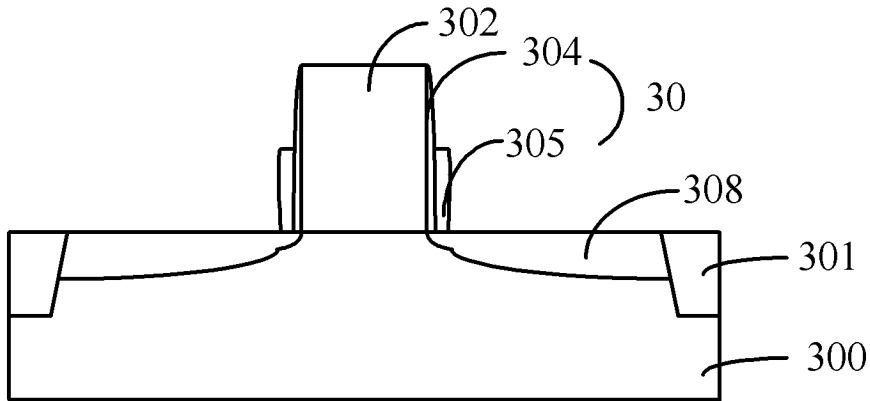


图 12

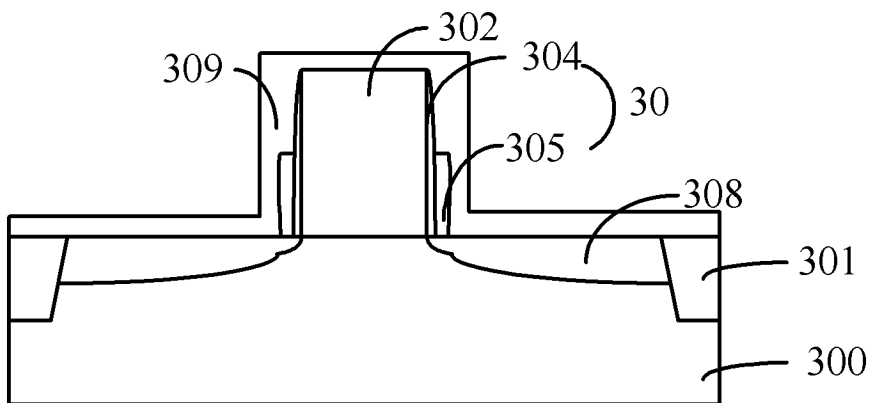


图 13