

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/407 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월28일 10-0605604 2006년07월20일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0075939 2003년10월29일	(65) 공개번호 (43) 공개일자	10-2005-0040565 2005년05월03일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	곽종태 경기도이천시대월면사동리현대사원아파트101-1003
(74) 대리인	특허법인 신성

심사관 : 고재현

(54) 지연 고정 루프 및 그 제어 방법

요약

본 발명은 하나의 피드백 루프를 이용하여 병렬의 지연 라인으로부터 출력되는 클럭의 록킹 동작을 수행할 수 있는 지연 고정 루프 및 그 제어 방법을 제공함에 목적이 있다.

상기 목적을 달성하기 위한 본원의 제1 발명에 따른 지연 고정 루프는, 클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서, 외부에서 인가되는 외부 클럭 신호와 외부 클럭 반전 신호를 버퍼링하여 상향 에지 클럭 신호를 생성하기 위한 클럭 버퍼; 각각 소정 시간 지연시킨 제1 및 제2 클럭 신호를 생성하기 위하여 상기 상향 에지 클럭 신호를 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단; 상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단; 상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및 상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함할 수 있다.

대표도

도 3

색인어

반도체 기억 소자, 클럭, 듀티, 록킹, 피드백 루프, 지연 고정 루프

명세서

도면의 간단한 설명

- 도 1은 종래기술에 따른 듀티 사이클 교정이 가능한 지연 고정 루프의 블록도,
- 도 2는 도1에 개시된 지연 고정 루프의 듀티 사이클 교정 방법을 나타낸 동작흐름도,
- 도 3은 본 발명의 제1 실시예에 따른 지연 고정 루프의 전체 블록도,
- 도 4는 외부 클럭 신호를 록킹하기 위한 동작 흐름도,
- 도 5은 외부 클럭 신호의 듀티 교정을 설명하기 위한 파형도,
- 도 6은 도 3의 가중치 제어부의 일실시예 회로도,
- 도 7은 도 3의 위상 혼합부의 일실시예 회로도,
- 도 8은 도 7의 위상 선택기 내 혼합 셀의 구체 회로도,
- 도 9는 본 발명의 제2 실시예에 따른 지연 고정 루프의 전체 블록도,
- 도 10은 본 발명의 제3 실시예에 따른 지연 고정 루프의 전체 블록도.

* 도면의 주요 부분에 대한 설명 *

- 310: 클럭 버퍼부 320: 지연 라인 수단
- 321: 지연 라인 제어부 322: 제1 지연 라인
- 323: 제2 지연 라인 324: 록킹 검출부
- 330: 듀티 에러 조정 수단 331: 제2 위상 검출부
- 332: 가중치 제어부 333: 위상 혼합부
- 340: 지연 보델 350: 제1 위상 검출부
- 360: 출력 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 이용되는 클럭의 듀티를 조정할 수 있는 지연 고정 루프에 관한 것으로, 외부 클럭과 내부 클럭 간의 스큐(skew)를 보상하는 클럭 발생 장치를 필요로 하는 모든 반도체 장치 및 컴퓨터 시스템에 적용될 수 있다.

일반적으로, 지연 고정 루프(DLL)란 반도체 기억 소자에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 에러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 지연 시간이 발생하는 데, 이 지연 시간을 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하게 동기되도록 하기 위해서 사용한다.

그런데, DRAM의 동작이 점차 고속화되면서 DRAM은 지연 고정 루프(Delay Locked Loop : 이하 DLL이라 한다)의 성능에 크게 영향을 받게 되었다. 이에 따라 DLL에서 사용되는 클럭의 듀티 역시 중요한 문제로 떠오르게 되었는데, 클럭의 듀티 오차가 크게 되면 회로를 설계하는 데에 있어서, 설계 여유(Margin)가 줄게 된다. 따라서, 설계 여유를 충분히 확보하기 위하여 클럭의 듀티를 교정하는 기술이 DLL에 도입되고 있다.

이에 본 출원인은 2002. 5. 21.자에 특허 2002-28129호(발명의 명칭: "듀티 사이클 교정이 가능한 디지털 디엘엘 장치 및 듀티 사이클 교정 방법")를 출원하였으며, 여기에 클럭의 듀티 교정이 가능한 기술에 관하여 소개되어 있다.

도 1은 상기 특허의 일 실시예에 따른 듀티 사이클 교정이 가능한 지연 고정 루프의 블록도로서, 버퍼(110), 지연 라인부(120), 듀티 에러 조정부(130), 제1 지연 모델부(140), 제1 직접 위상 검출부(150), 제2 지연 모델부(160) 및 제2 직접 위상 검출부(170)를 포함한다.

상기 각 블록의 기능 및 동작을 설명하면 다음과 같다.

버퍼(110)는, 외부 클럭 신호(ext_clk)를 입력받아 클럭의 에지에서 활성화되는 클럭 입력 신호를 생성한다. 지연 라인부(120)는, 제1 직접 위상 검출부(150) 및 제2 직접 위상 검출부(170)의 제1 비교 신호 및 제2 비교 신호를 이용하여 상기 버퍼(110)로부터 입력되는 상기 클럭 입력 신호를 소정 시간만큼 지연시킨다. 여기서, 상기 지연 라인부(120)는 제1 제어기(121), 제1 지연 라인(122), 제2 제어기(123) 및 제2 지연 라인(124)을 포함한다. 상기 지연 라인부(120) 내 제1 제어기(121)는, 제1 직접 위상 검출부(150)로부터 입력되는 제1 비교 신호에 따라 상기 버퍼(110)로부터 입력되는 상기 클럭 입력 신호의 지연량을 조절할 수 있는 제1 제어 신호를 생성한다. 상기 지연 라인부(120) 내 제1 지연 라인(122)은, 상기 제1 제어기(121)로부터 입력되는 상기 제1 제어 신호를 이용하여 상기 클럭 입력 신호를 소정 시간 지연시켜 제1 클럭 신호(intclk1)를 생성한다. 상기 지연 라인부(120) 내 제2 제어기(123)는, 제2 직접 위상 검출부(170)로부터 입력되는 제2 비교 신호에 따라 상기 버퍼(110)로부터 입력되는 상기 클럭 입력 신호의 지연량을 조절할 수 있는 제2 제어 신호를 생성한다. 상기 지연 라인부(120) 내 제2 지연 라인(124)은, 상기 제2 제어기(123)로부터 입력되는 상기 제2 제어 신호를 이용하여 상기 클럭 입력 신호를 소정 시간 지연 및 반전시켜 제2 클럭 신호(intclk2)를 생성한다. 듀티 에러 조정부(130)는, 상기 지연 라인부(120)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)를 입력받아, 상기 제1 클럭 신호(intclk1)의 하향 에지와 상기 제2 클럭 신호(intclk2)의 하향 에지의 사이로 각각의 에지를 이동시켜 제1 혼합 클럭 신호(int_clk) 및 제2 혼합 클럭 신호(intclk2')를 생성하는 역할을 한다. 여기서, 상기 듀티 에러 조정부(130)는, 제1 위상 검출부(131), 혼합부 제어부(132), 제1 위상 혼합부(133) 및 제2 위상 혼합부(134)를 포함한다. 상기 듀티 에러 조정부(130) 내 제1 위상 검출부(131)는, 상기 지연 라인부(120)에서 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 반전된 값을 입력받고, 상기 제1 클럭 신호(intclk1) 및 상기 제2 클럭 신호(intclk2)의 하향 에지 중 어느 것이 앞서는지 나타내는 위상 감지 신호를 생성한다. 상기 듀티 에러 조정부(130) 내 혼합부 제어부(132)는, 상기 제1 위상 검출부(131)에서 입력된 상기 위상 감지 신호에 따라 가중치(K)를 결정한다. 여기서, 상기 가중치는 복수개의 가중 신호를 포함한다. 상기 듀티 에러 조정부(130) 내 제1 위상 혼합부(133)는, 상기 혼합부 제어부(132)에서 상기 가중치(K)를 입력받아 상기 제1 클럭 신호(intclk1)에는 1에서 상기 가중치(K)를 뺀 값을 적용하고, 상기 제2 클럭 신호(intclk2)에는 상기 가중치(K)를 적용하여, 듀티를 조정된 제1 혼합 클럭 신호(int_clk)를 생성한다. 상기 듀티 에러 조정부(130) 내 제2 위상 혼합부(134)는, 상기 혼합부 제어부(132)에서 상기 가중치(K)를 입력받아 상기 제1 클럭 신호(intclk1)에는 상기 가중치(K)를 적용하고, 상기 제2 클럭 신호(intclk2)에는 1에서 상기 가중치(K)를 뺀 값을 적용하여, 듀티를 조정된 제2 혼합 클럭 신호(intclk2')를 생성한다. 제1 지연 모델부(140)는, 상기 듀티 에러 조정부(130)로부터 듀티가 조절된 상기 제1 혼합 클럭 신호(int_clk)를 입력받아 외부에서 인가된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제1 보상 클럭 신호(iclk1)를 생성한다. 제1 직접 위상 검출부(150)는, 상기 외부 클럭 신호(ext_clk)를 입력받아 상기 제1 보상 클럭 신호(iclk1)와 비교하여 제1 비교 신호를 생성한다. 제2 지연 모델부(160)는, 상기 듀티 에러 조정부(130)으로부터 듀티가 조절된 상기 제2 혼합 클럭 신호(intclk2')를 입력받아 외부에서 인가된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제2 보상 클럭 신호(iclk2)를 생성한다. 제2 직접 위상 검출부(170)는, 상기 외부 클럭 신호(ext_clk)를 입력받아 상기 제2 지연 모델부(160)에서 입력된 상기 제2 보상 클럭 신호(iclk2)와 비교하여 제2 비교 신호를 생성한다.

도 2는 도1에 개시된 지연 고정 루프의 듀티 사이클 교정 방법을 나타낸 동작흐름도로서, 이에 관하여 설명하면 아래와 같다.

먼저, 제1 직접 위상 검출부(150) 및 제2 직접 위상 검출부(170)에 의해 외부 클럭 신호(ext_clk)와 제1 보상 클럭 신호(iclk1) 및 제2 보상 클럭 신호(iclk2)의 상향 에지가 일치하는지를 검사하여, 일치하는 경우에는 다음 단계로 진행하고(S201), 일치하지 않는 경우에는 지연 라인부(120)에서 지연을 조정한다(S202).

다음에, 제1 위상 검출부(131)는 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2)의 반전 신호를 입력받아, 상기 제1 클럭 신호(intclk1) 및 제2 클럭 신호(intclk2) 중 어느 신호의 하향 에지가 앞서는지 여부를 검사하고(S203), 하향 에지가 앞서는 신호에 0.5보다 큰 가중치를 적용하고, 하향 에지가 뒤지는 신호에 0.5보다 작은 가중치를 적용한다(S204).

이와 같이 작용하기 위한 종래의 지연 고정 루프는 위상 혼합부에서 위상 혼합을 수행하기 전에 두개의 지연 라인의 출력 클럭의 상향에지와 외부 클럭의 상향 에지가 일치하는 동작을 진행하기 위하여 각각의 지연 라인의 출력에 위상 혼합부, 지연 모델 및 위상 검출부 등이 포함되는 2중 피드백 루프를 사용하였다.

그런데, 2중 피드백 루프를 구성하는 위상 혼합부, 지연 모델 및 위상 검출부는 반도체 기억 소자에서 차지하는 면적이나 소모하는 전력량이 매우 커서 소면적화(small size), 저전력화(low power)의 추세에 부합하지 못했다. 또한, 두 지연 라인에 대하여 각각 피드백 루프를 이루는 위상 혼합부, 지연 모델 및 위상 검출부는 공정, 전압, 온도에 무관하게 서로 정확히 동일한 지연량을 가져야 하나, 각 지연라인에 대해 별도로 존재하기 때문에 서로 매칭시키기가 매우 힘든 문제점도 있었다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 본 발명의 목적은 하나의 피드백 루프를 이용하여 병렬의 지연 라인으로부터 출력되는 클럭의 록킹 동작을 수행할 수 있는 지연 고정 루프 및 그 제어 방법을 제공함에 있다.

또한, 본 발명의 다른 목적은 하나의 피드백 루프를 이용함으로써 지연 고정 루프의 면적을 줄이고, 소모되는 전력을 절감시킬 수 있는 지연 고정 루프 및 그 제어 방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본원의 제1 발명에 따른 지연 고정 루프는, 클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서, 외부에서 인가되는 외부 클럭 신호와 외부 클럭 반전 신호를 버퍼링하여 상향 에지 클럭 신호를 생성하기 위한 클럭 버퍼; 각각 소정 시간 지연시킨 제1 및 제2 클럭 신호를 생성하기 위하여 상기 상향 에지 클럭 신호를 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단; 상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단; 상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및 상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함할 수 있다.

바람직하게는, 상기 지연 라인 수단은, 상기 제1 비교 신호와 상기 제1 및 제2 지연 라인 록킹 신호를 입력받아 상기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부; 상기 제1 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인; 상기 제2 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연되고 반전된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및 상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부를 포함할 수 있다.

또한, 본원의 제2 발명에 따른 지연 고정 루프는, 클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서, 외부 클럭 신호를 비반전단자에, 외부 클럭 반전 신호를 반전단자에 인가받아 버퍼링하여 제1 상향 에지 클럭 신호를 생성하기 위한 제1 클럭 버퍼; 외부 클럭 반전 신호를 비반전단자에, 외부 클럭 신호를 반전단자에 인가받아 버퍼링하여 제2 상향 에지 클럭 신호를 생성하기 위한 제2 클럭 버퍼; 각각 소정 시간 지연시킨 제1 및 제2 클럭 신호를 생성하기 위하여 상기 제1 및 제2 상향 에지 클럭 신호를 각각 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단; 상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단; 상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및 상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함할 수 있다.

바람직하게는, 상기 지연 라인 수단은, 상기 제1 비교 신호와 상기 제1 및 제2 지연 라인 록킹 신호를 입력받아 상기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부; 상기 제1 제어 신호에 제어되어 상기 제1 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인; 상기 제2 제어 신호에 제

어되어 상기 제2 상향 에지 클럭 신호가 소정 시간 지연된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및 상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부를 포함할 수 있다.

또한, 본원의 제3 발명에 따른 지연 고정 루프는, 클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서, 외부에서 인가되는 외부 클럭 신호와 외부 클럭 반전 신호를 버퍼링하여 상향 에지 클럭 신호를 생성하기 위한 클럭 버퍼부; 각각 소정 시간 지연시킨 병렬의 제1 및 제2 클럭 신호를 생성하기 위하여 상기 상향 에지 클럭 신호를 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단; 상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단; 상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및 상기 상향 에지 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함할 수 있다.

바람직하게는, 상기 지연 라인 수단은, 상기 제1 비교 신호와 상기 제1 및 제2 지연 라인 록킹 신호를 입력받아 상기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부; 상기 제1 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인; 상기 제2 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연되고 반전된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및 상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부를 포함할 수 있다.

바람직하게는, 상기 듀티 에러 조정 수단은, 상기 제1 클럭 신호 및 제2 클럭 신호를 각각 반전시킨 클럭 신호를 입력받아 두 클럭 신호의 하향에지의 위상 중 어느 것이 앞서는지를 검출하여 제2 비교 신호를 생성하기 위한 제2 위상 검출부; 상기 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호 그리고 제2 비교 신호를 입력받아 제1 가중치(K) 및 제2 가중치(1-K)를 조정하기 위한 가중 조정 제어 신호를 생성하기 위한 가중치 제어부; 및 상기 가중 조정 제어 신호에 제어되어 상기 제1 클럭 신호에는 상기 제2 가중치를, 상기 제2 클럭 신호에는 상기 제1 가중치를 각각 가중하여 결합함으로써 위상이 혼합된 혼합 클럭 신호를 생성하기 위한 위상 혼합부를 포함할 수 있다.

또한, 본원의 제4 발명에 따른 지연 고정 루프의 제어 방법은, 듀티를 조정할 수 있는 지연 고정 루프의 클럭 신호를 록킹함에 있어서, 상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하고 상기 제1 지연 라인을 인에이블시키는 제1 단계; 상기 제1 지연 라인으로부터 출력되는 제1 클럭 신호가 피드백 루프를 통과하도록 하고, 상기 피드백 루프를 통과한 피드백 클럭 신호와 상기 외부 클럭 신호가 일치될 때까지 비교하는 제2 단계; 상기 제2 단계의 비교에 따라 상기 피드백 클럭 신호와 상기 외부 클럭 신호가 일치되면, 제2 지연 라인을 인에이블시키는 제3 단계; 상기 제2 지연 라인으로부터 출력되는 제2 클럭 신호가 상기 피드백 루프를 통과하도록 하고, 상기 피드백 루프를 통과한 피드백 클럭 신호와 상기 외부 클럭 신호가 일치될 때까지 비교하는 제4 단계; 및 상기 제4 단계의 비교에 따라 상기 피드백 클럭 신호와 상기 외부 클럭 신호가 일치되면, 상기 제1 및 제2 지연 라인을 인에이블시키는 제5 단계를 포함할 수 있다.

또한, 본원의 제5 발명에 따른 지연 고정 루프의 제어 방법은, 듀티를 조정할 수 있는 지연 고정 루프의 클럭 신호를 록킹함에 있어서, 상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하고, 외부에서 인가되는 외부 클럭 신호와 상기 외부 클럭 신호의 반전 신호인 외부 클럭 반전 신호가 버퍼링된 상향 에지 클럭 신호를 이용하여 상기 제1 지연 라인을 인에이블시키는 제1 단계; 상기 제1 지연 라인으로부터 출력되는 제1 클럭 신호가 피드백 루프를 통과하도록 하고, 상기 피드백 루프를 통과한 피드백 클럭 신호와 상기 상향 에지 클럭 신호가 일치될 때까지 비교하는 제2 단계; 상기 제2 단계의 비교에 따라 상기 피드백 클럭 신호와 상기 상향 에지 클럭 신호가 일치되면, 제2 지연 라인을 인에이블시키는 제3 단계; 상기 제2 지연 라인으로부터 출력되는 제2 클럭 신호가 상기 피드백 루프를 통과하도록 하고, 상기 피드백 루프를 통과한 피드백 클럭 신호와 상기 상향 에지 클럭 신호가 일치될 때까지 비교하는 제4 단계; 및 상기 제4 단계의 비교에 따라 상기 피드백 클럭 신호와 상기 상향 에지 클럭 신호가 일치되면, 상기 제1 및 제2 지연 라인을 인에이블시키는 제5 단계를 포함할 수 있다.

또한, 본원의 제6 발명에 따른 지연 고정 루프의 듀티 조정 방법은, 지연 고정 루프의 듀티를 조정함에 있어서, 상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하는 제1 단계; 피드백 루프를 이용하여 상기 제1 지연 라인으로부터 출력되는 제1 클럭 신호와 외부에서 인가되는 외부 클럭 신호를 비교하여 록킹 동작을 수행하는 제2 단계; 상기 제1 클럭 신호가 록킹되면, 상기 피드백 루프를 이용하여 상기 제2 지연 라인으로부터 출력되는 제2 클럭 신호와 상기 외부 클럭 신호

호를 비교하여 록킹 동작을 수행하는 제3 단계; 및 상기 제1 클럭 신호와 제2 클럭 신호의 록킹이 끝나면, 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 비교하여 가중치를 조정함으로써 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 혼합하는 제4 단계를 포함할 수 있다.

또한, 본원의 제7 발명에 따른 지연 고정 루프의 듀티 조정 방법은, 지연 고정 루프의 듀티를 조정함에 있어서, 상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하는 제1 단계; 피드백 루프를 이용하여 상기 제1 클럭 신호와 상향 에지 클럭 신호 - 상기 상향 에지 클럭 신호는 외부에서 인가되는 외부 클럭 신호를 이용하여 생성됨 - 를 비교하여 록킹 동작을 수행하는 제2 단계; 상기 제1 클럭 신호가 록킹되면, 상기 피드백 루프를 이용하여 상기 제2 클럭 신호와 상기 상향 에지 클럭 신호를 비교하여 록킹 동작을 수행하는 제3 단계; 및 상기 제1 클럭 신호와 제2 클럭 신호의 록킹이 끝나면, 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 비교하여 가중치를 조정함으로써 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 혼합하는 제4 단계를 포함할 수 있다.

종래기술에 따르면 위상 혼합부, 지연 모델 및 위상 검출부를 각각 포함하는 두 쌍의 피드백 루프를 이용하여 제1 및 제2 지연 라인으로부터 출력되는 클럭에 대해 외부 클럭의 상향 에지와 위상을 동시에 조절하였다. 이에 반해 본 발명에서는 위상 혼합부, 지연 모델 및 위상 검출부를 포함하는 하나의 피드백 루프를 이용하여 1차적으로 제1 지연 라인으로부터 출력되는 제1 클럭 신호(intclk1)에 대해서 록킹 동작을 수행하고, 2차적으로 제2 지연 라인으로부터 출력되는 제2 클럭 신호(intclk2)에 대해서 록킹 동작을 수행한다. 그리고, 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)의 록킹이 끝나면 위상 혼합부는 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)의 위상을 혼합하여 듀티 교정 동작을 수행하게 된다.

좀 더 상세하게는, 제1 클럭 신호(intclk1)에 대해서 록킹 동작을 수행하는 경우, 위상 혼합부의 가중치를 0으로 하여 위상 혼합부, 지연 모델 및 위상 검출부 등을 포함하는 피드백 루프가 제1 클럭 신호(intclk1)만의 록킹 동작을 위해 사용하게 된다. 이후 제1 지연 라인으로부터 출력되는 제1 클럭 신호(intclk1)가 록킹되면, 상기 피드백 루프는 위상 혼합부의 가중치를 1로 하여 제2 지연 라인으로부터 출력되는 제2 클럭 신호(intclk2)만의 록킹 동작을 수행한다.

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

도 3은 본 발명의 제1 실시예에 따른 하나의 피드백루프를 이용하는 듀티 교정이 가능한 지연 고정 루프에 관한 전체 블록도이다.

클럭 버퍼부(310)는 외부 클럭 신호(CLK)와 외부 클럭 반전 신호(CLKB)를 버퍼링하여 상향 에지 클럭 신호(rclk)를 출력한다.

지연 라인 수단(320)은 후술하는 제1 위상 검출부(350)로부터 출력되는 제1 비교 신호를 이용하여 상향 에지 클럭 신호(rclk)를 각각 소정 시간 지연된 병렬의 제1 및 제2 클럭 신호를 생성한다. 여기서, 지연 라인 수단(320)은 제1 지연 라인(322), 제2 지연 라인(323), 지연 라인 제어부(321) 및 록킹 검출부(324)를 포함한다. 그리고, 상향 에지 클럭 신호(rclk)는 제1 및 제2 지연 라인(322, 323)에 동시에 인가된다.

지연 라인 제어부(321)는 제1 비교 신호와 제1 지연 라인 록킹 신호(1st_lock) 그리고 제2 지연 라인 록킹 신호(2nd_lock)를 입력받아 제1 및 제2 지연 라인(322, 323)을 제어하기 위한 제1 및 제2 제어 신호를 생성한다.

제1 지연 라인(322)은 지연 라인 제어부(321)로부터 출력되는 제1 제어신호에 제어되어 상향 에지 클럭 신호(rclk)가 소정 시간 지연된 제1 클럭 신호(intclk1)를 출력한다.

제2 지연 라인(323)은 지연 라인 제어부(321)로부터 출력되는 제2 제어신호에 제어되어 상향 에지 클럭 신호(rclk)가 소정 시간 지연된 후 듀티가 반전된 제2 클럭 신호(intclk2)를 출력한다.

록킹 검출부(324)는 제1 비교 신호를 받아서 제1 지연 라인(322)의 제1 클럭 신호(intclk1)와 제2 지연 라인(323)의 제2 클럭 신호(intclk2)가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호(1st_lock)와 제2 지연 라인 록킹 신호(2nd_lock)를 출력한다.

듀티 에러 조정 수단(330)은 입력되는 제1 및 제2 클럭 신호의 위상을 비교하고, 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성한다. 여기서, 듀티 에러 조정 수단(330)은 제2 위상 검출부(331), 가중치 제어부 및 위상 혼합부(333)를 포함한다.

제2 위상 검출부(331)는 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2) 각각을 반전시킨 클럭 신호를 입력받아 두 클럭 신호의 하향에지의 위상 중 어느 것이 앞서 있는지를 검출하여 제2 비교 신호를 출력한다.

가중치 제어부(332)는 제1 지연 라인 록킹 신호(1st_lock)와 제2 지연 라인 록킹 신호(2nd_lock) 그리고 제2 비교 신호를 입력받아 가중치(K)를 조정한다.

위상 혼합부(333)는 입력되는 제1 및 제2 클럭 신호(intclk1, intclk2)에 각각 가중치 "1-K"와 "K"를 가중 결합함으로써 위상이 혼합된 혼합 클럭 신호를 출력한다.

지연 모델(340)은 입력되는 혼합 클럭 신호를 지연 고정 루프에서 실제 발생하는 지연량과 동일한 정도로 지연시킨 피드백 클럭 신호를 출력한다.

제1 위상 검출부(350)는 외부에서 인가되는 외부 클럭 신호(CLK)와 입력되는 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성한다. 이 때, 제1 비교 신호는 지연 라인 제어부(321)와 록킹 검출부(324)로 출력된다.

출력 버퍼(360)는 혼합 클럭 신호를 버퍼링하여 DLL로부터 출력되는 DLL 클럭(DLL_clk)를 생성한다.

이상과 같은 본 발명의 일실시예에 따른 구성에 대하여 도 4의 외부 클럭 신호의 듀티 조정을 위해 미리 록킹하기 위한 동작 흐름도를 이용하여 동작을 상세히 설명하면 다음과 같다.

DLL이 동작을 시작하기 전인 초기화시에는 제1 지연 라인 록킹 신호(1st_lock)와 제2 지연 라인 록킹 신호(2nd_lock)는 모두 "L"상태로 세팅되고, 제1 지연 라인이 인에이블되며, 위상 혼합부(333)의 가중치(K)는 0을 갖도록 가중치 제어부(332)가 세팅된다(S401). 여기서, 가중치(K)는 0 내지 1 사이에서 조정되는 값이다.

가중치 제어부(332)의 출력신호가 K=0인 상태이므로, 위상 혼합부(333)는 전적으로 제1 클럭 신호(intclk1)만을 받아들여 그대로 출력시킨다. 지연 라인 제어부(321) 또한 제1 지연 라인(322)에 대한 지연 조정만을 제어하게 된다. 이 상태에서 제1 위상 검출부(350)에서 피드백 클럭 신호와 외부 클럭 신호의 상향 에지가 일치하는지를 비교한다(S402).

일치하지 않으면, 제1 지연 라인(322)의 지연이 조절된다(S403). 즉, 제1 지연 라인(322)으로부터 출력되어 위상 혼합부(333)와 지연 모델(340)을 거쳐 피드백되는 피드백 클럭 신호와 외부 클럭 신호(CLK)의 상향에지가 서로 일치되는 것을 검출할 때까지 제1 지연 라인(322)의 지연이 조절된다.

제1 지연 라인(322)의 지연이 적절히 조절되어 마침내 제1 클럭 신호(intclk1)의 상향 에지가 외부 클럭 신호(CLK)의 상향 에지와 서로 일치되면, 이를 제1 지연 라인(322)이 록킹되었음을 의미하며, 록킹 검출부(324)는 제1 지연 라인 록킹 신호(1st_lock)를 "H"상태로 세팅하고 제2 지연 라인(323)이 인에이블된다(S404). (즉, 1st_lock="H", 2nd_lock="L") 이 순간부터 가중치 제어부(332)의 출력신호가 K=1이 되도록 세팅되고, 지연 라인 제어부(321) 역시 제2 지연 라인(323)만을 제어할 수 있도록 모드가 변환된다.

이제 제1 클럭 신호(intclk1)의 위상은 고정되고, 제2 클럭 신호(intclk2)만이 위상 혼합부(333)를 그대로 통과하고, 지연 모델(340)을 거쳐 제1 위상 검출부(350)에서 그의 상향 에지와 외부 클럭 신호(CLK)의 상향 에지가 비교된다(S405).

피드백 클럭 신호와 외부 클럭 신호의 상향 에지가 일치하지 않으면, 제2 지연 라인의 지연이 조절된다(S406).

제2 클럭 신호(intclk2)의 상향에지가 외부 클럭 신호(CLK)의 상향에지와 일치하도록 제2 지연 라인(323)에 대한 지연 조정이 완료되면, 록킹 검출부(324)는 제2 제1 지연 라인 록킹 신호(2nd_lock) 역시 "H"상태로 세팅되고, 제1 및 제2 지연

라인이 인에이블된다(즉, 1st_lock=high, 2nd_lock=high). 그러면, 이전에 록킹된 제1 클럭 신호(intclk1)의 상향 에지와 직전에 록킹된 제2 클럭 신호(intclk2)의 상향 에지가 동일한 위상 혼합부(333), 지연 모델(340)을 거쳐 외부 클럭 신호(CLK)의 상향 에지와 일치된 상태이므로, 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)의 상향에지 역시 서로 일치된 상태가 된다(S407).

이제는 외부 클럭 신호의 듀티 조정을 위해 미리 록킹하는 단계가 완료되고, 외부 클럭 신호의 듀티를 조정하는 동작을 설명하기로 한다.

지연 라인 제어부(321)는 제1 및 제2 지연 라인(322, 323) 모두를 동시에 제어하게 되고, 가중치 제어부(332)는 제2 위상 검출부(331)로부터 출력되는 제2 비교 신호를 입력받아 위상 혼합부(333)로 인가할 가중치(K)를 결정하게 된다. 제2 위상 검출부(331)는 제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)의 하향에지의 위상을 비교하는데, 두 위상 중 어느 것이 앞서 있는가를 판단한다. 만일 제1 클럭 신호(intclk1)의 하향 에지가 앞서 있다면 위상 신호(lead_lagb)는 "H"상태가 되고, 제2 클럭 신호(intclk2)의 하향 에지가 앞서 있다면 위상 신호(lead_lagb)는 "L"상태가 된다.

가중치 제어부(332)는 제1 지연 라인 록킹 신호(1st_lock)와 제2 지연 라인 록킹 신호(2nd_lock)가 모두 "H"상태가 되었을 때, 즉, 제1 및 제2 지연 라인(322, 323)으로부터 출력되는 제1 및 제2 클럭 신호(intclk1, intclk2)가 모두 록킹 되었을 때 제2 위상 검출부로부터 출력되는 위상 신호(lead_lagb)를 받아들여 최종적으로 가중치를 결정하게 된다.

이제, 도 5에 개시된, 외부 클럭 신호의 듀티 교정을 설명하기 위한 과형도를 설명하도록 한다.

제1 클럭 신호(intclk1)와 제2 클럭 신호(intclk2)가 록킹되면, 제1 및 제2 클럭 신호(intclk1, intclk2)의 상향에지는 서로 일치된 상태이고, 그들의 하향에지는 외부 클럭 신호(CLK)가 갖는 듀티 에러만큼 서로 벌어져 있는 상태에 놓인다.

이 때부터 위상 혼합부(333)에서 제1 및 제2 클럭 신호(intclk1, intclk2)의 상향 에지와 하향 에지 모두에 대하여 위상 혼합을 시작하게 된다. 제1 및 제2 클럭 신호(intclk1, intclk2)의 상향 에지는 일치되어 있기 때문에 위상 혼합부(333)로부터 출력되는 혼합 클럭 신호의 상향 에지 역시 동일한 위상을 갖게 된다. 다만, 제1 및 제2 클럭 신호(intclk1, intclk2)의 하향 에지는 서로 벌어진 상태에 놓일 수 있으므로 위상 혼합부(333)가 제1 및 제2 클럭 신호(intclk1, intclk2)의 하향 에지를 혼합하여 그들의 중간 위상을 찾아내기만 하면 정확히 50%의 듀티를 갖는 혼합 클럭 신호를 만들 수가 있다. 도 5에 보이는 기호 Δ 는 외부 클럭 신호(CLK)를 입력받는 클럭 버퍼(310)와 제1 및 제2 지연 라인(322, 323)을 거치면서 발생할 수 있는 듀티 변화량을 의미한다.

일반적으로 디지털 위상 혼합부가 위상을 혼합하여 두 입력의 중간 위상을 찾기 위해서 두 입력 중에 위상이 앞서 있는 신호에다 가중치를 좀 더 크게 준다. 즉, 제2 위상 검출부(331)는 위상 혼합부(333)로 인가되는 제1 및 제2 클럭 신호(intclk1, intclk2)를 비교하여 어느 것의 하향에지가 더 앞서 있는지를 검출한다. 가중치 제어부(332)는 제2 위상 검출부(331)로부터 출력되는 제2 비교신호(lead_lagb)를 입력받아 제1 및 제2 지연 라인 록킹 신호(1st_lock, 2nd_lock)가 모두 "H"상태인 경우에만, 제1 및 제2 클럭 신호(intclk1, intclk2)의 하향 에지 중 앞선 위상을 갖는 클럭 신호에 더 큰 가중치를 부여하게 된다.

도 6은 도 3의 가중치 제어부의 일실시예 회로도로서, 본 발명의 일실시예에 따른 가중치 제어부(332)는 다음과 같이 동작한다.

I. 초기화시

제1 및 제2 지연 라인 록킹 신호(1st_lock, 2nd_lock)가 모두 "L"상태로 제1 지연 라인만 인에이블되는 상태이면, 제1 혼합 제어 신호(sel_1)와 제2 혼합 제어 신호(sel_2)는 "H"상태, 제1 혼합 반전 제어 신호(sel_1b) 및 제2 혼합 반전 제어 신호(sel_2b)는 "L"상태를 갖는다. 이와 같은 선택신호들의 논리상태에 따라 가중치(K)는 0의 값을 가질 수 있다.

II. 제1 클럭 신호(intclk1)가 록킹되는 경우

제1 지연 라인 록킹 신호(1st_lock)는 "H"상태, 제2 지연 라인 록킹 신호(2nd_lock)는 "L"상태로 제2 지연 라인만 인에이블되는 상태이면, 제1 혼합 제어 신호(sel_1)와 제2 혼합 제어 신호(sel_2)는 "L"상태, 제1 혼합 반전 제어 신호(sel_1b) 및 제2 혼합 반전 제어 신호(sel_2b)는 "H"상태를 갖는다. 이와 같은 선택신호들의 논리상태에 따라 가중치(K)는 1의 값을 가질 수 있다.

III. 제1 및 제2 클럭 신호(intclk1, intclk2)가 록킹되는 경우

제1 및 제2 클럭 신호(intclk1, intclk2)의 상향 에지가 일치된 상태로서, 제1 및 제2 지연 라인이 모두 인에이블되는 상태이다. 이 때에는 제2 위상 검출부로부터 출력되는 제2 비교 신호(lead_lagb)의 논리상태에 따라 다시 구분될 수 있다.

즉, 제2 비교 신호(lead_lagb)가 "H"상태로 제1 클럭 신호(intclk1)의 하향에지가 제2 클럭 신호(intclk2)의 하향에지보다 앞서 있는 경우에는, 제1 혼합 제어 신호(sel_1) 및 제2 혼합 반전 제어 신호(sel_2b)가 "L"상태, 제1 혼합 반전 제어 신호(sel_1b=1) 및 제2 혼합 제어 신호(sel_2)가 "H"상태를 갖는다. 이와 같은 선택신호들의 논리상태에 따라 가중치(K)는 1/3의 값을 가질 수 있다.

반대로, 제2 비교 신호(lead_lagb)가 "L"상태로 제1 클럭 신호(intclk1)의 하향에지가 제2 클럭 신호(intclk2)의 하향에지보다 뒤진 경우에는, 제1 혼합 제어 신호(sel_1) 및 제2 혼합 반전 제어 신호(sel_2b)가 "H"상태, 제1 혼합 반전 제어 신호(sel_1b=1) 및 제2 혼합 제어 신호(sel_2)가 "L"상태를 갖는다. 이와 같은 선택신호들의 논리상태에 따라 가중치(K)는 2/3의 값을 가질 수 있다.

이를 표로 정리하면 다음과 같다.

[표 1]

	1st_lock	2nd_lock	lead_lagb	sel_1	sel_2	sel_1b	sel_2b	K
I	L	L		H	H	L	L	0
II	H	L		L	L	H	H	1
III	H	H	H	L	H	H	L	1/3
	H	H	L	H	L	L	H	2/3

그리고, 이들 논리상태에 대한 계산은 논리회로에 대한 기초 지식을 가진 자라면 도 6을 참조하여 당연히 이해할 수 있으며, 또한 본 발명의 본질을 흐리지 않기 위하여 구체적인 설명은 피하기로 한다.

도 7은 도 3의 위상 혼합부의 일실시에 회로도이다.

위상 혼합부(333)로 입력되는 제1 및 제2 클럭 신호(intclk1, intclk2)는 듀티가 서로 정반대면서 두 클럭 신호의 상향에지는 서로 일치한 상태에 있다. 제1 및 제2 클럭 신호(intclk1, intclk2)는 각각 제1 및 제2 위상 선택기(710, 720)를 거치게 된다. 제1 및 제2 위상 선택기(710, 720)는 제1 및 제2 클럭 신호에 대해 복수개의 혼합 셀을 병렬로 연결하여 형성될 수 있다. 일례로서, 3개씩의 혼합 셀(DCC_Mixer_Unit)이 병렬로 연결될 수 있다.

제1 및 제2 클럭 신호(intclk1, intclk2)가 록킹되는 경우 중 제2 비교 신호(lead_lagb)가 "L"상태로 제1 클럭 신호(intclk1)의 하향에지가 제2 클럭 신호(intclk2)의 하향에지보다 뒤진 경우를 예로 들어 설명하기로 한다. 이 때에는, "H"상태를 갖는 제1 혼합 제어 신호(sel_1) 및 제2 혼합 반전 제어 신호(sel_2b) 그리고, "L"상태를 갖는 제1 혼합 반전 제어 신호(sel_1b=1) 및 제2 혼합 제어 신호(sel_2)가 입력되어 제1 클럭 신호를 위한 제3 혼합 셀(713)과 제2 클럭 신호를 위한 제5 및 제6 혼합 셀(722, 723)이 인에이블될 수 있다. 이 때 인에이블된 혼합 셀들은 인버터로 동작할 수 있다. 그러면, 혼합노드(mix)에서는 제1 클럭 신호의 1/3만큼, 제2 클럭 신호의 2/3만큼 각각 위상 혼합될 수 있다.

즉, 제2 클럭 신호(intclk2)의 하향 에지가 앞서 있는 경우를 가정하였으므로 제2 클럭 신호를 입력받는 제2 위상 선택기(720)는 2개의 혼합 셀이 동작하는 반면, 제1 클럭 신호를 입력받는 제1 위상 선택기(710)는 1개의 혼합 셀이 동작하도록 하여 위상 혼합부에서 출력되는 혼합 클럭 신호가 두 클럭 신호의 하향에지의 중간 위상을 갖도록 하는 것이다. 나머지 동작은 당업자에게 당연한 사항에 불과하므로 더 이상의 설명은 피하기로 한다. 한편, 가중치(K)를 제어하고 적용하는 도 6 및 도 7의 설명은 하나의 예에 불과할 뿐이다. 본 발명의 본질은 제1 및 제2 클럭 신호의 위상을 혼합하는 경우에 위상이 뒤진 클럭 신호에 비해 위상이 앞선 클럭 신호에 더 큰 가중치를 적용함으로써 두 클럭 신호의 위상의 중간 위상을 만들 수 있다는 것에 있음을 잘 이해하여야 할 것이다.

한편, 도 7의 혼합 클럭 출력 제어부(730)는 파워 다운 신호(pwrndn)를 이용하여 반도체 기억 소자가 파워 다운 상태로 진입할 때에 혼합 클럭 신호가 출력되지 않도록 한다. 이는 파워 다운 모드시 "H"상태의 신호가 출력되도록 하여 위상 혼합부의 출력에 연결되어 있는 다른 블록들에서 전력 소모가 일어나지 않도록 하는 효과가 있다. 여기서, 파워 다운 신호(pwrndn)를 이용하여 반도체 기억 소자가 파워 다운 상태로 진입할 때에 "H"상태를 갖는다.

도 8은 도 7의 위상 선택기 내 혼합 셀의 구체 회로도이다.

위상 선택기(710, 720) 내에 장착된 각 혼합 셀은 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제1 NMOS 트랜지스터(N1) 및 제2 NMOS 트랜지스터(N2)를 포함한다.

혼합 셀 내 제1 PMOS 트랜지스터(P1)는, 소스 단자는 전원 전압에 연결되고, 게이트 단자로 지연 시간이 다른 두 신호 중 한 신호를 입력받는다.

또한, 혼합 셀 내 제2 PMOS 트랜지스터(P2)는, 소스 단자는 상기 제1 PMOS 트랜지스터(P1)의 드레인 단자에 연결되고, 게이트 단자로 한 개의 혼합 반전 제어 신호(sel_1b 혹은 sel_2b)를 입력받으며, 드레인 단자는 출력 단자(OUT)에 연결된다.

혼합 셀 내 제1 NMOS 트랜지스터(N1)는, 소스 단자는 접지되고, 게이트 단자로 제1 PMOS 트랜지스터(P1)의 게이트와 접속된다.

혼합 셀 내 제2 NMOS 트랜지스터(N2)는, 소스 단자는 제1 NMOS 트랜지스터(N1)의 드레인 단자에 연결되고, 게이트 단자로 혼합 제어 신호(sel_1 혹은 sel_2)를 입력받는다.

도 9는 본 발명의 제2 실시예에 따른 하나의 피드백루프를 이용하는 듀티 교정이 가능한 지연 고정 루프에 관한 전체 블록도이다.

도 3의 제1 실시예에서는 하나의 클럭 버퍼로써 외부 클럭 신호를 버퍼링하고, 제1 및 제2 지연 라인에 버퍼링된 상향 에지 클럭 신호를 인가하여 제2 지연 라인으로부터 출력되는 제2 클럭 신호의 듀티를 반전시키는 방식을 사용한다.

한편, 도 9에 개시된 제2 실시예에서는, 두개의 클럭 버퍼(910, 920)를 사용한다. 이 때 제1 클럭 버퍼(910)의 비반전단자와 반전단자에는 외부 클럭 신호(CLK)와 외부 클럭 바아 신호(CLKB)가 각각 입력되지만, 제2 클럭 버퍼(920)의 비반전단자와 반전단자에는 외부 클럭 바아 신호(CLKB)와 외부 클럭 신호(CLK)가 각각 입력된다. 이에 따라 제1 및 제2 클럭 버퍼로부터 출력되는 제1 상향 에지 클럭 신호(rclk1)와 제2 상향 에지 클럭 신호(rclk2)는 서로 듀티가 정반대로 나타나게 된다. 이 제1 및 제2 상향 에지 클럭 신호를 각각 제1 및 제2 지연 라인으로 연결하고, 도3에서의 제2 지연 라인의 출력단에 존재하는 듀티 반전 회로 부분을 삭제하면 전체적으로 제1 실시예에서의 회로와 동일하게 동작할 수 있다.

도 10은 본 발명의 제3 실시예에 따른 하나의 피드백루프를 이용하는 듀티 교정이 가능한 지연 고정 루프에 관한 전체 블록도이다.

도3에 개시된 바와 같이, 본 발명에 따른 제1 실시예에서는, 제1 위상 검출부로 인가되는 클럭 신호로 외부 클럭 신호(clk)를 사용한다. 이에 반해, 도 10의 제3 실시예는 클럭 버퍼에서 버퍼링된 상향 에지 클럭 신호(rclk)를 제1 위상 검출부로 연결하여 사용할 수도 있음을 보인다. 이와 같이 외부 클럭 신호(CLK)가 아닌 버퍼링한 신호(rclk)를 사용하는 경우에는 지연 모델(1040)을 설계할 때 클럭 버퍼(1010)에서의 지연도 고려되어야 한다. 한편, 지연 모델에서 고려되어야 하는 지연에 대해서는 당업자에게 당연한 사항에 불과하므로 본 발명의 본질을 흐리지 않기 위해 생략하기로 한다.

이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

상기와 같은 구성에 따라 본 발명은 하나의 위상 혼합부, 하나의 지연 모델부, 하나의 위상 검출부 등 모두 3 블록이 줄어들 수가 있기 때문에 동일한 성능을 유지하면서도 칩의 면적을 축소할 수 있고, 소모되는 전력을 대폭 줄일 수 있다. 따라서,

전체 소자에서 사용되는 전력의 소모를 대폭 줄일 수 있고, 칩의 사이즈가 줄어들게 되어 넷 다이(net die)의 개수를 증가시킬 수 있다. 그리고, 각 지연 라인이 거치게 되는 피드백 루프(위상 혼합부, 지연 모델, 위상 검출부)가 하나의 회로로 구성될 수 있기 때문에 각 지연 라인의 록킹과정에서 발생할 수 있는 피드백 루프의 지연과 불일치가 전혀 없어 클럭의 듀티 조절을 수행함에 있어서 정확도가 극대화된다.

(57) 청구의 범위

청구항 1.

클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서,

외부에서 인가되는 외부 클럭 신호와 외부 클럭 반전 신호를 버퍼링하여 상향 에지 클럭 신호를 생성하기 위한 클럭 버퍼;

각각 소정 시간 지연시킨 제1 및 제2 클럭 신호를 생성하기 위하여 상기 상향 에지 클럭 신호를 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단;

상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단;

상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및

상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 2.

제1항에 있어서, 상기 지연 라인 수단은,

상기 제1 비교 신호와 상기 제1 및 제2 지연 라인 록킹 신호를 입력받아 상기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부;

상기 제1 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인;

상기 제2 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연되고 반전된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및

상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 3.

클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서,

외부 클럭 신호를 비반전단자에, 외부 클럭 반전 신호를 반전단자에 인가받아 버퍼링하여 제1 상향 에지 클럭 신호를 생성하기 위한 제1 클럭 버퍼;

외부 클럭 바이 신호를 비반전단자에, 외부 클럭 신호를 반전단자에 인가 받아 버퍼링하여 제2 상향 에지 클럭 신호를 생성하기 위한 제2 클럭 버퍼;

각각 소정 시간 지연시킨 제1 및 제2 클럭 신호를 생성하기 위하여 상기 제1 및 제2 상향 에지 클럭 신호를 각각 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단;

상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단;

상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및

상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 4.

제3항에 있어서, 상기 지연 라인 수단은,

상기 제1 비교 신호와 상기 제1 및 제2 지연 라인 록킹 신호를 입력받아 상기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부;

상기 제1 제어 신호에 제어되어 상기 제1 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인;

상기 제2 제어 신호에 제어되어 상기 제2 상향 에지 클럭 신호가 소정 시간 지연된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및

상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 5.

클럭 신호의 듀티를 조정할 수 있는 지연 고정 루프에 있어서,

외부에서 인가되는 외부 클럭 신호와 외부 클럭 반전 신호를 버퍼링하여 상향 에지 클럭 신호를 생성하기 위한 클럭 버퍼부;

각각 소정 시간 지연시킨 병렬의 제1 및 제2 클럭 신호를 생성하기 위하여 상기 상향 에지 클럭 신호를 병렬로 입력받는 복수의 지연 라인을 포함하는 지연 라인 수단;

상기 제1 및 제2 클럭 신호의 위상을 비교하고, 상기 제1 및 제2 클럭 신호와 결합되는 가중치를 조정하여 듀티가 조정된 혼합 클럭 신호를 생성하기 위한 듀티 에러 조정 수단;

상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하기 위한 지연 모델; 및

상기 상향 에지 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 6.

제5항에 있어서, 상기 지연 라인 수단은,

상기 제1 비교 신호와 하기 제1 및 제2 지연 라인 록킹 신호를 입력받아 하기 제1 및 제2 지연 라인을 제어하는 제1 및 제2 제어 신호를 생성하기 위한 지연 라인 제어부;

상기 제1 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연된 제1 클럭 신호를 생성하기 위한 제1 지연 라인;

상기 제2 제어 신호에 제어되어 상기 상향 에지 클럭 신호가 소정 시간 지연되고 반전된 제2 클럭 신호를 생성하기 위한 제2 지연 라인; 및

상기 제1 비교 신호를 사용하여 상기 제1 클럭 신호와 제2 클럭 신호가 각각 록킹되었는지의 여부를 나타내는 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호를 생성하기 위한 록킹 검출부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 7.

제2, 4 및 6항 중 어느 한 항에 있어서, 상기 듀티 에러 조정 수단은,

상기 제1 클럭 신호 및 제2 클럭 신호를 각각 반전시킨 클럭 신호를 입력받아 두 클럭 신호의 하향에지의 위상 중 어느 것이 앞서는지를 검출하여 제2 비교 신호를 생성하기 위한 제2 위상 검출부;

상기 제1 지연 라인 록킹 신호와 제2 지연 라인 록킹 신호 그리고 제2 비교 신호를 입력받아 제1 가중치(K) 및 제2 가중치(1-K)를 조정하기 위한 가중 조정 제어 신호를 생성하기 위한 가중치 제어부; 및

상기 가중 조정 제어 신호에 제어되어 상기 제1 클럭 신호에는 상기 제2 가중치를, 상기 제2 클럭 신호에는 상기 제1 가중치를 각각 가중하여 결합함으로써 위상이 혼합된 혼합 클럭 신호를 생성하기 위한 위상 혼합부

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 8.

제7항에 있어서,

상기 가중치 제어부로부터 출력되는 가중 조정 제어 신호는, 제1 혼합 제어 신호, 제2 혼합 반전 제어 신호, 제1 혼합 반전 제어 신호 및 제2 혼합 제어 신호를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 9.

제8항에 있어서, 상기 가중치 제어부는,

상기 제1 및 제2 지연 라인 록킹 신호가 모두 논리레벨 로우이면, 각각 논리레벨 하이상태를 갖는 상기 제1 혼합 제어 신호와 제2 혼합 제어 신호, 각각 논리레벨 로우상태를 갖는 상기 제1 혼합 반전 제어 신호와 제2 혼합 반전 제어 신호를 출력할 수 있는 것을 특징으로 하는 지연 고정 루프.

청구항 10.

제8항에 있어서, 상기 가중치 제어부는,

상기 제1 지연 라인 록킹 신호가 논리레벨 하이, 제2 지연 라인 록킹 신호가 논리레벨 로우이면, 각각 논리레벨 로우상태를 갖는 상기 제1 혼합 제어 신호와 제2 혼합 제어 신호, 각각 논리레벨 하이상태를 갖는 상기 제1 혼합 반전 제어 신호와 제2 혼합 반전 제어 신호를 출력할 수 있는 것을 특징으로 하는 지연 고정 루프.

청구항 11.

제8항에 있어서, 상기 가중치 제어부는,

상기 제1 및 제2 지연 라인 록킹 신호와 제2 비교 신호가 모두 논리레벨 하이이면, 각각 논리레벨 로우상태를 갖는 제1 혼합 제어 신호와 제2 혼합 반전 제어 신호, 각각 논리레벨 하이상태를 갖는 제1 혼합 반전 제어 신호와 제2 혼합 제어 신호를 출력할 수 있는 것을 특징으로 하는 지연 고정 루프.

청구항 12.

제8항에 있어서, 상기 가중치 제어부는,

상기 제1 및 제2 지연 라인 록킹 신호가 논리레벨 하이이고, 제2 비교 신호가 논리레벨 로우이면, 각각 논리레벨 하이상태를 갖는 제1 혼합 제어 신호와 제2 혼합 반전 제어 신호, 각각 논리레벨 로우상태를 갖는 제1 혼합 반전 제어 신호와 제2 혼합 제어 신호를 출력할 수 있는 것을 특징으로 하는 지연 고정 루프.

청구항 13.

제8항에 있어서, 상기 위상 혼합부는,

상기 제1 혼합 제어 신호, 제2 혼합 반전 제어 신호, 제1 혼합 반전 제어 신호 및 제2 혼합 제어 신호에 제어되어 상기 제1 클럭 신호를 출력하기 위한 제1 위상 선택기; 및

상기 제1 혼합 제어 신호, 제2 혼합 반전 제어 신호, 제1 혼합 반전 제어 신호 및 제2 혼합 제어 신호에 제어되어 상기 제2 클럭 신호를 출력하기 위한 제2 위상 선택기

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 14.

제13항에 있어서, 상기 제1 위상 선택기는,

병렬연결된 복수의 혼합 셀을 포함하며, 상기 혼합 셀은 상기 제1 혼합 제어 신호, 제2 혼합 반전 제어 신호, 제1 혼합 반전 제어 신호 및 제2 혼합 제어 신호 중 어느 하나에 제어되어 상기 제1 클럭 신호를 출력할 수 있는 것을 특징으로 하는 지연 고정 루프.

청구항 15.

제14항에 있어서, 상기 복수의 혼합 셀 중 어느 하나는,

그 소스 단자는 전원 전압에 연결되고, 그 게이트 단자로 제1 클럭 신호를 입력받는 제1 PMOS 트랜지스터;

그 소스 단자는 상기 제1 PMOS 트랜지스터의 드레인 단자에 연결되고, 그 드레인 단자는 출력 단자에 연결되며, 게이트 단자로 상기 제1 혼합 반전 제어 신호를 입력받는 제2 PMOS 트랜지스터;

그 소스 단자는 접지 전압에 연결되고, 그 게이트 단자로 상기 제1 클럭 신호를 입력받는 제1 NMOS 트랜지스터; 및

그 소스 단자는 상기 제1 NMOS 트랜지스터의 드레인 단자에 연결되고, 그 드레인 단자는 상기 출력 단자에 연결되며, 그 게이트 단자로 상기 제1 혼합 제어 신호를 입력받기 위한 제2 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

지연 고정 루프의 듀티를 조정함에 있어서,

상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하는 제1 단계;

피드백 루프를 이용하여 상기 제1 지연 라인으로부터 출력되는 제1 클럭 신호와 외부에서 인가되는 외부 클럭 신호를 비교하여 록킹 동작을 수행하는 제2 단계;

상기 제1 클럭 신호가 록킹되면, 상기 피드백 루프를 이용하여 상기 제2 지연 라인으로부터 출력되는 제2 클럭 신호와 상기 외부 클럭 신호를 비교하여 록킹 동작을 수행하는 제3 단계; 및

상기 제1 클럭 신호와 제2 클럭 신호의 록킹이 끝나면, 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 비교하여 가중치를 조정함으로써 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 혼합하는 제4 단계를 포함하며,

상기 피드백 루프는,

상기 제1 클럭 신호와 상기 제2 클럭 신호의 위상이 혼합된 혼합 클럭 신호를 생성하기 위한 위상 혼합부;

상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하는 지연 모델; 및

상기 외부 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 27.

제26항에 있어서,

상기 제2 단계에서 제1 클럭 신호와 외부 클럭 신호의 비교는, 상기 각 클럭 신호의 상향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 28.

제26항에 있어서,

상기 제3 단계에서 제2 클럭 신호와 외부 클럭 신호의 비교는, 상기 각 클럭 신호의 상향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 29.

제26항에 있어서,

상기 제4 단계에서 상기 제1 클럭 신호와 제2 클럭 신호의 위상 비교는, 상기 각 클럭 신호의 하향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 30.

삭제

청구항 31.

지연 고정 루프의 듀티를 조정함에 있어서,

상기 지연 고정 루프 - 상기 지연 고정 루프는 제1 및 제2 지연 라인을 포함하고, 상기 제1 및 제2 지연 라인은 외부에서 인가되는 외부 클럭 신호측에 대하여 병렬로 접속됨 - 를 초기화하는 제1 단계;

피드백 루프를 이용하여 상기 제1 클럭 신호와 상향 에지 클럭 신호 - 상기 상향 에지 클럭 신호는 외부에서 인가되는 외부 클럭 신호를 이용하여 생성됨 - 를 비교하여 록킹 동작을 수행하는 제2 단계;

상기 제1 클럭 신호가 록킹되면, 상기 피드백 루프를 이용하여 상기 제2 클럭 신호와 상기 상향 에지 클럭 신호를 비교하여 록킹 동작을 수행하는 제3 단계; 및

상기 제1 클럭 신호와 제2 클럭 신호의 록킹이 끝나면, 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 비교하여 가중치를 조정함으로써 상기 제1 클럭 신호와 제2 클럭 신호의 위상을 혼합하는 제4 단계를 포함하며,

상기 피드백 루프는,

상기 제1 클럭 신호와 상기 제2 클럭 신호의 위상이 혼합된 혼합 클럭 신호를 생성하기 위한 위상 혼합부;

상기 혼합 클럭 신호를 소정 시간 지연시킨 피드백 클럭 신호를 생성하는 지연 모델; 및

상기 상향 에지 클럭 신호와 상기 피드백 클럭 신호의 위상을 비교하여 제1 비교 신호를 생성하기 위한 제1 위상 검출부를 포함하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 32.

제31항에 있어서,

상기 제2 단계에서 제1 클럭 신호와 상향 에지 클럭 신호의 비교는, 상기 각 클럭 신호의 상향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

청구항 33.

제31항에 있어서,

상기 제3 단계에서 제2 클럭 신호와 상향 에지 클럭 신호의 비교는, 상기 각 클럭 신호의 상향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

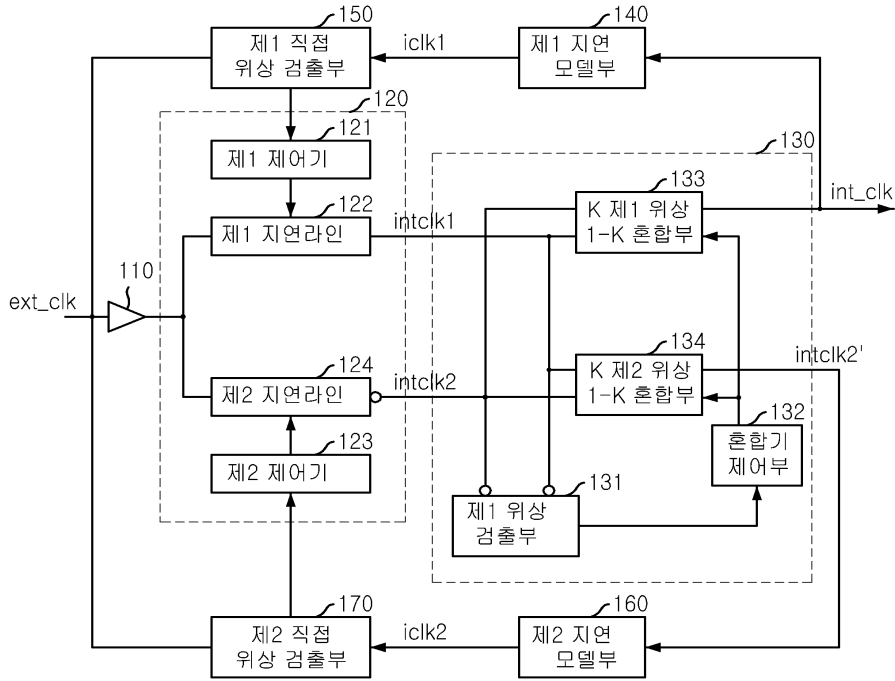
청구항 34.

제31항에 있어서,

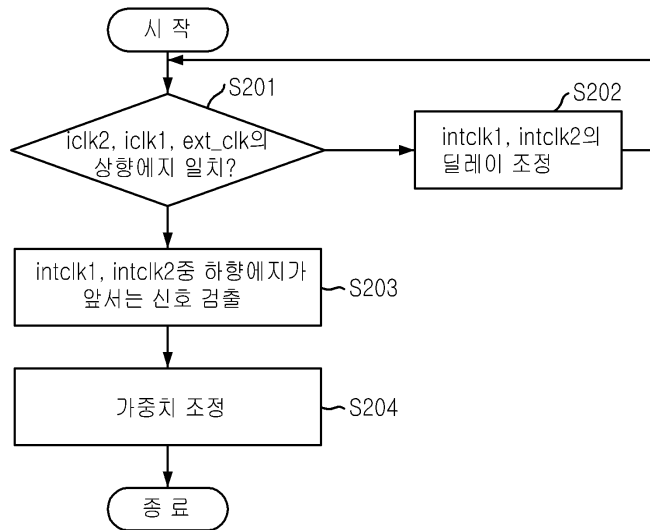
상기 제4 단계에서 상기 제1 클럭 신호와 제2 클럭 신호의 위상 비교는, 상기 각 클럭 신호의 하향 에지를 비교하는 것을 특징으로 하는 지연 고정 루프의 제어 방법.

도면

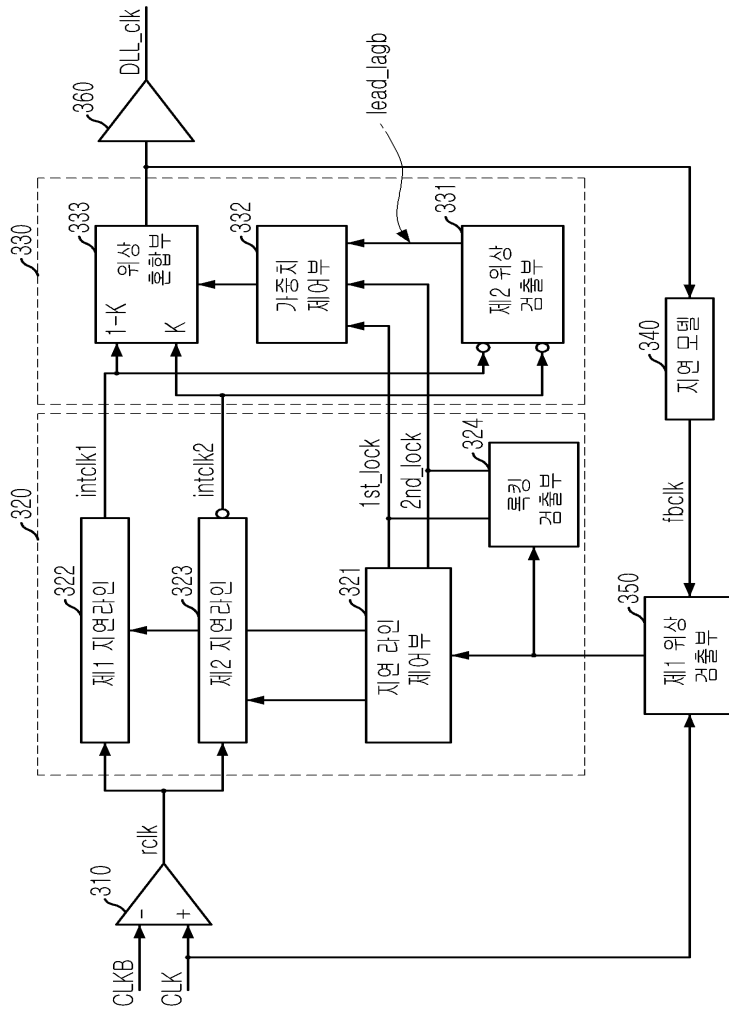
도면1



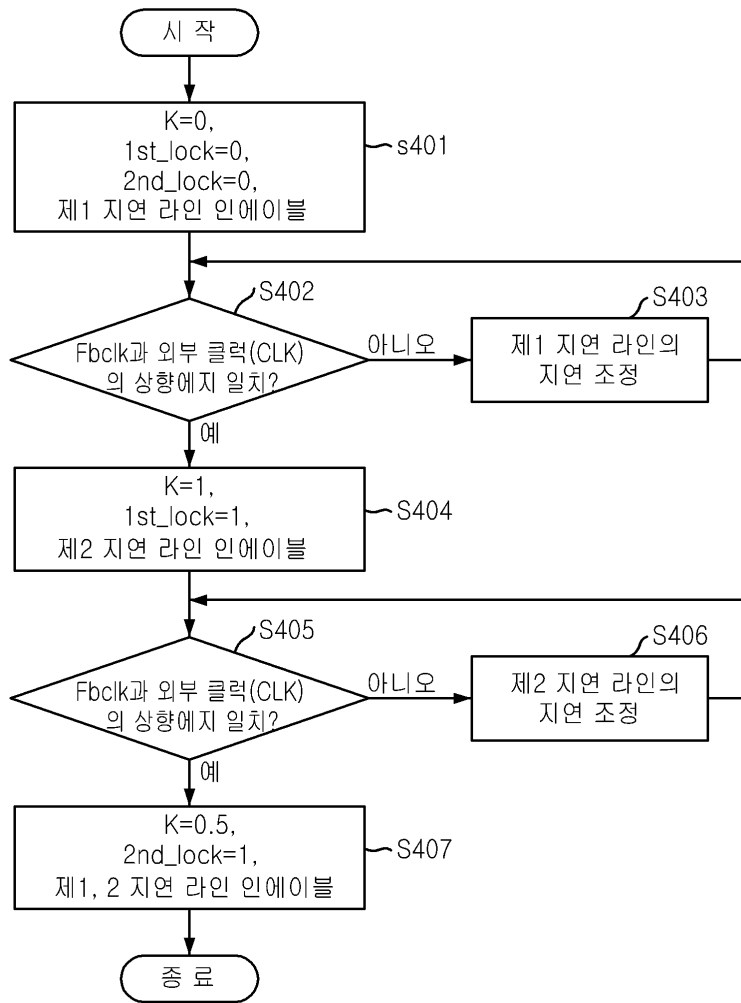
도면2



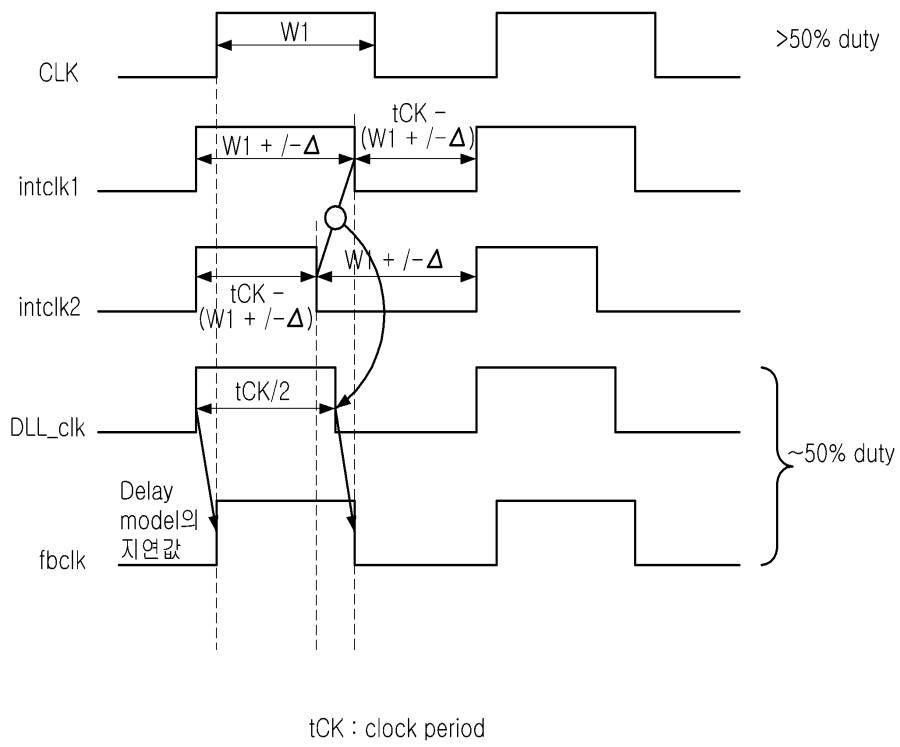
도면3



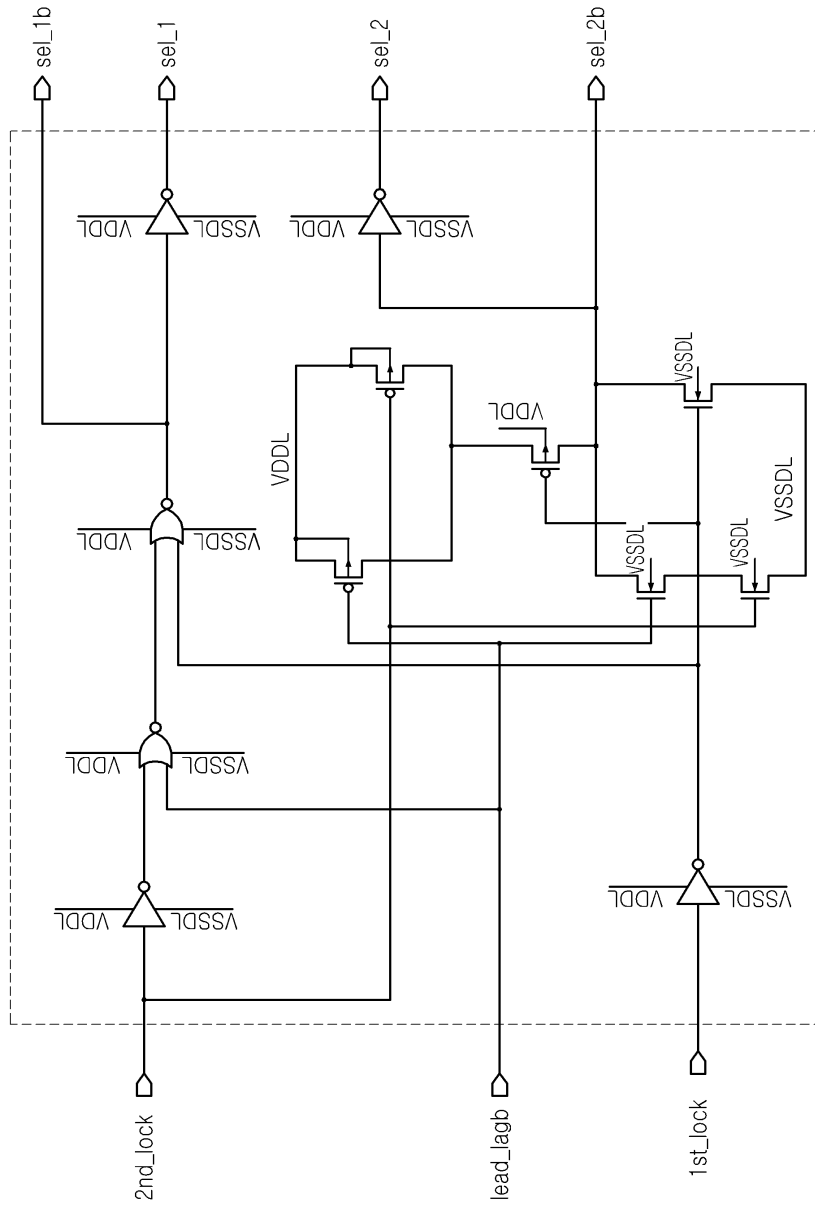
도면4



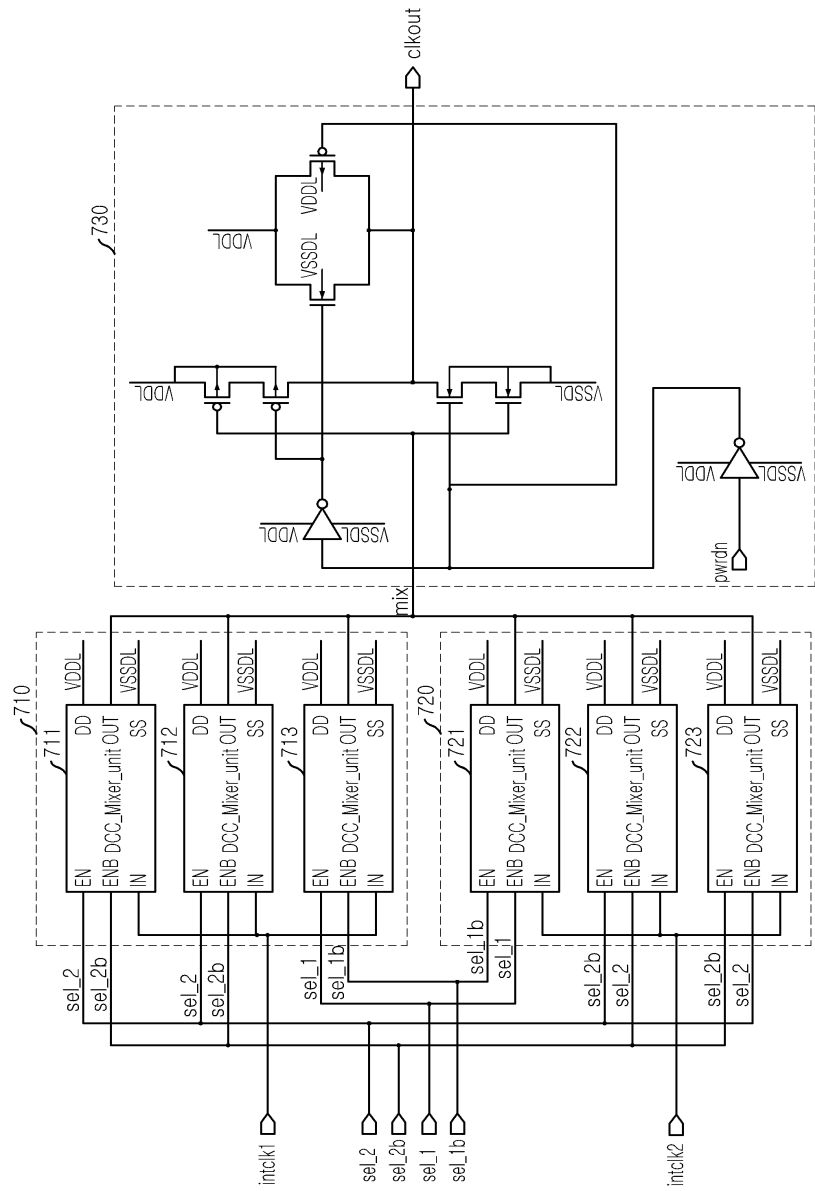
도면5



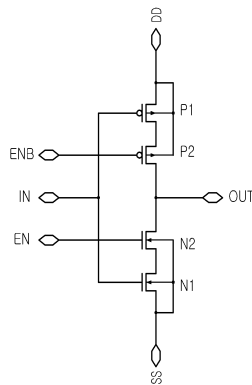
도면6



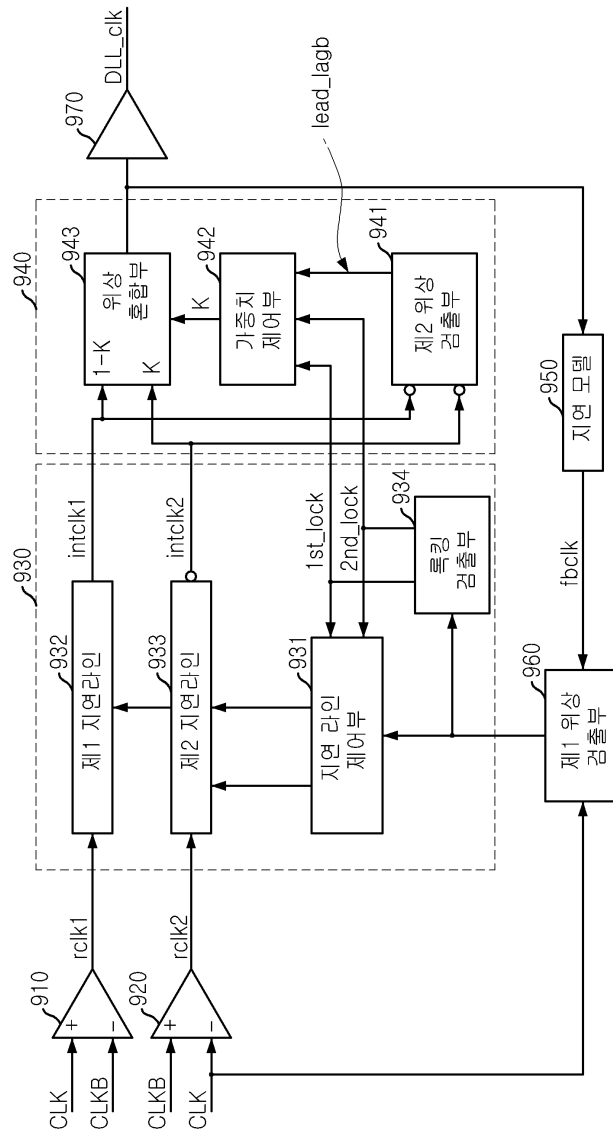
도면7



도면8



도면9



도면10

