

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 28 年 12 月 8 日 (2016.12.8)

【公開番号】特開 2014-78229 (P2014-78229A)

【公開日】平成 26 年 5 月 1 日 (2014.5.1)

【年通号数】公開・登録公報 2014-022

【出願番号】特願 2013-210121 (P2013-210121)

【国際特許分類】

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 12/16 3 2 0 M

G 0 6 F 12/00 5 9 7 U

G 0 6 F 12/00 5 6 0 A

【手続補正書】

【提出日】平成 28 年 10 月 21 日 (2016.10.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

3 ビットデータを格納する複数の第 1 メモリメモリセル及び 1 ビットデータを格納する複数の第 2 メモリセルを含む不揮発性メモリ装置と、

読み出し動作、プログラム動作、及び再プログラム動作を遂行するために前記不揮発性メモリ装置を制御する制御器と、を含み、

前記制御器は、エラー訂正された (ECC (error checking and correction) - performed) 第 1 データを生成するために前記第 1 データに対する ECC 動作を遂行するように構成され、

前記第 1 データは、第 1 電圧レベルで前記複数の第 1 メモリセルの第 1 部分から読み出され、

前記エラー訂正された第 1 データのエラービットの数が前記 ECC 動作によって修正可能な閾値 (threshold) を超過する時、前記制御器は、エラー訂正された第 2 データを生成するために第 2 データに対するリードリトライ (read retry) 動作及び ECC 動作を遂行するように構成され、

前記リードリトライ動作は、第 2 電圧レベルで前記複数の第 1 メモリセルの前記第 1 部分に格納された前記第 2 データを読み出すことを含み、

ここで、前記第 2 電圧レベルは、前記第 1 電圧レベルと異なり、

前記第 2 データは、前記複数の第 1 メモリセルの前記第 1 部分から読み出され、

前記制御器は、前記エラー訂正された第 1 データ及び前記エラー訂正された第 2 データのうちのいずれか 1 つを有する第 1 ページデータを前記不揮発性メモリ装置に出力するように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの第 1 部分に前記第 1 ページデータをプログラムするように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの前記第 1 部分で前記プログラムされた第 1 ページデータを読み出すように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの前記第 1 部分から第 1 時間に

読み出された前記プログラムされた第 1 ページデータを前記複数の第 1 メモリセルの第 2 部分にプログラムするように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの前記第 1 部分から第 2 時間に読み出された前記プログラムされた第 1 ページデータを前記複数の第 1 メモリセルの前記第 2 部分に再プログラムするように構成されるメモリシステム。

【請求項 2】

前記第 1 時間は、前記第 2 時間と異なる請求項 1 に記載のメモリシステム。

【請求項 3】

前記制御器は、前記第 1 ページデータに対する前記 ECC 動作を遂行せずに、前記複数の第 2 メモリセルの前記第 1 部分から前記第 1 時間に読み出された前記第 1 ページデータを前記複数の第 1 メモリセルの前記第 2 部分にプログラムするように構成される請求項 1 に記載のメモリシステム。

【請求項 4】

前記制御器は、前記複数の第 1 メモリセルの前記第 1 部分から読み出された第 3 データに対する前記リードリトライ動作及び前記 ECC 動作を遂行するように構成される請求項 1 に記載のメモリシステム。

【請求項 5】

前記制御器は、前記複数の第 1 メモリセルの前記第 2 部分から読み出された第 3 データに対する前記 ECC 動作を遂行するように構成される請求項 1 に記載のメモリシステム。

【請求項 6】

前記複数の第 1 メモリセルの前記第 1 部分及び前記複数の第 1 メモリセルの前記第 2 部分は、同一のメモリブロックに含まれる請求項 5 に記載のメモリシステム。

【請求項 7】

前記第 3 データは、第 2 ページデータに含まれ、

前記第 2 ページデータは、前記制御器から前記不揮発性メモリ装置に出力される請求項 5 に記載のメモリシステム。

【請求項 8】

前記第 1 ページデータ及び前記第 2 ページデータの各々は、有効なページデータである請求項 7 に記載のメモリシステム。

【請求項 9】

前記制御器が外部装置による要請を処理した後に、前記制御器は、前記複数の第 2 メモリセルの前記第 1 部分で前記第 1 ページデータを読み出し書き込むように構成される請求項 1 に記載のメモリシステム。

【請求項 10】

前記第 1 ページデータ及び前記第 2 ページデータは、事前に決定された時間周期内に前記制御器から前記不揮発性メモリ装置に出力される請求項 7 に記載のメモリシステム。

【請求項 11】

前記不揮発性メモリ装置は、垂直またはスタック型 3 次元アレイ構造 (vertical or stack-type three-dimensional array structure) を有するメモリセルアレイを含む請求項 1 に記載のメモリシステム。

【請求項 12】

複数の第 1 メモリブロックに形成され、セル当たり 1 ビットデータを格納するように構成されたフラッシュメモリセルの第 1 グループと、

複数の第 2 メモリブロックに形成され、セル当たり 3 ビットデータを格納するように構成されたフラッシュメモリセルの第 2 グループと、

を含む不揮発性メモリ装置と、

前記不揮発性メモリ装置を制御するように構成されたメモリ制御器と、を含み、

前記メモリ制御器は、前記複数の第 2 メモリブロックのうちのいずれか 1 つに格納された有効なデータを前記複数の第 1 メモリブロックのうちの 1 つ以上のメモリブロックに伝

送するためのリードリクレイム (read reclaim) 動作を遂行するように構成され、

前記リードリクレイム動作は、第1時間に前記有効なデータの第1部分に対して遂行され、前記第1時間と異なる第2時間に前記有効なデータの第2部分に対して遂行され、

前記メモリ制御器は、前記複数の第1メモリブロックのうちの前記1つ以上のメモリブロックから読み出された前記有効なデータの第3部分を前記複数の第2メモリブロックの前記いずれか1つと異なる前記複数の第2メモリブロックのうちのいずれか1つに伝送するように1つ以上のプログラム動作を遂行するように構成されるメモリシステム。

【請求項13】

前記メモリ制御器は、前記有効なデータに対するECC動作を遂行せずに、前記有効なデータの前記第3部分を前記複数の第2メモリブロックのうちの他の1つに伝送するように前記1つ以上のプログラム動作を遂行するように構成される請求項12に記載のメモリシステム。

【請求項14】

前記1つ以上のプログラム動作の各々は、3段階プログラミング動作である請求項12に記載のメモリシステム。

【請求項15】

前記3段階プログラミング動作は、第1プログラム段階及び前記第1プログラム段階の後に発生する第2プログラム段階を含み、

前記第2プログラム段階に対応する第2閾値電圧幅は、前記第1プログラム段階に対応する第1閾値電圧幅より狭い請求項14に記載のメモリシステム。

【請求項16】

前記リードリクレイム動作は、前記有効なデータの少なくとも一部に対するリードリトライ動作を含む請求項12に記載のメモリシステム。

【請求項17】

前記リードリクレイム動作は、第1時間周期及び第2時間周期の間に遂行され、前記第1時間周期及び前記第2時間周期は、互いに分離される請求項16に記載のメモリシステム。

【請求項18】

前記不揮発性メモリ装置は、垂直またはスタック型3次元アレイ構造を有するメモリセルアレイを含む請求項12に記載のメモリシステム。

【請求項19】

3ビットデータを格納する複数の第1メモリメモリセル及び1ビットデータを格納する複数の第2メモリセルを有する不揮発性メモリ装置及び前記不揮発性メモリ装置を制御する制御器を含む不揮発性メモリシステムの動作方法において、

第1電圧レベルで、前記複数の第1メモリセルの第1部分から第1データを読み出す段階と、

エラー訂正された第1データを生成するために前記第1データに対するECC (error checking and correction) 動作を遂行する段階と、

前記エラー訂正された第1データのエラービットの個数が前記ECC動作によって訂正可能な閾値を超過する時、第2電圧レベルで、前記複数の第1メモリセルの前記第1部分から第2データを読み出す段階と、

エラー訂正された第2データを生成するために前記第2データに対するECC動作を遂行する段階と、

前記エラー訂正された第1データ及び前記エラー訂正された第2データのうちのいずれか1つを有する第1ページデータを前記不揮発性メモリ装置に出力する段階と、

前記複数の第2メモリセルの第1部分に前記第1ページデータをプログラムする段階と、

第1時間に前記複数の第2メモリセルの前記第1部分から前記プログラムされたページデータを読み出す段階と、

前記第 1 時間に読み出された前記プログラムされた第 1 ページデータを前記複数の第 1 メモリセルの第 2 部分にプログラムする段階と、

第 2 時間に前記複数の第 2 メモリセルの前記第 1 部分から前記プログラムされた第 1 ページデータを読み出す段階と、

前記第 2 時間に読み出された前記プログラムされた第 1 ページデータを前記複数の第 1 メモリセルの前記第 2 部分に再プログラムする段階と、を含む方法。

【請求項 20】

前記複数の第 2 メモリセルの前記第 2 部分に前記第 1 ページデータをプログラムする段階は、前記第 1 ページデータに対する E C C 動作無しで遂行される請求項 19 に記載の方法。

【請求項 21】

前記複数の第 1 メモリセルの第 3 部分から読み出された第 3 データに対する E C C 動作を遂行する段階をさらに含み、

前記第 3 データは、第 2 ページデータに含まれ、

前記第 2 ページデータは、前記制御器から前記不揮発性メモリ装置に出力され、

前記第 1 ページデータ及び前記第 2 ページデータは、事前に決定された時間周期内に前記制御器から前記不揮発性メモリ装置に出力される請求項 19 に記載の方法。

【請求項 22】

前記制御器が外部装置の要請を処理した後に、前記第 1 ページデータ及び前記第 2 ページデータは、前記制御器から前記不揮発性メモリ装置に出力される請求項 21 に記載の方法。

【請求項 23】

前記不揮発性メモリ装置は、垂直またはスタック型 3 次元アレイ構造を有するメモリセルアレイを含む請求項 19 に記載の方法。

【請求項 24】

3 ビットデータを格納する複数の第 1 メモリメモリセル及び 1 ビットデータを格納する複数の第 2 メモリセルを含むメモリセルアレイを含み、前記メモリセルアレイは、垂直またはスタック型 3 次元アレイ構造である不揮発性メモリ装置と、

読出し動作、プログラム動作、及び再プログラム動作を遂行するために前記不揮発性メモリ装置を制御する制御器と、を含み、

前記制御器は、エラー訂正された第 1 データを生成するために前記第 1 データに対する E C C 動作を遂行するように構成され、

前記第 1 データは、第 1 電圧レベルで前記複数の第 1 メモリセルの第 1 部分から読み出され、

前記エラー訂正された第 1 データのエラービットの個数が前記 E C C 動作によって訂正可能な閾値を超過する時、前記制御器は、エラー訂正された第 2 データを生成するためにリードリトライ動作及び E C C 動作を遂行するように構成され、

前記リードリトライ動作は、前記第 1 電圧レベルと異なる第 2 電圧レベルで前記複数の第 1 メモリセルの前記第 1 部分に格納された第 2 データを読み出すことを含み、

前記第 2 データは、前記複数の第 1 メモリセルの前記第 1 部分から読み出され、

前記制御器は、前記エラー訂正された第 1 データ及び前記エラー訂正された第 2 データのうちのいずれか 1 つを含む第 1 ページデータを前記不揮発性メモリ装置に出力するように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの第 1 部分に前記第 1 ページデータをプログラムするように構成され、

前記不揮発性メモリ装置は、前記複数の第 2 メモリセルの前記第 1 部分から前記プログラムされた第 1 ページデータを読み出すように構成され、

前記不揮発性メモリ装置は、第 1 時間で前記複数の第 2 メモリセルの前記第 1 部分から読み出された前記プログラムされた第 1 ページデータを前記複数の第 1 メモリセルの第 2 部分にプログラムするように構成され、

前記不揮発性メモリ装置は、第２時間で前記複数の第２メモリセルの前記第１部分から読み出された前記プログラムされた第１ページデータを前記複数の第１メモリセルの前記第２部分に再プログラムするように構成され、

前記第１時間は、前記第２時間と異なるメモリシステム。

【請求項２５】

前記制御器は、前記第１ページデータに対する前記ＥＣＣ動作を遂行せずに、前記第１時間に前記複数の第２メモリセルの前記第１部分から読み出された前記第１ページデータを前記複数の第１メモリセルの前記第２部分にプログラムするように構成される請求項２４に記載のメモリシステム。

【請求項２６】

前記制御器は、前記複数の第１メモリセルの前記第１部分から読み出された第３データに対する前記リードリトライ動作及び前記ＥＣＣ動作を遂行するように構成される請求項２４に記載のメモリシステム。

【請求項２７】

前記制御器は、前記複数の第１メモリセルの前記第２部分から読み出された第３データに対する前記ＥＣＣ動作を遂行するように構成される請求項２４に記載のメモリシステム。

【請求項２８】

前記複数の第１メモリセルの前記第１部分と前記複数の第１メモリセルの前記第２部分とは、同一のメモリブロックに含まれる請求項２７に記載のメモリシステム。

【請求項２９】

前記第３データは、第２ページデータに含まれ、

前記第２ページデータは、前記制御器から前記不揮発性メモリ装置に出力される請求項２７に記載のメモリシステム。

【請求項３０】

前記第１ページデータ及び前記第２ページデータの各々は、有効なページデータである請求項２９に記載のメモリシステム。