

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月8日(08.09.2017)



(10) 国際公開番号

WO 2017/150452 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
H01L 21/316 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007510
- (22) 国際出願日: 2017年2月27日(27.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-037588 2016年2月29日(29.02.2016) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 上野 勝典(UENO Katsunori); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP). 中川 清和(NAKAGAWA Kiyokazu); 〒4008510 山梨県甲府市武田四丁目4番37号 国立大学法人山梨大学内 Yamanashi (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法

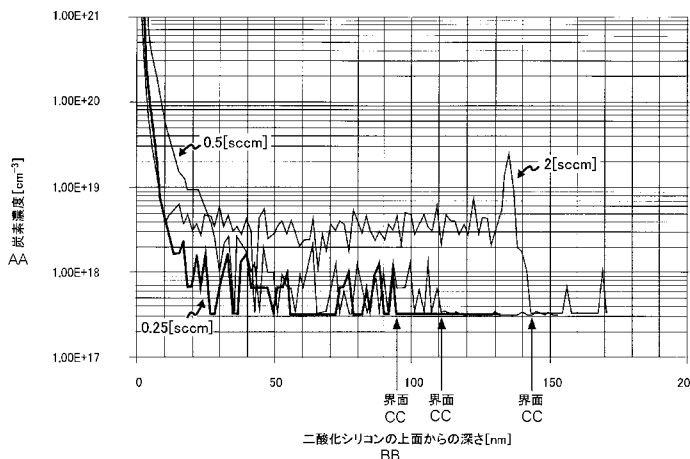


FIG. 7:
AA Carbon concentration
BB Depth from upper surface of silicon dioxide
CC Interface

(57) Abstract: A SiO₂ film may become contaminated by carbon (C) when the SiO₂ film is to be formed on a semiconductor substrate using TEOS (tetraethylorthosilicate: Si(OC₂H₅)₄). Carbon can function as a fixed charge in the SiO₂ film. For example, when carbon (C) contaminates the SiO₂ film serving as a gate insulating film of a metal-oxide-semiconductor field-effect transistor (MOSFET), there is the problem in that the gate threshold voltage (V_{th}) fluctuates. Provided is a semiconductor device which uses a gallium nitride semiconductor layer, wherein the semiconductor device has at least a portion provided in direct contact with the gallium nitride layer, and is provided with a silicon dioxide film having impurity atoms, the silicon dioxide film containing, as the impurity atoms, carbon at a concentration greater than 0 cm⁻³ and less than 2E+18 cm⁻³, and gallium at a concentration of 1E+17 cm⁻³ or less.

(57) 要約: TEOS (オルトケイ酸テトラエチル: Si(OC₂H₅)₄)を用いて半導体基板上にSiO₂膜を形成する場合、当該SiO₂膜に炭素(C)が混入する場合がある。SiO₂膜に炭素は固定電荷として機能し得る。例えば、MOSFET (Metal-Oxide-Semiconductor or Field-Effect Transistor)

nsistor)のゲート絶縁膜としてのSiO₂膜に炭素(C)が混入した場合、ゲート閾値電圧(V_{th})が変動する問題がある。窒化ガリウム半導体層を用いた半導体装置であって、少なくとも一部が窒化ガリウム半導体層に直接接して設けられ、不純物原子を有する二酸化シリコン膜を備え、二酸化シリコン膜は、不純物原子として、0 cm⁻³より大きく2E+18 cm⁻³未満の濃度の炭素と、1E+17 cm⁻³以下の濃度のガリウムを含む半導体装置を提供する。

WO 2017/150452 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

[0002] 従来、熱酸化法により二酸化シリコンのゲート絶縁膜を形成していた（例えば、特許文献 1 参照）。

[先行技術文献]

[特許文献]

[特許文献 1] 特開 2015-162578 号公報

解決しようとする課題

[0003] TEOS（オルトケイ酸テトラエチル： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）を用いて半導体基板上に二酸化シリコン（ SiO_2 ）膜を形成する場合、当該二酸化シリコン膜に炭素（C）が混入する場合がある。二酸化シリコン膜において、炭素は固定電荷として機能し得る。例えば、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）のゲート絶縁膜として二酸化シリコン膜を用いる場合、二酸化シリコン膜中の炭素に起因してゲート閾値電圧（ V_{th} ）が変動する問題がある。

一般的開示

[0004] 本発明の第 1 の態様においては、窒化ガリウム半導体層を用いた半導体装置を提供する。窒化ガリウム半導体層は、二酸化シリコン膜を備えてよい。二酸化シリコン膜は、少なくとも一部が窒化ガリウム半導体層に直接接して設けられてよい。二酸化シリコン膜は、不純物原子を有してよい。二酸化シリコン膜は、不純物原子として、 0 cm^{-3} より大きく $2\text{E}+18\text{ cm}^{-3}$ 未満の濃度の炭素を含んでよい。二酸化シリコン膜は、不純物原子として、 $1\text{E}+17\text{ cm}^{-3}$ 以下の濃度のガリウムを含んでよい。

[0005] 不純物原子の濃度は、窒化ガリウム半導体層のおもて面から 10 nm 以上

、二酸化シリコン膜の半分の厚さ未満である上方の任意の位置における濃度であってよい。

[0006] 半導体装置は、ゲート電極をさらに備えてよい。ゲート電極は、二酸化シリコン膜上に直接接して設けられてよい。窒化ガリウム半導体層は、二酸化シリコン膜が設けられたおもて面側にp型ウェル領域を有してよい。p型ウェル領域は、窒化ガリウム半導体層に対するp型不純物を有してよい。二酸化シリコン膜は、ゲート絶縁膜であってよい。ゲート絶縁膜は、ゲート電極とp型ウェル領域との間に設けられてよい。

[0007] 二酸化シリコン膜は、層間絶縁膜であってよい。層間絶縁膜は、窒化ガリウム半導体層上に設けられてよい。

[0008] 本発明の第2の態様においては、窒化ガリウム半導体層を有する半導体装置の製造方法を提供する。半導体装置の製造方法は、二酸化シリコン膜を形成する段階を備えてよい。二酸化シリコン膜は、不純物原子を有してよい。シリコン酸化の少なくとも一部は、窒化ガリウム半導体層に直接接するように形成されてよい。二酸化シリコン膜は、不純物原子として、 $2 \times 10^{18} \text{ cm}^{-3}$ 未満の濃度の炭素を含んでよい。二酸化シリコン膜は、不純物原子として、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上の濃度の炭素を含んでもよい。二酸化シリコン膜は、不純物原子として、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度のガリウムを含んでよい。

[0009] 二酸化シリコン膜を形成する段階は、シリコンの原料としてTEOSガスを供給する段階を含んでよい。

[0010] 二酸化シリコン膜を形成する段階は、酸素の原料として酸素ガスを供給し、プラズマCVDにより二酸化シリコン膜を形成する段階を含んでよい。

[0011] 二酸化シリコン膜を形成する段階において、窒化ガリウム半導体層上に二酸化シリコン膜を 5 nm/min 以下の成膜レートで形成してよい。

[0012] 二酸化シリコン膜を形成する段階において、窒化ガリウム半導体層を 300°C 以上 400°C 以下の温度で加熱してよい。

[0013] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したもので

はない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0014] [図1]第1実施形態の縦型MOSFET 100における単位構造の断面を示す図である。

[図2]第1実施形態の縦型MOSFET 100の製造フロー200を示す図である。

[図3]二酸化シリコン膜を形成する製造装置300の概要を示す図である。

[図4]製造装置300における酸素プラズマ処理期間と二酸化シリコン膜形成期間とを説明する図である。

[図5]TEOSガスの流量 $[sccm]$ （横軸）に対する二酸化シリコン膜の成膜レート $[nm/min]$ （縦軸）を示す図である。

[図6A]フラットバンド電圧を測定した素子400の概要を示す図である。

[図6B]TEOSガスの流量 $[sccm]$ （横軸）に対するフラットバンド電圧 V_{fb} $[V]$ （縦軸）を示す図である。

[図7]二酸化シリコン膜36における炭素濃度 $[cm^{-3}]$ を示す図である。

[図8]二酸化シリコン膜36におけるガリウム濃度 $[cm^{-3}]$ を示す図である。

[図9]第2実施形態の縦型MOSFET 500における単位構造の断面を示す図である。

[図10]第2実施形態の縦型MOSFET 500の製造フロー600を示す図である。

発明を実施するための形態

[0015] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0016] 図1は、第1実施形態の縦型MOSFET 100における単位構造断面を

示す図である。本例の半導体装置は、窒化ガリウムを用いたプレーナーゲート型の縦型MOSFET 100である。なお、以下において、窒化ガリウムをGa Nと略記する。本例の縦型MOSFET 100は、Ga Nのn⁺型基板10と、Ga N半導体層としてのエピタキシャル層20と、ゲート絶縁膜32および層間絶縁膜34と、ゲート電極42と、ソース電極52と、ドレイン電極62とを備える。

[0017] 本例において、nまたはpは、それぞれ電子または正孔が多数キャリアであることを意味する。また、nまたはpの右肩に記載した+または-について、+はそれが記載されていないものよりもキャリア濃度が高く、-はそれが記載されていないものよりもキャリア濃度が低いことを意味する。また、本例において、Eは10のべき乗を意味し、例えば1E+16は、 1×10^{16} を意味する。

[0018] 本例のn⁺型基板10は、Ga Nの自立基板である。Ga Nの自立基板とは、サファイア基板等の上に支持されたGa N層を有する基板ではなく、Ga Nのみを用いて形成した基板を意味してよい。ただし、Ga Nの自立基板は、Ga Nとは異なる元素の不純物を有してもよい。

[0019] 本例のn⁺型基板10は、Ga Nに対するn型不純物であるシリコン(Si)およびゲルマニウム(Ge)の一種類以上を含む。なお、Ga Nに対するp型不純物は、例えば、マグネシウム(Mg)、カルシウム(Ca)、ベリリウム(Be)および亜鉛(Zn)である。本例においては、p型不純物としてマグネシウム(Mg)を用いる。

[0020] エピタキシャル層20は、n⁺型基板10上にエピタキシャル形成されたGa N層である。本例においては、n⁺型基板10からエピタキシャル層20に向かう方向を「上」または「上方」と称し、当該方向とは反対の方向を「下」または「下方」と称する。また、本例では、領域または構成物において、「上」または「上方」に位置する部分を「頂部」と称する場合がある。また、領域または構成物において、「下」または「下方」に位置する部分を「底部」と称する場合がある。例えば、n⁻型ドリフト領域22の頂部は、n⁻型

ドリフト領域 22 における n^- 型ドリフト領域 22 とゲート絶縁膜 32 との界面近傍である。また、 n^- 型ドリフト領域 22 の底部は、 n^- 型ドリフト領域 22 における n^+ 型基板 10 と n^- 型ドリフト領域 22 との界面近傍である。

[0021] なお、本例においては、説明の便宜上、 n^+ 型基板 10 とエピタキシャル層 20 とを別個の構成物として記載する。しかしながら、他の例においては、 n^+ 型基板 10 とエピタキシャル層 20 とを合わせた構成を、Ga N 基板と称してもよい。当該他の例において、Ga N 基板の頂部は、本例のおもて面 21 近傍に対応する。また、Ga N 基板の底部は、本例のうら面 11 近傍に対応する。

[0022] 本例のエピタキシャル層 20 は、おもて面 21 側に n^- 型ドリフト領域 22 と、 n^+ 型ソース領域 24 と、 p^+ 型コンタクト領域 26 と、 p 型ウェル領域 28 とを有する。 n^- 型ドリフト領域 22 は、 n^- 型の領域である。 p 型ウェル領域 28 は、少なくとも一部がエピタキシャル層 20 のおもて面 21 に露出してよい。本例において、おもて面 21 に露出した p 型ウェル領域 28 上には、ゲート絶縁膜 32 が設けられる。おもて面 21 に露出した p 型ウェル領域 28 の近傍は、チャネル形成領域 29 として機能してよい。

[0023] p^+ 型コンタクト領域 26 は、 p 型ウェル領域 28 よりも浅い位置に設けられる。本例において、 p 型ウェル領域 28 よりも浅いとは、 p^+ 型コンタクト領域 26 の底部が p 型ウェル領域 28 の底部よりも上方に位置することを意味する。 p^+ 型コンタクト領域 26 は、エピタキシャル層 20 とソース電極 52 とのコンタクト抵抗を下げる機能を有してよい。 p^+ 型コンタクト領域 26 とソース電極 52 との界面付近においては、Ga N とソース電極 52 の金属との合金が形成されてよい。

[0024] n^+ 型ソース領域 24 は、 p^+ 型コンタクト領域 26 および p 型ウェル領域 28 よりも浅い位置に設けられる。本例において、 p^+ 型コンタクト領域 26 および p 型ウェル領域 28 よりも浅いとは、 n^+ 型ソース領域 24 の底部が、 p^+ 型コンタクト領域 26 および p 型ウェル領域 28 の底部よりも上方に位置することを意味する。また、本例において、 n^+ 型ソース領域 24 の側部は、

p⁺型コンタクト領域 26 および p 型ウェル領域 28 に接する。n⁺型ソース領域 24 は、チャネル形成時に電子がチャネル形成領域 29 からソース電極 52 に至る経路を提供してよい。

[0025] 本例のゲート絶縁膜 32 は、二酸化シリコン膜である。本例のゲート絶縁膜 32 は、底部全体がエピタキシャル層 20 のおもて面 21 に直接接して設けられる。本例のゲート絶縁膜 32 は、ゲート電極 42 と p 型ウェル領域 28 との間に設けられる。本例のゲート絶縁膜 32 は、TEOS ガスと酸素とを反応させて形成した二酸化シリコン膜 (SiO₂) である。本例の二酸化シリコン膜は、不純物原子を有する。具体的には、本例の二酸化シリコン膜は、 $2 \times 10^{18} [\text{cm}^{-3}]$ 未満の濃度の炭素を含む。

[0026] 炭素は、酸素と結びつくことにより、二酸化シリコン膜中において負の固定電荷として機能する場合がある。ゲート絶縁膜 32 中の固定電荷はゲート閾値電圧 (V_{th}) を設計値から変動させる。それゆえ、ゲート絶縁膜 32 中の固定電荷はできるだけ抑制することが望ましい。本例では、二酸化シリコン膜中の炭素の濃度を $2 \times 10^{18} [\text{cm}^{-3}]$ 未満、さらに望ましくは、 $1 \times 10^{18} [\text{cm}^{-3}]$ 以下とする。これにより、ゲート閾値電圧 (V_{th}) の設計値からのずれを抑制することができる。また、異なるチャネル形成領域 29 毎にゲート閾値電圧 (V_{th}) がばらつくことを防ぐことができる。

[0027] ゲート電極 42 は、ゲート絶縁膜 32 上に直接接して設けられる。本例のゲート電極 42 は、紙面奥または手前方向に延伸して、ゲート端子 40 に電氣的に接続する。ゲート端子 40 には、チャネル形成領域 29 においてチャネルを生成するオン信号またはチャネルを消滅させるオフ信号のゲート信号が入力されてよい。

[0028] 層間絶縁膜 34 は、ゲート電極 42 およびエピタキシャル層 20 上に設けられる。層間絶縁膜 34 は、ゲート電極 42 とソース電極 52 とを電氣的に絶縁してよい。本例の層間絶縁膜 34 は、ゲート電極 42 の頂部と、ゲート電極 42 およびゲート絶縁膜 32 の側部とを覆う。本例の層間絶縁膜 34 の底部は、エピタキシャル層 20 のおもて面 21 に直接接する。

[0029] 層間絶縁膜 34 は、酸化シリコン膜、窒化シリコン膜および樹脂膜のいずれかであってよい。本例の層間絶縁膜 34 は、ゲート絶縁膜 32 と同じ手法で形成された二酸化シリコン膜である。

[0030] ソース電極 52 は、おもて面 21 および層間絶縁膜 34 上に設けられる。本例のソース電極 52 の底部は、 n^+ 型ソース領域 24 および p^+ 型コンタクト領域 26 に直接接する。本例のソース電極 52 は、ソース端子 50 に電氣的に接続する。ソース端子 50 は、接地電位を有してよい。ドレイン電極 62 は、 n^+ 型基板 10 のうら面 11 下に直接接して設けられる。本例のドレイン電極 62 は、ドレイン端子 60 に電氣的に接続する。ドレイン端子 60 には、縦型 MOSFET 100 の通電電流に応じた電圧が印加されてよい。

[0031] 図 2 は、第 1 実施形態の縦型 MOSFET 100 の製造フロー 200 を示す図である。本例の製造方法において、段階 S10 から段階 S60 はこの順に行われる。

[0032] 段階 S10 は、 n^+ 型基板 10 上にエピタキシャル層 20 を形成する段階である。 n^+ 型基板 10 の n 型不純物濃度は、 $1E+19 [cm^{-3}]$ 以上 $1E+20 [cm^{-3}]$ 以下であってよい。エピタキシャル層 20 の n 型不純物濃度は、 $1E+16 [cm^{-3}]$ 程度であってよい。エピタキシャル層 20 は、MOCVD (Metal Organic Chemical Vapor Deposition) により形成されてよい。例えば、エピタキシャル層 20 は、トリメチルガリウム (TMG)、アンモニア (NH_3) および適切なキャリアガスを用いて、MOCVD により形成される。縦型 MOSFET 100 が 1200V の耐圧を有する場合、 n^+ 型基板 10 の厚みは $100 [\mu m]$ ~ $300 [\mu m]$ とし、エピタキシャル層 20 の厚みは $10 [\mu m]$ としてよい。

[0033] 段階 S20 は、 n^+ 型ソース領域 24、 p^+ 型コンタクト領域 26 および p 型ウェル領域 28 を形成する段階である。段階 S20 では、エピタキシャル層 20 に p 型および n 型不純物をドーピングし、その後、エピタキシャル層 20 をアニールする。これにより、 n^+ 型ソース領域 24、 p^+ 型コンタクト

領域 26 および p 型ウェル領域 28 を形成する。

- [0034] 本例では、p 型ウェル領域 28 を形成するべく、180 [keV] で加速した Mg イオンを 2×10^{14} [cm⁻²] の濃度で注入する。また、p⁺型コンタクト領域 26 を形成するべく、45 [keV] で加速した Mg イオンを 2×10^{15} [cm⁻²] の濃度で注入する。さらに、n⁺型ソース領域 24 を形成するべく、45 [keV] で加速した Si イオンを 5×10^{15} [cm⁻²] の濃度で注入する。なお、イオン注入に際しては、所定の開口パターンを有するフォトリソマスクを用いてよい。
- [0035] イオン注入後に、おもて面 21 にキャップ層を設ける。キャップ層は、二酸化シリコンであってよい。その後、エピタキシャル層 20 をアニールする。これにより、n 型不純物濃度が 1×10^{20} [cm⁻³] の n⁺型ソース領域 24、p 型不純物濃度が 4×10^{19} [cm⁻³] の p⁺型コンタクト領域 26、および、p 型不純物濃度が 1×10^{17} [cm⁻³] の p 型ウェル領域 28 を形成してよい。なお、アニール後においてキャップ層は除去してよい。
- [0036] 段階 S30 は、ゲート絶縁膜 32 を形成する段階である。上述の様に、本例のゲート絶縁膜 32 は、二酸化シリコン膜である。二酸化シリコン膜は、成膜後において、ゲート絶縁膜 32 の形状にパターニングする。
- [0037] 本例において、二酸化シリコン膜を形成する段階は、シリコンの原料として TEOS ガスを供給する段階を含む。本例のエピタキシャル層 20 は、GaN 材料からなる。それゆえ、エピタキシャル層 20 を熱酸化することによりエピタキシャル層 20 上にゲート絶縁膜 32（二酸化シリコン膜）を形成することはできない。
- [0038] 本例において、二酸化シリコン膜を形成する段階は、酸素の原料として酸素ガスを供給し、プラズマ CVD (Chemical Vapor Deposition) により二酸化シリコン膜を形成する段階をさらに含む。すなわち、本例においては、シリコンの原料として TEOS ガスを用い、かつ、酸素の原料として酸素 (O₂) ガスを用いて、プラズマ CVD により二酸化シリコン膜を形成する。

[0039] ただし、本例の二酸化シリコン成膜においては、エピタキシャル層 20 のガリウムが二酸化シリコン膜中に取り込まれる。二酸化シリコン膜中において、ガリウムは正電荷として機能する。本例では、後述のように成膜レートを工夫することにより、二酸化シリコン膜中のガリウムの濃度を減少させることができる。これにより、ゲート閾値電圧 (V_{th}) の設計値からのずれを抑制することができる。なお、本例の二酸化シリコン膜の形成については、図 3 から図 5 において詳しく述べる。

[0040] 段階 S 40 は、ゲート電極 42 を形成する段階である。ゲート電極 42 はポリシリコンであってよい。ゲート絶縁膜 32 上にポリシリコンを成膜した後、ゲート電極 42 の形状にパターニングしてよい。

[0041] 段階 S 50 は、層間絶縁膜 34 を形成する段階である。本例の層間絶縁膜 34 は、ゲート絶縁膜 32 と同じプラズマ CVD により形成された二酸化シリコン膜である。ゲート電極 42 上に層間絶縁膜 34 を成膜した後、ゲート電極 42 の頂部とゲート電極 42 およびゲート絶縁膜 32 の側部とに残るように、層間絶縁膜 34 をパターニングしてよい。

[0042] 段階 S 60 は、ソース電極 52 およびドレイン電極 62 を形成する段階である。本例のソース電極 52 およびドレイン電極 62 は、Ti (チタン) 層および Al (アルミニウム) 層の積層体であってよい。ソース電極 52 においては、Ti 層がおもて面 21 に直接接して設けられ、Al 層が当該 Ti 層上に設けられてよい。また、ドレイン電極 62 においては、Ti 層がうら面 11 に直接接して設けられ、Al 層が当該 Ti 層の下に設けられてよい。これにより、縦型 MOSFET 100 が完成する。

[0043] 図 3 は、二酸化シリコン膜を形成する製造装置 300 の概要を示す図である。本例の製造装置 300 は、反応チャンバ 311、温度調節部 330、真空装置 340、マイクロ波発生器 350、導波路 352 およびプラズマ発生チャンバ 354 を有する。

[0044] 反応チャンバ 311 は、内部に Al からなるペDESTAL 312 を有する。ワーク (work) 310 は、ペDESTAL 312 上において静電吸着を利用

して固定されてよい。ワーク310は、 n^+ 型基板10およびエピタキシャル層20を含む。ペDESTAL312内部にはヒータ320が設けられる。

[0045] 温度調節部330はヒータ320の温度を100 [°C] から450 [°C] の範囲で制御することができる。ペDESTAL312は熱伝導性が非常に優れているので、ヒータ320の温度はワーク310の温度と見なすことができる。本例の温度調節部330は、ゲート絶縁膜32および層間絶縁膜34としての二酸化シリコン膜を形成する段階において、ワーク310を300 [°C] 以上400 [°C] 以下の温度で加熱する。真空装置340は、反応チャンバ311内の気体を排気口314から吸引する。真空装置340は、反応チャンバ311内の気圧を200 [Pa] から300 [Pa] に制御してよい。

[0046] マイクロ波発生器350は、導波路352を介してプラズマ発生チャンバ354に接続している。マイクロ波発生器350は、導入口356からプラズマ発生チャンバ354に導入される酸素(O_2)をプラズマ化する。プラズマ化された酸素は反応チャンバ311内部へ進む。プラズマ化された酸素を、反応チャンバ311内においてラジカル酸素として示す。

[0047] 導入口316から反応チャンバ311へは、TEOSガスが導入される。反応チャンバ311内において、TEOSはラジカル酸素と反応する。これにより、エピタキシャル層20のおもて面21において二酸化シリコン膜が堆積する。

[0048] 図4は、製造装置300における酸素プラズマ処理期間と二酸化シリコン膜形成期間とを説明する図である。横軸は時間を示し、縦軸はガスの種類を示す。本例では、時刻T1から時刻T3まで連続的に反応チャンバ311に流量90 [sccm] で酸素ガスを供給する。本例において、時刻T1から時刻T2までは酸素プラズマ処理期間である。また、時刻T2から時刻T3まで、流量0.25 [sccm] から2 [sccm] で反応チャンバ311にTEOSガスを供給する。本例において、時刻T2から時刻T3までは二酸化シリコン膜形成期間である。

[0049] 図5は、TEOSガスの流量 [sccm] (横軸) に対する二酸化シリコン膜の成膜レート [nm/min] (縦軸) を示す図である。四角のプロットで示す上側のグラフは、ワーク310を300 [°C] で加熱した場合の結果である。また、ひし形のプロットで示す下側のグラフは、ワーク310を400 [°C] で加熱した場合の結果である。

[0050] TEO Sガスの流量と、エピタキシャル層20のおもて面21への単位時間当たりの吸着率とには、正の相関がある。それゆえ、TEOSガスの流量が高いほど、成膜レートは高くなる。また、ワーク310の温度と、エピタキシャル層20のおもて面21への単位時間当たりの吸着率とには、負の相関がある。それゆえ、ワーク310の温度が高いほど、成膜レートは低くなる。図5から明らかなように、400 [°C] の成膜レートが300 [°C] の成膜レートよりも低い。

[0051] Si基板を用いたMOSFETにおいては、プラズマCVDにおいてTEOSガスを用いて層間絶縁膜としての二酸化シリコン膜を作成する場合がある。当該二酸化シリコン膜は、熱酸化膜と比べて低温で形成することができる。また、当該二酸化シリコン膜は、形成成膜面およびこれよりも以下に位置する構造物に対して低ダメージで形成することができる。しかしながら、上述の様にプラズマCVDにおいてTEOSガスを用いて形成する二酸化シリコン膜は、炭素等の固定電荷を取り込む問題がある。それゆえ、プラズマCVDにおいてTEOSガスを用いて形成する二酸化シリコン膜は、層間絶縁膜に用いられるものの、ゲート絶縁膜には用いられなかった。

[0052] 本願の発明者の実験結果によれば、二酸化シリコンの成膜レートが高いほど、TEOSガス中の炭素は二酸化シリコン膜中に取り込まれやすいことが判明した。それゆえ、本例では、成膜レートを考慮してTEOSガスの流量とワーク310の温度とを制御する。これにより、二酸化シリコン中の炭素濃度を制御した。

[0053] また、本願の発明者の実験結果によれば、二酸化シリコンの成膜レートが高いほど、ガリウムは二酸化シリコン膜中に取り込まれやすいことが判明し

た。なお、二酸化シリコン膜へのガリウムの混入は、GaN層上に二酸化シリコン膜を形成する場合に固有の課題である。つまり、二酸化シリコン膜へのガリウムの混入は、Si基板のMOSFETおよびSiC基板のMOSFET等では生じない。

[0054] そこで、本例においては、二酸化シリコン膜を形成する段階において、エピタキシャル層20上に二酸化シリコン膜を5[nm/min]以下の成膜レートで形成する。具体的には、成膜レートを、5[nm/min]、2.5[nm/min]または1[nm/min]としてよい。本願の発明者は、後述するように、ワーク310の温度が300[°C]である場合、TEOSガスの流量は、0.5[sccm]以下とすると、固定電荷が許容可能な量にまで低減することを見出した。具体的には、膜中の電荷量等を評価する指標であるフラットバンド電圧 V_{fb} を、1[V]以下とすることができた。

[0055] 本実験結果によれば、5[nm/min]の成膜レートを実現するべく、ワーク310の温度が400[°C]である場合、TEOSガスの流量は、0.25[sccm]以上1[sccm]以下としてよい。また、ワーク310の温度が300[°C]である場合、TEOSガスの流量は、0.25[sccm]以上0.5[sccm]以下としてよい。本実験結果を考慮すると、ワーク310の温度が300[°C]以上400[°C]以下において、TEOSガスの流量の最大値は0.5[sccm]以上1[sccm]以下としてよいと言え、TEOSガスの流量の最小値は、0.25[sccm]としてよいと言える。

[0056] 図6Aは、フラットバンド電圧を測定した素子400の概要を示す図である。本実験においては、GaNの n^+ 型基板10上に n^- 型GaNのエピタキシャル層20を設けた。なお、エピタキシャル層20に、 n^+ 型ソース領域24、 p^+ 型コンタクト領域26および p 型ウェル領域28は設けていない。さらに、当該エピタキシャル層20上に上述の手法で二酸化シリコン膜36を成膜した。なお、二酸化シリコン膜36の成膜時におけるワーク310の温

度は、300 [°C] とした。加えて、二酸化シリコン膜36上にAlの金属層44を設けた。

[0057] 金属層44とn⁺型基板10との間に可変電圧を印加して、MOSキャパシタとしての素子400の容量 - 電圧 (C - V) 特性を評価した。素子400は、TEOSガスの流量を2 [sccm]、1 [sccm] および0.5 [sccm] とした3種類の素子400を準備した。最初に、3種類の素子400のC - V特性を評価した。次に、当該3種類の素子400を、400 [°C] でアニールした。なお、アニール時の雰囲気ガスは、10 [vol%] の水素 (H₂) および90 [vol%] の窒素 (N₂) を用いた。また、雰囲気圧力は1気圧とした。そして、アニール後の3種類の素子400のC - V特性を評価した。

[0058] 上述のように、二酸化シリコン膜36中の炭素は負電荷として機能すると考えられている。これに対して、二酸化シリコン膜36中において、炭素と水素とが結合した場合に、炭素は正電荷として機能すると考えられている。また、上術のように二酸化シリコン膜36中のガリウムは負電荷として機能すると考えられている。

[0059] 図6Bは、TEOSガスの流量 [sccm] (横軸) に対するフラットバンド電圧 V_{fb} [V] (縦軸) を示す図である。上述の様に、本実験においては、TEOSガスの流量を2 [sccm]、1 [sccm] および0.5 [sccm] とし、それぞれアニール前およびアニール後の V_{fb} を測定した。ひし形のプロットで示す上側のグラフが、アニール前の V_{fb} である。また、四角のプロットで示す下側のグラフが、アニール後の V_{fb} である。

[0060] V_{fb} が正である場合、二酸化シリコン膜36において負電荷が正電荷よりも多いことを意味する。つまり、 V_{fb} が正のとき、二酸化シリコン膜36中の主要な固定電荷は負電荷である。また、 V_{fb} が負である場合、二酸化シリコン膜36において正電荷が負電荷よりも多いことを意味する。つまり、 V_{fb} が負のとき、二酸化シリコン膜36中の主要な固定電荷は正電荷である。

[0061] V_{fb} の絶対値が小さいほど、二酸化シリコン膜36中には固定電荷が少な

い。本例においては、TEOSガスの流量が0.5 [sccm]の場合に、他の流量の例と比較して V_{fb} が最も小さくなった。具体的には、アニール前における0.5 [sccm]の条件で V_{fb} が1 [V]となった。また、アニール後における0.5 [sccm]の条件で V_{fb} が-1.2 [V]となった。

[0062] 縦型MOSFET 100の製造においては水素雰囲気下でのアニールは行われぬ。それゆえ、縦型MOSFET 100におけるゲート絶縁膜32としての二酸化シリコン膜36の V_{fb} の絶対値は1 [V]であると見なしてよい。加えて、実験結果から明らかなように、TEOSガスの流量が2 [sccm]から0.5 [sccm]と減少するにつれて V_{fb} の絶対値も減少するので、TEOSガスの流量が0.5 [sccm]以下において V_{fb} の絶対値は1 [V]以下であると言える。それゆえ、TEOSガスの流量が0.25 [sccm]で形成された二酸化シリコン膜36も、 V_{fb} の絶対値は1 [V]以下であると言える。

[0063] 図7は、二酸化シリコン膜36における炭素濃度 [cm^{-3}]を示す図である。横軸は、二酸化シリコン膜36の上面からの深さ [nm]を示す。縦軸は、炭素濃度 [cm^{-3}]を示す。炭素濃度は、SIMS (Secondary Ion Mass Spectrometry)により評価した。二酸化シリコン膜36成膜時のワーク310の温度は、300 [°C]とした。図6Aと同様に、TEOSガスの流量を2 [sccm]、0.5 [sccm]および0.25 [sccm]とした3種類の素子400を準備した。2 [sccm]および0.5 [sccm]のデータを細線で示し、0.25 [sccm]のデータを太線で示した。

[0064] 図7の横軸において、二酸化シリコン膜36とエピタキシャル層20との界面の位置は、TEOSガスの流量に応じて異なる。2 [sccm]における当該界面の位置は、深さ144 [nm]の位置である。0.5 [sccm]における当該界面の位置は、深さ111 [nm]の位置である。また、0.25 [sccm]における当該界面の位置は、深さ94 [nm]の位置で

ある。

[0065] 本実験において、炭素の検出限界は $5 \text{ E} + 17 [\text{cm}^{-3}]$ であった。なお、本実験では検出限界以下の不純物濃度も検出されているが、検出限界以下の不純物濃度は信頼性のある正確な濃度ではない。また、横軸の $0 [\text{nm}]$ 以上 $30 [\text{nm}]$ 以下の領域では、表面汚染の影響で正常なデータが得られなかった。それゆえ、当該領域の数値は、考慮に入れないものとする。

[0066] 本実験結果から明らかなように、TEOSガスの流量が多いほど、二酸化シリコン膜36中に炭素が取り込まれやすいと言える。本実験において、 $0.25 [\text{sccm}]$ の場合に、二酸化シリコン膜36における炭素は、 $2 \text{ E} + 18 [\text{cm}^{-3}]$ 未満となった。なお、実験では、ノイズおよび異常値も取得した上でデータがプロットされている。それゆえ、ノイズおよび異常値の影響を排除した数値で炭素濃度を評価してもよい。例えば、二酸化シリコン膜36において界面から所定の長さ上の位置までにおける炭素濃度の算術平均または対数平均が、二酸化シリコン膜36の炭素濃度であるとしてよい。例えば、界面から $50 [\text{nm}]$ 上の位置までの算術平均で評価するならば、 $0.25 [\text{sccm}]$ の場合の炭素濃度は、 $1 \text{ E} + 18 [\text{cm}^{-3}]$ 以下であると言える。TEOSガスの流量が $0.5 [\text{sccm}]$ の場合においても、ノイズおよび異常値が取得されていることを考慮すれば、二酸化シリコン膜36における炭素濃度は $1 \text{ E} + 18 [\text{cm}^{-3}]$ 以下であると評価することができる。

[0067] なお、TEOSガスの流量が、 $0.25 [\text{sccm}]$ の場合、深さ 30 nm の位置は、深さ 94 nm である界面から 64 nm 上方に位置する ($94 (\text{界面}) \text{ nm} - 30 \text{ nm} = 64 \text{ nm}$)。すなわち、エピタキシャル層20との界面から 64 nm 未満である界面の上方の任意の位置において、二酸化シリコン膜36の炭素濃度は、 $2 \text{ E} + 18 [\text{cm}^{-3}]$ 未満である。また、本例の二酸化シリコン膜36の厚みは 94 nm であるので、その半分の厚さは 47 nm である。それゆえ、エピタキシャル層20との界面から二酸化シリコン膜36の半分の厚さ未満である上方の任意の位置において、二酸化シリコン

膜36の炭素濃度は $2 \times 10^{18} [\text{cm}^{-3}]$ 未満である。

[0068] TEOSガスは、シランガスと異なり炭素を含む。それゆえ、TEOSガスを用いて形成された二酸化シリコン膜36の炭素濃度は、所定の濃度以上である。例えば、TEOSガスを用いて形成された二酸化シリコン膜36の炭素濃度は、 $0 [\text{cm}^{-3}]$ より大きいと言える。それゆえ、本例の二酸化シリコン膜36は、エピタキシャル層20との界面から64nm未満である（または、二酸化シリコン膜36の半分の厚さ未満である）界面の上方の任意の位置において、二酸化シリコン膜36の炭素濃度は、 $0 [\text{cm}^{-3}]$ より大きく $2 \times 10^{18} [\text{cm}^{-3}]$ 未満であってよく、 $1 \times 10^{17} [\text{cm}^{-3}]$ 以上 $2 \times 10^{18} [\text{cm}^{-3}]$ 未満であってよく、 $3 \times 10^{17} [\text{cm}^{-3}]$ 以上 $2 \times 10^{18} [\text{cm}^{-3}]$ 未満であってよく、 $5 \times 10^{17} [\text{cm}^{-3}]$ 以上 $2 \times 10^{18} [\text{cm}^{-3}]$ 未満であってよい。

[0069] 図8は、二酸化シリコン膜36におけるガリウム濃度 $[\text{cm}^{-3}]$ を示す図である。横軸は、二酸化シリコン膜36の上面からの深さ $[\text{nm}]$ を示す。縦軸は、ガリウム濃度 $[\text{cm}^{-3}]$ を示す。ガリウム濃度は、SIMS (Secondary Ion Mass

Spectrometry)により評価した。二酸化シリコン膜36成膜時のワーク310の温度は、 $300 [^{\circ}\text{C}]$ とした。図6Aと同様に、TEOSガスの流量を $2 [\text{sccm}]$ 、 $0.5 [\text{sccm}]$ および $0.25 [\text{sccm}]$ とした3種類の素子400を準備した。 $2 [\text{sccm}]$ および $0.5 [\text{sccm}]$ のデータを細線で示し、 $0.25 [\text{sccm}]$ のデータを太線で示した。

[0070] 本実験において、ガリウムの検出限界は $8 \times 10^{15} [\text{cm}^{-3}]$ であった。なお、図8においては、二酸化シリコン膜36とエピタキシャル層20との界面を、 $2 [\text{sccm}]$ 、 $0.5 [\text{sccm}]$ および $0.25 [\text{sccm}]$ の各データにおいて一致させている。横軸右方向において、グラフを外挿すると、ガリウム濃度はピークから減衰して一定値に漸近する。本実験においては、ガリウム濃度の当該一定値を横軸左方向に外挿した場合のグラフとの

交点が、二酸化シリコン膜36とエピタキシャル層20との界面である。界面は、横軸の128[nm]の位置に相当する。なお、横軸の0[nm]以上60[nm]以下の領域では、表面汚染の影響で正常なデータが得られなかった。それゆえ、当該領域の数値は、考慮に入れないものとする。

[0071] 本実験結果から明らかなように、TEOSガスの流量が多いほど、二酸化シリコン膜36中にガリウムが取り込まれやすいと言える。本実験において、0.25[sccm]の場合に、GaNのエピタキシャル層20のおもて面21から10[nm]以上上方の位置において、二酸化シリコン膜36におけるガリウム濃度が $1\text{E}+17[\text{cm}^{-3}]$ 以下となった。なお、二酸化シリコン膜36とGaNエピタキシャル層20との界面近傍ではガリウムの濃度が高すぎるので、本実験例では界面から10[nm]離れた深さ118[nm]の位置を選択した。

[0072] すなわち、0.25[sccm]の場合に、深さ118[nm]の位置から深さ60[nm]の位置までの範囲におけるガリウム濃度が $1\text{E}+17[\text{cm}^{-3}]$ 以下となった。本実験結果によれば、0.25[sccm]の場合に、当該範囲におけるガリウム濃度は、 $3\text{E}+16[\text{cm}^{-3}]$ 以下であるとも言える。さらに、ノイズおよび異常値を考慮すれば、0.25[sccm]の場合に、当該範囲におけるガリウム濃度は、 $2\text{E}+16[\text{cm}^{-3}]$ 以下であるとも言える。

[0073] なお、TEOSガスの流量が0.25[sccm]の場合、深さ60nmの位置は、深さ位置128nmである界面から68nm上方に位置する(128(界面)nm-60nm=68nm)。すなわち、エピタキシャル層20との界面から10nm以上68nm未満である界面の上方の全ての位置において、二酸化シリコン膜36のガリウム濃度は $1\text{E}+17[\text{cm}^{-3}]$ 以下である。また、本例の二酸化シリコン膜36の厚みは128nmであるので、その半分の厚さは64nmである。それゆえ、エピタキシャル層20との界面から10nm以上二酸化シリコン膜36の半分の厚さ未満である上方の任意の位置において、二酸化シリコン膜36のガリウム濃度は $1\text{E}+17[$

cm^{-3}] 以下である。

[0074] なお、エピタキシャル層 20 との界面から二酸化シリコン膜 36 の半分の厚さ（即ち、界面から 64 nm 上方）の位置までにおいては、上述の炭素濃度の範囲も満たす。それゆえ、二酸化シリコン膜 36 中に含まれる不純物原子の濃度は、エピタキシャル層 20 との界面から 10 nm 以上二酸化シリコン膜 36 の半分の厚さ未満である上方の任意の位置において、上述の範囲の炭素濃度およびガリウム濃度を満たしてよい。

[0075] 図 9 は、第 2 実施形態の縦型 MOSFET 500 における単位構造断面を示す図である。本例の半導体装置は、Ga N を用いたトレンチゲート型の縦型 MOSFET 500 である。本例においては、エピタキシャル層 20 中にトレンチ部 70 が設けられる。二酸化シリコン膜であるゲート絶縁膜 32 は、トレンチ部 70 の底部および側部に直接接して設けられる。ゲート電極 42 は、ゲート絶縁膜 32 に接して、トレンチ部 70 の内部に設けられる。トレンチ部 70 の側部におけるゲート絶縁膜 32 は、ゲート電極 42 の側部と n^+ 型ソース領域 24 および p 型ウェル領域 28 との間に位置する。チャネル形成領域 29 は、トレンチ部 70 の側部における p 型ウェル領域 28 に位置する。層間絶縁膜 34 は、トレンチ部 70 上に設けられる。本例の層間絶縁膜 34 は、ゲート絶縁膜 32 およびゲート電極 42 の上部と、 n^+ 型ソース領域 24 の上部とに直接接する。係る点が、第 1 実施形態と異なる。他の点は、第 1 実施形態と同じであってよい。ゲート絶縁膜 32 および層間絶縁膜 34 としての二酸化シリコン膜は、第 1 実施形態の二酸化シリコン膜であってよい。

[0076] 図 10 は、第 2 実施形態の縦型 MOSFET 500 の製造フロー 600 を示す図である。本例は、段階 S10 と段階 S30 との間にトレンチ部 70 を形成する段階 S12 を有する。また、本例において、 n^+ 型ソース領域 24、 p^+ 型コンタクト領域 26 および p 型ウェル領域 28 を形成する段階 S42（製造フロー 200 における段階 S20 に相当する）は、ゲート電極 42 を形成する段階 S40 と層間絶縁膜 34 を形成する段階 S50 との間に位置する

。係る点が、第1実施形態と異なる。他の点は、第1実施形態と同じであってよい。本例においても、第1実施形態と同様の効果を得ることができる。

[0077] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0078] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0079] 10・・・n⁺型基板、11・・・うら面、20・・・エピタキシャル層、21・・・おもて面、22・・・n⁻型ドリフト領域、24・・・n⁺型ソース領域、26・・・p⁺型コンタクト領域、28・・・p型ウェル領域、29・・・チャンネル形成領域、32・・・ゲート絶縁膜、34・・・層間絶縁膜、36・・・二酸化シリコン膜、40・・・ゲート端子、42・・・ゲート電極、44・・・金属層、50・・・ソース端子、52・・・ソース電極、60・・・ドレイン端子、62・・・ドレイン電極、70・・・トレンチ部、100・・・縦型MOSFET、200・・・製造フロー、300・・・製造装置、310・・・ワーク、311・・・反応チャンバ、312・・・ペDESTAL、314・・・排気口、316・・・導入口、320・・・ヒータ、330・・・温度調節部、340・・・真空装置、350・・・マイクロ波発生器、352・・・導波路、354・・・プラズマ発生チャンバ、356・・・導入口、400・・・素子、500・・・縦型MOSFET、600・・・製造フロー

請求の範囲

- [請求項1] 窒化ガリウム半導体層を用いた半導体装置であって、
 少なくとも一部が前記窒化ガリウム半導体層に直接接して設けられ、
 不純物原子を有する二酸化シリコン膜を備え、
 前記二酸化シリコン膜は、前記不純物原子として 0 cm^{-3} より大きく $2 \times 10^{18} \text{ cm}^{-3}$ 未満の濃度の炭素と、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度のガリウムとを含む半導体装置。
- [請求項2] 前記不純物原子の濃度は、前記窒化ガリウム半導体層のおもて面から 10 nm 以上前記二酸化シリコン膜の半分の厚さ未満である上方の任意の位置における濃度である
請求項1に記載の半導体装置。
- [請求項3] 前記二酸化シリコン膜上に直接接して設けられたゲート電極をさらに備え、
 前記窒化ガリウム半導体層は、前記二酸化シリコン膜が設けられたおもて面側に、前記窒化ガリウム半導体層に対する p 型不純物を有する p 型ウェル領域を有し、
 前記二酸化シリコン膜は、前記ゲート電極と前記 p 型ウェル領域との間に設けられるゲート絶縁膜である
請求項1または2に記載の半導体装置。
- [請求項4] 前記二酸化シリコン膜は、前記窒化ガリウム半導体層上に設けられる層間絶縁膜である
請求項1または2に記載の半導体装置。
- [請求項5] 窒化ガリウム半導体層を有する半導体装置の製造方法であって、
 不純物原子を有する二酸化シリコン膜を、前記二酸化シリコン膜の少なくとも一部が前記窒化ガリウム半導体層に直接接するように形成する段階を備え、
 前記二酸化シリコン膜を形成する段階は、シリコンの原料として T

E O S ガスを供給する段階を含み、

前記二酸化シリコン膜は、前記不純物原子として $2 \times 10^{18} \text{ cm}^{-3}$ 未満の濃度の炭素と、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の濃度のガリウムとを含む

半導体装置の製造方法。

[請求項6] 前記二酸化シリコン膜を形成する段階は、酸素の原料として酸素ガスを供給し、プラズマ C V D により前記二酸化シリコン膜を形成する段階を含む

請求項 5 に記載の半導体装置の製造方法。

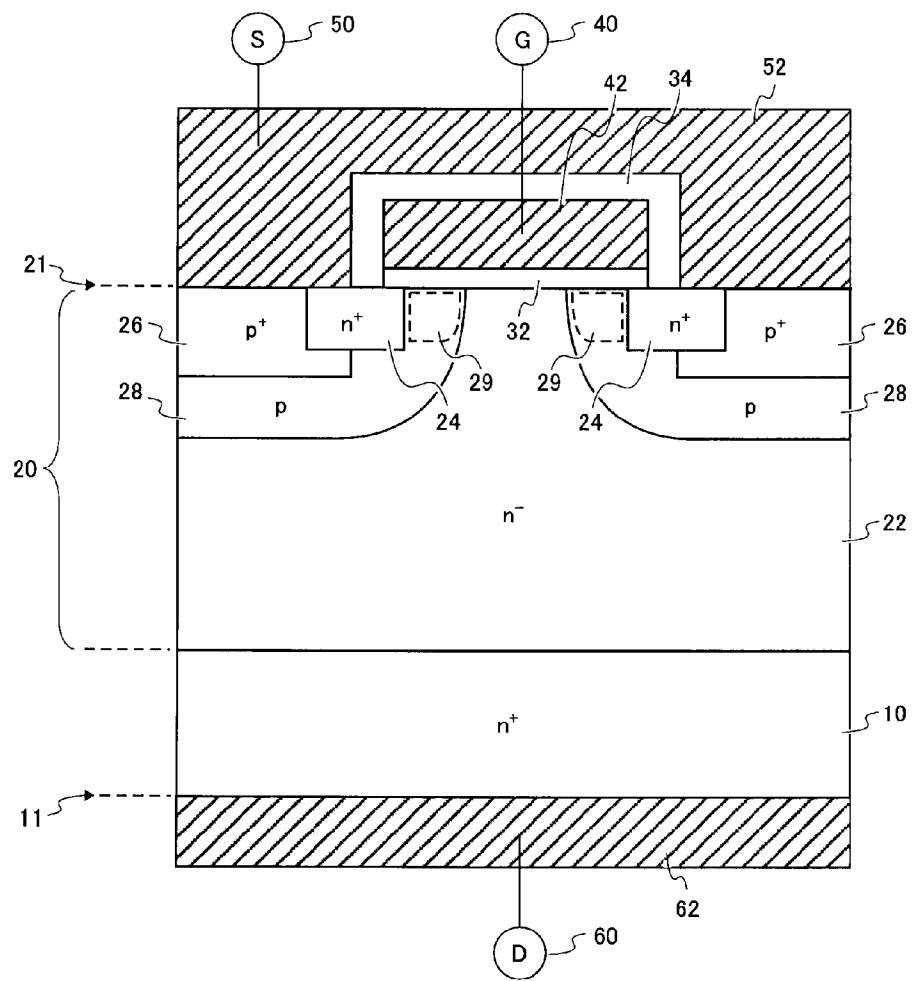
[請求項7] 前記二酸化シリコン膜を形成する段階において、前記窒化ガリウム半導体層上に前記二酸化シリコン膜を 5 nm/min 以下の成膜レートで形成する

請求項 5 または 6 に記載の半導体装置の製造方法。

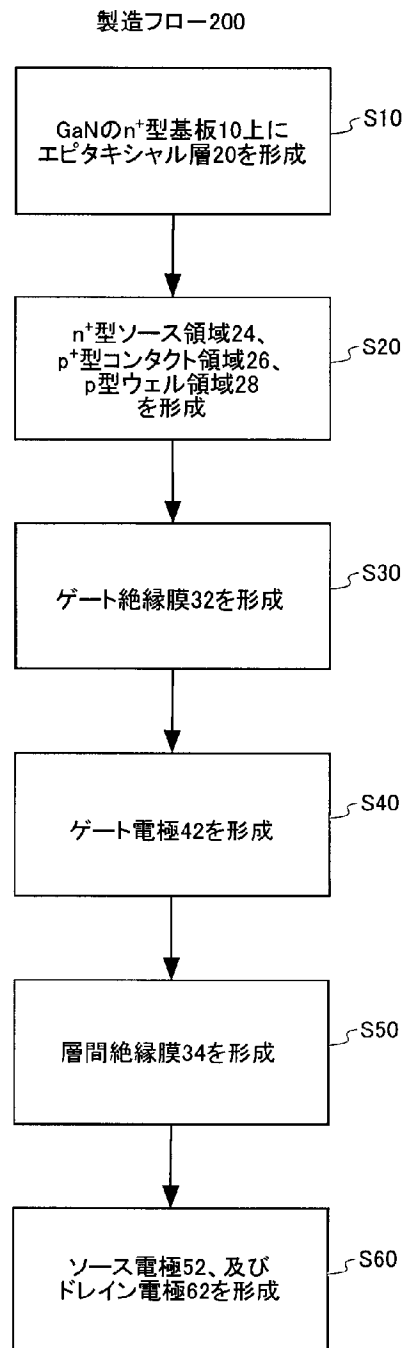
[請求項8] 前記二酸化シリコン膜を形成する段階において、前記窒化ガリウム半導体層を 300°C 以上 400°C 以下の温度で加熱する

請求項 5 から 7 のいずれか一項に記載の半導体装置の製造方法。

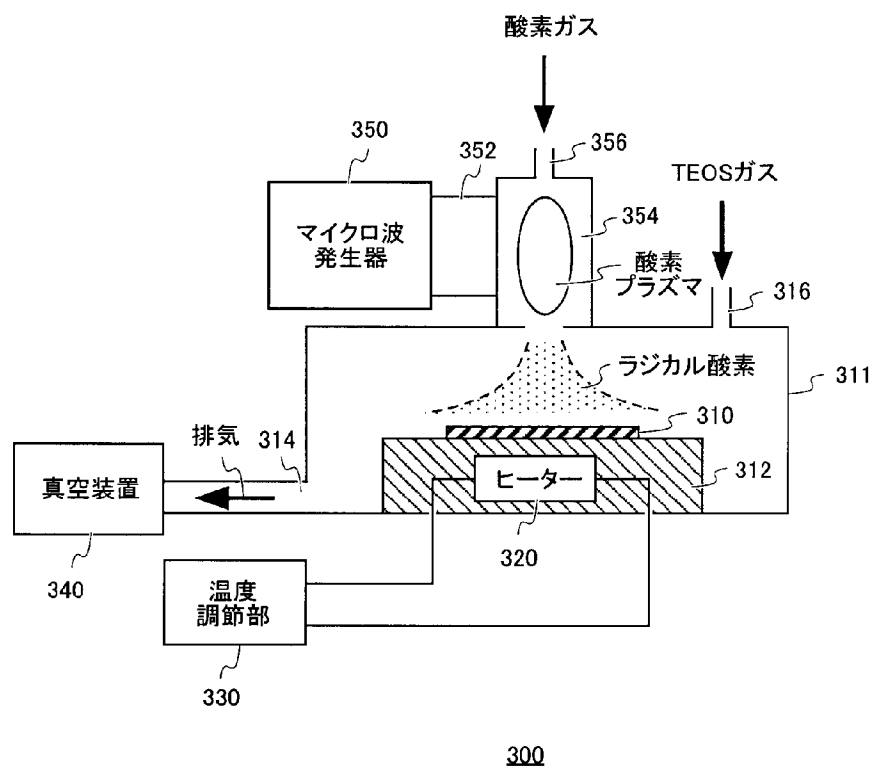
[図1]

100

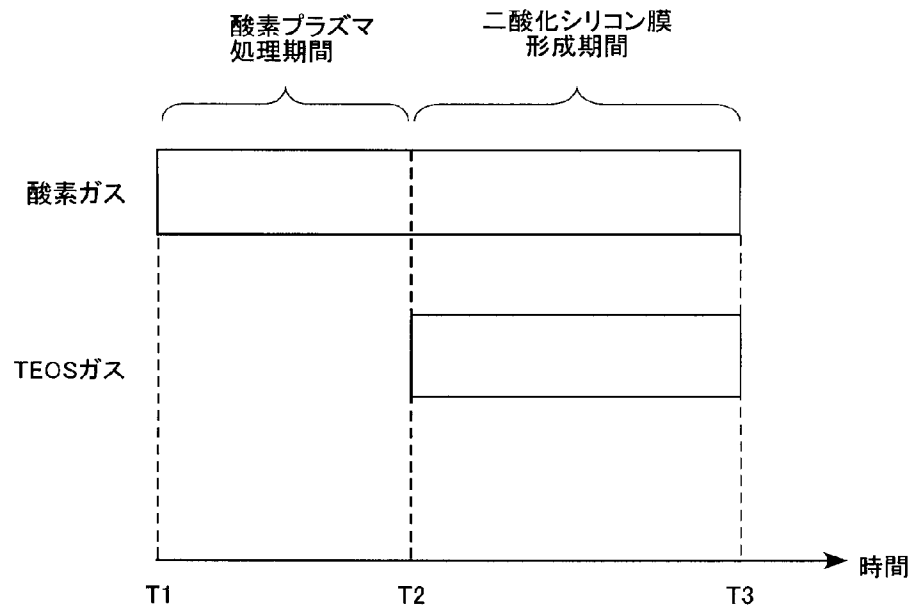
[図2]



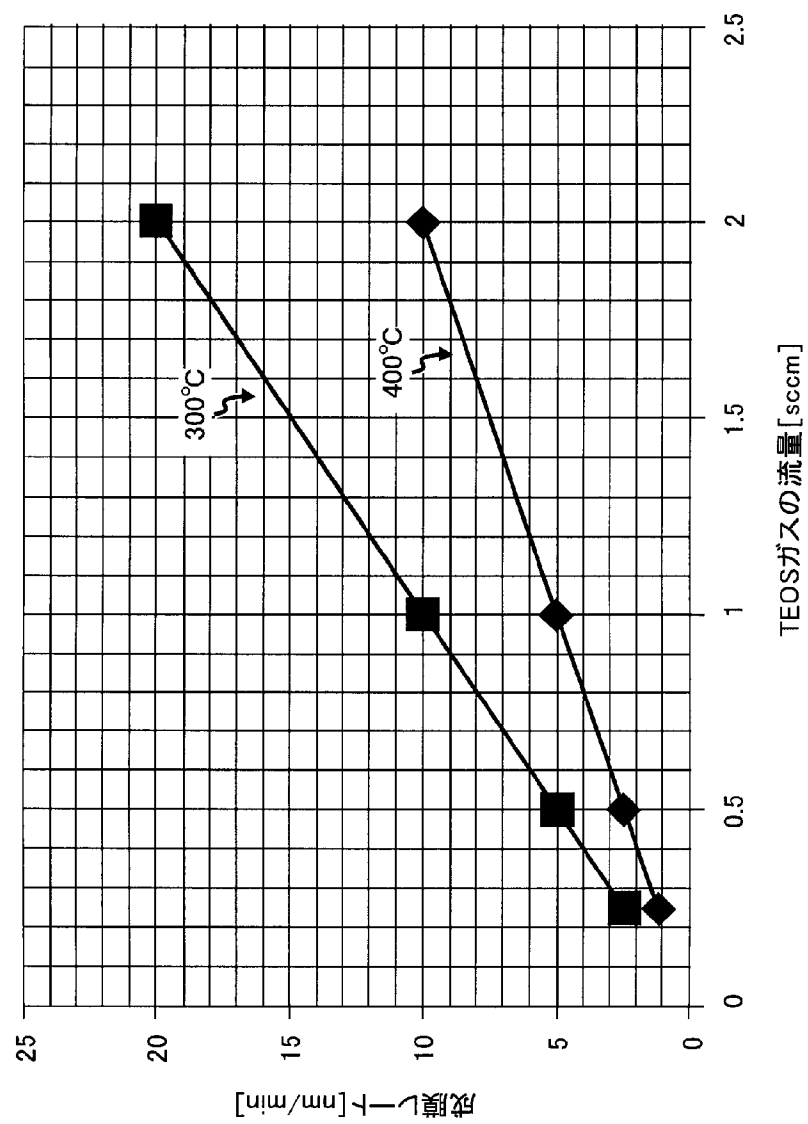
[図3]



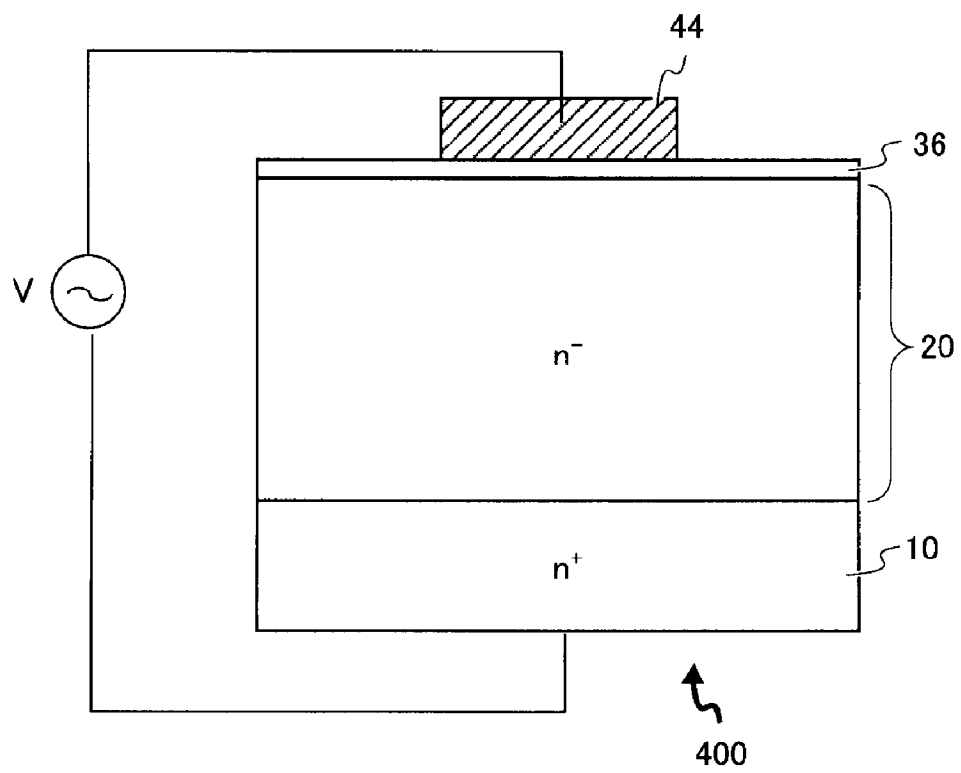
[図4]



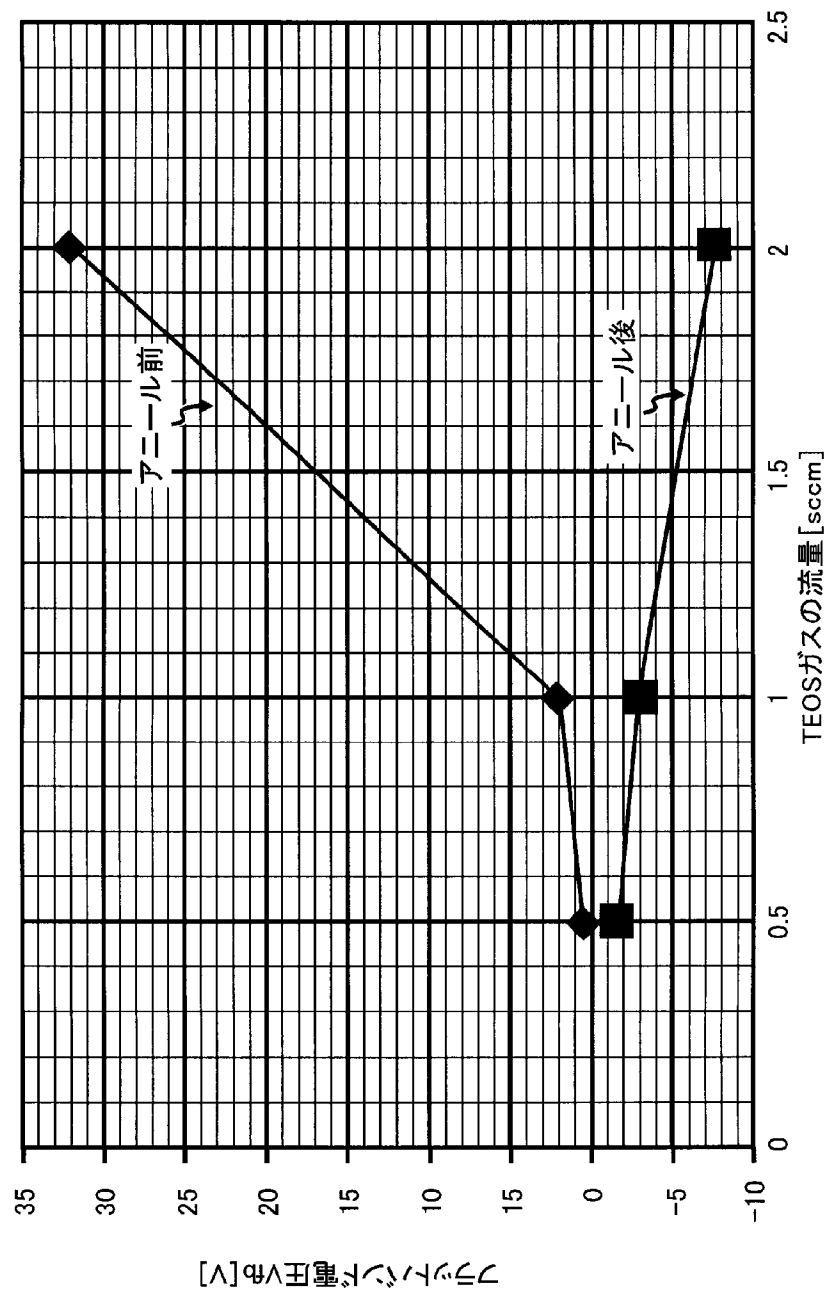
[図5]



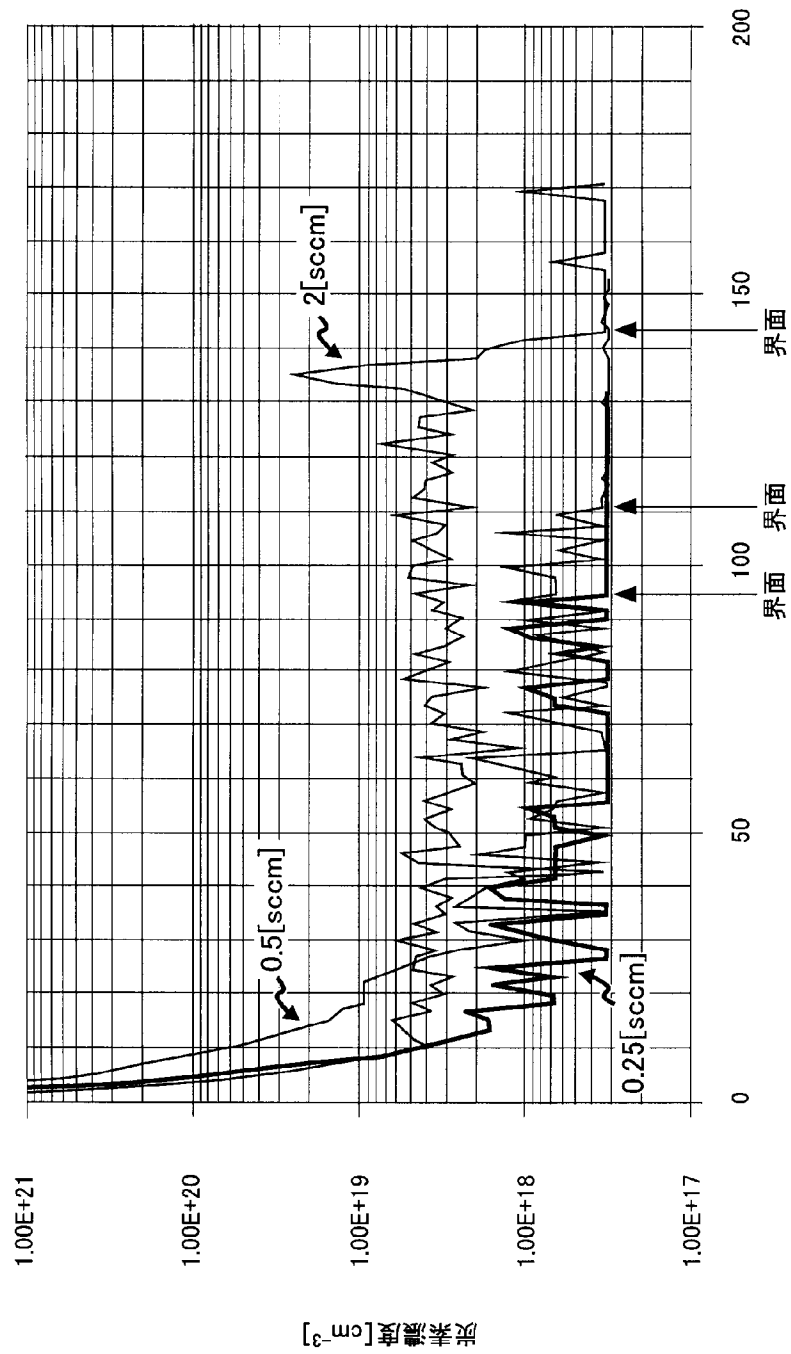
[図6A]



[図6B]

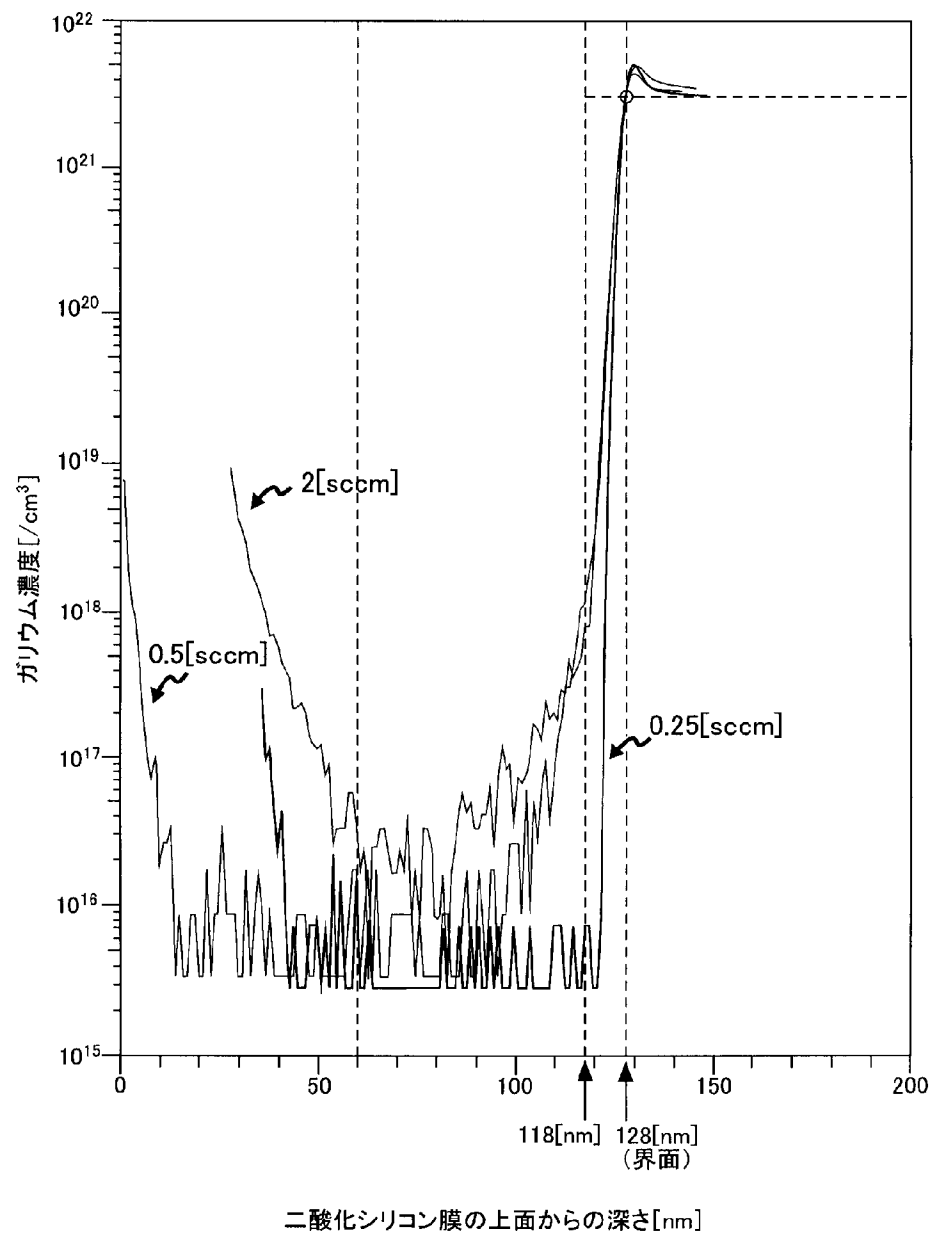


[図7]



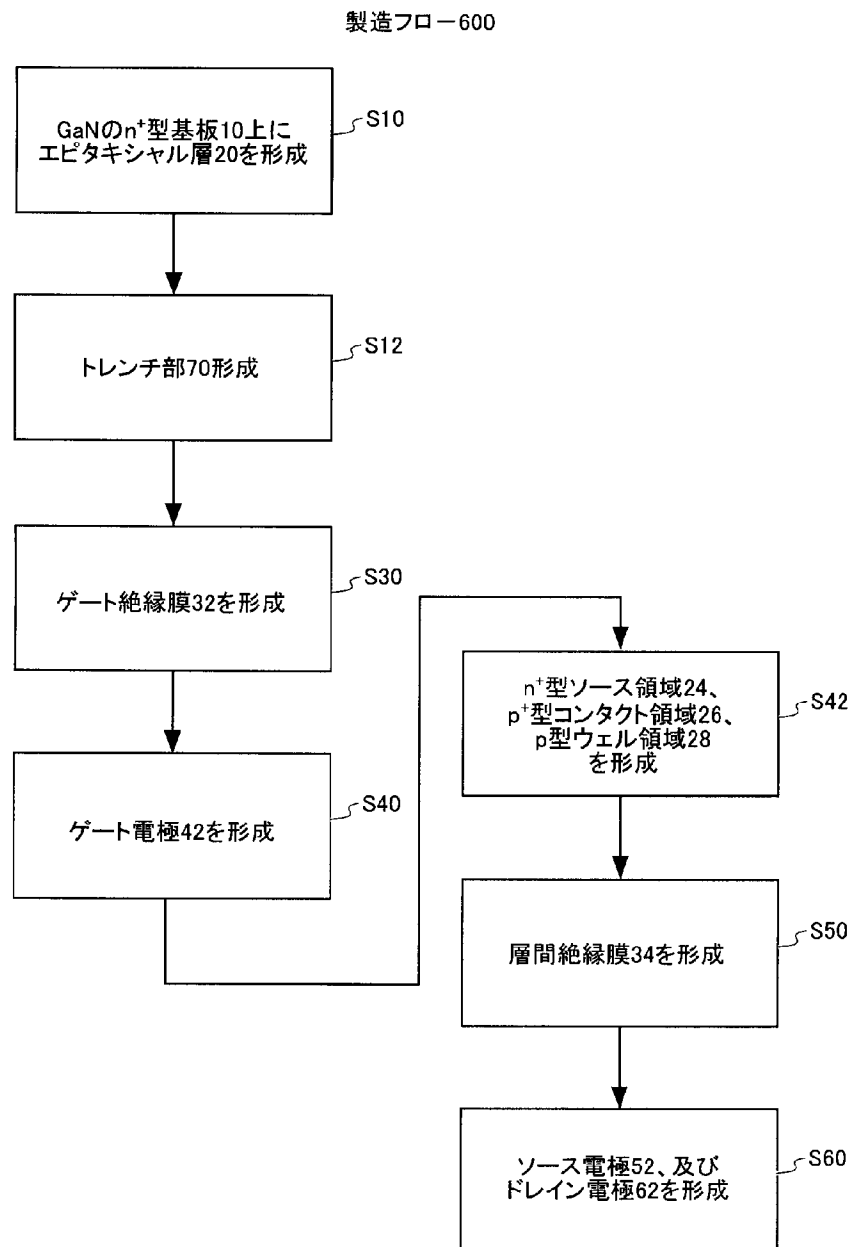
二酸化シリコンの上面からの深さ[nm]

[図8]



500

[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007510

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/316(2006.01)i, H01L21/336(2006.01)i,
H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/316, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	M. Placidi, et al., Deposited Thin SiO ₂ for Gate Oxide on n-Type and p-Type GaN, Journal of The Electrochemical Society, 2010.09.16, Vol. 157, Issue 11, H1008-H1013	1-4 5-8
Y	JP 09-153462 A (Semiconductor Energy Laboratory Co., Ltd.), 10 June 1997 (10.06.1997), paragraphs [0002] to [0011] (Family: none)	1-4
X A	JP 2016-018888 A (Toyoda Gosei Co., Ltd.), 01 February 2016 (01.02.2016), paragraphs [0026] to [0065]; fig. 1 to 2 & US 2016/0013282 A1 paragraphs [0038] to [0086]; fig. 1 to 2 & CN 105304712 A	1-4 5-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 May 2017 (08.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/316(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/316, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	M. Placidi, et al., Deposited Thin SiO ₂ for Gate Oxide on n-Type and p-Type GaN, Journal of The Electrochemical Society, 2010.09.16, Vol. 157, Issue 11, H1008-H1013	1-4 5-8
Y	JP 09-153462 A (株式会社半導体エネルギー研究所) 1997.06.10, 段落 0002-0011 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2016-018888 A (豊田合成株式会社) 2016.02.01, 段落 0026-0065, 図 1-2 & US 2016/0013282 A1, 段落 0038-0086, 図 1-2 & CN 105304712 A	1-4 5-8