

公告

申請日期： 2 1 案號： 90103498

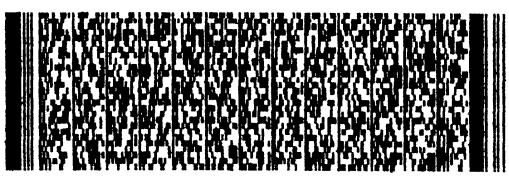
類別： HOLL 2/100

(以上各欄由本局填註)

發明專利說明書

480566

一、發明名稱	中文	噴墨頭晶片之製造方法
	英文	Method for Manufacture Ink Jet Printhead Chip
二、發明人	姓名 (中文)	1. 林富山 2. 周沁怡 3. 張英倫
	姓名 (英文)	1. 2. 3.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市科學園區研發二路28號1樓 2. 新竹市科學園區研發二路28號1樓 3. 新竹市科學園區研發二路28號1樓
三、申請人	姓名 (名稱) (中文)	1. 研能科技股份有限公司
	姓名 (名稱) (英文)	1. MICROJET TECHNOLOGY CO., LTD.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學園區研發二路28號1樓
	代表人 姓名 (中文)	1. 郭維新
代表人 姓名 (英文)	1.	



本案已向	申請日期	案號	主張優先權
		無	
有關微生物已寄存於	寄存日期	寄存號碼	
		無	

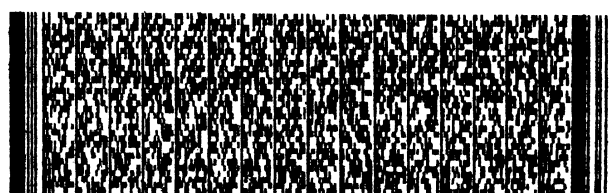
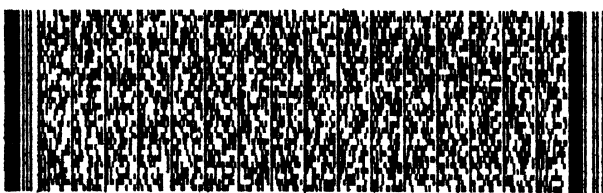
五、發明說明 (1)

技術領域

本發明係有關於一種噴墨頭晶片之製造方法，更詳而言之，係為一種將噴墨頭晶片之電阻層與導電層設定於同一層材質，以消除階梯現象之製造方法。

習知技術

在現有的晶片製程中，如第1圖所示之大型積體電路LSI製程，是先晶圓矽基材上以 SiO_2 形成一層熱障層薄膜，之後再以濺鍍的方式先後鍍上電阻層(TaAl)與導電層(Al)，並以黃光及蝕刻之製程釐定所需尺寸，之後再以濺鍍裝置或化學氣相沉積(CVD)裝置鍍上保護層(Si_3N_4 / SiC)，在此一製作方式中，因導電層與電阻層為上下兩層，在釐定尺寸時會因侵蝕效應而形成斜度，故保護層在導電層與電阻層交界處會形成階梯(Step)現象，如第二圖中圓圈處所示；此種階梯現象在後續進行之保護層製程時易造成應力集中，階梯覆蓋(Step Coverage)不良，或結構鬆散等狀況。而噴墨頭晶片之製造上亦有相同的情況，在美國專利案第4,809,428號中所揭示的噴墨頭薄膜製法中亦顯示出階梯現象依然存在，由第三圖上視圖與第四圖剖面圖所示，可得知噴墨頭晶片薄膜在製造時導電層20、22與電阻層34間仍存在著階梯現象；唯噴墨頭在列印時，加熱板接觸之電阻層需承受高電流、高溫、機械衝擊及化學侵蝕之環境，在此一狀況下，保護層極易在階梯部份產生裂縫或孔洞，進而造成破裂，使匣體內墨水滲入晶片薄



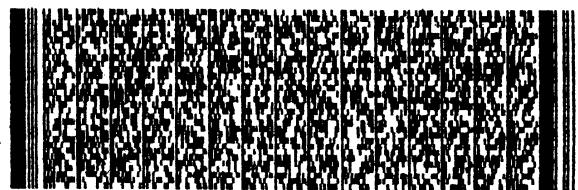
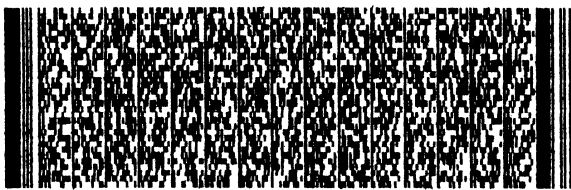
五、發明說明 (2)

膜之電阻層與導電層，造成元件損壞之現象發生。

發明揭露

上述之階梯現象普遍存在於現有的晶片製作技術中，仍有待研發新的製造方法加以克服；本發明之目的在於提供一種噴墨頭晶片之製造方法，在噴墨頭晶片製造時以同時加工的方式將晶片之電阻層與導電層設定於同一層材料上，使其在釐定尺寸時不會產生斜度，進而在鍍上保護層時能消除階梯現象。

由上述之目的得知本發明之特徵在於晶片矽基板上形成一層熱障層薄膜後，以化學氣相沉積(CVD)或其他加工方式形成一層為電阻材質的多晶矽(Polycrystalline Silicon)材質，以光阻遮蔽電阻層所需的部份並定義其尺寸，再以離子植入或擴散或其他方式對導電層進行摻雜(Doping)以提高其導電性，使電阻層與導電層同時形成，且位於同一層，如此即沒有階梯現象產生。故本發明之製造方法係包括下述的步驟：(1)形成一熱障層於一基板上；(2)形成一為電阻材質的多晶矽層於該熱障層上；(3)以黃光及蝕刻方式釐定多晶矽所需之尺寸；(4)以光阻將多晶矽層上預計形成加熱板之電阻區(層)部位遮蔽，而對其他未遮蔽部位之多晶矽層進行摻雜，使之成為第一導電區(層)，此時第一導電區(層)與電阻區(層)因是由同一多晶矽層所形成，兩者呈平整共存相接態；(5)在晶片之第一導電區(層)與電阻區(層)之共存層上形成保護層；



五、發明說明 (3)

(6) 使用介層洞(VIA Hole)技術在保護層上以黃光、蝕刻之方式將VIA定義出來；(7) 以濺鍍或以其他方式形成接著層(Ta)與第二導電層(Au)；(8) 以黃光、蝕刻之方式定義所需尺寸，完成整個製造程序。

進一步詳述該噴墨頭晶片之製造方法，其中，該基板可為一矽基板，而該熱障層係以氧化技術形成於該矽基板上，該熱障層之較佳實施態可為一二氧化矽(SiO_2)層。而於該熱障層上，以CVD或其他加工方式形成一層為電阻材質的多晶矽，此多晶矽層具有可藉由摻雜(Doping)作用使荷電粒子增加而降低電阻率，而能成為導電材料之特性，能將部份本體加工成導電層；藉由黃光及蝕刻方式釐定多晶矽層所需之尺寸，並以光阻將多晶矽層上預計形成加熱板之電阻區(層)部位遮蔽，而對其他未遮蔽部位之多晶矽層進行摻雜，使之成為第一導電區(層)，此時第一導電區(層)與電阻區(層)因是由同一多晶矽層所形成，彼此間無堆疊且無層差，兩者呈平整共存相接態。

在多晶矽層之第一導電區(層)與電阻區(層)之共生層上形成保護層，該保護層係以CVD或濺鍍等方式形成，該保護層之較佳實施態可為一氮化矽(Si_3N_4)層，或為一碳化矽(SiC)層，亦或為一鈹(Ta)層，亦或可混合使用。

在保護層上使用介層洞(VIA Hole)技術，以黃光、蝕刻之方式將VIA定義出來；形成接著層與導電層於保護層上，該接著層與第二導電層是以濺鍍或以其他方式形成，該接著層可為一鈹(Ta)層，而該第二導電層可為一金(Au)層，最



五、發明說明 (4)

後再以黃光、蝕刻之方式定義所需尺寸，完成整個製造程序。

圖式簡單說明

第1圖係為大型積體電路(LSI)製程範例之示意圖；

第2圖係為習知噴墨頭晶片之結構示意圖；

第3圖係為美國專利案第4,809,428號揭示噴墨頭晶片薄膜之上視圖；

第4圖係為第3圖中4A-4A之剖面圖；

第5圖係為本發明噴墨頭晶片結構之剖面圖；

第6圖係為本發明噴墨頭晶片結構之上視圖；

第7-1圖係為本發明噴墨頭晶片之較佳製造流程1示意圖；

第7-2圖係為本發明噴墨頭晶片之較佳製造流程2示意圖；

第7-3圖係為本發明噴墨頭晶片之較佳製造流程3示意圖；

第7-4圖係為本發明噴墨頭晶片之較佳製造流程4示意圖；

第7-5圖係為本發明噴墨頭晶片之較佳製造流程5示意圖；

第7-6圖係為本發明噴墨頭晶片之較佳製造流程6示意圖；

第7-7圖係為本發明噴墨頭晶片之較佳製造流程7示意圖；

第7-8圖係為本發明噴墨頭晶片之較佳製造流程8示意圖。

圖式符號說明

10 矽基板

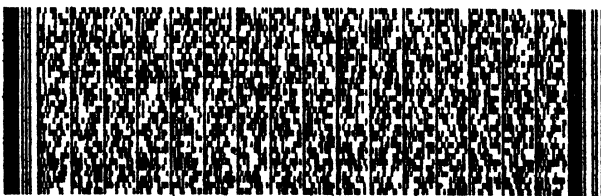
11 第一導電區(層)

12 電阻區(層)

15 熱障層(SiO_2)

16 保護層(Si_3N_4)

18 多晶矽層



五、發明說明 (5)

25	光阻	20、22	導電層
34	電阻層	40	接著層(Ta)
41	第二導電層(Au)		

圖式詳細說明

請參閱第5圖與第6圖所示，由剖面圖與上視圖可得知本發明噴墨頭晶片之結構在製造完成後，其電阻區(層)12與導電區(層)11係位在同一平面，且其厚度相同，因此在電阻區(層)12與導電區(層)11之交界處並不會形成階梯，故鍍佈於其上方之保護層16能呈均勻且平整的分佈，以確保加熱板區域的平整性。

為達到上述噴墨頭晶片之結構，本發明之製造流程如第7-1圖至第7-7圖所示，流程1是先在一矽基板10上以高溫擴散或其他方式形成熱障層15薄膜(SiO_2)；流程2是在熱障層15上以CVD或其他加工方式形成一層為電阻材質的多晶矽(Polycrystalline Silicon)材質18，此多晶矽層18本身具有可藉由摻雜作用使荷電粒子增加而降低電阻率，可做為導電材料之特性；流程3是以黃光及蝕刻方式釐定多晶矽層18所需之尺寸；流程4是以光阻25將多晶矽層18上預計形成加熱板之電阻區(層)12部位遮蔽，而對其他未遮蔽部位之多晶矽層18以離子植入、擴散或其他方式進行摻雜提高其導電性，使之成為第一導電區(層)11，此時第一導電區(層)11與電阻區(層)12因是由同一多晶矽18所分別形成，兩者呈平整共存相接態，故沒有階梯現象產

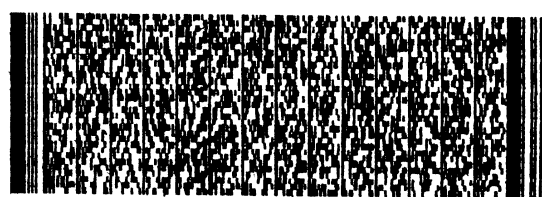
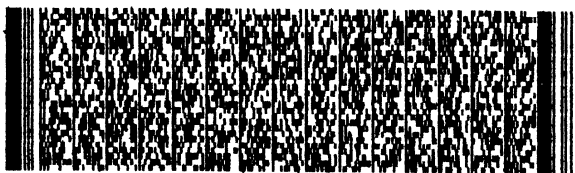


五、發明說明 (6)

生；流程5是再以CVD或濺鍍等方式在晶片之第一導電區(層)11與電阻區(層)12上形成保護層16，流程6是在完成保護層16後，使用LSI製程中常見的VIA Hole技術在保護層16上以黃光、蝕刻之方式將VIA定義出來，流程7是再以濺鍍或以其他方式形成接著層(Ta)40與第二導電層(Au)41，流程8是以黃光、蝕刻之方式定義所需尺寸，即完成整個製造程序。

本發明噴墨頭晶片之製造方法與習知技術相比較，可得知本發明製法之優點是將晶片薄膜的覆層在矽基板上由原先的四層減為三層，即為熱障層、導電與電阻共存層與保護層，因而消除了階梯現象，使保護層得以保持平整狀態；且以多晶矽層做為第一導電區與電阻區共存層的基材，使第一導電區(層)與電阻區(層)能相間並存，亦是本發明之另一優點。故本發明之製法具有簡化製造程序，提昇噴墨頭晶片品質之功效。

本發明之製造方法已揭露如上，然其並非用以限制本發明之實施，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，依本發明申請專利範圍所做之等效變化與修飾，如多晶矽以同質性的材質取代，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式簡單說明

第1圖係為大型積體電路(LSI)製程範例之示意圖；

第2圖係為習知噴墨頭晶片之結構示意圖；

第3圖係為美國專利案第4,809,428號揭示噴墨頭晶片薄膜之上視圖；

第4圖係為第3圖中4A—4A之剖面圖；

第5圖係為本發明噴墨頭晶片結構之剖面圖；

第6圖係為本發明噴墨頭晶片結構之上視圖；

第7-1圖係為本發明噴墨頭晶片之較佳製造流程1示意圖；

第7-2圖係為本發明噴墨頭晶片之較佳製造流程2示意圖；

第7-3圖係為本發明噴墨頭晶片之較佳製造流程3示意圖；

第7-4圖係為本發明噴墨頭晶片之較佳製造流程4示意圖；

第7-5圖係為本發明噴墨頭晶片之較佳製造流程5示意圖；

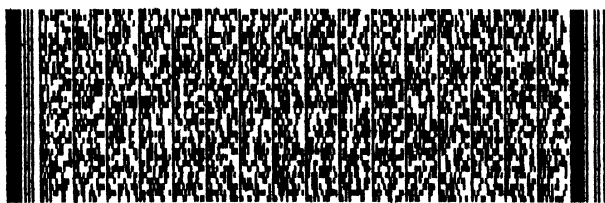
第7-6圖係為本發明噴墨頭晶片之較佳製造流程6示意圖；

第7-7圖係為本發明噴墨頭晶片之較佳製造流程7示意圖；

第7-8圖係為本發明噴墨頭晶片之較佳製造流程8示意圖。

圖式符號說明

10	矽基板	11	第一導電區(層)
12	電阻區(層)	15	熱障層(SiO_2)
16	保護層(Si_3N_4)	18	多晶矽層
25	光阻	20、22	導電層
34	電阻層	40	接著層(Ta)
41	第二導電層(Au)		



四、中文發明摘要 (發明之名稱：噴墨頭晶片之製造方法)

本發明係有關於一種噴墨頭晶片之製造方法，係為改善晶片在形成薄膜時保護層(Si_3N_4)在電阻層與導電層交界處之階梯(Step)部份產生階梯覆蓋(Step Coverage)不良，應力集中，容易破損之現象。本發明之方法是在形成薄膜時以同時加工的方式將電阻區(層)與導電區(層)設定在本身為電阻材質的多晶矽(Polycrystalline Silicon)的同一層材質上，以消除階梯，並使晶片上的保護層得以保持平整狀態。

英文發明摘要 (發明之名稱：Method for Manufacture Ink Jet Printhead Chip)



六、申請專利範圍

申請專利範圍：

1. 一種噴墨頭晶片之製造方法，其包含下列程序步驟：
 - (1) 形成一熱障層於一基板上；
 - (2) 形成一為電阻材質的多晶矽層於該熱障層上；
 - (3) 以黃光及蝕刻方式釐定多晶矽層所需之尺寸；
 - (4) 以光阻將多晶矽層上預計形成加熱板之電阻區(層)部位遮蔽，而對其他未遮蔽部位之多晶矽層進行摻雜，使之成為第一導電區(層)，此時第一導電區(層)與電阻區(層)因是由同一多晶矽層所形成，彼此間無堆疊且無層差，兩者呈平整共存相接態；
 - (5) 在多晶矽層之第一導電區(層)與電阻區(層)之共存層上形成保護層；
 - (6) 使用介層洞(VIA Hole)技術在保護層上以黃光、蝕刻之方式將VIA定義出來；
 - (7) 形成接著層與第二導電層於保護層之VIA上；
 - (8) 以黃光、蝕刻之方式定義所需尺寸。
2. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(1)中，該機基板可為一矽基板。
3. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(1)中，該熱障層可為一二氧化矽(SiO_2)層。
4. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(2)中，形成多晶矽之方式可以CVD或其他同效性加工方式為之。

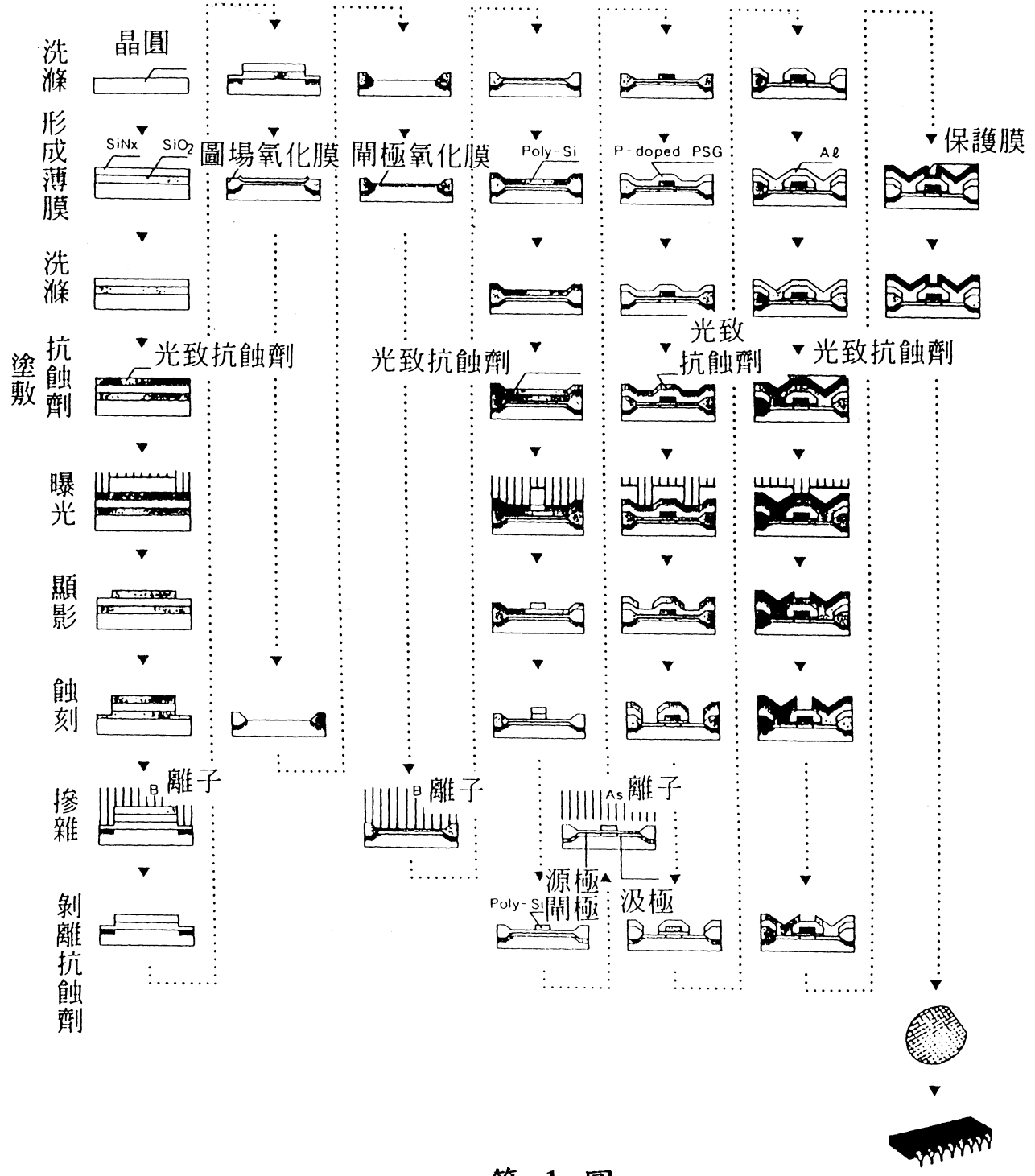


六、申請專利範圍

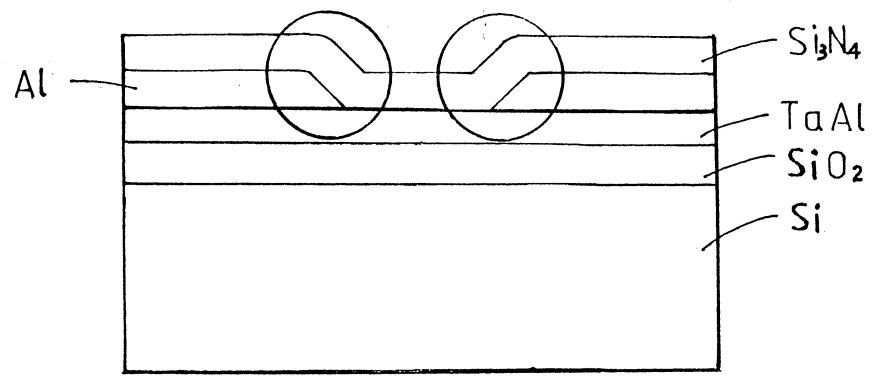
5. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(2)中，多晶矽層可為同性質的電阻材質所取代。
6. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(5)中，該保護層可為一氮化矽(Si_3N_4)層。
7. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(5)中，該保護層可為一碳化矽(SiC)層。
8. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(5)中，該保護層可為一鉭(Ta)層。
9. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(5)中，該保護層可為氮化矽(Si_3N_4)、碳化矽(SiC)、鉭(Ta)之混合層。
10. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(7)中，形成接著層與導電層之方式是以濺鍍或其他同效性方式為之。
11. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(7)中，該接著層可為一鉭(Ta)層。
12. 如申請專利範圍第1項所述之噴墨頭晶片之製造方法，其中，於該步驟(7)中，該第二導電層可為一金(Au)層。



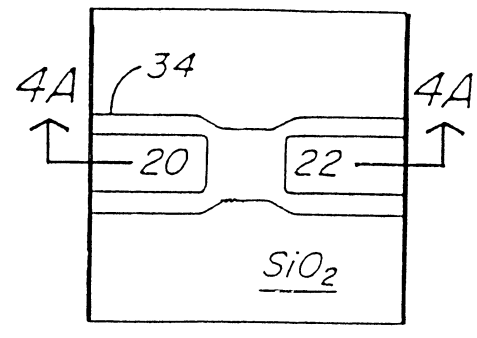
LSI 製程範例



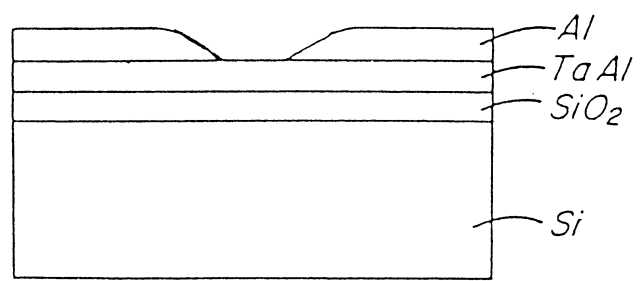
第 1 圖



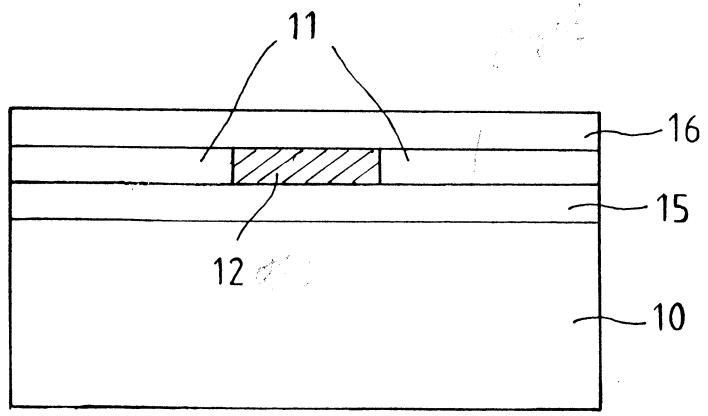
第 2 圖



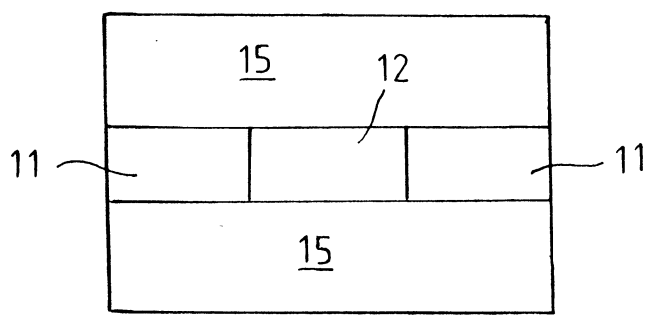
第 3 圖



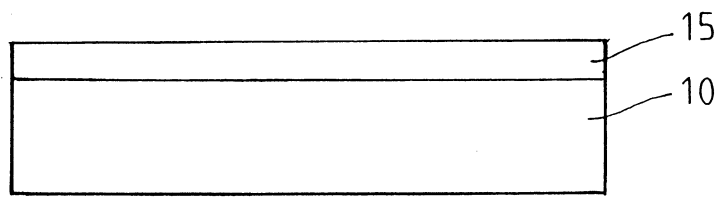
第 4 圖



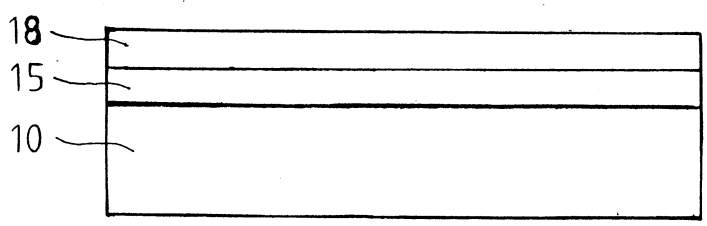
第 5 圖



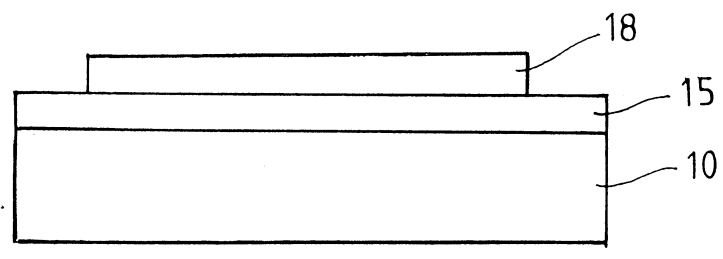
第 6 圖



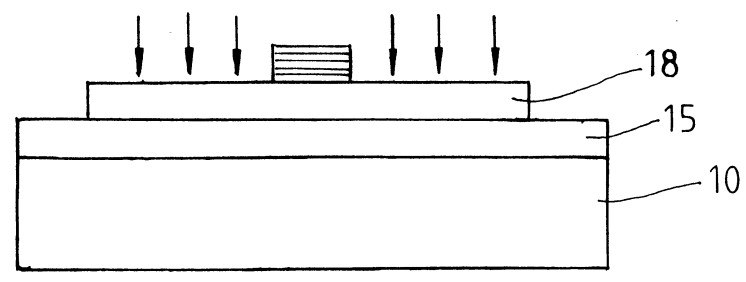
第 7-1 圖



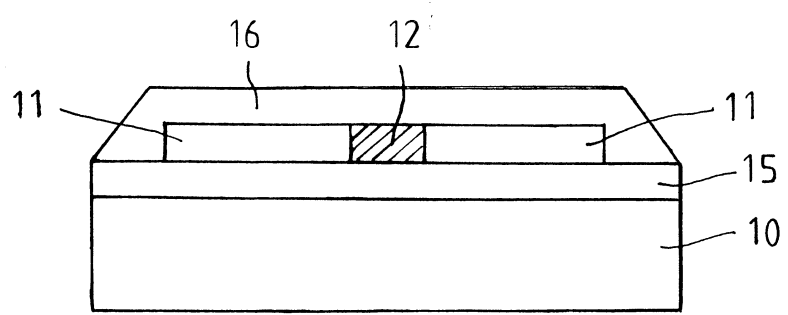
第 7-2 圖



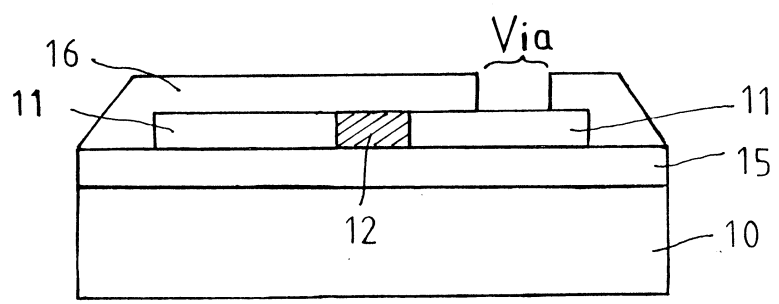
第 7-3 圖



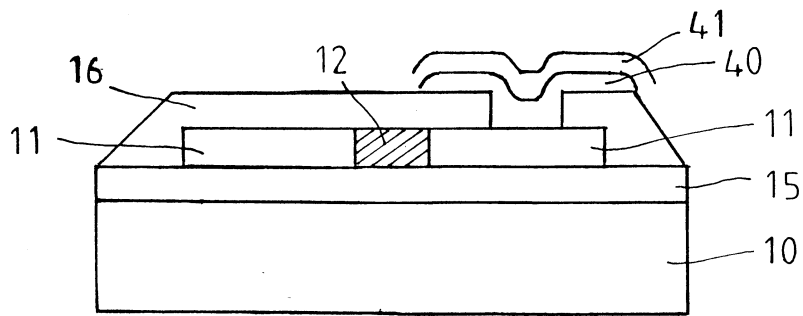
第 7-4 圖



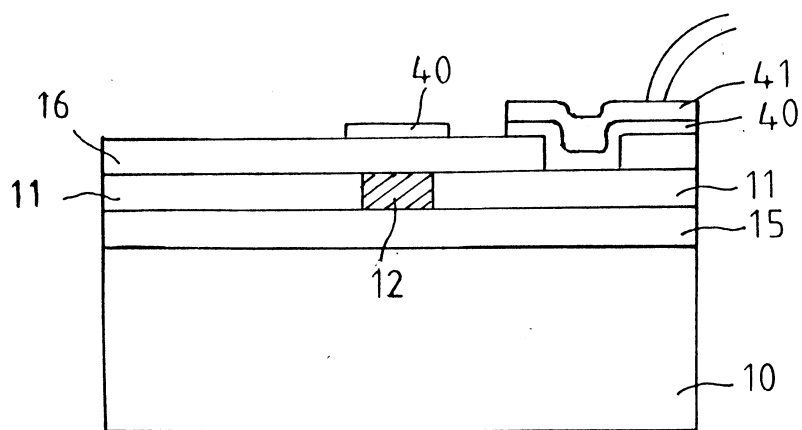
第 7-5 圖



第 7-6 圖



第 7-7 圖



第 7-8 圖