

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2025年1月2日(02.01.2025)



(10) 国際公開番号

**WO 2025/004570 A1**

(51) 国際特許分類:

**H01L 29/78** (2006.01)

(21) 国際出願番号:

PCT/JP2024/017773

(22) 国際出願日:

2024年5月14日(14.05.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

63/510,507 2023年6月27日(27.06.2023) US

63/515,265 2023年7月24日(24.07.2023) US

(71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジャ  
パン 株 式 会 社 (**NUVOTON TECHNOLOGY**)

**CORPORATION JAPAN**) [JP/JP]; 〒6178520 京  
都府長岡京市神足焼町1番地 Kyoto (JP).

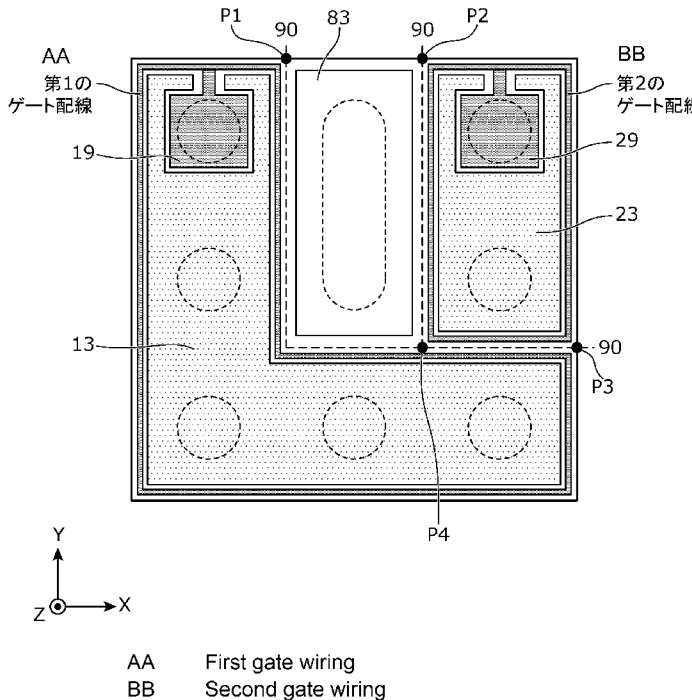
(72) 発明者: 中 村 浩 尚 (**NAKAMURA, Hironao**).  
大 河 亮 介 (**OKAWA, Ryosuke**). 安 田 英  
司(**YASUDA, Eiji**).

(74) 代理人: 新 居 広 守, 外 (**NIJ, Hiromori et al.**);  
〒5320011 大阪府大阪市淀川区西中島5丁  
目3番10号イトーピア新大阪ビル6階新  
居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,  
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,  
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,  
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** A semiconductor device (1) comprises: a semiconductor layer (40) that has a semiconductor substrate (32) on the rear surface side and is divided into three regions of a first region (A1), a second region (A2), and a third region (A3) that do not overlap one another in plan view of the semiconductor device (1); a first vertical MOS transistor (10) that is formed in the first region (A1) of the semiconductor layer (40); a second vertical MOS transistor (20) that is formed in the second region (A2) of the semiconductor layer (40); and a drain pad (151) that is connected to the semiconductor

[続葉有]

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

substrate (32) at a position included in the third region (A3) in plan view of the semiconductor device (1). Moreover, in plan view of the semiconductor device (1), the third region (A3) is sandwiched between the first region (A1) and the second region (A2), and the surface area of the first region (A1) is greater than the surface area of the second region (A2) in plan view of the semiconductor device (1).

(57) 要約: 半導体装置 (1) は、裏面側に半導体基板 (32) を有し、半導体装置 (1) の平面視において互いに重複しない第1の領域 (A1) と第2の領域 (A2) と第3の領域 (A3) との3つの領域に分けられた半導体層 (40) と、半導体層 (40) の第1の領域 (A1) に形成された第1の縦型MOSトランジスタ (10) と、半導体層 (40) の第2の領域 (A2) に形成された第2の縦型MOSトランジスタ (20) と、半導体装置 (1) の平面視において、第3の領域 (A3) に内包される位置に、半導体基板 (32) に接続されたドレインパッド (151) と、を備え、半導体装置 (1) の平面視において、第3の領域 (A3) は、第1の領域 (A1) および第2の領域 (A2) に挟まれ、半導体装置 (1) の平面視において、第1の領域 (A1) の面積は、第2の領域 (A2) の面積よりも大きい。

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、特に、チップサイズパッケージ型の半導体装置に関する。

背景技術

[0002] 仕様の電流値が異なる2系統を、1系統に取りまとめる電気回路で縦型MOSトランジスタが用いられることがある。

先行技術文献

特許文献

[0003] 特許文献1：特許第7475569号

発明の概要

発明が解決しようとする課題

[0004] 縦型MOSトランジスタを用いた回路の小型化が求められている。

課題を解決するための手段

[0005] 上記の課題を解決するために、本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、裏面側に半導体基板を有し、半導体装置の平面視において、互いに重複しない第1の領域、第2の領域、第3の領域の、それぞれ分散して配置されない3つの領域に分けられた半導体層と、前記半導体層の前記第1の領域に、その全体が形成された第1の縦型MOSトランジスタと、前記半導体層の前記第2の領域に、その全体が形成された第2の縦型MOSトランジスタと、前記半導体層の裏面に接触して形成された金属層と、を備え、前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域であり、前記平面視において、前記第1の領域に内包される位置に、前記第1の縦型MOSトランジスタの第1のソースパッドおよび第1のゲートパッドが形成され、前記平面視において、前記第2の

領域に内包される位置に、前記第2の縦型MOSトランジスタの第2のソースパッドおよび第2のゲートパッドが形成され、前記平面視において、前記第3の領域に内包される位置に、前記共通ドレイン領域に接続されたドレインパッドが形成され、前記半導体層の前記平面視において、前記第1の領域および前記第2の領域は、前記第3の領域を挟んで配置され、前記平面視において、前記第3の領域は、前記第1の領域および前記第2の領域に隣接し、前記平面視において、前記第1の領域の面積は、前記第2の領域の面積よりも大きい半導体装置であることを特徴とする。

### 発明の効果

[0006] 上記デュアル構成の縦型MOSトランジスタを、例えば仕様の電流値が異なる2つの導通経路を1つに合流させる回路に用いることで、従来に比べて回路が必要とする面積を削減することができる。

[0007] したがって、上記構成の半導体装置によると、縦型MOSトランジスタを用いた回路の小型化を実現することができる。

### 図面の簡単な説明

[0008] [図1]図1は、実施の形態に係る半導体装置の構造の一例を示す断面模式図である。

[図2A]図2Aは、実施の形態に係る半導体装置の構造の一例を示す平面模式図である。

[図2B]図2Bは、実施の形態に係る半導体装置の構造の一例を示す平面模式図である。

[図3]図3は、実施の形態の変形例に係る半導体装置の構造の一例を示す断面模式図である。

[図4A]図4Aは、実施の形態に係る第1のトランジスタの略単位構成の平面模式図である。

[図4B]図4Bは、実施の形態に係る第1のトランジスタの略単位構成の斜視模式図である。

[図5A]図5Aは、実施の形態に係る半導体装置の第1の導通経路を示す断面

模式図である。

[図5B]図 5 B は、実施の形態に係る半導体装置の第 2 の導通経路を示す断面模式図である。

[図6]図 6 は、実施の形態に係る半導体装置の使用例を示す回路図である。

[図7]図 7 は、比較例に係る半導体装置の使用例を示す回路図である。

[図8A]図 8 A は、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図8B]図 8 B は、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図9A]図 9 A は、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図9B]図 9 B は、比較例に係るトランジスタの構造の一例を示す平面模式図である。

[図10]図 1 0 は、実施の形態の変形例に係るトランジスタの構造の一例を示す平面模式図である。

[図11]図 1 1 は、実施の形態の変形例に係るトランジスタの構造の一例を示す平面模式図である。

[図12A]図 1 2 A は、実施の形態の変形例に係るトランジスタの構造の一例を示す平面模式図である。

[図12B]図 1 2 B は、実施の形態の変形例に係るトランジスタの構造の一例を示す平面模式図である。

[図13]図 1 3 は、実施の形態に係る半導体装置のドレインコンタクト領域を示す平面模式図である。

[図14]図 1 4 は、実施の形態に係る半導体装置のドレインコンタクト領域の配置と、第 1 の導通経路および第 2 の導通経路におけるそれぞれの導通抵抗との関係を示すグラフである。

### 発明を実施するための形態

[0009] 以下で説明する実施の形態は、いずれも本開示の一具体例を示すものであ

る。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態などは、一例であり、本開示を限定する主旨ではない。

[0010] 本開示において、「AとBとが電氣的に接続される」とは、AとBとが配線を介して直接的に接続される場合と、AとBとが配線を介さず直接的に接続される場合と、AとBとが抵抗成分（抵抗素子、抵抗配線）を介して間接的に接続される場合と、を含む。

[0011] （実施の形態）

[1. 半導体装置の構造]

以下、実施の形態に係る半導体装置の構造について説明する。実施の形態に係る半導体装置は、半導体基板に2つの縦型MOS（Metal Oxide Semiconductor）トランジスタを形成したデュアル構成の、フェイスダウン実装が可能なチップサイズパッケージ（Chip Size Package：CSP）型の半導体デバイスである。上記2つの縦型MOSトランジスタは、パワートランジスタであり、いわゆる、トレンチMOS型FET（Field Effect Transistor）である。

[0012] 図1は、実施の形態に係る半導体装置1の構造の一例を示す断面模式図である。図2A、図2Bは実施の形態に係る半導体装置1の構造の一例を示す平面模式図である。図2A、図2Bにおいて半導体装置1の大きさや形状は一例である。またパッド、電極の大きさや形状および配置も一例である。

[0013] 図1は、図2Aの1-1に沿って半導体装置1を切断したときの切断面である。

[0014] 図1に示すように、半導体装置1は、半導体基板32と、金属層41と、半導体基板32上に形成された低濃度不純物層33と、を有する。本開示では半導体基板32と低濃度不純物層33とを合わせて半導体層40と称する。

[0015] 半導体基板32は、半導体層40の裏面側に配置され、第1の濃度の不純

物を含む第1導電型のシリコンからなる。半導体層40は、半導体基板32に接触して形成された、第1の濃度よりも低い第2の濃度の不純物を含む、第1導電型の低濃度不純物層33を有する。低濃度不純物層33は、例えば、エピタキシャル成長により半導体基板32上に形成される。

[0016] 図1および図2Aに示すように、半導体装置1は、半導体層40の第1の領域A1内にその全体が形成された第1の縦型MOSトランジスタ10（以下、「トランジスタ10」とも称する）と、半導体層40の第2の領域A2内にその全体が形成された第2の縦型MOSトランジスタ20（以下、「トランジスタ20」とも称する）と、を有する。

[0017] 第1の領域A1内にその全体が形成されたトランジスタ10とは、平面視で、トランジスタ10を構成する要素のすべてが第1の領域A1の内部に含まれていて、第1の領域A1ではない領域には含まれないことを意味する。同様に、第2の領域A2内にその全体が形成されたトランジスタ20とは、平面視で、トランジスタ20を構成する要素のすべてが第2の領域A2の内部に含まれていて、第2の領域A2ではない領域には含まれないことを意味する。

[0018] 図2Aに示すように、平面視において半導体層40の表面側は、互いに重複せず、それぞれ分散して配置されない、第1の領域A1、第2の領域A2、第3の領域A3に分けられる。ここで、第1の領域A1と第2の領域A2と第3の領域A3とがそれぞれ分散して配置されないとは、第1の領域A1と第2の領域A2と第3の領域A3とがそれぞれ飛び地を伴わないことを意味する。図2Aでは第1の領域A1、第2の領域A2、第3の領域A3をそれぞれ区分する仮想的な境界線90を点線で示している。分かりやすさのために、境界線90を示す点線は半導体層40の外部まで延長して示しているが、実際の境界線90は平面視で、半導体層40の外周において終端する（図2A、図2Bにおいては便宜的に、境界線90の終端をそれぞれP1、P2、P3として示している）。境界線90については後述する。

[0019] なお、図2Aにおいて、第1の領域A1、第2の領域A2、第3の領域A

3を示す破線は分かりやすさのため半導体層40の外周および境界線90とは厳密に一致させず、若干の余白を置いて内側に示しているが、実質的に第1の領域A1の外周と第2の領域A2の外周と第3の領域A3の外周とは、半導体層40の外周および境界線90と一致するものである。

[0020] 金属層41は、半導体層40の裏面側に接触して形成され、限定されない一例として、銀(Ag)もしくは銅(Cu)で構成されてもよい。なお、金属層41には、金属材料の製造工程において不純物として混入する金属以外の元素が微量に含まれていてもよい。

[0021] 図1および図2Aに示すように、低濃度不純物層33の第1の領域A1には、第1導電型と異なる第2導電型の第1のボディ領域18が形成されている。第1のボディ領域18には、第1導電型の第1のソース領域14が形成されている。

[0022] また第1の領域A1には、半導体層40の上面から第1のソース領域14および第1のボディ領域18を貫通して低濃度不純物層33の一部までの深さに形成された複数の第1のゲートトレンチ17が形成されており、さらに第1のゲート導体15が、第1のゲートトレンチ17の内部で第1のゲート絶縁膜16上に形成されている。第1のゲート導体15は、半導体層40の内部に埋め込まれた埋め込みゲート電極である。第1のゲート導体15は、第1のゲート配線を介して第1のゲート電極19と電氣的に接続される(図2B参照)。

[0023] 第1のソース電極11は部分12と部分13とからなり、部分12は、部分13を介して第1のソース領域14および第1のボディ領域18に接続されている。

[0024] 第1のソース電極11の部分12は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか1つ以上を含む金属材料で構成されてもよい。部分12の表面には、金などのめっきが施されてもよい。

- [0025] 第1のソース電極11の部分13は、部分12と半導体層40とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0026] 同様に、低濃度不純物層33の第2の領域A2には、第1導電型と異なる第2導電型の第2のボディ領域28が形成されている。第2のボディ領域28には、第1導電型の第2のソース領域24が形成されている。
- [0027] また第2の領域A2には、半導体層40の上面から第2のソース領域24および第2のボディ領域28を貫通して低濃度不純物層33の一部までの深さに形成された複数の第2のゲートトレンチ27が形成されており、さらに第2のゲート導体25が、第2のゲートトレンチ27の内部で第2のゲート絶縁膜26上に形成されている。第2のゲート導体25は、半導体層40の内部に埋め込まれた埋め込みゲート電極である。第2のゲート導体25は、第2のゲート配線を介して第2のゲート電極29と電氣的に接続される（図2B参照）。
- [0028] 第2のソース電極21は部分22と部分23とからなり、部分22は、部分23を介して第2のソース領域24および第2のボディ領域28に接続されている。
- [0029] 第2のソース電極21の部分22は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか1つ以上を含む金属材料で構成されてもよい。部分22の表面には、金などのめっきが施されてもよい。
- [0030] 第2のソース電極21の部分23は、部分22と半導体層40とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0031] 図2Bは、本実施の形態に係る半導体装置1の、半導体層40の表面側に第1のソース電極11の部分13、第1のゲート電極19、第1のゲート配線、第2のソース電極21の部分23、第2のゲート電極29、第2のゲー

ト配線、そして後述する表面ドレイン電極 8 1 の部分 8 3、が形成された直後の様子を示したものである。図 2 B では分かりやすさのため、この時点では見えないはずのパッドを点線で示している。

[0032] 図 1 に示すように、第 1 のボディ領域 1 8 は開口を有する層間絶縁層 3 4 で覆われ、層間絶縁層 3 4 の開口を通して第 1 のソース領域 1 4 に接続される第 1 のソース電極 1 1 の部分 1 3 が設けられている。層間絶縁層 3 4 および第 1 のソース電極 1 1 の部分 1 3 は開口を有するパッシベーション層 3 5 で覆われ、パッシベーション層 3 5 の開口を通して第 1 のソース電極 1 1 の部分 1 3 に接続される部分 1 2 が設けられている。

[0033] 同様に、第 2 のボディ領域 2 8 は開口を有する層間絶縁層 3 4 で覆われ、層間絶縁層 3 4 の開口を通して第 2 のソース領域 2 4 に接続される第 2 のソース電極 2 1 の部分 2 3 が設けられている。層間絶縁層 3 4 および第 2 のソース電極 2 1 の部分 2 3 は開口を有するパッシベーション層 3 5 で覆われ、パッシベーション層 3 5 の開口を通して第 2 のソース電極 2 1 の部分 2 3 に接続される部分 2 2 が設けられている。

[0034] したがって、第 1 のソースパッド 1 1 1 および第 2 のソースパッド 1 2 1 は、図 2 B から分かるように、それぞれ、第 1 のソース電極 1 1 および第 2 のソース電極 2 1 が半導体装置 1 の表面に部分的に露出した領域、すなわち端子の部分を目指す。同様に、第 1 のゲートパッド 1 1 9 および第 2 のゲートパッド 1 2 9 は、それぞれ、第 1 のゲート電極 1 9 および第 2 のゲート電極 2 9 が半導体装置 1 の表面に部分的に露出した領域、すなわち端子の部分を目指す。

[0035] 第 1 のソースパッド 1 1 1 および第 2 のソースパッド 1 2 1 の数は、それぞれ必ずしも図 2 A に例示された数に限定されない。また第 1 のソースパッド 1 1 1 および第 2 のソースパッド 1 2 1 の形状は、それぞれ図 2 A に例示された円形状に限定される必要はなく、例えば矩形状や楕円形状であってもよい。また第 1 のソースパッド 1 1 1 および第 2 のソースパッド 1 2 1 の配置は、それぞれ図 2 A に例示された配置に限定されない。

- [0036] 第1のゲートパッド119および第2のゲートパッド129の数は、それぞれ必ずしも図2Aに例示された数に限定されず、2以上の複数であってもよい。また第1のゲートパッド119および第2のゲートパッド129の形状は、それぞれ図2Aに例示された円形状に限定される必要はなく、例えば矩形状や楕円形状であってもよい。
- [0037] トランジスタ10およびトランジスタ20の上記の構成により、半導体基板32と、低濃度不純物層33のうち半導体基板32の直上近傍の範囲は、トランジスタ10の第1のドレイン領域およびトランジスタ20の第2のドレイン領域とが共通化された、共通ドレイン領域である。
- [0038] 金属層41はトランジスタ10の第1のドレイン電極およびトランジスタ20の第2のドレイン電極が共通化された、共通ドレイン電極（以下、裏面ドレイン電極41と称する）である。
- [0039] 図1に示すように、半導体層40の第3の領域A3内には、共通ドレイン領域（半導体基板32）および裏面ドレイン電極41からの電流を半導体層40の表面側に引き上げる、ドレイン引き上げ領域38が形成されている。ドレイン引き上げ領域38は、半導体基板32の第1の濃度よりも高い濃度の不純物を含み、第1導電型である。ドレイン引き上げ領域38は半導体層40の上面から半導体基板32の一部までの深さに形成されている。
- [0040] 半導体層40の表面側において、平面視において、第3の領域A3に内包される位置に、ドレイン引き上げ領域38と接続する表面ドレイン電極81が形成されている。表面という修飾は、同じドレイン電極である裏面ドレイン電極41と区別するためのものである。
- [0041] 表面ドレイン電極81は部分82と部分83とからなり、部分82は、部分83を介して低濃度不純物層33および／またはドレイン引き上げ領域38と接続されている。
- [0042] 表面ドレイン電極81の部分82は、フェイスダウン実装におけるリフロー時にはんだと接合される層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか1つ以上を含む金属材

料で構成されてもよい。部分 8 2 の表面には、金などのめっきが施されてもよい。

[0043] 表面ドレイン電極 8 1 の部分 8 3 は、部分 8 2 と半導体層 4 0 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

[0044] ドレイン引き上げ領域 3 8 は、開口を有する層間絶縁層 3 4 で覆われ、層間絶縁層 3 4 の開口を通してドレイン引き上げ領域 3 8 と接続する表面ドレイン電極 8 1 の部分 8 3 が設けられている。層間絶縁層 3 4 および表面ドレイン電極 8 1 の部分 8 3 は、開口を有するパッシベーション層 3 5 で覆われ、パッシベーション層 3 5 の開口を通して表面ドレイン電極 8 1 の部分 8 3 に接続される部分 8 2 が設けられている。

[0045] したがって図 2 B に示すように、ドレインパッド 1 5 1 は、表面ドレイン電極 8 1 が半導体装置 1 の表面に部分的に露出した領域、すなわち端子の部分を指す。

[0046] ドレインパッド 1 5 1 の数は、必ずしも図 2 A に例示された数に限定されない。またドレインパッド 1 5 1 の形状は、図 2 A に例示された楕円形状に限定される必要はなく、例えば矩形状や円形状であってもよい。

[0047] 図 2 A に示す例では、ドレインパッド 1 5 1 は、その中心と第 3 の領域 A 3 の中心とが一致するように配置されているが、ドレインパッド 1 5 1 の中心と第 3 の領域 A 3 の中心が一致しない配置であっても本開示の効果を得るのになんら差し支えることはない。

[0048] なお本開示では、平面視における形状の中心を次のように定義する。図 2 A における第 1 のソースパッド 1 1 1 および第 1 のゲートパッド 1 1 9 のように円形状のものはその中心のことをいう。第 3 の領域 A 3 のように矩形状のものは、その対角線の交点のことをいう。ドレインパッド 1 5 1 のように長円形状のものは、その長手方向に伸びる、線対称の対称軸と、その幅方向に伸びる、線対称の対象軸との交点のことをいう。

[0049] ドレイン引き上げ領域 3 8 と表面ドレイン電極 8 1 の部分 8 3 とが接触す

る部分をドレインコンタクト領域 39 とよぶ。ドレインコンタクト領域 39 は、平面視で、ドレイン引き上げ領域 38 が半導体層 40 の表面側に露出する領域と、層間絶縁層 34 の開口領域との重複部分である。図 1 に示す例のような場合は、ドレイン引き上げ領域 38 の幅が層間絶縁層 34 の開口の幅よりも大きい（平面視でドレイン引き上げ領域 38 が半導体層 40 の表面側で露出する面積の方が層間絶縁層 34 の開口面積よりも大きい）ために、ドレインコンタクト領域 39 は、平面視で層間絶縁層 34 の開口領域と一致することになる。

[0050] 図 3 は、実施の形態に係る半導体装置 1 から、ドレイン引き上げ領域 38 の形状だけが変形した変形例 1 に係る半導体装置 1 A のうち、一部を切り取って示した断面模式図である。図 3 に示すように、ドレイン引き上げ領域 38 の幅は層間絶縁層 34 の開口幅よりも小さくてもよいが、このような場合のドレインコンタクト領域 39 は、平面視でドレイン引き上げ領域 38 が半導体層 40 の表面側で露出する領域と一致する。

[0051] いずれにせよ、平面視でのドレインコンタクト領域 39 は導通抵抗の低減のため、広い面積であってよい。典型的には、平面視で、第 3 の領域 A3 において表面ドレイン電極 81 の部分 83 が半導体層 40 と接触する面積（層間絶縁層 34 の開口領域の面積）と、ドレイン引き上げ領域 38 が半導体層 40 の表面側で露出する面積とは、大小の差はあれ、同程度に広くてよい。

[0052] さて図 2 A に示すように、第 1 の領域 A1 と第 2 の領域 A2 とは、第 3 の領域 A3 を挟んで配置される。実施の形態において、第 1 の領域 A1 と第 2 の領域 A2 が、第 3 の領域 A3 を挟むとは、第 1 の領域 A1 と第 3 の領域 A3 とが間に他の領域を挟まずに隣接し、さらに第 2 の領域 A2 と第 3 の領域 A3 とが間に他の領域を挟まずに隣接するということである。したがって半導体層 40 の平面視において、第 3 の領域 A3 は、第 1 の領域 A1 および第 2 の領域 A2 に、共に隣接する。

[0053] 平面視である領域とある領域が、隣接する、とは、対向する、という意味と同じであり、互いの間にある境界線 90 において、互いの外周が一致する

ということである。以降、境界線 90 の長さのことを対向長ということがあ  
る。

[0054] 図 2 B に示すように、第 1 の領域 A 1 と第 3 の領域 A 3 との境界線 90 は、第 1 のソース電極 11 の部分 13 と、表面ドレイン電極 81 の部分 83 との間隔の中央位置をたどる仮想線と捉えてよい。また有限の幅となるが当該間隔そのものと捉えてもよい。当該間隔の場合であっても、肉眼あるいは低倍率での外観では線として認識することができる。第 1 の領域 A 1 と第 3 の領域 A 3 との境界線 90 は、図 2 A、図 2 B に示す例においては、P 1 から P 4 までの点線である。

[0055] 同様に、第 2 の領域 A 2 と第 3 の領域 A 3 との境界線 90 は、第 2 のソース電極 21 の部分 23 と、表面ドレイン電極 81 の部分 83 との間隔の中央位置をたどる仮想線と捉えてよい。また有限の幅となるが当該間隔そのものと捉えてもよい。第 2 の領域 A 2 と第 3 の領域 A 3 との境界線 90 は、図 2 A、図 2 B に示す例においては、P 2 から P 4 までの点線である。

[0056] 図 2 B にあるように、第 1 の領域 A 1 と第 2 の領域 A 2 とが隣接する場合は、両者の境界線 90 は、第 1 のソース電極 11 の部分 13 と、第 2 のソース電極 21 の部分 23 との間隔の中央位置をたどる仮想線と捉えてよい。また有限の幅となるが当該間隔そのものと捉えてもよい。第 1 の領域 A 1 と第 2 の領域 A 2 との境界線 90 は、図 2 A、図 2 B に示す例においては、P 4 から P 3 までの点線である。

[0057] 図 2 A、図 2 B に示すように、第 1 の領域 A 1 の平面視での面積  $a_1$  は、第 2 の領域 A 2 の平面視での面積  $a_2$  よりも大きい ( $a_1 > a_2$ )。同じことだが、第 1 の領域 A 1 および第 2 の領域 A 2 は、平面視において、半導体層 40 から第 3 の領域 A 3 を除いた残りの面積を二等分していない ( $a_1 \neq a_2$ )。したがって第 1 の領域 A 1 と第 3 の領域 A 3 との境界線 90 の長さ（対向長、P 1 から P 4 までの長さ）は、第 2 の領域 A 2 と第 3 の領域 A 3 との境界線 90 の長さ（対向長、P 2 から P 4 までの長さ）よりも長い。

[0058] 図 2 A、図 2 B に示す実施の形態の例では、平面視において、第 1 の領域

A 1 は、半導体層 4 0 の 4 辺のそれぞれと少なくとも一部が一致する外周を有するように配置されている。これに対して第 2 の領域 A 2 は、その外周が、矩形状である半導体層 4 0 の外周 4 辺のうち 2 辺とのみ、それぞれ一部で一致するところがあるように配置されている。

[0059] 図 2 A、図 2 B に示す実施の形態の例では、平面視で、第 2 のゲートパッド 1 2 9 は、第 2 の領域 A 2 の外周辺のうち、第 1 の領域 A 1 とは隣接しない 2 辺で形成される角部に最近接して設置されている。第 2 のゲートパッド 1 2 9 は第 2 の領域 A 2 において、第 1 の領域 A 1 との境界線 9 0 から最も離れて設置されている。なお実施の形態において、パッドと角部が最近接するとは、当該パッドと当該角部との間に、他のいかなるパッドも設置されないことをいう。

[0060] また、第 1 のゲートパッド 1 1 9 は平面視において、ドレインパッド 1 5 1 を挟んで第 2 のゲートパッド 1 2 9 と対向する位置に設置されている。

[0061] 図 4 A および図 4 B は、それぞれ、実施の形態に係る半導体装置 1 の X 方向および Y 方向に繰り返し形成される、トランジスタ 1 0 またはトランジスタ 2 0 の略単位構成の、平面模式図および斜視模式図である。図 4 A および図 4 B では、分かりやすさのために半導体基板 3 2 と金属層 4 1、さらにパッシベーション層 3 5 と第 1 のソース電極 1 1 または第 2 のソース電極 2 1、層間絶縁層 3 4 は図示していない。

[0062] なお Y 方向とは、半導体層 4 0 の表面と平行し、第 1 のゲートトレンチ 1 7 が延在する方向である。また X 方向とは、半導体層 4 0 の表面と平行し、Y 方向に直交する方向のことをいう。Z 方向とは、X 方向にも Y 方向にも共に直交し、半導体装置の高さ方向を示す方向のことをいう。

[0063] 図 4 A および図 4 B に示すように、トランジスタ 1 0 には、第 1 のボディ領域 1 8 と第 1 のソース電極 1 1 とを電氣的に接続する第 1 の接続部 1 8 a が備わる。第 1 の接続部 1 8 a は、第 1 のボディ領域 1 8 のうち、第 1 のソース領域 1 4 が形成されていない領域であり、第 1 のボディ領域 1 8 と同じ第 2 導電型である。第 1 のソース領域 1 4 と第 1 の接続部 1 8 a とは、Y 方

向に沿って交互に、かつ周期的に繰り返し配置される。トランジスタ 20 についても同様である。

[0064] 本開示に係る半導体装置 1 では、第 1 導電型を N 型、第 2 導電型を P 型として、第 1 のソース領域 14、第 2 のソース領域 24、ドレイン引き上げ領域 38、半導体基板 32、および、低濃度不純物層 33 は N 型半導体であり、かつ、第 1 のボディ領域 18、第 1 の接続部 18a、第 2 のボディ領域 28 および第 2 の接続部 28a は P 型半導体であるとする。

[0065] [2. 半導体装置の動作]

以下、図 5 A、図 5 B を用いて半導体装置 1 の第 1 の導通経路および第 2 の導通経路と、半導体装置 1 の駆動の仕方について説明する。図 5 A、図 5 B は、実施の形態に係る半導体装置 1 の導通経路を示す断面模式図である。

[0066] 実施の形態に係る半導体装置 1 では、電流は、第 1 の領域 A1 の第 1 のソースパッド 111 または第 2 の領域 A2 の第 2 のソースパッド 121 のどちらか一方を流入口として、共通ドレイン領域および裏面ドレイン電極 41 を経由し、第 3 の領域 A3 のドレインパッド 151 を流出口として流れることを想定する。すなわち実施の形態では、第 1 のソースパッド 111 から第 2 のソースパッド 121 への経路、および／または、その逆の経路で導通する駆動を想定しない。

[0067] 半導体装置 1 において、第 1 の領域 A1 の第 1 のソースパッド 111 を流入口とし、第 3 の領域 A3 のドレインパッド 151 を流出口として電流が流れる導通経路を、第 1 の導通経路とよぶ。第 2 の領域 A2 の第 2 のソースパッド 121 を流入口とし、第 3 の領域 A3 のドレインパッド 151 を流出口として電流が流れる導通経路を、第 2 の導通経路とよぶ。

[0068] 図 5 A に示す第 1 の導通経路では、以下のように電流が流れる。半導体装置 1 において、第 1 のソース電極 11 に高電圧および表面ドレイン電極 81 に低電圧を印加し、第 1 のソース電極 11 を基準として第 1 のゲート電極 19（第 1 のゲート導体 15）にしきい値以上の電圧を印加（ON 制御）することで、第 1 のボディ領域 18 中の第 1 のゲート絶縁膜 16 の近傍に導通チ

ャネルを形成する。導通チャネルが形成されると、第1のソース電極11ー第1のソース領域14ー第1のボディ領域18に形成された導通チャネルー低濃度不純物層33ー半導体基板32ー金属層41ー半導体基板32ードレイン引き上げ領域38ー表面ドレイン電極81という経路で電流が流れて、半導体装置1が導通状態となる。

[0069] 表面ドレイン電極81の電位に対して第1のソース電極11の電位が十分に高いとき、第1のゲート電極19（第1のゲート導体15）には、必ずしもしきい値以上の電圧を印加（ON制御）しなくてもよい。この場合、第1のボディ領域18中の第1のゲート絶縁膜16の近傍に導通チャネルは形成されないが、第1のソース電極11ー第1の接続部18aー第1のボディ領域18ー低濃度不純物層33ー半導体基板32ー金属層41ー半導体基板32ードレイン引き上げ領域38ー表面ドレイン電極81という経路で電流が流れて、半導体装置1が導通状態となる。

[0070] 上記はいずれも第1の導通経路である。後者の場合、第1のボディ領域18と低濃度不純物層33との接触面にPN接合があるため、相対的に導通抵抗が高くなる。前者の場合は導通チャネルを経由するので導通抵抗が相対的に低くなる。

[0071] いずれにしても、第1の導通経路を導通させる際には、トランジスタ20における第2のボディ領域28と低濃度不純物層33との接触面にあるPN接合をボディダイオードとして機能させていることに留意すべきである。これがあるために第1のソースパッド111から第2のソースパッド121へ導通することがない。半導体装置1において第1の導通経路だけを使用する場合には、トランジスタ20の、第2のゲート電極29（第2のゲート導体25）には、しきい値以上の電圧を印加しないこと（OFF制御）が望ましい。

[0072] 図5Bに示す第2の導通経路では、以下のように電流が流れる。半導体装置1において、第2のソース電極21に高電圧および表面ドレイン電極81に低電圧を印加し、第2のソース電極21を基準として第2のゲート電極2

9（第2のゲート導体25）にしきい値以上の電圧を印加（ON制御）することで、第2のボディ領域28中の第2のゲート絶縁膜26の近傍に導通チャネルを形成する。導通チャネルが形成されると、第2のソース電極21－第2のソース領域24－第2のボディ領域28に形成された導通チャネル－低濃度不純物層33－半導体基板32－金属層41－半導体基板32－ドレイン引き上げ領域38－表面ドレイン電極81という経路で電流が流れて、半導体装置1が導通状態となる。

[0073] 表面ドレイン電極81の電位に対して第2のソース電極21の電位が十分に高いとき、第2のゲート電極29（第2のゲート導体25）には、必ずしもしきい値以上の電圧を印加（ON制御）しなくてもよい。この場合、第2のボディ領域28中の第2のゲート絶縁膜26の近傍に導通チャネルは形成されないが、第2のソース電極21－第2の接続部28a－第2のボディ領域28－低濃度不純物層33－半導体基板32－金属層41－半導体基板32－ドレイン引き上げ領域38－表面ドレイン電極81という経路で電流が流れて、半導体装置1が導通状態となる。

[0074] 上記はいずれも第2の導通経路である。後者の場合、第2のボディ領域28と低濃度不純物層33との接触面にPN接合があるため、相対的に導通抵抗が高くなる。前者の場合は導通チャネルを経由するので導通抵抗が相対的に低くなる。

[0075] いずれにしても、第2の導通経路を導通させる際には、トランジスタ10における第1のボディ領域18と低濃度不純物層33との接触面にあるPN接合をボディダイオードとして機能させていることに留意すべきである。これがあるために第2のソースパッド121から第1のソースパッド111へ導通することがない。半導体装置1において第2の導通経路だけを使用する場合には、トランジスタ10の、第1のゲート電極19（第1のゲート導体15）には、しきい値以上の電圧を印加しないこと（OFF制御）が望ましい。

[0076] なお図5Aおよび図5Bで示したように、第1の導通経路においても第2

の導通経路においても、半導体装置 1 内部を水平方向に流れる電流は、そのほとんどは抵抗率の低い金属層 4 1 を経由するが、一部には半導体基板 3 2 を流れることもある。

[0077] [3. 半導体装置の使用例]

図 6 は、それぞれ脱着が可能な第 1 の電源 5 1 と第 2 の電源 5 2 とから、実施の形態に係る半導体装置 1 を経由して負荷 6 へ電流を流す給電回路の一部を示した回路図である。ここでは負荷 6 の電位を基準として、第 1 の電源 5 1 の電位が、第 2 の電源 5 2 の電位よりも高電位であるとする。

[0078] 実施の形態に係る半導体装置 1 は、高電位である第 1 の電源 5 1 からの給電と、それよりは低い電位である第 2 の電源 5 2 からの給電との 2 系統を合流し、低電位である下流の負荷 6 へ向けて 1 系統にまとめる機能を果たすように設置される。

[0079] 高電位である第 1 の電源 5 1 からの給電によって流れる電流の最大値を  $I_1$  [A] とし、第 1 の電源 5 1 の電位よりは低電位である第 2 の電源 5 2 からの給電によって流れる電流の最大値を  $I_2$  [A] とする。 $I_1$ 、 $I_2$  は実施の形態に係る半導体装置 1 の製品データシートに記載される、それぞれ第 1 の導通経路および第 2 の導通経路における仕様最大電流値であると捉えて差し支えない。

[0080] 第 1 の電源 5 1 と第 2 の電源 5 2 の電位の関係から、 $I_1 > I_2$  の関係がある。相対的に大きい電流  $I_1$  が導通する、第 1 の電源 5 1 側は、半導体装置 1 において平面視での面積が大きいトランジスタ 1 0 の、第 1 のソースパッド 1 1 1 に接続されており、相対的に小さい電流  $I_2$  が導通する、第 2 の電源 5 2 側は、半導体装置 1 において平面視での面積が小さいトランジスタ 2 0 の、第 2 のソースパッド 1 2 1 に接続されている。

[0081] なお、半導体装置 1 と負荷 6 との間には、スイッチング素子 7 (例えば、シングル型の縦型 MOS トランジスタ) が接続されている。また半導体装置 1 と第 2 の電源 5 2 との間には、スイッチング素子 8 (例えば、シングル型の縦型 MOS トランジスタ) が接続されている。スイッチング素子 7、スイ

ッチング素子 8 および半導体装置 1 には制御 IC 4 が接続されており、制御 IC 4 によってスイッチング素子 7、スイッチング素子 8、トランジスタ 10 およびトランジスタ 20 の ON/OFF がそれぞれ個別に制御される。

[0082] はじめに第 1 の電源 5 1 だけを接続し、第 2 の電源 5 2 を接続しない状態（図 6 において第 2 の電源 5 2 が存在しない状態）について説明する。このとき、制御 IC 4 によってスイッチング素子 7 が ON 制御され、かつトランジスタ 20 が OFF 制御され、半導体装置 1 内の第 1 の導通経路を経て、第 1 の電源 5 1 から負荷 6 への給電がおこなわれる。さらに制御 IC 4 によってトランジスタ 10 が ON 制御されれば、第 1 の導通経路における導通抵抗を低減することができる。

[0083] 第 1 の導通経路とは半導体装置 1 の内部の導通経路であり、先に説明したようにトランジスタ 10 の第 1 のソースパッド 111 を流入口とし、ドレインパッド 151 を流出口として電流が流れる導通経路である。第 1 の導通経路だけを導通する際にはトランジスタ 20 は OFF 制御される。トランジスタ 20 が OFF 制御されているために、第 1 の電源 5 1 からの給電によって流れる電流が、第 2 の電源 5 2 の側へ向かうことを防止できる。

[0084] 次に第 2 の電源 5 2 だけを接続し、第 1 の電源 5 1 を接続しない状態（図 6 において第 1 の電源 5 1 が存在しない状態）について説明する。このとき、制御 IC 4 によってスイッチング素子 7 が ON 制御され、かつトランジスタ 10 が OFF 制御され、半導体装置 1 内の第 2 の導通経路を経て、第 2 の電源 5 2 から負荷 6 への給電がおこなわれる。さらに制御 IC 4 によってトランジスタ 20 が ON 制御されれば、第 2 の導通経路における導通抵抗を低減することができる。

[0085] 第 2 の導通経路とは半導体装置 1 の内部の導通経路であり、先に説明したようにトランジスタ 20 の第 2 のソースパッド 121 を流入口とし、ドレインパッド 151 を流出口として電流が流れる導通経路である。第 2 の導通経路だけを導通する際にはトランジスタ 10 は OFF 制御される。トランジスタ 10 が OFF 制御されているために、第 2 の電源 5 2 からの給電によって

流れる電流が、第1の電源51の側へ向かうことを防止できる。

[0086] 第1の電源51と第2の電源52とを共に接続する場合（図6の状態）では、制御IC4によって、まずスイッチング素子8がOFF制御され、第1の電源51だけから給電される状態を構成する。これは第1の電源51の方が高電位であり、給電に優位であるためである。さらにスイッチング素子7がON制御され、トランジスタ20がOFF制御されることで、第1の電源51から第1の導通経路を経由した、負荷6への給電がおこなわれる。制御IC4によってトランジスタ10がON制御されれば、第1の導通経路における導通抵抗を低減することができる。

[0087] [4. 半導体装置の効果]

図6に示した給電回路で、実施の形態に係る半導体装置1を使用しない場合の比較例を図7に示した。比較例においては、実施の形態に係る半導体装置1の代わりに、例えば、図8A、図8Bに構造の一例を平面模式図で示したシングル構成の縦型MOSトランジスタ10B（以下、トランジスタ10Bという）と、図9A、図9Bに構造の一例を平面模式図で示したシングル構成の縦型MOSトランジスタ20B（以下、トランジスタ20Bという）と、をそれぞれ使用する。

[0088] トランジスタ10Bとトランジスタ20Bで、実施の形態に係る半導体装置1が有するのと同様の構成要素については、対応する構成要素の符号にBを追加して示している。ただし区別のため、ドレインパッドについては、トランジスタ10B（が有するドレインパッド151B）とトランジスタ20B（が有するドレインパッド152B）とで符号を分けている。

[0089] 図8B、図9Bでは、本実施の形態に係る半導体装置1の平面模式図（図2B）で示したのと同じように、半導体層40の表面側に、ソース電極の部分13B（23B）、ゲート電極19B（29B）、ゲート配線、そして表面ドレイン電極の部分83B、が形成された直後の様子を示したものである。図8B、図9Bでは分かりやすさのため、この時点では見えないはずのパッドを点線で示している。

[0090] トランジスタ 10B のソース電極の部分 13B の平面視での面積と、実施の形態に係る半導体装置 1 に備わるトランジスタ 10 が有する第 1 のソース電極 11 の部分 13 の平面視での面積とは同じである。したがって、図 7 において第 1 の電源 51 からトランジスタ 10B を経由して負荷 6 へ流れる経路の導通抵抗は、図 6 における実施の形態に係る半導体装置 1 の第 1 の導通経路の導通抵抗と同等であると捉えて差し支えない。

[0091] またトランジスタ 20B のソース電極の部分 23B の平面視での面積と、実施の形態に係る半導体装置 1 に備わるトランジスタ 20 が有する第 2 のソース電極 21 の部分 23 の平面視での面積とは同じである。したがって、図 7 において第 2 の電源 52 からトランジスタ 20B を経由して負荷 6 へ流れる経路の導通抵抗は、図 6 における実施の形態に係る半導体装置 1 の第 2 の導通経路の導通抵抗と同等であると捉えて差し支えない。

[0092] 図 7 に示す給電回路において、第 1 の電源 51 のみが接続される（図 7 で第 2 の電源 52 が存在しない）場合、トランジスタ 20B は OFF 制御されて、第 1 の電源 51 からの給電によって流れる電流が、第 2 の電源 52 の側へ向かうことを防ぐ。トランジスタ 10B はゲートパッド 119B にしきい値以上の電圧が印加されて ON 制御され、第 1 の電源 51 からの給電によって流れる電流は、トランジスタ 10B のソースパッド 111B から流入し、ドレインパッド 151B から流出する。図 8A、図 8B に示すように、トランジスタ 10B の平面視での面積（ソース電極の部分 13B の面積）が相対的に大きいのは、第 1 の電源 51 からの給電によって流れる電流が相対的に大きいためである。

[0093] 図 7 の給電回路において、第 2 の電源 52 のみが接続される（図 7 で第 1 の電源 51 が存在しない）場合、トランジスタ 10B は OFF 制御されて、第 2 の電源 52 からの給電によって流れる電流が、第 1 の電源 51 の側へ向かうことを防ぐ。トランジスタ 20B はゲートパッド 129B にしきい値以上の電圧が印加されて ON 制御され、第 2 の電源 52 からの給電によって流れる電流は、トランジスタ 20B のソースパッド 121B から流入し、ドレ

インパッド152Bから流出する。図9A、図9Bに示すように、トランジスタ20Bの平面視での面積（ソース電極の部分23Bの面積）が相対的に小さいのは、第2の電源52からの給電によって流れる電流が相対的に小さいためである。

[0094] 以上のように、図7に示す比較例に係る給電回路では、トランジスタ10Bは図6の給電回路における、実施の形態に係る半導体装置1に備わるトランジスタ10と同じ機能を果たす。同様に、図7に示す比較例に係る給電回路では、トランジスタ20Bは図6の給電回路における、実施の形態に係る半導体装置1に備わるトランジスタ20と同じ機能を果たす。

[0095] しかしながら図7に示す、比較例に係る給電回路を搭載する回路基板では、トランジスタ10Bとトランジスタ20Bのそれぞれの面積と、両者の間に設けねばならない一定の設置マージンとを確保する必要がある。またトランジスタ10Bとトランジスタ20Bとは、平面視でそれぞれにドレインパッド（151B、152B）を有するため、一定の面積を必要とする構造である。

[0096] 一方で、図6に示す給電回路を搭載する回路基板では、実施の形態に係る半導体装置1を利用することで、比較例に係るトランジスタ10Bとトランジスタ20Bとを統合することができる。これによって、比較例に係る給電回路を搭載する回路基板では必要であったトランジスタ10Bとトランジスタ20Bとの間に設けねばならない一定の設置マージンを不要とし、さらにトランジスタ10Bとトランジスタ20Bとがそれぞれに有するドレインパッド（151B、152B）を1つに共通化できるので、回路基板に必要な面積を縮小することができる。図6に示す給電回路を搭載する回路基板では、比較例に比べて、基板自体を縮小することも可能となり、また、生じた余剰部分に別の部品を搭載することも可能となる。

[0097] したがって実施の形態に係る半導体装置1は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置1であって、裏面側に半導体基板32を有し、半導体装置1の平面視において、互いに重複しない第1の領域

A 1、第2の領域A 2、第3の領域A 3、のそれぞれ分散して配置されない3つの領域に分けられた半導体層4 0と、半導体層4 0の第1の領域A 1に、その全体が形成された第1の縦型MOSトランジスタ1 0と、半導体層4 0の第2の領域A 2に、その全体が形成された第2の縦型MOSトランジスタ2 0と、半導体層4 0の裏面側に接触して形成された金属層4 1と、を備え、半導体基板3 2は、第1の縦型MOSトランジスタ1 0および第2の縦型MOSトランジスタ2 0の共通ドレイン領域であり、平面視において、第1の領域A 1に内包される位置に、第1の縦型MOSトランジスタ1 0の第1のソースパッド1 1 1および第1のゲートパッド1 1 9が形成され、平面視において、第2の領域A 2に内包される位置に、第2の縦型MOSトランジスタ2 0の第2のソースパッド1 2 1および第2のゲートパッド1 2 9が形成され、平面視において、第3の領域A 3に内包される位置に、共通ドレイン領域に接続されたドレインパッド1 5 1が形成され、平面視において、第1の領域A 1および第2の領域A 2は、第3の領域A 3を挟んで配置され、平面視において、第3の領域A 3は、第1の領域A 1および第2の領域A 2に隣接し、平面視において、第1の領域A 1の面積は、第2の領域A 2の面積よりも大きい半導体装置1であることを特徴とする。

[0098] 実施の形態に係る半導体装置1において、第1の導通経路は、第1の領域A 1の第1のソースパッド1 1 1を流入口とし、第3の領域A 3のドレインパッド1 5 1を流出口とする。このため第1の領域A 1と第3の領域A 3とは平面視で隣接していると、第1の導通経路は短縮されて導通抵抗を低減できるので都合がよい。同様に、第2の導通経路は、第2の領域A 2の第2のソースパッド1 2 1を流入口とし、第3の領域A 3のドレインパッド1 5 1を流出口とする。このため第2の領域A 2と第3の領域A 3とは平面視で隣接していると、第2の導通経路は短縮されて導通抵抗を低減できるので都合がよい。

[0099] したがって、平面視において第1の領域A 1および第2の領域A 2は、第3の領域A 3を挟んで配置され、第3の領域A 3は、第1の領域A 1および

第2の領域A2に隣接していることが望ましい。

[0100] 実施の形態に係る半導体装置1では、第1の導通経路の導通抵抗を低くすることを重視する。このため図2Aまたは図2Bに示すように、平面視において、第1の領域A1と第3の領域A3との対向長は、第2の領域A2と第3の領域A3との対向長よりも長くなるように配置されることが好ましい。半導体装置1の平面視での配置を上記のようにすると第1の導通経路で最も電流密度が高まる場所を拡大できる（対向長を長くする）ので、導通抵抗を低めることができる。

[0101] 上記のような効果は、例えば図10に示すような変形例2においても得ることができる。図10は、実施の形態に係る半導体装置1から、第1の領域A1と第2の領域A2との配置の割合を変化させた平面模式図である。

[0102] また図2A、図2Bに示すように、平面視において、半導体層40は矩形状であり、第1の領域A1は、半導体層40の4辺のそれぞれと少なくとも一部が一致する外周を有するように設置されてもよい。半導体装置1の平面視での配置を上記のようにすることで、第1の領域A1の面積を大きくできるだけでなく、第1の導通経路を全方向的に設けられるので、電流集中によって高温となる箇所が局所的に生じるのを防ぐことができる。

[0103] 上記のような効果は、例えば図11に示すような変形例3においても得ることができる。図11は、実施の形態に係る半導体装置1から、第1の領域A1と第2の領域A2との配置の割合を変化させた平面模式図である。

[0104] ところで図2Bに示すように、第2のゲート電極29が設置される場所は導通に寄与することができない。このため、平面視で第2のゲート電極29は、第2の領域A2において、第2の導通経路の障害となりうる場所から最も遠ざけて設置することが望ましい。すると第2の導通経路で最も電流密度が高まる、第2の領域A2と第3の領域A3との境界線90からなるべく遠ざけることが望ましい。

[0105] したがって平面視において、第2のゲート電極29、すなわち第2のゲートパッド129は、第2の領域A2の外周辺のうち、第3の領域A3と隣接

しない2辺で形成される角部に最近接して設置されることが好ましい。図2 Bに示す例では、第2のゲートパッド129は、平面視で右上の角部に最近接するように設置されている。

[0106] 上記のような効果は、例えば図12A、図12Bに示すような変形例4においても得ることができる。図12A、図12Bは、実施の形態に係る半導体装置1の変形例2から、第1のゲート電極19と第1のゲートパッド119、第2のゲート電極29と第2のゲートパッド129の位置を変化させた平面模式図である。なお図12Bでは、半導体層の表面側に、第1のソース電極の部分13、第2のソース電極の部分23、第1のゲート電極19、第2のゲート電極29、第1のゲート配線、第2のゲート配線、そして表面ドレイン電極の部分83、が形成された直後の様子を示したものである。図12Bでは分かりやすさのため、この時点では見えないはずのパッドを点線で示している。

[0107] 図12Bに示す変形例4を、図2Bに示す例と比較すると、変形例4では、第2の領域A2において、平面視で、第2のゲートパッド129が、第1の領域A1と第2の領域A2との境界線90（P3からP4までの点線）に最近接するように設置されている。このため、第2の導通経路において最も電流密度が高まる、第2の領域A2と第3の領域A3との境界線90（P2からP4までの点線）に沿う領域を広く活用できる。

[0108] また変形例4は、平面視において、第2のゲートパッド129は、第2の領域A2の外周辺が構成する角部のうち、ドレインパッド151から最も離れた角部に最近接するように設置されている、ともいえる。このため、第2の領域A2と第3の領域A3との境界線90（P2からP4までの点線）に沿う領域を広く活用できる。同様に、平面視において、第1のゲートパッド119は、第1の領域A1の外周辺が構成する角部のうち、ドレインパッド151から最も離れた角部に最近接するように設置されている。このため、第1の領域A1と第3の領域A3との境界線90（P1からP4までの点線）に沿う領域を広く活用できる。

- [0109] さて実施の形態に係る半導体装置 1 を使用した図 6 に示す例に戻る。ON 状態におけるトランジスタでは、一般的にトランジスタの平面視での面積が大きいと総ゲート幅が増大するため、導通抵抗が低くなる。つまりトランジスタの平面視での面積と導通抵抗とは概ね逆比例の関係にある。
- [0110] 半導体装置 1 において、第 1 の導通経路を成すトランジスタ 10 の平面視での面積  $a_1$  は、第 2 の導通経路を成すトランジスタ 20 の平面視での面積  $a_2$  よりも大きい。このため第 1 の導通経路の方が導通抵抗が低く、相対的に大きい電流を流すことに適する経路となっている。
- [0111] 第 1 の導通経路の導通抵抗  $R_1$  [ $\Omega$ ] は、第 1 の電源 51 からの給電によって流れる電流の最大値  $I_1$  [A] を加味して定めればよい。同様に、第 2 の導通経路の導通抵抗  $R_2$  [ $\Omega$ ] は、第 2 の電源 52 からの給電によって流れる電流の最大値  $I_2$  [A] を加味して定めればよい。したがって実施の形態に係る半導体装置 1 では、第 1 の導通経路と第 2 の導通経路とにそれぞれ適した導通抵抗が実現するように、トランジスタ 10 とトランジスタ 20 のそれぞれの面積を決めることが望ましい。
- [0112] しかしながら上記のように求める、トランジスタ 20 の平面視での面積  $a_2$  が過度に小さいと、トランジスタ 20 における ESD (Electro Static Discharge) 耐性が低下し、半導体装置 1 全体で ESD 保証値を維持できなくなることがある。ESD 保証値を維持できるようにトランジスタ 20 の平面視での面積  $a_2$  を増大すれば、第 2 の導通経路の導通抵抗が過度に低下することになり、第 2 の電源 52 からの電流を所望の大きさに制限することが難しくなる。
- [0113] そこで本発明者らは半導体装置 1 において、平面視での第 3 の領域 A3 で、ドレインコンタクト領域 39 の大きさ（面積）と位置を適切に設計することで、トランジスタ 20 の平面視での面積  $a_2$  とは別に、第 2 の導通経路における導通抵抗を制御することを見出した。
- [0114] 以下、実施の形態に係る半導体装置 1 では、ESD 保証値を維持できるようにトランジスタ 20 の平面視での面積  $a_2$  が必要なだけ増大されているも

のとして説明をおこなう。すなわち、いま実施の形態に係る半導体装置 1 では、第 2 の導通経路の導通抵抗が過度に低下しているものと捉える。

[0115] 図 1 3 は、図 2 B に示した半導体装置 1 の平面模式図のうち、第 3 の領域 A 3 だけを切り取って抜き出した平面模式図である。

[0116] ドレインコンタクト領域 3 9 は、図 1 および図 3 に示したように、ドレイン引き上げ領域 3 8 と表面ドレイン電極 8 1 の部分 8 3 とが接続する領域である。したがってドレインコンタクト領域 3 9 は平面視で、第 3 の領域 A 3 に内包される一部である。

[0117] 図 1 3 に示す例では、平面視で第 3 の領域 A 3 もドレインコンタクト領域 3 9 も、共に矩形状である。平面視において矩形状である第 3 の領域 A 3 の短辺に沿う方向（図 1 3 では X 方向）を第 1 の方向とし、第 3 の領域 A 3 の長辺に沿う方向（図 1 3 では Y 方向）を第 2 の方向とする。第 1 の方向と第 2 の方向は直交する。

[0118] 平面視で、第 3 の領域 A 3 の第 1 の方向における辺長を  $L_1$  [ $\mu\text{m}$ ]、第 2 の方向における辺長を  $L_2$  [ $\mu\text{m}$ ] とする。また平面視で、ドレインコンタクト領域 3 9 の第 1 の方向における辺長を  $l_1$  [ $\mu\text{m}$ ]、第 2 の方向における辺長を  $l_2$  [ $\mu\text{m}$ ] とする。

[0119] 本発明者らは、第 2 の導通経路における導通抵抗の過度な低減を回避する目的に立ち、平面視におけるドレインコンタクト領域 3 9 の面積について、 $l_1 \leq L_1 / 4$  かつ  $l_2 \leq L_2$  の条件を設定した。

[0120]  $l_2 \leq L_2$  について、正確には図 1 3 に示すように、 $l_2$  は第 2 の方向における両端の設置マージンの分だけ  $L_2$  よりも小さい寸法である。 $l_1 \leq L_1 / 4$  という条件は、ドレインコンタクト領域 3 9 の面積を少なくとも第 3 の領域 A 3 の面積の  $1 / 4$  以下へ低減し、それによってドレインコンタクト領域 3 9 の平面視での位置を、第 2 の領域 A 2 からの距離で調節できるようにするためである。

[0121] このような考えに基づき、ドレインコンタクト領域 3 9 の平面視での大きさと形状を、図 1 3 に示したように設定した半導体装置 1 を、図 6 で回路図

を示した回路に用いる場合を検討した。トランジスタ 10 を ON 制御し、トランジスタ 20 を OFF 制御したときの、第 1 の導通経路の導通抵抗  $R_1$  と、トランジスタ 20 を ON 制御し、トランジスタ 10 を OFF 制御したときの、第 2 の導通経路の導通抵抗  $R_2$  とを算出した結果をプロットしたグラフを図 14 に示す。第 1 の導通経路の導通抵抗  $R_1$  は丸のマーカで示しており、左の縦軸でプロットしている。第 2 の導通経路の導通抵抗  $R_2$  はひし形のマーカで示しており、右の縦軸でプロットしている。

[0122] 図 14 の横軸は、平面視での第 3 の領域 A3 における、第 1 の方向に沿った位置である。位置の基準は、図 13 において、第 3 の領域 A3 の左端、すなわち第 1 の領域 A1 と第 3 の領域 A3 との境界線 90 上としている。またドレインコンタクト領域 39 の中心の位置をもって横軸をプロットしている。

[0123] 図 14 の上部に示す矢印は第 1 の方向において、左から、基準の位置、基準から  $L_1/4$  の位置、基準から  $L_1/2$  の位置、基準から  $3 \times L_1/4$  の位置、基準から  $L_1$  の位置すなわち第 3 の領域 A3 と第 2 の領域 A2 との境界線 90 上の位置を示している。平面視において第 3 の領域 A3 を、面積が等しくなるように上記の位置において 4 つに区分し、第 1 の方向において左から右へ向けて、第 4 の領域、第 5 の領域、第 6 の領域、第 7 の領域とよぶ。

[0124] なお、図 14 のグラフにプロットした結果の算出においては、半導体装置 1 は平面視で 1 辺が  $1.5 \text{ [mm]}$  の正形状であり、第 1 の領域 A1、第 2 の領域 A2、第 3 の領域 A3 の区分および各パッドや電極の形状および配置は図 2A、図 2B にそれぞれ示したものとした。平面視での第 3 の領域 A3 の寸法は、 $L_1 = 450 \text{ [}\mu\text{m]}$ 、 $L_2 = 1000 \text{ [}\mu\text{m]}$  である。また  $l_1 = 3 \text{ [}\mu\text{m]}$ 、 $l_2 = 980 \text{ [}\mu\text{m]}$  である。

[0125] また図 14 では、横軸において、左端と右端から一定の距離をおいてデータのプロットがされているのは、平面視において、第 3 の領域 A3 の内部で、表面ドレイン電極 81 の部分 83 には設置マージンが加味されているため

である。

[0126] 図14から、ドレインコンタクト領域39が、平面視で第3の領域A3の中央付近に設置されると、R1もR2も極小となることが分かる。ここでは中央付近とは第5の領域または第6の領域のことをいう。ドレインコンタクト領域39が、例えば第4の領域にあるというのは、平面視で、ドレインコンタクト領域39の中心が第4の領域にあることを指すものとする。必ずしもドレインコンタクト領域39の全域が第4の領域に内包されることをいうものではない。

[0127] さらに図14からは、ドレインコンタクト領域39が平面視で第2の領域A2から遠ざかる（第4の領域側に位置が変わる）とR2が増大する傾向が現れることが分かる。図14で見られるこのような傾向は、ドレインコンタクト領域39の面積が小さいほど顕著であり、ドレインコンタクト領域39の面積が第3の領域A3の面積の $1/4$ を上回って増大すると見えにくくなる。

[0128] したがって実施の形態に係る半導体装置1では、半導体基板32は、第1の濃度の不純物を含む第1導電型であり、半導体層40は、半導体基板32上に接して形成された、第1の濃度の不純物よりも低い第2の濃度の不純物を含む、第1導電型の低濃度不純物層33を有し、平面視において、半導体層40の第3の領域A3に、第1の濃度の不純物よりも高い濃度の不純物を含み、共通ドレイン領域（半導体基板32）と接続する、第1導電型のドレイン引き上げ領域38が形成され、平面視において、第3の領域A3に内包される位置に、半導体層40の表面に接触し、ドレイン引き上げ領域38と接続する表面ドレイン電極81の部分83が形成され、平面視において、表面ドレイン電極81の部分83とドレイン引き上げ領域38とが接続するドレインコンタクト領域39の面積は、第3の領域A3の面積の $1/4$ 以下であることが望ましい。

[0129] また平面視でのドレインコンタクト領域39の形状は、第2の方向に長手方向を有する、概ね矩形の形状であれば、ほとんど同じ効果を得ることがで

きる。

[0130] したがって平面視において、第3の領域A3は長方形状であり、第3の領域A3の短辺L1と平行する第1の方向におけるドレインコンタクト領域39の最大幅I1は、平面視において、第1の方向に直交し、第3の領域A3の長辺L2と平行する第2の方向における、ドレインコンタクト領域39の最大幅I2よりも小さく、平面視において、ドレインコンタクト領域39の第1の方向の最大幅I1は、第3の領域の短辺L1の長さの $1/4$ 以下であることが望ましい。

[0131] さて図14によれば、ドレインコンタクト領域39が第5の領域にある場合においては、第1の導通経路の導通抵抗R1はほぼ一定して極小である。その一方で、第2の導通経路の導通抵抗R2はドレインコンタクト領域39が第4の領域に近づく側に偏って配置されるほど増大する。したがってドレインコンタクト領域39を第5の領域に設置すると、R1を低減したまま、R2だけを増大させることができる。

[0132] したがって平面視において、第3の領域は、第1の方向においてそれぞれ面積が等しい第4の領域、第5の領域、第6の領域、および、第7の領域に4等分され、平面視において、第4の領域、第5の領域、第6の領域、および、第7の領域は、この順に、第1の方向に沿って、第1の領域A1と第3の領域A3との境界線90から第2の領域A2と第3の領域A3との境界線90まで、並んで配置され、平面視において、ドレインコンタクト領域39の中心は、第5の領域に設置されていてもよい。

[0133] より好ましくは、ドレインコンタクト領域39を設置するのは第5の領域の中において、第4の領域との境近傍であることが望ましい。例えば第4の領域と第5の領域との境を含んでドレインコンタクト領域39が設置されてもよい。このようにドレインコンタクト領域39を設置すると、R2の過度な低減を回避することができる。

[0134] ドレインコンタクト領域39が第4の領域にあり、さらに第1の領域A1と第3の領域A3との境界線90（第1の方向における基準の位置）に近づく

く側に偏って配置されるほど、 $R_1$ も $R_2$ も増大する。ただし $R_2$ の方が増大する割合が大きい。これはドレインコンタクト領域39が、第2の領域A2と第3の領域A3との境界線90から遠ざかることに起因する。

[0135] したがって平面視において、第3の領域は、第1の方向においてそれぞれ面積が等しい第4の領域、第5の領域、第6の領域、および、第7の領域に4等分され、平面視において、第4の領域、第5の領域、第6の領域、および、第7の領域は、この順に、第1の方向に沿って、第1の領域A1と第3の領域A3との境界線90から第2の領域A2と第3の領域A3との境界線90まで、並んで配置され、平面視において、ドレインコンタクト領域39の中心は、第4の領域に設置されていてもよい。

[0136] さらに好ましくは、第1の領域A1と第3の領域A3との境界線90に近づく側に偏って配置するほど、 $R_1$ と $R_2$ の差を拡大することができる。このようにドレインコンタクト領域39を設置すると、第2の領域A2の平面視での面積を拡大することに対する $R_2$ の過度な低減を回避することができる。

[0137] なお、ドレインコンタクト領域39が第6の領域に設置される場合、 $R_1$ も $R_2$ もほぼ極小の値を維持するため、 $R_1$ も $R_2$ も低い値を実現したい場合には都合がよい。

[0138] したがって平面視において、第3の領域は、第1の方向においてそれぞれ面積が等しい第4の領域、第5の領域、第6の領域、および、第7の領域に4等分され、平面視において、第4の領域、第5の領域、第6の領域、および、第7の領域は、この順に、第1の方向に沿って、第1の領域A1と第3の領域A3との境界線90から第2の領域A2と第3の領域A3との境界線90まで、並んで配置され、平面視において、ドレインコンタクト領域39の中心は、第6の領域に設置されていてもよい。

[0139] 以上のように、実施の形態に係る半導体装置1では、第1の領域A1と第2の領域A2の平面視での面積を決めた後に、ドレインコンタクト領域39の大きさ（面積）と、その設置する位置によって、第1の導通経路の導通抵

抗 $R_1$ と第2の導通経路の導通抵抗 $R_2$ とを調整することができる。特に小面積であるトランジスタ20において、求められるESD耐性を実現するために第2の領域A2を拡大しても、第2の導通経路の導通抵抗 $R_2$ を所望する高めの値で実現することができる。このため第1の導通経路を流れる電流と、第2の導通経路を流れる電流とを、所望の大きさにすることができる。

[0140] 以上、本開示の一態様に係る半導体装置について、実施の形態および変形例1～4および比較例に基づいて説明したが、本開示は実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれら実施の形態に施したものや、異なる実施の形態および変形例における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

### 産業上の利用可能性

[0141] 本願発明に係る縦型MOSトランジスタを備える半導体装置は、電流経路の導通状態を制御する装置として広く利用できる。

### 符号の説明

- [0142] 1、1A 半導体装置
- 4 制御IC
- 6 負荷
- 7、8 スイッチング素子
- 10、10A、10B トランジスタ（第1の縦型MOSトランジスタ）
- 11 第1のソース電極
- 12、13、22、23 部分
- 14 第1のソース領域
- 15 第1のゲート導体
- 16 第1のゲート絶縁膜
- 17 第1のゲートトレンチ
- 18 第1のボディ領域
- 18a 第1の接続部

- 1 9 第1のゲート電極
- 2 0、2 0 B トランジスタ（第2の縦型MOSトランジスタ）
- 2 1 第2のソース電極
- 2 4 第2のソース領域
- 2 5 第2のゲート導体
- 2 6 第2のゲート絶縁膜
- 2 7 第2のゲートトレンチ
- 2 8 第2のボディ領域
- 2 8 a 第2の接続部
- 2 9 第2のゲート電極
- 3 2 半導体基板
- 3 3 低濃度不純物層
- 3 4 層間絶縁層
- 3 5 パッシベーション層
- 3 8 ドレイン引き上げ領域
- 4 0 半導体層
- 4 1 金属層（裏面ドレイン電極）
- 5 1 第1の電源
- 5 2 第2の電源
- 8 1 表面ドレイン電極
- 8 2、8 3 部分
- 9 0 境界線
- 1 1 1 第1のソースパッド
- 1 1 1 B、1 2 1 B ソースパッド
- 1 1 9 第1のゲートパッド
- 1 1 9 B、1 2 9 B ゲートパッド
- 1 2 1 第2のソースパッド
- 1 2 9 第2のゲートパッド

151、151B、152B ドレインパッド

A1 第1の領域

A2 第2の領域

A3 第3の領域

## 請求の範囲

- [請求項1]           フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、
- 裏面側に半導体基板を有し、前記半導体装置の平面視において、互いに重複しない第1の領域、第2の領域、第3の領域、のそれぞれ分散して配置されない3つの領域に分けられた半導体層と、
- 前記半導体層の前記第1の領域に、その全体が形成された第1の縦型MOSトランジスタと、
- 前記半導体層の前記第2の領域に、その全体が形成された第2の縦型MOSトランジスタと、
- 前記半導体層の裏面側に接触して形成された金属層と、を備え、
- 前記半導体基板は、前記第1の縦型MOSトランジスタおよび前記第2の縦型MOSトランジスタの共通ドレイン領域であり、
- 前記平面視において、前記第1の領域に内包される位置に、前記第1の縦型MOSトランジスタの第1のソースパッドおよび第1のゲートパッドが形成され、
- 前記平面視において、前記第2の領域に内包される位置に、前記第2の縦型MOSトランジスタの第2のソースパッドおよび第2のゲートパッドが形成され、
- 前記平面視において、前記第3の領域に内包される位置に、前記共通ドレイン領域に接続されたドレインパッドが形成され、
- 前記平面視において、前記第1の領域および前記第2の領域は、前記第3の領域を挟んで配置され、
- 前記平面視において、前記第3の領域は、前記第1の領域および前記第2の領域に隣接し、
- 前記平面視において、前記第1の領域の面積は、前記第2の領域の面積よりも大きい
- 半導体装置。

- [請求項2] 前記平面視において、前記第1の領域と前記第3の領域との対向長は、前記第2の領域と前記第3の領域との対向長よりも長い請求項1に記載の半導体装置。
- [請求項3] 前記平面視において、前記半導体層は矩形状であり、  
前記平面視において、前記第1の領域は、前記半導体層の4辺のそれぞれと少なくとも一部が一致する外周を有するように設置される請求項2に記載の半導体装置。
- [請求項4] 前記平面視において、前記第2のゲートパッドは、前記第2の領域の外周辺のうち、前記第3の領域とは隣接しない2辺で形成される角部に最近接して設置される請求項2に記載の半導体装置。
- [請求項5] 前記平面視において、前記第2のゲートパッドは、前記第2の領域の外周辺が構成する角部のうち、前記ドレインパッドから最も離れた角部に最近接して設置される請求項2に記載の半導体装置。
- [請求項6] 前記半導体基板は、第1の濃度の不純物を含む第1導電型であり、  
前記半導体層は、前記半導体基板上に接して形成された、前記第1の濃度よりも低い第2の濃度の不純物を含む、前記第1導電型の低濃度不純物層を有し  
前記平面視において、前記半導体層の前記第3の領域に、前記第1の濃度よりも高い濃度の不純物を含み、前記共通ドレイン領域と接続する、前記第1導電型のドレイン引き上げ領域が形成され、  
前記平面視において、前記第3の領域に内包される位置に、前記半導体層の表面に接触し、前記ドレイン引き上げ領域と接続する表面ドレイン電極が形成され、  
前記平面視において、前記表面ドレイン電極と前記ドレイン引き上げ領域とが接続するドレインコンタクト領域の面積は、前記第3の領域の面積の $1/4$ 以下である

請求項 1 に記載の半導体装置。

[請求項7]

前記平面視において、前記第 3 の領域は長方形状であり、前記第 3 の領域の短辺と平行する第 1 の方向における前記ドレインコンタクト領域の最大幅は、前記平面視において、前記第 1 の方向に直交し、前記第 3 の領域の長辺と平行する第 2 の方向における、前記ドレインコンタクト領域の最大幅よりも小さく、

前記平面視において、前記ドレインコンタクト領域の前記第 1 の方向の最大幅は、前記第 3 の領域の短辺の長さの  $1/4$  以下である

請求項 6 に記載の半導体装置。

[請求項8]

前記平面視において、前記第 3 の領域は、前記第 1 の方向においてそれぞれ面積が等しい第 4 の領域、第 5 の領域、第 6 の領域、および、第 7 の領域に 4 等分され、

前記平面視において、前記第 4 の領域、前記第 5 の領域、前記第 6 の領域、および、前記第 7 の領域は、この順に、前記第 1 の方向に沿って、前記第 1 の領域と前記第 3 の領域との境界線から前記第 2 の領域と前記第 3 の領域との境界線まで、並んで配置され、

前記平面視において、前記ドレインコンタクト領域の中心は、前記第 5 の領域に設置される

請求項 7 に記載の半導体装置。

[請求項9]

前記平面視において、前記第 3 の領域は、前記第 1 の方向においてそれぞれ面積が等しい第 4 の領域、第 5 の領域、第 6 の領域、および、第 7 の領域に 4 等分され、

前記平面視において、前記第 4 の領域、前記第 5 の領域、前記第 6 の領域、および、前記第 7 の領域は、この順に、前記第 1 の方向に沿って、前記第 1 の領域と前記第 3 の領域との境界線から前記第 2 の領域と前記第 3 の領域との境界線まで、並んで配置され、

前記平面視において、前記ドレインコンタクト領域の中心は、前記第 4 の領域に設置される

請求項 7 に記載の半導体装置。

[請求項10]

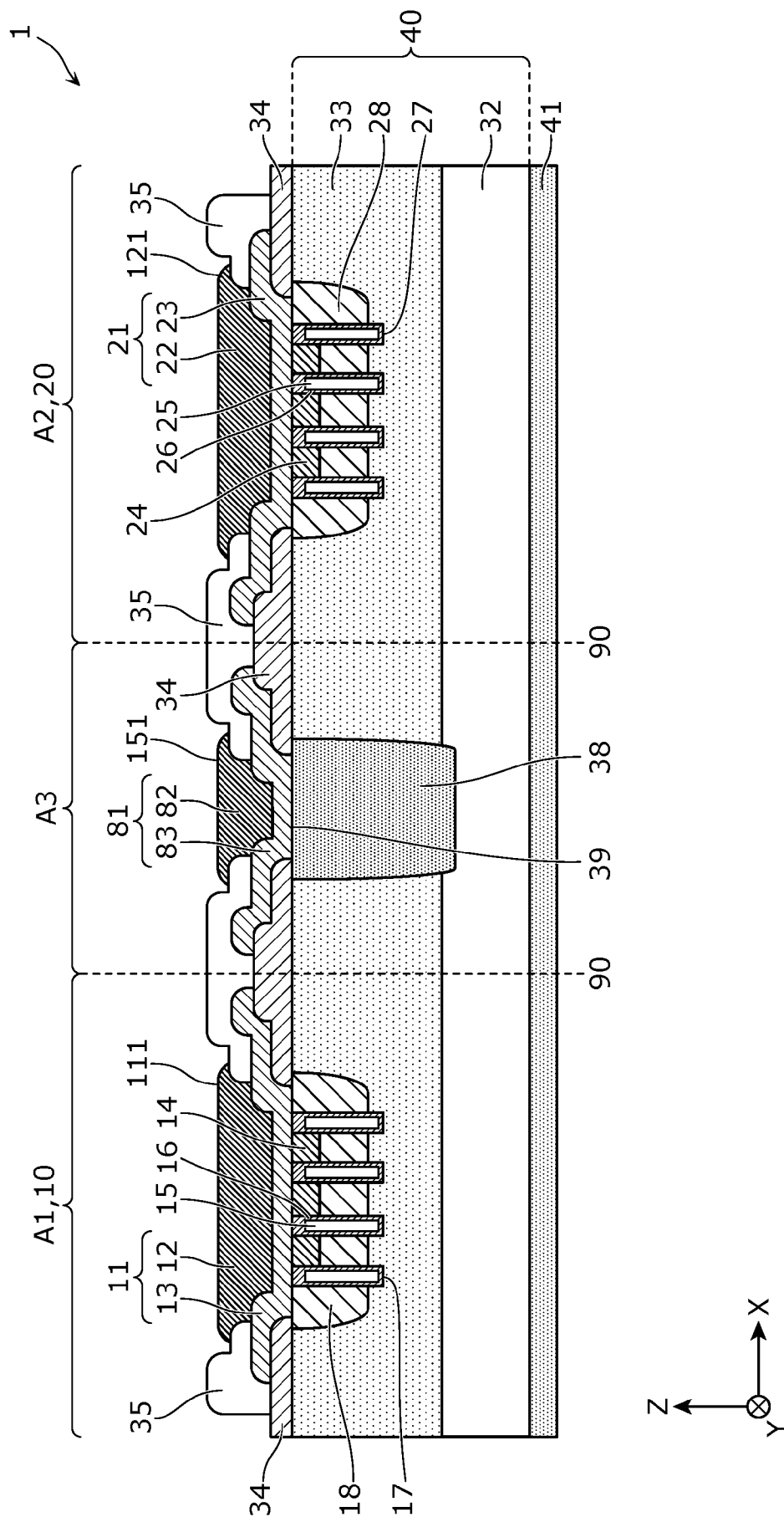
前記平面視において、前記第 3 の領域は、前記第 1 の方向においてそれぞれ面積が等しい第 4 の領域、第 5 の領域、第 6 の領域、および、第 7 の領域に 4 等分され、

前記平面視において、前記第 4 の領域、前記第 5 の領域、前記第 6 の領域、および、前記第 7 の領域は、この順に、前記第 1 の方向に沿って、前記第 1 の領域と前記第 3 の領域との境界線から前記第 2 の領域と前記第 3 の領域との境界線まで、並んで配置され、

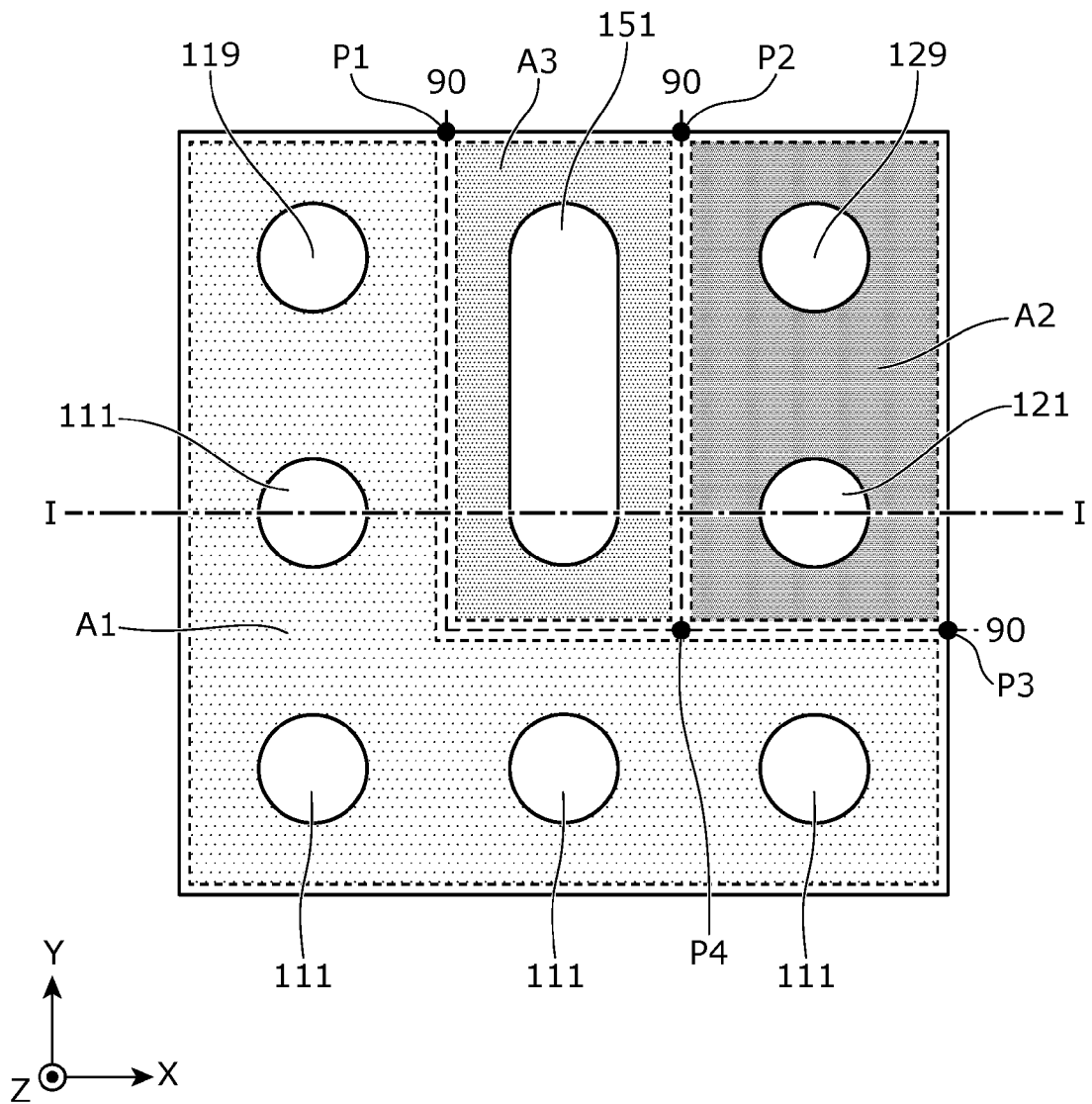
前記平面視において、前記ドレインコンタクト領域の中心は、前記第 6 の領域に設置される

請求項 7 に記載の半導体装置。

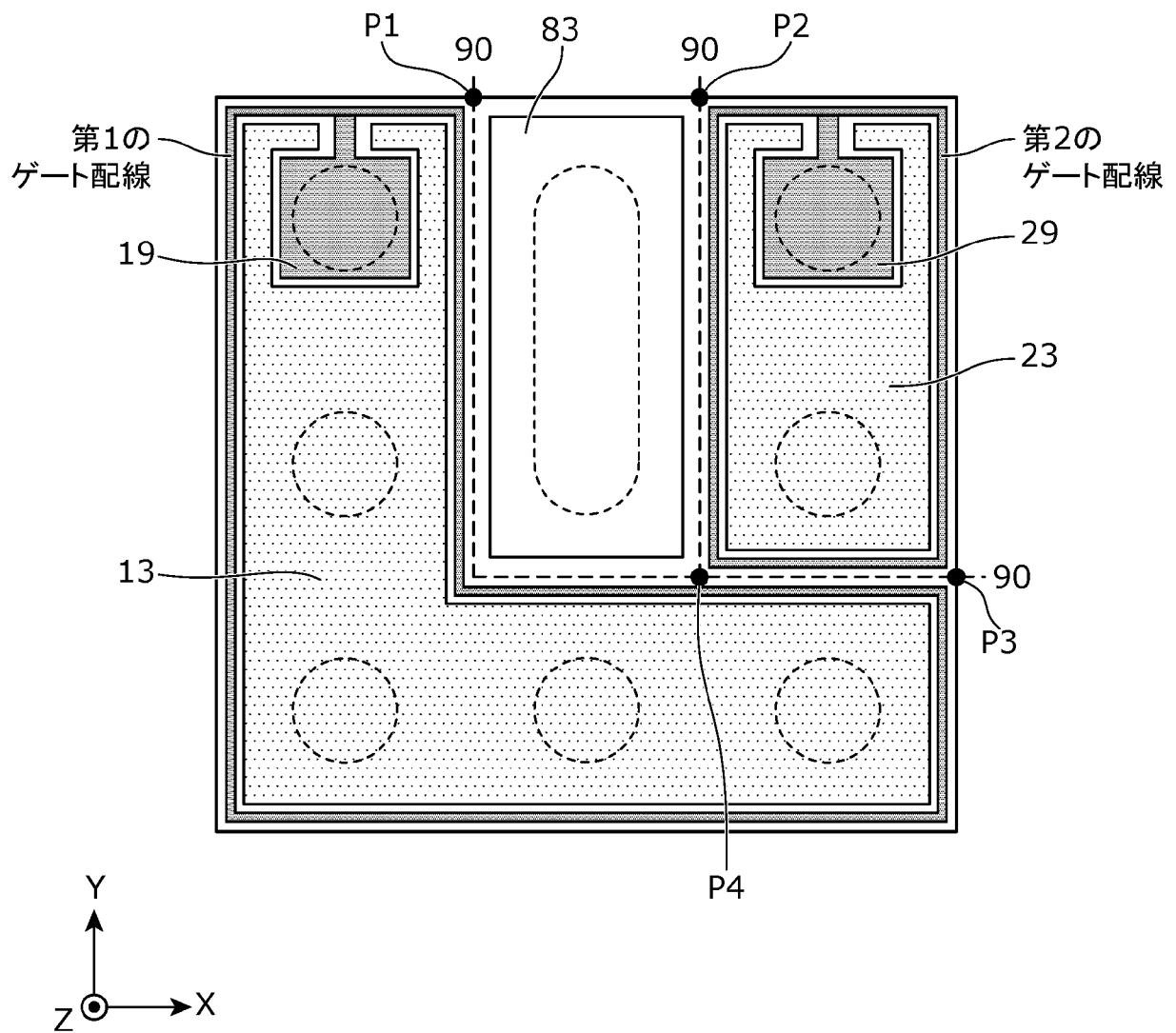
[図1]



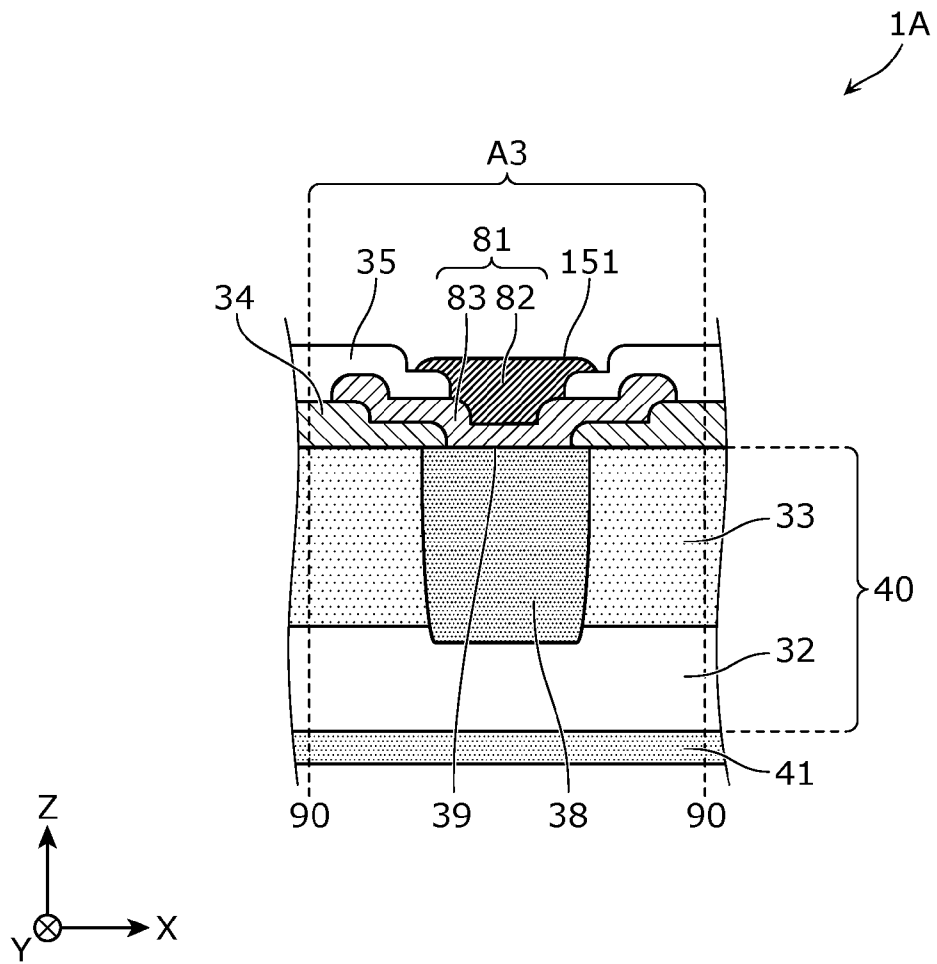
[図2A]



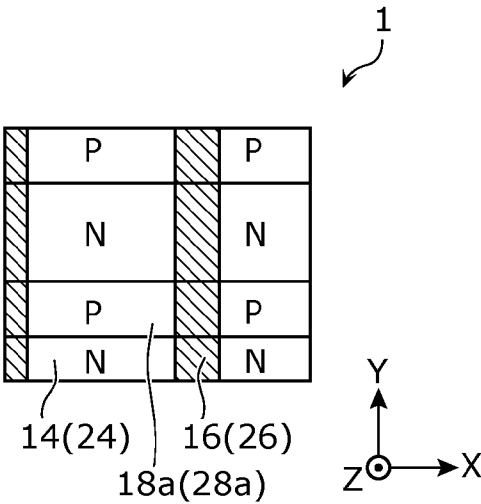
[図2B]



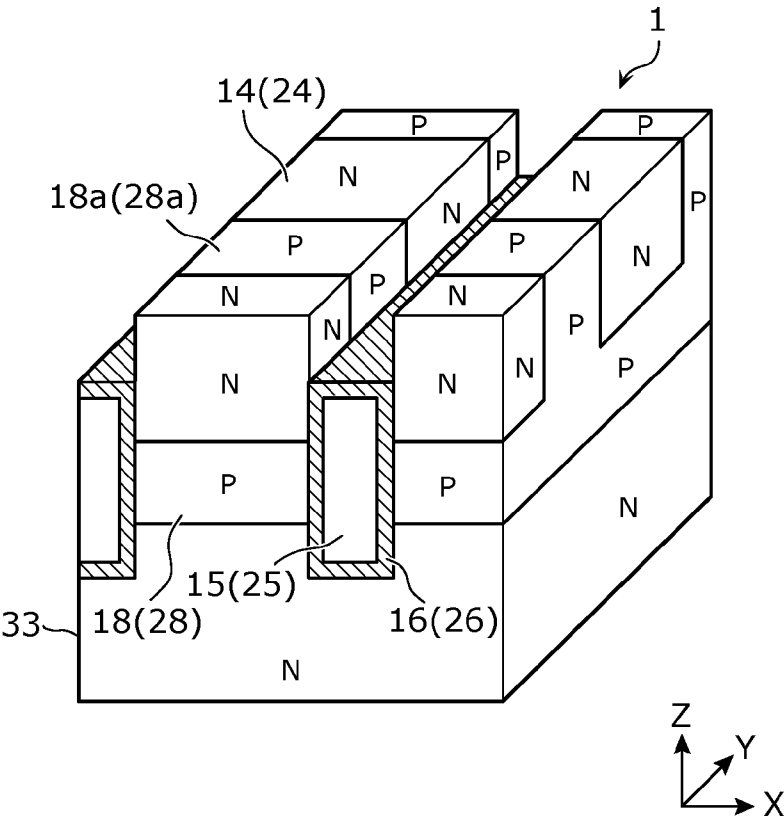
[図3]



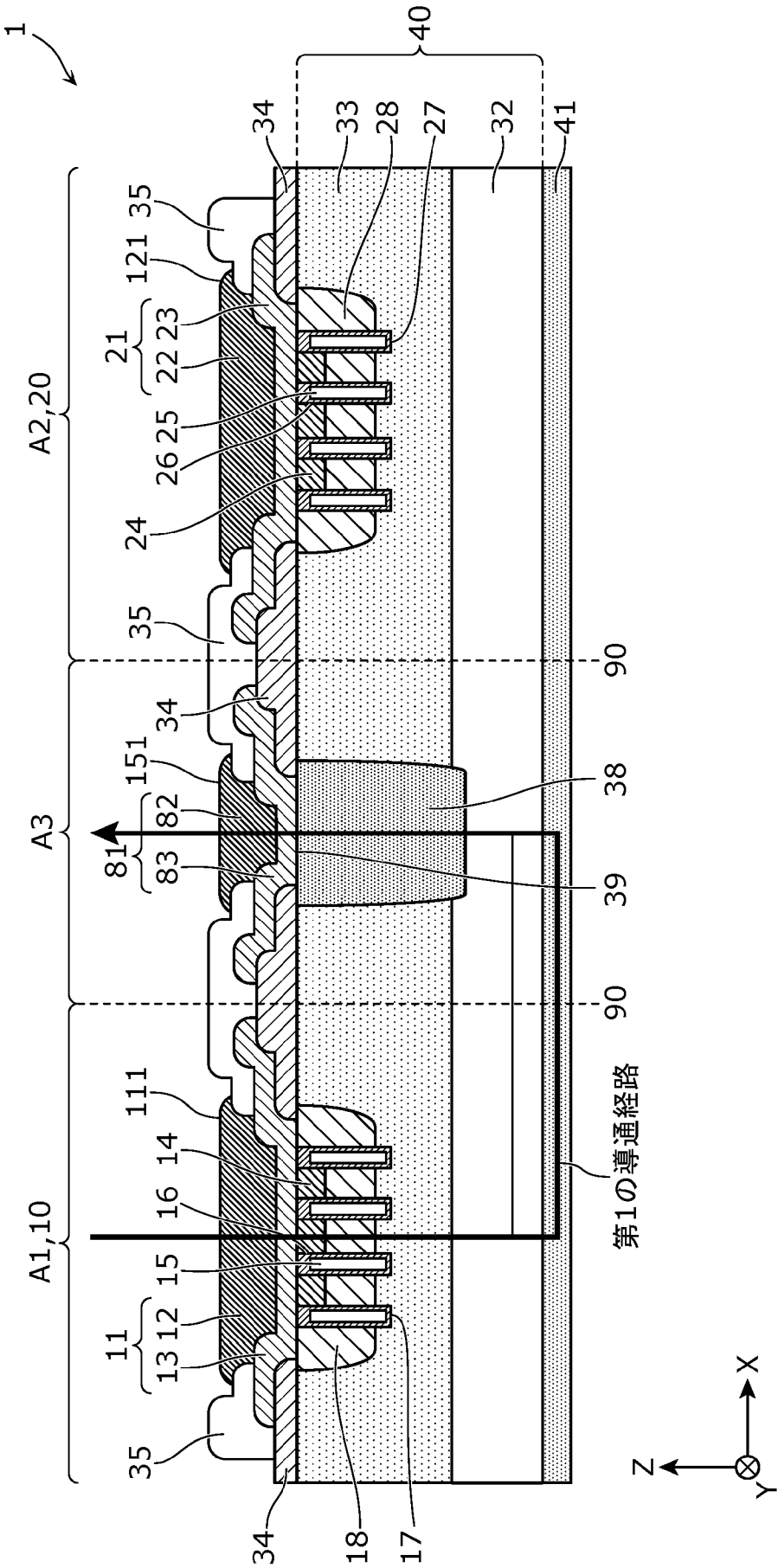
[図4A]



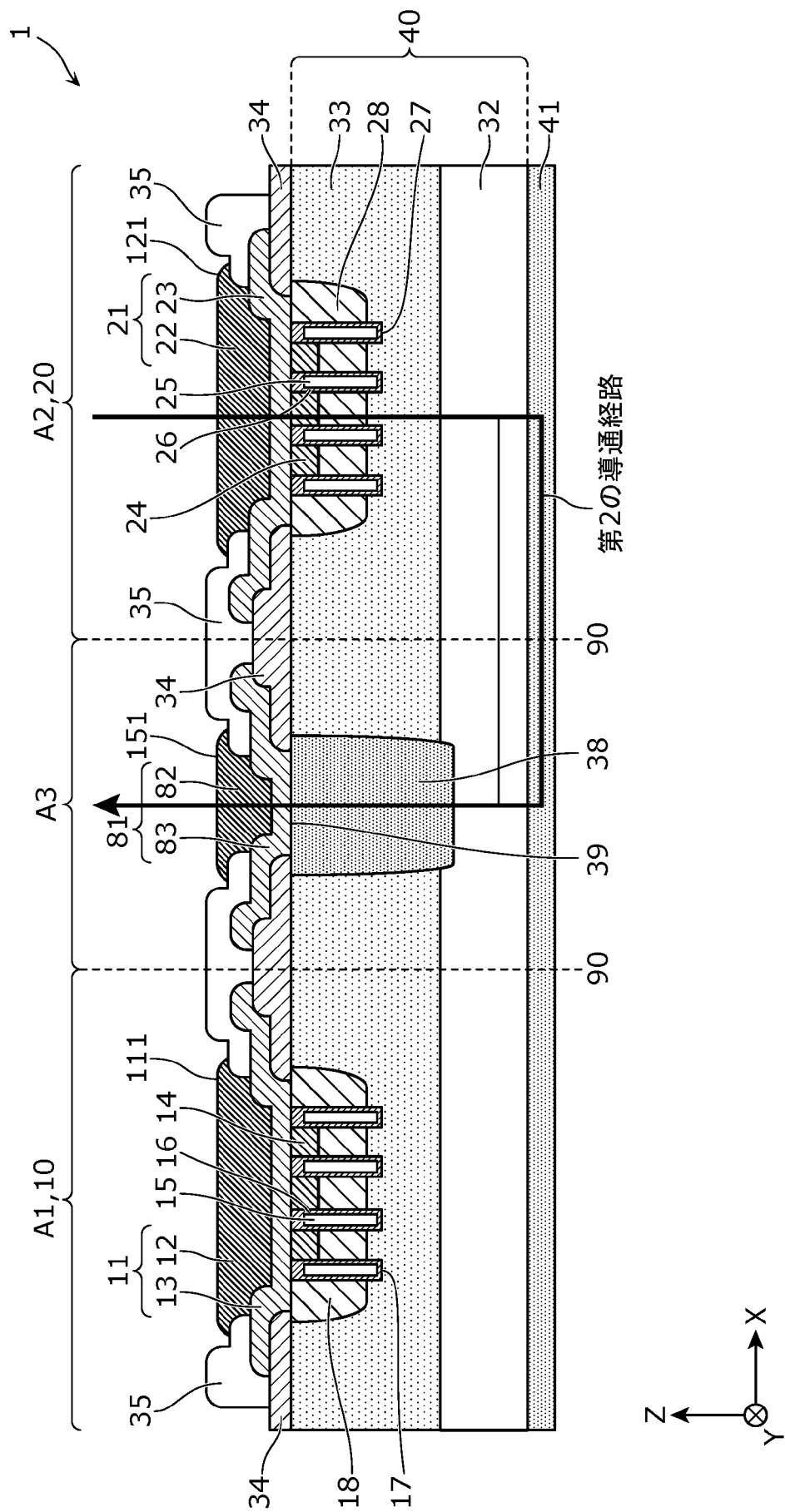
[図4B]



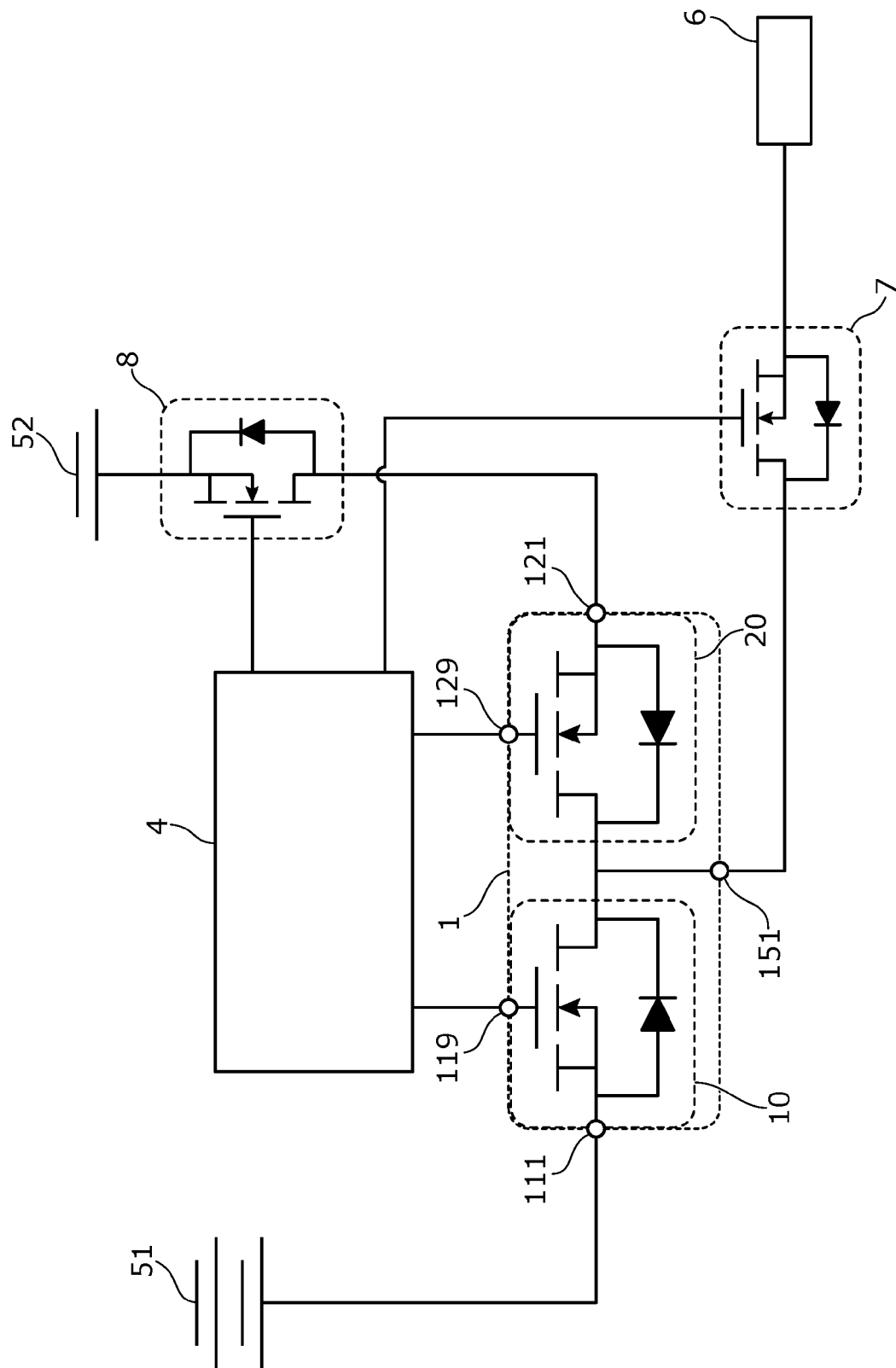
[図5A]



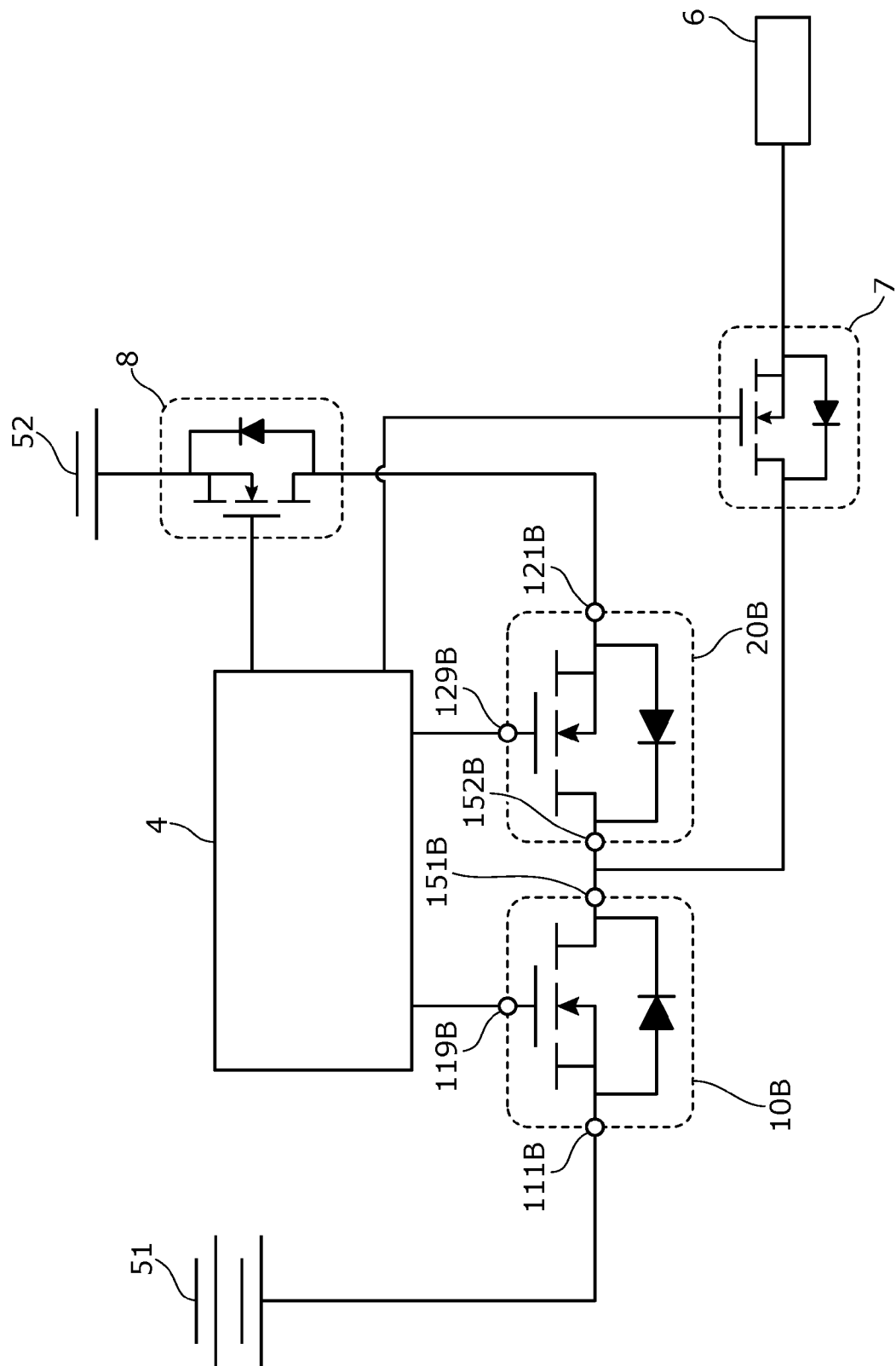
[図5B]



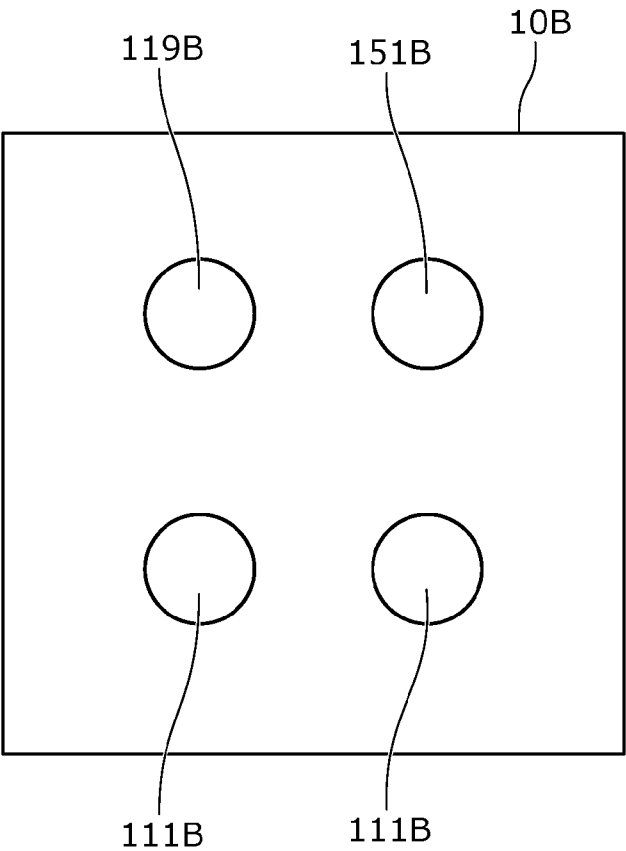
[図6]



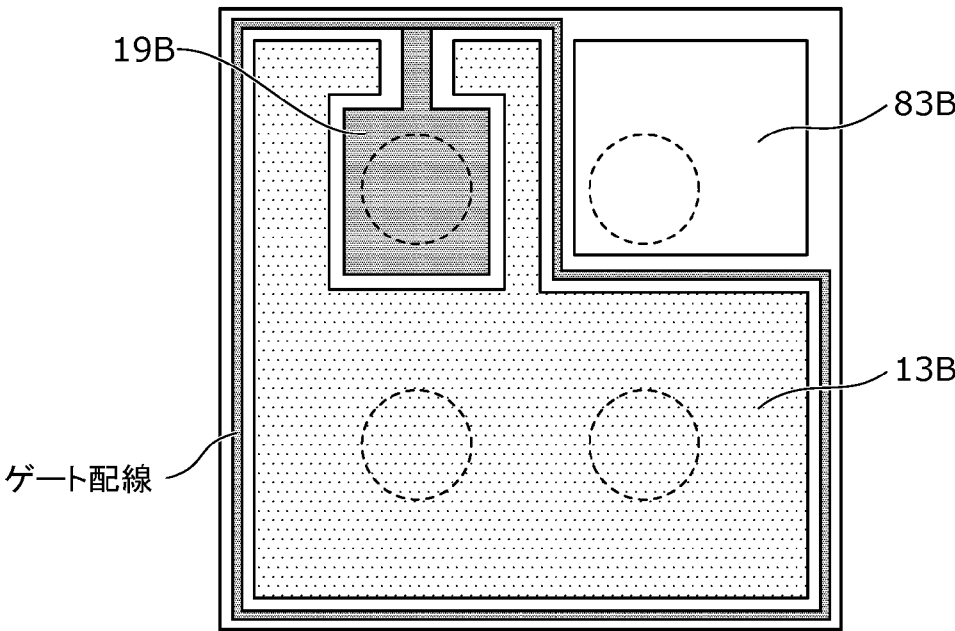
[図7]



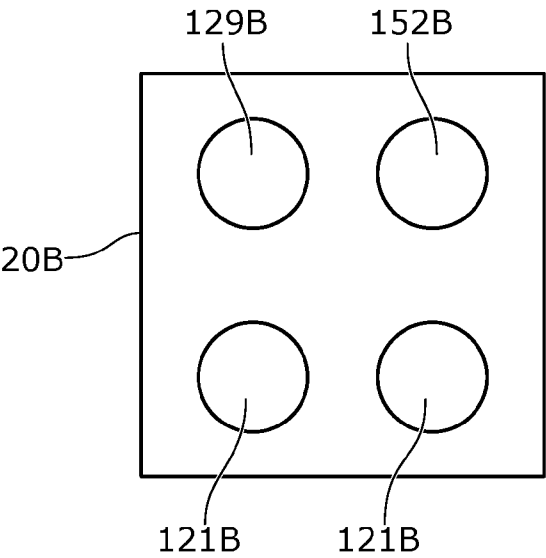
[図8A]



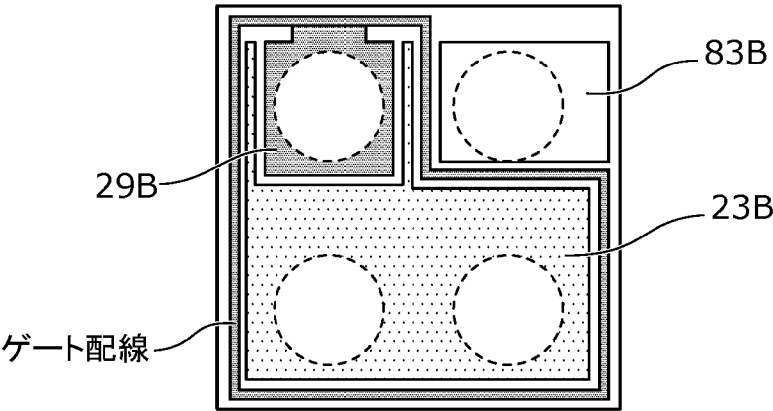
[図8B]



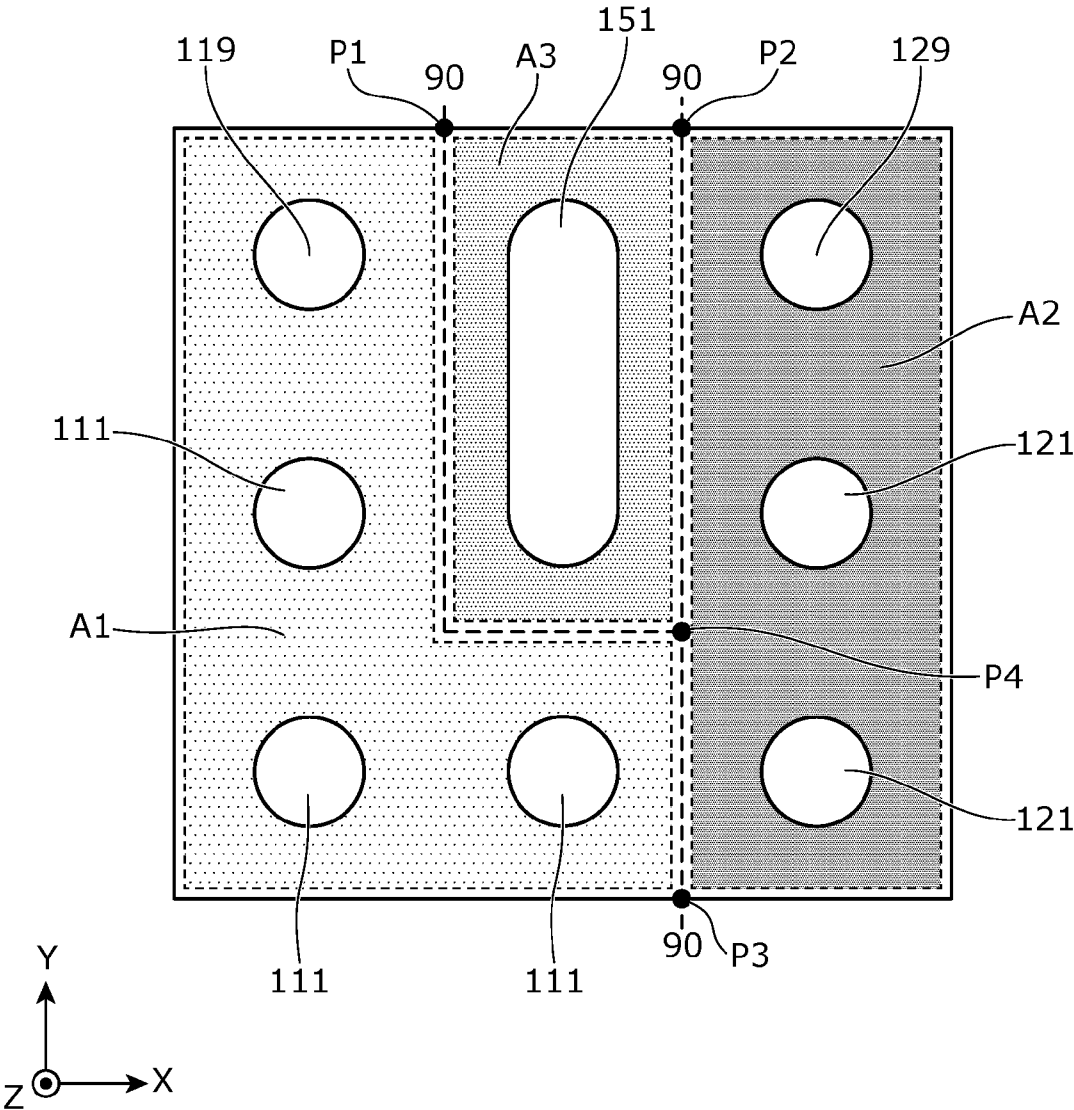
[図9A]



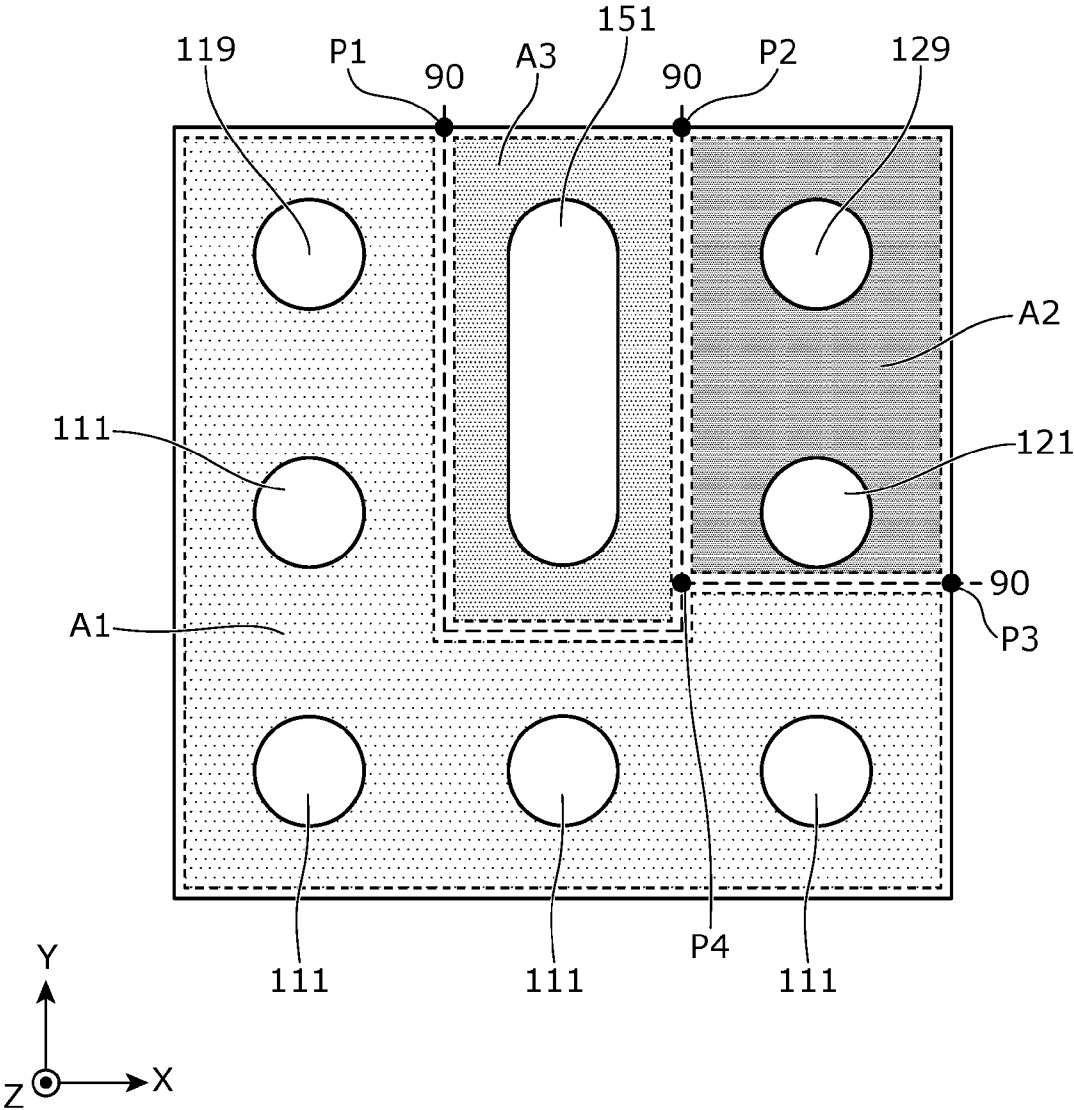
[図9B]



[図10]

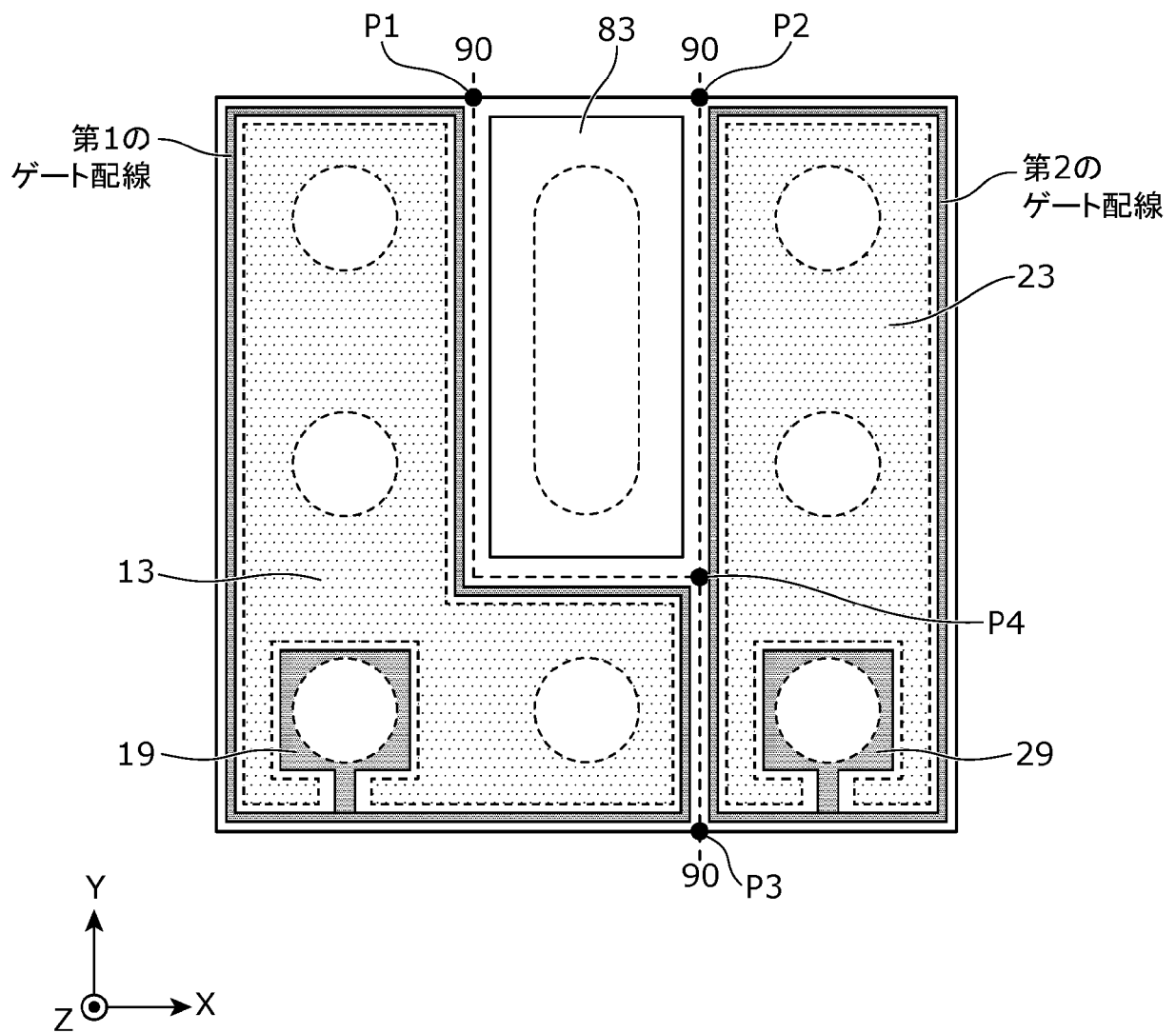


[図11]

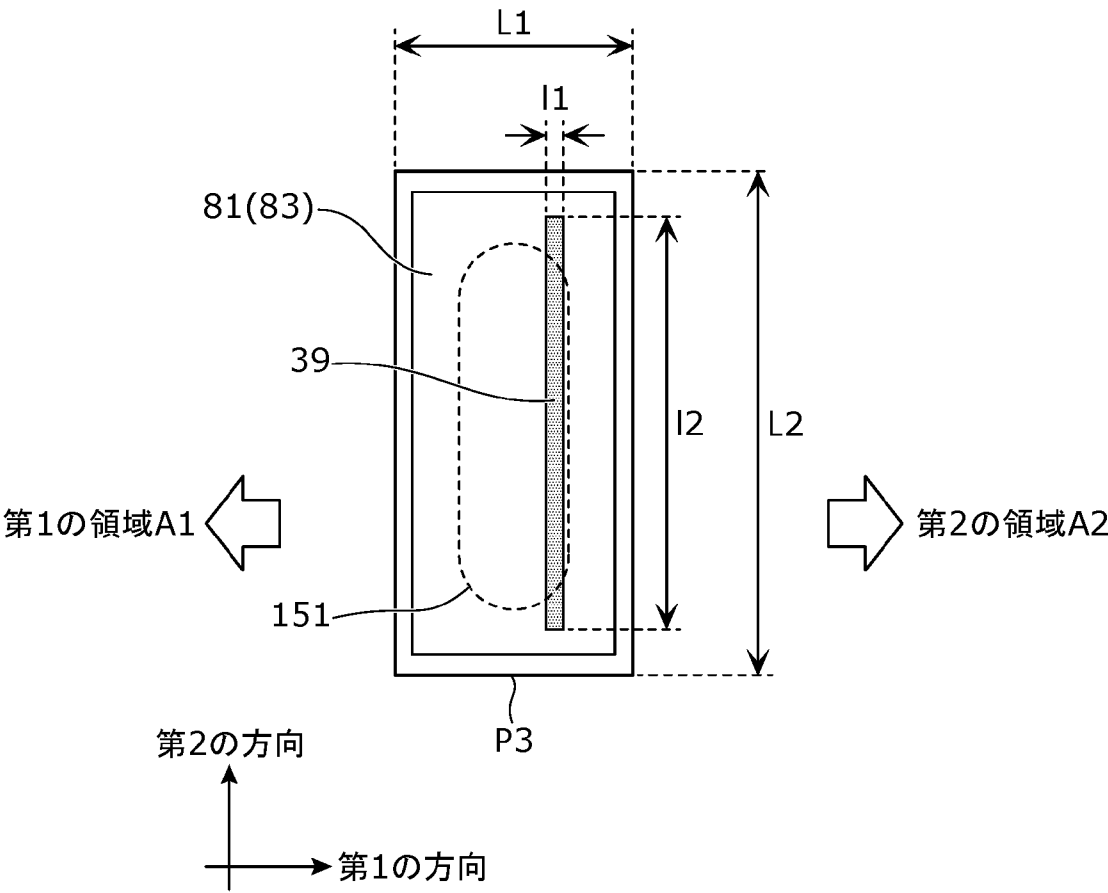




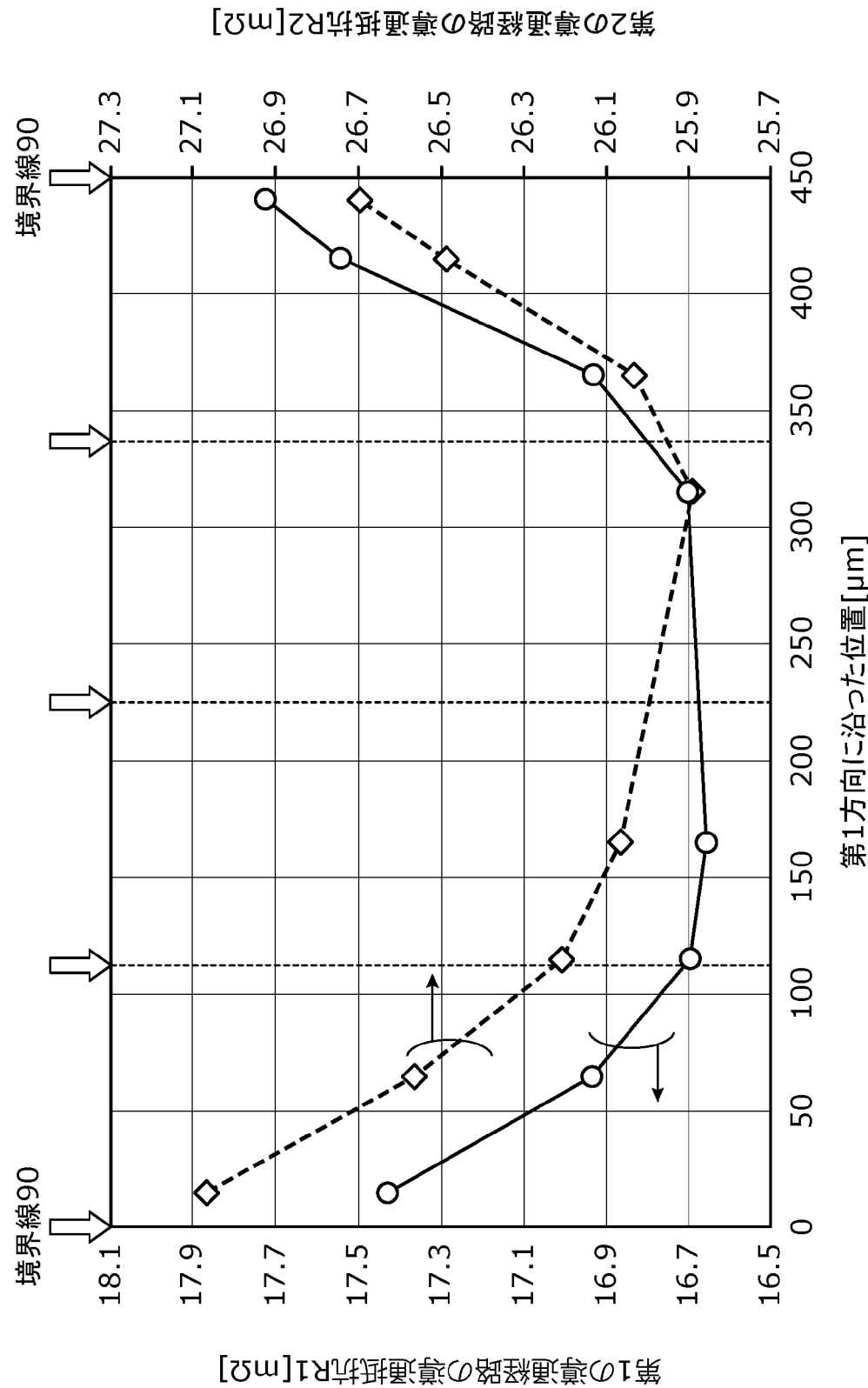
[図12B]



[図13]



[図14]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017773

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                                                                                                                      |                                                                           |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br><b>H01L 29/78</b> (2006.01)i<br>FI: H01L29/78 652Q; H01L29/78 657F<br>According to International Patent Classification (IPC) or to both national classification and IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                                                                                      |                                                                           |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>H01L29/78<br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2024<br>Registered utility model specifications of Japan 1996-2024<br>Published registered utility model applications of Japan 1994-2024<br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                                                                                                      |                                                                           |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                                      |                                                                           |
| Category*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | Citation of document, with indication, where appropriate, of the relevant passages                                                                                   | Relevant to claim No.                                                     |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | JP 2015-035578 A (RENESAS ELECTRONICS CORPORATION) 19 February 2015 (2015-02-19)<br>paragraphs [0062], [0096]-[0098], fig. 16, 17                                    | 1, 2<br>3-10                                                              |
| Y<br>A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | JP 2016-164962 A (RENESAS ELECTRONICS CORPORATION) 08 September 2016 (2016-09-08)<br>paragraphs [0061]-[0071], [0096]-[0098], fig. 12, 19, 20, 21                    | 1, 2<br>3-10                                                              |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | JP 2020-129693 A (PANASONIC SEMICONDUCTOR SOLUTIONS CO., LTD.) 27 August 2020 (2020-08-27)<br>paragraphs [0064]-[0129], [0218]-[0227], [0235]-[0239], fig. 1-3, 8, 9 | 1-10                                                                      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | WO 2022/209346 A1 (NUVOTON TECHNOLOGY CORP. JAPAN) 06 October 2022 (2022-10-06)<br>paragraphs [0065]-[0165], fig. 1-11                                               | 1-10                                                                      |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                                                                                                                      |                                                                           |
| <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“D” document cited by the applicant in the international application</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p> |                                                                                                                                                                      |                                                                           |
| Date of the actual completion of the international search<br><b>02 July 2024</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                                      | Date of mailing of the international search report<br><b>16 July 2024</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)</b><br><b>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915</b><br><b>Japan</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                                                                                                                      | Authorized officer<br><br>Telephone No.                                   |

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                             | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 08-264785 A (SILICONIX INCORPORATED) 11 October 1996 (1996-10-11)<br>paragraphs [0031]-[0033], fig. 16, 17  | 1-10                  |
| A         | JP 2010-177454 A (SANYO ELECTRIC CO., LTD.) 12 August 2010 (2010-08-12)<br>paragraphs [0042]-[0134], fig. 1-10 | 1-10                  |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2024/017773**

| Patent document<br>cited in search report |             |    | Publication date<br>(day/month/year) | Patent family member(s)                                                                                                                                           | Publication date<br>(day/month/year) |
|-------------------------------------------|-------------|----|--------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------|
| JP                                        | 2015-035578 | A  | 19 February 2015                     | US 2015/0014687 A1<br>paragraphs [0106], [0143]-<br>[0145], fig. 16, 17<br>CN 104282690 A<br>TW 201507102 A                                                       |                                      |
| JP                                        | 2016-164962 | A  | 08 September 2016                    | US 2016/0254809 A1<br>paragraphs [0096]-[0107],<br>[0136]-[0140], fig. 12, 19, 20,<br>21<br>CN 105932009 A<br>TW 201642424 A                                      |                                      |
| JP                                        | 2020-129693 | A  | 27 August 2020                       | US 2019/0157403 A1<br>paragraphs [0079]-[0143],<br>[0233]-[0247], [0249]-[0253],<br>fig. 1-3, 8, 9<br>WO 2018/025839 A1<br>CN 109564941 A<br>KR 10-2019-0034547 A |                                      |
| WO                                        | 2022/209346 | A1 | 06 October 2022                      | US 2023/0307393 A1<br>paragraphs [0125]-[0225], fig.<br>1-11<br>KR 10-2023-0043220 A<br>CN 116250088 A<br>TW 202238917 A                                          |                                      |
| JP                                        | 08-264785   | A  | 11 October 1996                      | US 5767546 A<br>column 7, line 65 - column 8,<br>line 35, fig. 7, 8<br>EP 720225 A2                                                                               |                                      |
| JP                                        | 2010-177454 | A  | 12 August 2010                       | US 2010/0187640 A1<br>paragraphs [0046]-[0146], fig.<br>1-9<br>CN 101794779 A                                                                                     |                                      |

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i

FI: H01L29/78 652Q; H01L29/78 657F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                      | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------|----------------|
| Y               | JP 2015-035578 A（ルネサスエレクトロニクス株式会社）19.02.2015（2015 - 02 - 19）           | 1, 2           |
| A               | 段落[0062], [0096]-[0098], 図16, 17                                       | 3-10           |
| Y               | JP 2016-164962 A（ルネサスエレクトロニクス株式会社）08.09.2016（2016 - 09 - 08）           | 1, 2           |
| A               | 段落[0061]-[0071], [0096]-[0098], 図12, 19, 20, 21                        | 3-10           |
| A               | JP 2020-129693 A（パナソニックセミコンダクターソリューションズ株式会社）27.08.2020（2020 - 08 - 27） | 1-10           |
|                 | 段落[0064]-[0129], [0218]-[0227], [0235]-[0239], 図1-3, 8, 9              |                |
| A               | WO 2022/209346 A1（ヌヴォトンテクノロジージャパン株式会社）06.10.2022（2022 - 10 - 06）       | 1-10           |
|                 | 段落[0065]-[0165], 図1-11                                                 |                |

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

02.07.2024

国際調査報告の発送日

16.07.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

杉山 芳弘 5F 6311

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

### C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                             | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------|----------------|
| A               | JP 08-264785 A (シリコニックス・インコーポレイテッド) 11, 10, 1996 (1996 - 10 - 11)<br>段落[0031]-[0033], 図16, 17 | 1-10           |
| A               | JP 2010-177454 A (三洋電機株式会社) 12, 08, 2010 (2010 - 08 - 12)<br>段落[0042]-[0134], 図1-10           | 1-10           |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017773

| 引用文献 |             |    | 公表日        | パテントファミリー文献                                                                                                                                          | 公表日 |
|------|-------------|----|------------|------------------------------------------------------------------------------------------------------------------------------------------------------|-----|
| JP   | 2015-035578 | A  | 19.02.2015 | US 2015/0014687 A1<br>段落[0106],[0143]-[0145],<br>図16,17<br>CN 104282690 A<br>TW 201507102 A                                                          |     |
| JP   | 2016-164962 | A  | 08.09.2016 | US 2016/0254809 A1<br>段落[0096]-[0107],[0136]-<br>[0140], 図12, 19, 20, 21<br>CN 105932009 A<br>TW 201642424 A                                         |     |
| JP   | 2020-129693 | A  | 27.08.2020 | US 2019/0157403 A1<br>段落[0079]-[0143],[0233]-<br>[0247],[0249]-[0253], 図<br>1-3, 8, 9<br>WO 2018/025839 A1<br>CN 109564941 A<br>KR 10-2019-0034547 A |     |
| WO   | 2022/209346 | A1 | 06.10.2022 | US 2023/0307393 A1<br>段落[0125]-[0225], 図1-11<br>KR 10-2023-0043220 A<br>CN 116250088 A<br>TW 202238917 A                                             |     |
| JP   | 08-264785   | A  | 11.10.1996 | US 5767546 A<br>第7欄第65行-第8欄第35行,<br>図7, 8<br>EP 720225 A2                                                                                            |     |
| JP   | 2010-177454 | A  | 12.08.2010 | US 2010/0187640 A1<br>段落[0046]-[0146], 図1-9<br>CN 101794779 A                                                                                        |     |