

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3859268号
(P3859268)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.		F I			
HO4J	3/00	(2006.01)	HO4J	3/00	W
HO4J	3/04	(2006.01)	HO4J	3/04	A
HO4J	3/06	(2006.01)	HO4J	3/06	Z

請求項の数 19 (全 75 頁)

<p>(21) 出願番号 特願平8-182564 (22) 出願日 平成8年7月11日(1996.7.11) (65) 公開番号 特開平10-28102 (43) 公開日 平成10年1月27日(1998.1.27) 審査請求日 平成15年6月10日(2003.6.10)</p> <p>前置審査</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号</p> <p>(74) 代理人 100092978 弁理士 真田 有</p> <p>(72) 発明者 豊山 武 大阪府大阪市中央区城見2丁目2番6号 富士通関西デジタル・テクノロジー株式会社内</p> <p>(72) 発明者 ▲吉▼田 洋 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p>
---	---

最終頁に続く

(54) 【発明の名称】 SDH伝送方式におけるポインタ処理装置

(57) 【特許請求の範囲】

【請求項1】

SDH伝送方式におけるポインタ処理装置において、入力された多重フレームデータをシリアルでポインタ処理すべく、

該多重フレームデータの各チャンネルにアドレスを割り付けるためのアドレス生成部と、

該多重フレームデータから少なくともH1/V1バイト、H2/V2バイトを含むポインタバイトの抽出を行なうポインタ抽出部と、

所要のポインタ処理を施すポインタ処理部と、

該多重フレームデータからH1/V1バイトを抽出するタイミングで、抽出したポインタバイトのうちのH1/V1バイトが示す情報群を保持する第1RAMと、

該多重フレームデータからH2/V2バイトを抽出するタイミングで、抽出したポインタバイトのうちのH2/V2バイトが示す情報群、受信したポインタバイトによりポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群を保持する第2RAMとを有し、

該第1RAMおよび第2RAMへ上記の各情報群を書き込む処理、および、保持されている多重フレームデータについての上記各情報群を該ポインタ処理部へ供給すべく、該多重フレームデータからH2/V2バイトを抽出するタイミングで、当該情報群を該第1RAMおよび第2RAMからそれぞれ読み出す処理の一連の動作を制御するRAM制御部とをそなえて構成されたことを特徴とする、SDH伝送方式におけるポインタ処理装置。

10

20

【請求項 2】

該ポインタ処理部が、

該多重フレームデータから H 1 / V 1 バイトを抽出するタイミングで、受信した H 1 / V 1 バイトのビット数を圧縮して、このビット数を圧縮した情報を該第 1 R A M に保持させる第 1 ポインタ翻訳部と、

該多重フレームデータから H 2 / V 2 バイトを抽出するタイミングで、該多重フレームデータ、該第 1 ポインタ翻訳部で生成したビット数圧縮情報並びに上記の受信ポインタバイトの H 2 / V 2 バイトが示す情報群、ポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群に基づいて、ポインタ処理制御信号及びポインタ処理結果を生成して、これらの情報群を該第 2 R A M に保持させる第 2 ポインタ翻訳部とをそなえて構成されていることを特徴とする、請求項 1 記載の S D H 伝送方式におけるポインタ処理装置。

10

【請求項 3】

該ポインタ処理部が、

該多重フレームデータから H 1 / V 1 バイトを抽出するタイミングで、受信した H 1 / V 1 バイトのビット数を圧縮して、このビット数を圧縮した情報を該第 1 R A M に保持させる第 1 ポインタ翻訳部をそなえて構成されていることを特徴とする、請求項 1 記載の S D H 伝送方式におけるポインタ処理装置。

【請求項 4】

該多重フレームデータから各チャンネルのポインタ値を示す情報信号を抽出し、該情報信号の M S B を除く下位ビットを該第 2 R A M に保持させるように構成するとともに、

20

該多重フレームデータの各チャンネルの信号サイズが T U 3 のときの該情報信号の M S B 1 ビットを保持しうるラッチ回路をそなえ、

該ラッチ回路の書き込み及び読み出しの制御信号として、該 T U 3 のチャンネルに割り当てたアドレス値をデコードした信号が使用されることを特徴とする、請求項 1 または請求項 2 に記載の S D H 伝送方式におけるポインタ処理装置。

【請求項 5】

該ポインタ処理部が、

受信ポインタ値と前フレームの受信ポインタ値との一致を検出して、この一致検出結果を 1 ビット情報で該第 2 R A M に保持させる一致検出部と、

30

無効な情報を示すポインタバイトを受信したときは該第 2 R A M に保持されているポインタ値をポインタ値範囲外のある値に変換したのちにこの変換情報を該第 2 R A M に保持させるポインタ値範囲外変換部と、

該第 2 R A M に格納されている一致検出結果を示す信号と前ポインタ値と受信ポインタバイトの値との一致検出結果の論理積によってノーマルポインタ値 3 連続一致受信を検出するノーマルポインタ値 3 連続一致受信検出部とをそなえて構成されていることを特徴とする、請求項 1 または請求項 2 に記載の S D H 伝送方式におけるポインタ処理装置。

【請求項 6】

該ポインタ処理部が、 L O P 状態を検出する L O P 検出部をそなえ、該 L O P 検出部が、 N D F イネーブル受信と無効ポインタ受信と前フレームの N D F イネーブル受信の情報と前フレームのカウント値とに基づいて、所要の真理値表に従い、 N D F イネーブル連続受信回数または無効ポインタの連続受信回数をカウントするカウント制御部をそなえて構成されていることを特徴とする、請求項 1 または請求項 2 に記載の S D H 伝送方式におけるポインタ処理装置。

40

【請求項 7】

該ポインタ処理部が、

N D F イネーブル受信と無効ポインタ受信と前フレームの N D F イネーブル受信の情報と前フレームのカウント値とに基づいて、所要の真理値表に従い、 N D F イネーブル連続受信回数または無効ポインタの連続受信回数をカウントするカウント制御部をそなえることにより、 L O P 状態を検出する L O P 検出部をそなえるとともに、

50

INC / DEC 受信結果を認識する INC / DEC 受信結果認識部をそなえ、

該 INC / DEC 受信結果認識部が、受信ポインタバイトから INC と DEC を検出する INC / DEC 検出部と、NDF イネーブル及び INC / DEC 受信後の n フレーム間は INC / DEC 受信によるスタック制御を抑制して、INC / DEC 連続受信によるメモリスリップを防止すべく、n 進カウンタ部を有するスタック制御抑制部とをそなえ、該 n 進カウンタ部のカウンタ結果と INC 及び DEC のうちのどちらか 1 つの受信結果を INC / DEC 受信結果認識用 RAM に保持し、この RAM に保持した INC / DEC の受信結果と n 進カウンタ値と該 LOP 検出部で得られる NDF イネーブル受信結果とを用いて、INC / DEC 受信結果を認識するように構成されていることを特徴とする、請求項 1 または請求項 2 に記載の SDH 伝送方式におけるポインタ処理装置。

10

【請求項 8】

該ポインタ処理部が、アラーム状態遷移保護部をそなえ、

該アラーム状態遷移保護部が、アラーム状態遷移を行なうための m 段の保護回路として、カウンタ機能を有するカウンタ制御部と、該カウンタ制御部でのカウンタ値を記憶するアラーム状態遷移保護用 RAM とをそなえ、アラーム状態遷移対象信号を受信すれば該カウンタ制御部のカウンタアップを行ない、該アラーム状態遷移対象信号を未受信ならば該カウンタ制御部のカウンタリセットを行ない、該カウンタ制御部のカウンタ値が最大値になった時点で、アラーム状態に遷移し、アラーム解除条件を受信するまでは該カウンタ制御部のカウンタ値を最大値のまま該第 2 RAM で保持させ、該第 2 RAM から該カウンタ値を読み出したときに該カウンタ値が最大値に達しているか否かで該当チャンネルがアラーム状態であるか否かを認識するように構成されていることを特徴とする、請求項 1 または請求項 2 に記載の SDH 伝送方式におけるポインタ処理装置。

20

【請求項 9】

該ポインタ処理部が、受信ポインタ値とは別に実際に今そのポインタ値でハードが動作しているアクティブポインタ値を各チャンネル毎に保持するアクティブポインタ値保持部をそなえ、

該アクティブポインタ値保持部が、該アクティブポインタ値のうち MSB を除く下位ビットをアクティブポインタ値保持用 RAM に保持させ、該多重フレームデータの各チャンネルの信号サイズが TU3 のときの MSB の 1 ビットをラッチするラッチ回路をそなえるとともに、該ラッチ回路の書き込み及び読み出しの制御信号として、TU3 のチャンネルに割り当てられたアドレス値をデコードした信号が使用されるように構成されていることを特徴とする、請求項 1 または請求項 2 に記載の SDH 伝送方式におけるポインタ処理装置。

30

【請求項 10】

該ポインタ処理部が、

受信ポインタ値とは別に実際に今そのポインタ値でハードが動作しているアクティブポインタ値を各チャンネル毎に保持するアクティブポインタ値保持部と、

SPE の先頭バイトとしての J1 バイト、V5 バイトを認識する SPE 先頭バイト認識部とをそなえ、

該 SPE 先頭バイト認識部が、該 SPE の先頭バイトを検索するためのオフセットカウンタ部を有し、該アクティブポインタ値保持部からアクティブポインタ値を読み出し、SPE イネーブル信号とオフセットカウンタ値と該アクティブポインタ値との一致検出結果の論理積により、SPE の先頭バイト位置を認識するように構成されていることを特徴とする、請求項 1 または請求項 2 に記載の SDH 伝送方式におけるポインタ処理装置。

40

【請求項 11】

該多重フレームデータの各チャンネルが TU3 / TU2 / TU12 のいずれの信号サイズにマッピングされているかを設定するマッピング設定レジスタ群をそなえるとともに、該アドレス生成部によって各チャンネルに割り付けられたアドレスを用い該マッピング設定レジスタ群から該当チャンネルの信号サイズを選択する信号サイズ選択部をそなえ、上記のマッピング設定レジスタ群、信号サイズ選択回路により、該多重フレームデータの各

50

チャンネルの信号サイズを認識し、その情報を上記のポイント抽出部、ポイント処理部及びRAM制御部へ渡すことによって、信号サイズに応じて共通の回路でポイント抽出・ポイント処理を行なうように構成されていることを特徴とする、請求項1または請求項2に記載のSDH伝送方式におけるポイント処理装置。

【請求項12】

該マッピング設定レジスタ群として、3個のTU3/TUG3設定レジスタと、各TU3/TUG3設定レジスタ毎に7つ、合計21個のTU2/TUG2設定レジスタとをそなえ、該TU3/TUG3設定レジスタにより該当チャンネルがTU3にマッピングされているか否かを判定し、TU3にマッピングされていなければ、該TU2/TUG2設定レジスタにより、TU2にマッピング設定されているか、TU12にマッピングされているかを判定して、該当チャンネルの信号サイズを認識する信号サイズ認識部が設けられていることを特徴とする、請求項11記載のSDH伝送方式におけるポイント処理装置。

10

【請求項13】

該ポイント処理部が、
受信ポイント値とは別に実際に今そのポイント値でハードが動作しているアクティブポイント値を各チャンネル毎に保持するアクティブポイント値保持部と、
SPEの先頭バイトを検索するためのオフセットカウンタ部を有し、該アクティブポイント値保持部からアクティブポイント値を読み出し、SPEイネーブル信号とオフセットカウンタ値と該アクティブポイント値との一致検出結果の論理積により、SPEの先頭バイト位置を認識するSPE先頭バイト認識部とをそなえ、

20

該多重フレームデータの各チャンネルがTU3/TU2/TU12のいずれの信号サイズにマッピングされているかを設定するマッピング設定レジスタ群をそなえとともに、該アドレス生成部によって各チャンネルに割り付けられたアドレスを用い該マッピング設定レジスタ群から該当チャンネルの信号サイズを選択する信号サイズ選択部をそなえ、上記のマッピング設定レジスタ群、信号サイズ選択部により、該多重フレームデータの各チャンネルの信号サイズを認識し、その情報を上記のポイント抽出部、ポイント処理部及びRAM制御部へ渡すことによって、信号サイズに応じて共通の回路でポイント抽出・ポイント処理を行なうように構成されたものにおいて、

該オフセットカウンタを各信号サイズ毎に装備し、各オフセットカウンタのカウント値を該マッピング設定レジスタ群からのマッピング設定情報により選択して、該SPEの先頭バイト位置を認識するように構成されていることを特徴とする、請求項1または請求項2に記載のSDH伝送方式におけるポイント処理装置。

30

【請求項14】

該ポイント処理部が、ESメモリ機能を有するポイント付け替え用RAMをそなえ、入力多重フレームデータからSPEデータとSPE先頭バイトを示す情報ビットとを当該ポイント付け替え用RAMに書き込み、この書き込んだRAMのデータを読み出し側のタイミングで読み出し、読み出したSPE先頭バイトを示す情報ビットの値により、SPE先頭位置を認識するように構成されていることを特徴とする、請求項10記載のSDH伝送方式におけるポイント処理装置。

【請求項15】

該ESメモリ機能を有するポイント付け替え用RAMを制御するライト/リード段数カウンタが設けられ、TU3マッピング設定時とTU2マッピング設定時のカウント数を切り替えるべく、TU3用カウント値及びTU2用カウント値をそれぞれデコードするTU3用デコード回路及びTU2用デコード回路をそなえ、

40

信号サイズによって該デコード回路の出力信号を選択して該カウンタのロード信号とすることにより、TU3マッピング時及びTU2マッピング時の該ESメモリ機能を有するポイント付け替え用RAMの該ライト/リード段数カウンタを共通のカウンタとして構成していることを特徴とする、請求項14記載のSDH伝送方式におけるポイント処理装置。

【請求項16】

50

該 E S メモリ機能を有するポインタ付け替え用 R A M を制御するライト/リード段数カウンタが設けられ、 T U 3 マッピング設定時と T U 2 マッピング設定時と T U 1 2 マッピング設定時とのカウンタ数を切り替えるべく、 T U 3 用カウンタ値、 T U 2 用カウンタ値及び T U 1 2 用カウンタ値をそれぞれデコードする T U 3 用デコード回路、 T U 2 用デコード回路及び T U 1 2 用デコード回路をそなえ、信号サイズによって各デコード回路の出力信号を選択してカウンタのロード信号とすることにより、 T U 3 / T U 2 / T U 1 2 マッピング時の該 E S メモリ機能を有するポインタ付け替え用 R A M の該ライト/リード段数カウンタを共通のカウンタとして構成していることを特徴とする、請求項 1 4 記載の S D H 伝送方式におけるポインタ処理装置。

【請求項 1 7】

S D H 伝送方式におけるポインタ処理装置において、 A U 4 ポインタについての処理を施す A U 4 ポインタ処理部と、該 A U 4 ポインタ処理部での処理後に T U ポインタについての処理を施す T U ポインタ処理部とをそなえ、

該 A U 4 ポインタ処理部が、

伝送路側のクロックで A U 4 ポインタ翻訳、 V C 4 イネーブル信号の生成、 V C 4 P O H の J 1 バイト位置を示す信号の生成をそれぞれ行なう A U 4 ポインタ検出部と、クロック乗換用 E S メモリとをそなえ、

該伝送路側のクロックで、該 E S メモリの書き込み制御を行なう E S ライトカウンタを動作させるとともに、

装置側のクロックで、読み出し制御を行なう E S リードカウンタを動作させて、

上記の E S ライトカウンタ、 E S リードカウンタのカウンタ値の位相差の検出によりスタップ制御を行なうことで、該伝送路側のクロックから該装置側のクロックへの乗換を行ない、この乗換処理を施された信号に対して、該装置側のクロックで、該 T U ポインタ処理部での T U ポインタの処理を行ない、さらに、

該 T U ポインタ処理部が、

該多重フレームデータの各チャンネルにアドレスを割り付けるためのアドレス生成部と

、少なくとも H 1 / V 1 バイト、 2 / V 2 バイトを含むポインタバイトの抽出を行なうポインタ抽出部と、

所要のポインタ処理を施すポインタ処理部と、

該多重フレームデータから H 1 / V 1 バイトを抽出するタイミングで、抽出したポインタバイトのうちの H 1 / V 1 バイトが示す情報群を保持する第 1 R A M と、

該多重フレームデータから H 2 / V 2 バイトを抽出するタイミングで、抽出したポインタバイトのうちの H 2 / V 2 バイトが示す情報群、受信したポインタバイトによりポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群を保持する第 2 R A M とを有し、

該第 1 R A M および第 2 R A M へ上記の各情報群を書き込む処理、および、保持されている多重フレームデータについての上記各情報群を該ポインタ処理部へ供給すべく、該多重フレームデータから H 2 / V 2 バイトを抽出するタイミングで、当該情報群を該第 1 R A M および第 2 R A M からそれぞれ読み出す処理の一連の動作を制御する R A M 制御部とをそなえて構成されていることを特徴とする、 S D H 伝送方式におけるポインタ処理装置。

【請求項 1 8】

該 A U 4 ポインタ処理部に、送信フレーム信号を基に A U 4 ポインタ計算及び A U 4 ポインタ挿入を行なう A U 4 ポインタ計算・挿入部をそなえ、該 A U 4 ポインタ計算・挿入部での A U 4 ポインタ挿入後のデータを該 T U ポインタ処理部へ渡すことを特徴とする、請求項 1 7 記載の S D H 伝送方式におけるポインタ処理装置。

【請求項 1 9】

該 A U 4 ポインタ計算・挿入部を有する該 A U 4 ポインタ処理部で A U 4 ポインタを付け替えた後の信号と、該 T U ポインタ処理部で T U ポインタを付け替えた後の信号とをモ

10

20

30

40

50

ード設定により選択して送信する選択回路をそなえたことを特徴とする、請求項18記載のSDH伝送方式におけるポインタ処理装置。

【発明の詳細な説明】

【0001】

(目次)

発明の属する技術分野

従来の技術

(A) SDH伝送方式の概要説明(図55～図65)

(B) SDH伝送網の説明(図66～図68)

発明が解決しようとする課題

課題を解決するための手段(図1, 図2)

発明の実施の形態

(A) ポインタ処理装置の全体構成説明(図3)

(B) TUポインタ処理部の説明(図4～図37, 図45～図54)

(C) AU4ポインタ処理部の説明(図38～図44)

(D) その他

発明の効果

【0002】

【発明の属する技術分野】

本発明は、ITU-Tにおいて標準化された同期デジタルハイアラキ(SDH: Synchronous Digital Hierarchy)に基づく同期端局網における情報伝達の際のポインタ処理に用いて好適な、SDH伝送方式におけるポインタ処理装置に関する。

【0003】

近年のLSI(大規模集積回路)の高集積化・低消費電力化に伴い、様々なシステムレベルの機能を1チップのLSIで実現できるところまで半導体技術が進歩してきている。このため、近年では、可能な限りハード規模や消費電力などを削減できるようなハード構成を工夫・構築し、尚且つ、より多くの機能を1チップのLSIに装備することによって、システム(SDH伝送装置)を少数のLSIで構成してシステムをできるだけ小型化・低消費電力化することが強く望まれている。

【0004】

【従来の技術】

(A) SDH伝送方式の概要説明

周知のように、SDHとは世界各国の高速サービスや既存の低速サービスを有効に多重化するためのインタフェースを統一する目的で規格・標準化されたもので、伝送すべきデータの伝送速度(ビットレート)を、全て155Mbps(正確には、155.52Mbps)を基本速度(多重化単位)としたデータ伝送速度(155Mbps×n:ただし、n=1, 4, 16, 64)に統一して多重化することにより、既存の低速データ(低次群情報)を含む各種のデータが多重化できるようになっており、将来の新サービスに対しても柔軟に対応できるようになっている。

【0005】

具体的に、このSDHでは、バーチャル・コンテナ(VC)と呼ばれる仮想的な“箱”を定義して、いくつかの低次群情報をこの“箱”に入れて高次群情報とし、さらにこれらの“箱”をいくつか集めてより大きな“箱”に入れるといった方式を取ることににより、異なる伝送速度を有する各種の情報を最終的に1つの大きな“箱”に入れて伝送できるようにしている。

【0006】

例えば、図55に示すように、SDHの基本多重化単位はSTM-1(Synchronous Transfer Mode Level 1)フレームと呼ばれ、このSTM-1フレームには、後述するVC-4の收容位置指示及び周波数同期のための管理ポインタ(AU(Administrative Unit)ポインタ)を付加したAU-4が1つ收容され、さらに、このVC-4のフレームには、C(C

10

20

30

40

50

ontainer) - 4 と呼ばれる 138 Mbps 系列のデータが 1 ch (チャンネル)、もしくは、TUG (Tributary Unit Group) - 3 が 3 チャンネル分収容されるようになっている。

【0007】

さらに、この TUG - 3 のフレームには、TU (Tributary Unit) - 3 (34 Mbps 系列) が 1 ch、もしくは、TUG - 2 (6 Mbps 系列) が 7 ch 分多重され、TUG - 2 には、TU - 2 が 1 ch、もしくは、TU - 12 が 3 ch 分多重されている。なお、上記の TU - 3 は、C - 3 と呼ばれる 34 Mbps 系列のフレームにパスオーバーヘッド (POH: 転送先情報) を付加して VC - 3 とし、この VC - 3 に収容位置指示、周波数同期のための TU ポインタを付加したフレームである。

【0008】

また、TU - 2 は、C - 2 (6 Mbps 系列) のフレームに POH を付加して VC - 2 とし、この VC - 2 に TU ポインタを付加したフレームであり、TU - 12 は、C - 12 (2 Mbps 系列) のフレームに POH を付加して VC - 12 とし、この VC - 12 に TU ポインタを付加したフレームである。

従って、STM - 1 信号の 1 フレーム内には、TU - 3 なら最大で 3 ch、TU - 2 なら最大で 21 ch、TU - 12 なら最大で 63 ch 分多重されていることになる。

【0009】

ここで、以下、上記の STM - 1, TU - 3, TU - 2, TU - 12 の各フレーム・フォーマットについて説明する。なお、以降、上記の TU - 3, TU - 2, TU - 12 などは、単に、TU3, TU2, TU12 などと表記する。

1 STM - 1 フレーム・フォーマット

図 56 は上記の STM - 1 のフレーム・フォーマットを示す図で、この図 56 に示すように、STM - 1 フレームは、9 行 (ROW) × 270 列 (BYTE) の 2 次元のバイト配列で表現され、先頭の 9 行 × 9 列はセクションオーバーヘッド (SOH) 231 と AU (AU4) ポインタ 232 からなり、続く 9 行 × 261 列は多重化情報を収容するペイロード (SPE: Synchronous Payload Envelope) 233 と呼ばれる。

【0010】

そして、セクションオーバーヘッド 231 は、STM - 1 フレームのフレーム同期パターンを示す A1, A2 バイトや符号誤り監視用の B1 バイトなどをはじめとする様々な運用保守情報からなり、AU4 ポインタ 232 は、ペイロード 233 内の VC (VC4: 図 57 参照) の収容位置 (先頭アドレス) を示す H1 バイト (H1 # 1 ~ H1 # 3 バイト), H2 バイト (H2 # 1 ~ H2 # 3 バイト), H3 バイト (H3 # 1 ~ H3 # 3 バイト) からなっている。

【0011】

ただし、通常は、上記の H1 バイト (H1 # 1 バイト), H2 バイト (H2 # 1 バイト) に実際の AU4 ポインタ値が格納され、H1 # 2 バイト, H2 # 2 バイト, H1 # 3 バイト, H2 # 3 バイトには従属ポインタ (CI: Concatination Indication) として固定値が格納される。

そして、例えば、この図 56 に示すように、VC4 の先頭バイトの番地を示すオフセットポインタ値は、H3 # 3 バイトの後が 0 番地で始まり H1 # 1 バイトの前が 782 番地で終わると規定されているので、AU4 ポインタ値が "0" なら、STM - 1 と VC4 とのフレーム位相が一致しており、VC4 が H3 バイト (H3 # 3 バイト) の直後から順次収容されていることを示す。

【0012】

一方、AU4 ポインタ値が "0" 以外の値なら、STM - 1 と VC4 とのフレーム位相が一致しておらず、例えば図 57 に示すように、VC4 の先頭バイト (J1 バイト) が位相ずれ相当分だけ 0 番地からシフトした番地に位置するように VC4 が収容されていることを示す。なお、通常、AU4 のオフセットポインタ値は 3 バイト毎と定義されているので、ポインタ値が 1 つ変化すると VC4 のフレーム位相は 3 バイト変化する。

【0013】

10

20

30

40

50

また、上記のH3バイト(H3#1~H3#3バイト)とこのH3バイトに続く3バイト(#1~#3バイト)は、それぞれ、負(ネガティブ)スタッフバイト, 正(ポジティブ)スタッフバイトと呼ばれる周波数調整用バイトであり、伝送フレーム(STM-1)のクロック周波数と多重化情報(VC4)のクロック周波数との間に微小な差がある場合に、これらのポジティブ/ネガティブスタッフバイトを使用して(スタッフ制御を行なって)周波数調整を行なうことにより、伝送フレームのクロック周波数差や位相変動を吸収して転送情報の欠落を防止できるようになっている。

【0014】

2 TU3フレーム・フォーマット

次に、図58は上記のTU3のフレーム・フォーマットを示す図で、この図58に示すように、TU3フレームは、9行(ROW)×86列(BYTE)の2次元のバイト配列で表現され、先頭の9行×1列のうち、H1バイト, H2バイトが、ペイロード233内のVC(VC3:図59参照)の収容位置指示, 周波数同期のためのTU(TU3)ポインタであり、H3バイトとその後(紙面右方向)に続く1バイト(オフセットポインタ値“0”)が、それぞれ、周波数(フレーム位相)調整用のネガティブスタッフバイトとポジティブスタッフバイトである。なお、先頭の9行×1列のうちH1~H3バイト以外の残りの6行×1列の部分は、固定スタッフバイト(Fixed Stuff)である。

10

【0015】

そして、この図58に示すように、VC3の先頭バイトの番地を示すオフセットポインタ値は、H3バイトの後が0番地で始まりH3バイトの前が764番地で終わると規定されているので、TU3ポインタ値が“0”なら、TU3とVC3とのフレーム位相が一致しており、VC3がH3バイトの直後(0番地)から順次収容されていることを示す。

20

【0016】

一方、TU3ポインタ値が“0”以外の値なら、TU3とVC3とのフレーム位相が一致しておらず、例えば図59に示すように、VC3の先頭バイト(J1バイト)が位相ずれ相当分だけ0番地からシフトした番地に位置するようにVC3が順次収容されていることを示す。

3 TU2フレーム・フォーマット

図60は上記のTU2のフレーム・フォーマットを示す図で、この図60に示すように、TU2フレームは、4行(ROW)×108列(BYTE)の2次元のバイト配列で表現され、先頭の4行×1列のうち、V1バイト, V2バイトがVC2(図61参照)の収容位置指示, 周波数同期のためのTU(TU2)ポインタであり、V3バイトとその後(紙面右方向)に続く1バイトが、それぞれ、周波数(フレーム位相)調整用のネガティブスタッフバイトとポジティブスタッフバイトである。なお、V4バイトは、将来の利用のために国際的に予約されたバイトであるが、現在は使用されていない。

30

【0017】

そして、この図60に示すように、VC2の先頭バイトの番地を示すオフセットポインタ値は、V2バイトの後が0番地で始まりV2バイトの前が427番地で終わると規定されているので、TU2ポインタ値が“0”なら、この場合も、TU2とVC2とのフレーム位相が一致しており、VC2がV2バイトの直後(0番地)から順次収容されていることを示す。

40

【0018】

一方、TU2ポインタ値が“0”以外の値なら、TU2とVC2とのフレーム位相が一致しておらず、例えば図61に示すように、VC2の先頭バイト(V5バイト)が位相ずれ相当分だけ0番地からシフトした番地に位置するようにVC2が収容されていることを示す。

4 TU12フレーム・フォーマット

図62は上記のTU12のフレーム・フォーマットを示す図で、この図62に示すように、TU12フレームは、4行(ROW)×36列(BYTE)の2次元のバイト配列で表現され、上述のTU2フレーム・フォーマットと同様に、先頭の4行×1列のうち、V1バイト, V

50

2 バイトが V C 1 2 (図 6 3 参照) の収容位置指示 , 周波数同期のための T U (T U 1 2) ポインタであり、V 3 バイトとその後 (紙面右方向) に続く 1 バイトが、それぞれ、周波数 (フレーム位相) 調整用のネガティブスタッフバイトとポジティブスタッフバイトである。なお、この T U 1 2 における V 4 バイトも、将来の利用ために国際的に予約されたバイトである。

【 0 0 1 9 】

そして、この図 6 2 に示すように、V C 1 2 の先頭バイトの番地を示すオフセットポインタ値は、V 2 バイトの後が 0 番地で始まり V 2 バイトの前が 1 3 9 番地で終わると規定されているので、T U 1 2 ポインタ値が “ 0 ” なら、この場合も、T U 1 2 と V C 1 2 とのフレーム位相が一致しており、V C 1 2 が V 2 バイトの直後 (0 番地) から順次収容されていることを示す。

10

【 0 0 2 0 】

一方、T U 1 2 ポインタ値が “ 0 ” 以外の値なら、T U 1 2 と V C 1 2 とのフレーム位相が一致しておらず、例えば図 6 3 に示すように、V C 1 2 の先頭バイト (V 5 バイト) が位相ずれ相当分だけ 0 番地からシフトした番地に位置するように V C 1 2 が収容されていることを示す。

5 A U 4 / T U 3 / T U 2 / T U 1 2 ポインタのフォーマット

ところで、上記の各ポインタ (A U 4 / T U 3 / T U 2 / T U 1 2 ポインタ) のポインタバイトは、図 6 4 に示すように、それぞれ全て同じフォーマットを有しており、4 ビットの N D F (New Data Flag) ビット (N) , 2 ビットの S S ビット , 1 0 ビットポインタ値、ネガティブスタッフバイトからなっている。

20

【 0 0 2 1 】

ここで、上記の N D F (New Data Flag) ビット (N) , 2 ビットの S S ビット , 1 0 ビットポインタ値の機能について説明する。

(1) N D F ビット : 以下の 2 つの状態を示す。

・ N D F イネーブル (“ 1 0 0 1 ”)

このビット信号は、動作ポインタ値 (アクティブポインタ値) をすぐに新しいポインタ値に変更するのに使用される。なお、N D F イネーブルは、N D F ビット “ 1 0 0 1 ” のうち 3 ビット以上一致したときに検出される。ただし、後述する S S ビットが適正值でない場合は N D F イネーブルは検出せず、無効ポインタ (インバリッドポインタ) とする。

30

【 0 0 2 2 】

・ N D F ディゼーブル (“ 0 1 1 0 ”)

このビット信号は、通常のポインタ値 (ノーマルポインタ値) を転送する場合に使用され、後述するようなインクリメント / デクリメント (I / D) 表示も含む。ただし、S S ビットが該当値でない場合は無効ポインタ (インバリッドポインタ) とする。

【 0 0 2 3 】

また、上記以外の N D F ビットの状態 (N D F イネーブルでも N D F ディゼーブルでもない状態) も、無効ポインタ (インバリッドポインタ) とする。

(2) S S ビット : このビット信号は、次表 1 に示すように、A U / T U 内の V C のサイズを示す。

40

【 0 0 2 4 】

【 表 1 】

信号サイズと S S ビット値との対応表

信号サイズ	S S ビット値
A U 4	1 0
T U 3	1 0
T U 2	0 0
T U 1 2	1 0

50

【 0 0 2 5 】

(3) 1 0 ビットポインタ値：この信号は、A U / T U 内の V C の先頭位置（オフセットポインタ値）をバイナリコードで示す。この値は各 5 ビットのインクリメント（I）ビットとデクリメント（D）ビットにより構成され、次表 2 に示すように、各信号サイズによりポインタ値の有効範囲が決まっている。

【 0 0 2 6 】

【表 2】

信号サイズと有効ポインタ値との対応表

信号サイズ	有効ポインタ範囲
A U 4	0 ～ 7 8 2
T U 3	0 ～ 7 6 4
T U 2	0 ～ 4 2 7
T U 1 2	0 ～ 1 3 9

10

【 0 0 2 7 】

なお、インクリメント表示は、動作ポインタ値と I ビットの反転が 3 ビット以上で、且つ、D ビットの反転が 2 ビット以下のとき有効とし、有効時はポジティブスタンプバイト領域（H 3 / V 3 バイト直後）のデータは読み込まれない。一方、デクリメント表示は、動作ポインタ値と D ビットの反転が 3 ビット以上で、且つ、I ビットの反転が 2 ビット以下のとき有効とし、有効時はネガティブ・スタンプ・バイト領域（H 3 / V 3 バイト）のデータが読み込まれる。

20

【 0 0 2 8 】

また、H 1 , H 2 バイトまたは V 1 , V 2 バイトが全て “ 1 ” の時は、P A I S (Path Alarm Indication Signal) 表示となる。

次に、図 6 5 はポインタの状態遷移を説明するための図で、この図 6 5 に示すように、ポインタは、異常状態（L O P）, アラーム検出状態（P A I S）の 3 つの状態を遷移する。なお、この図 6 5 において、“ N D F ” は N D F イネーブル検出、“ N O R x 3 ” はノーマルポインタ値 3 フレーム連続一致検出、“ I N C / D E C ” はインクリメント/デクリメント表示検出、“ I N V x N ” は N フレーム連続インバリッド（無効）ポインタ検出、“ N D F x N ” は N フレーム連続 N D F イネーブル検出、“ A I S x 3 ” は 3 フレーム連続 P A I S 表示検出をそれぞれ表す。

30

【 0 0 2 9 】

つまり、この図 6 5 に示すように、ポインタの状態は、通常状態（N O R M）において、ノーマルポインタを 3 回（フレーム）連続して検出した場合、または I N C / D E C 表示を検出した場合、もしくは N D F イネーブル信号を 1 回検出した場合には、いずれも通常状態が維持されるが、インバリッドポインタ（I N V）又は N D F イネーブル信号を所定回数連続して検出した場合は L O P 状態となり、A I S を 3 回連続して受信した場合はアラーム検出（P A I S）状態となる。

40

【 0 0 3 0 】

また、L O P 状態のときに A I S を 3 回連続して検出した場合もポインタの状態はアラーム状態に遷移し、アラーム状態のときにインバリッドポインタを所定回数連続して検出した場合は L O P 状態に遷移する。なお、L O P 状態から通常状態に状態遷移するにはノーマルポインタを 3 回連続して検出すればよく、アラーム状態から通常状態に状態遷移するには同じくノーマルポインタを 3 回連続して検出するか、N D F イネーブル信号を 1 回検出すればよい。

【 0 0 3 1 】

(B) S D H 伝送網の説明

図 6 6 は S D H 伝送網の一例を示すブロック図で、この図 6 6 において、3 0 1 は加入者

50

端末、302は回線終端装置（NT）、303、306はそれぞれ伝送端局装置（LT）、304は交換装置（SW）、305は多重化装置（MUX）、307は中継伝送路である。

【0032】

そして、この図66に示すSDH網では、複数の加入者端末301からのデータは、多重化装置305でSTM-nフレーム（ただし、 $n = 1, 4, 16, 64$ ）に組み上げられ、伝送端局装置306でオーバヘッド（SOH, POH）の終端/付け替え処理、AU/TUポイントの終端/付け替え等の処理を施されて、対向する加入者端末301側へ中継伝送路307を通じて伝送されるようになっている。

【0033】

このため、一般に、上記の伝送路端局装置306は、ポイント処理部分に着目すると、例えば図67に示すように、ポイント処理装置243として、AU4ポイント処理部244、TUポイント処理部245をそなえて構成されるが、受信多重データとしてSTM-1フレームを考えると、図55により前述したように、STM-1フレームには、TU3なら最大で3チャンネル、TU2なら最大で21チャンネル、TU12なら最大で63チャンネル分多重されているので、通常、TUポイント処理部245には、ポイント検出部246、TUポイント付け替え用のエラスティック（ES）メモリ247及びポイント処理（挿入）部248が、それぞれ少なくともSTM-1フレームに収容されているTUレベルのフレーム（チャンネル）数分（最大で63チャンネル分）設けられる。

【0034】

なお、AU4ポイント処理部244において、244はAU4ポイント検出部、245はシリアル/パラレル（S/P）変換部である。また、249はパラレル/シリアル（P/S）変換部である。

ここで、AUポイント検出部244は、受信多重データ（STM-1のSOHを終端した後のAU4フレーム）のAU4ポイントを検出（抽出）してAU4ポイントの終端処理を行なうものであり、S/P変換部245は、AU4ポイント終端後のVC4信号をTUレベル（TU3/TU2/TU12）のフレーム（チャンネル）に分離するものである。

【0035】

また、TUポイント処理部245において、各ポイント検出部246は、それぞれ、受信TUポイントの解析・状態検出を行なうものであり、各ESメモリ247は、それぞれ、伝送路側のクロックから装置側のクロックへクロック乗り換えを行なうものであり、各ポイント処理部248は、ESメモリ247から読み出したデータに対してポイントを計算し挿入する等の処理を行なうものである。P/S変換部249は、分離された各チャンネルのデータを多重するものである。

【0036】

このような構成により、上述のポイント処理装置243では、STM-1フレーム（VC4フレーム）内に多重されているTUレベルのフレームに対する処理（TUポイント処理）を各チャンネル毎に行なう。すなわち、まず、STM-1フレーム内に多重されているTUレベルのデータをS/P変換部245でS/P変換することにより各チャンネル毎のデータに分離し、分離後の各データからTUポイントを対応するポイント検出部246で検出（抽出）する。

【0037】

そして、抽出後の各チャンネル毎のデータ（TUポイント）は、それぞれ、伝送路側のクロックに従って対応するESメモリ247に一旦書き込まれたのち、装置側のクロックに従って読み出されることによって、クロック乗り換えが行なわれる。その後、各データは、対応するポイント処理部248において装置側のクロックに従ってポイント処理が行なわれ、P/S変換部249においてP/S変換されることによって多重され送信多重データとして出力される。

【0038】

なお、各ポイント処理部248でのポイント処理とは、例えば、受信ポイントの解析、ア

10

20

30

40

50

ラーム検出，動作ポインタ（アクティブポインタ）の更新，ポインタの付け替え（送信）などの処理である。

【0039】

【発明が解決しようとする課題】

しかしながら、このようなポインタ処理装置243では、STM-1フレーム（多重データ）に対するポインタ処理を各チャンネル毎（STM-1フレームに收容されている異なる信号サイズ毎）に平行で行なうために、例えば上記のポインタ検出部246，ESメモリ247及びポインタ処理部248等をそれぞれ最大で63チャンネル分もそなえており、装置全体の回路規模，消費電力，配線数等が大幅に増大してしまっているという課題がある。

10

【0040】

また、上述のポインタ処理装置243では、TUポインタ付け替え用のESメモリ247で伝送路側のクロックから装置側のクロックへクロック乗換を行なうため、ESメモリ247の段数において、伝送路側のクロックと装置側のクロックのジッタ及びワンドの影響を吸収できる分のメモリ段数もさらに必要になってしまい、やはり装置全体の回路規模，消費電力，配線数等が大幅に増大してしまうという課題もある。

【0041】

さらに、上述のポインタ処理装置243では、AU4ポインタに対する処理（具体的には、ポインタ付け替え処理）とTUポインタに対する処理とがそれぞれ別々のハードにより行なわれるようになっているので、VC4レベルの信号とVC3/VC2/VC12レベルの信号とをクロスコネクトする際には、例えば図68に示すように、VC4レベルの信号単位でのクロスコネクト（TSI：Time Slot Interchange）を行なうクロスコネクト部224と、VC3/VC2/VC12レベルの信号単位でのクロスコネクトを行なうクロスコネクト部225との別々のハードを設ける必要があり、さらに伝送端局装置306の規模が増大してしまうという課題もある。

20

【0042】

本発明は、このような課題に鑑み創案されたもので、STM-1フレームに対する（TU）ポインタ処理を、シリアルで行なうことによって、回路規模，消費電力，配線数等を大幅に削減できるようにした、ポインタ処理装置を提供することを目的とする。

また、本発明は、伝送路側のクロックと装置側のクロックとの間のクロック乗り換えのために必要なメモリを最小限にして、回路規模，消費電力，配線数等を大幅に削減できるようにするとともに、異なる信号サイズのフレームをクロスコネクトする際に、共通のクロスコネクト装置を使用できるようにした、ポインタ処理装置を提供することも目的とする。

30

【0043】

【課題を解決するための手段】

図1は第1発明の原理ブロック図で、この図1に示すSDH伝送方式におけるポインタ処理装置は、入力された多重フレームデータ（以下、多重データということがある）をシリアルでポインタ処理すべく、アドレス生成部1，ポインタ抽出部2，ポインタ処理部3，RAM（ランダムアクセスメモリ）4及びRAM制御部5をそなえて構成されている。

40

【0044】

ここで、アドレス生成部1は、入力された多重データの各チャンネルにアドレスを割り付けるためのものであり、ポインタ抽出部2は、多重フレームデータから少なくともH1バイト又はV1バイト（H1/V1バイト），H2バイト又はV2バイト（H2/V2バイト）を含むポインタバイトの抽出を行なうものであり、ポインタ処理部3は、所要のポインタ処理を施すものである。

【0045】

また、RAM4は、上記のポインタ抽出部2，ポインタ処理部3にて得られる多重フレームデータから抽出された各チャンネルのポインタバイトが示す情報群，受信したポインタバイトによりポインタアクションを起こすために必要な情報群及びポインタアクション

50

を起こした結果の情報群のそれぞれを、各チャンネル毎にアドレス生成部1で生成されたアドレスが示す領域に保持するものであり、RAM制御部5は、RAM4の書き込み/読み出しの一連の動作を制御するもので、より詳細には、上記の各情報群を書き込む処理、および、前フレームの多重フレームデータについての上記各情報群を該ポインタ処理部へ供給すべく当該情報群を該RAMから読み出す処理の一連の動作を制御するものである。

【0046】

上述のごとく構成された第1発明のポインタ処理装置では、ポインタ抽出部2、ポインタ処理部3にて多重データから得られる上記の各種情報群を、アドレス生成部1からのアドレスに従って各チャンネル毎にRAM4に保持させるので、多重データを各チャンネル毎に分離する(パラレルデータに変換する)ことなく、シリアルで、入力多重データに対するポインタ処理を行なうことができる。

10

【0047】

なお、上述のRAM4は、第1RAMと第2RAMとに分割して構成してもよく、この場合、第1RAMは、上記の受信したポインタバイトのうちのH1/V1バイトが示す情報群を保持するように構成されるとともに、第2RAMは、上記の受信したポインタバイトのうちのH2/V2バイトが示す情報群、上記のポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群を保持するように構成される。

【0048】

これにより、本ポインタ処理装置では、第1RAMに対しては、H1/V1バイトのタイミングに従って上記の情報群の書き込みを行なうとともに、H2/V2バイトのタイミ
20
ングに従ってその情報群の読み出しを行ない、第2RAMに対しては、H2/V2バイトのタイミングに従って上記の各種情報群の書き込みと読み出しとを行なうことができるので、上記第2RAMへのアクセスタイミング(H1/V1タイミング)が削減される。

【0049】

次に、具体的に、上述のポインタ処理部3は、受信したH1/V1バイトのビット数を圧縮して、このビット数を圧縮した情報をRAM4に保持させる第1ポインタ翻訳部をそ
なえて構成される。これにより、RAM4で保持すべき情報群のビット数が削減され、RAM4に必要なビット数が削減される。

また、このポインタ処理部3は、上記の第1ポインタ翻訳部に加えて、多重データからH2/V2バイトを抽出するタイミングで、多重データ、第1ポインタ翻訳部で生成した
30
ビット数圧縮情報並びに上記の受信ポインタバイトのH2/V2バイトが示す情報群、ポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群に基づいて、ポインタ処理制御信号及びポインタ処理結果を生成して、これらの情報群をRAM4に保持させる第2ポインタ翻訳部をそなえて構成してもよい。これにより、各チャンネルのポインタ処理に必要な各種のポインタ処理制御信号の生成やポインタ処理を、1つのポインタ処理部3で共通に行なうことができる。

【0050】

また、図1に示すポインタ処理装置は、多重データから各チャンネルのポインタ値を示す情報信号を抽出し、その情報信号のMSB(最上位ビット)を除く下位ビットをRAM4
40
に保持させるように構成するとともに、多重データの各チャンネルの信号サイズがTU3のときの情報信号のMSB1ビットを保持しうるラッチ回路をそなえるように構成してもよい。なお、この場合は、上記のラッチ回路の書き込み及び読み出しの制御信号として、上記TU3のチャンネルに割り当てたアドレス値をデコードした信号が使用される。

【0051】

これにより、本ポインタ処理装置では、MSBを除く下位ビットのみがRAM4に保持されるので、RAM4に必要なビット数がさらに削減される。ただし、このとき、信号サイズがTU3の場合、MSBはTU3以外のときの値とは異なる値になっている可能性があるが、そのときのMSB1ビットはラッチ回路に保持されるので、常にポインタ処理に必要な情報は確保される。

【0052】

50

さらに、上述のポインタ処理部3は、受信ポインタ値と前フレームの受信ポインタ値との一致を検出して、この一致検出結果を1ビット情報でRAM4に保持させる一致検出部と、無効な情報を示すポインタバイトを受信したときはRAM4に保持されているポインタ値をポインタ値範囲外のある値に変換したのちにこの変換情報をRAM4に保持させるポインタ値範囲外変換部と、RAM4に格納されている一致検出結果を示す信号と前ポインタ値と受信ポインタバイトの値との一致検出結果の論理積によってノーマルポインタ値3連続一致受信を検出するノーマルポインタ値3連続一致受信検出部とをそなえて構成してもよい。

【0053】

これにより、ポインタ処理部3は、RAM4に格納されている一致検出結果を示す信号(1ビット情報)と前ポインタ値と受信ポインタバイトの値との一致検出結果の論理積によってノーマルポインタ値3連続一致受信を検出するので、RAM4に1ビット情報の一致検出結果を保持させるだけで、ノーマルポインタ値を何回連続して受信したかをカウントするための専用の回路やカウント結果を保持するための専用の回路などを複数チャンネル分そなえずに、各チャンネルに対する通常のノーマルポインタ値3連続一致受信検出をシリアルで行なうことができる。

10

【0054】

また、上述のポインタ処理部3は、LOP(Loss Of Pointer)状態を検出するLOP検出部をそなえ、このLOP検出部が、NDFイネーブル受信と無効ポインタ受信と前フレームのNDFイネーブル受信の情報と前フレームのカウント値とに基づいて、所要の真理値表に従い、NDFイネーブル連続受信回数または無効ポインタの連続受信回数をカウントするカウント制御部をそなえるように構成してもよい。

20

【0055】

これにより、ポインタ処理部3では、NDFイネーブル連続受信回数または無効ポインタの連続受信回数のいずれかをカウントすれば、LOP状態を検出することができるので、NDFイネーブル連続受信回数をカウントする専用の回路、無効ポインタの連続受信回数をカウントする専用の回路をそれぞれ複数チャンネル分そなえずに、各チャンネルに対するLOP状態をシリアルで検出することができる。

【0056】

さらに、上述のポインタ処理部3は、上記のLOP検出部に加えて、INC/DEC(インクリメント/デクリメント)受信結果を認識するINC/DEC受信結果認識部をそなえ、このINC/DEC受信結果認識部が、受信ポインタバイトからINCとDECを検出するINC/DEC検出部と、NDFイネーブル及びINC/DEC受信後のnフレーム(nは自然数)間はINC/DEC受信によるスタッフ制御を抑制して、INC/DEC連続受信によるメモリスリップを防止すべく、n進カウント部を有するスタッフ制御抑制部とをそなえ、n進カウント部のカウント結果とINC及びDECのうちのどちらか1つの受信結果をINC/DEC受信結果認識用RAMに保持し、このRAMに保持したINC/DECの受信結果とn進カウント値と上記のLOP検出部で得られるNDFイネーブル受信結果とを用いて、INC/DEC受信結果を認識するように構成してもよい。

30

【0057】

これにより、上述のポインタ処理部3では、INC及びDECのうちのどちらか1つの受信結果をINC/DEC受信結果認識用RAMに保持するだけで、INC/DEC受信結果を認識することができるので、INC受信結果、DEC受信結果の両方をRAMに保持する必要はなく、RAMに必要なビット数を削減することができる。

40

【0058】

また、上述のポインタ処理部3は、アラーム状態遷移保護部をそなえ、このアラーム状態遷移保護部が、アラーム状態遷移を行なうためのm段(mは自然数)の保護回路として、カウント機能を有するカウント制御部と、このカウント制御部でのカウント値を記憶するアラーム状態遷移保護用RAMとをそなえ、アラーム状態遷移対象信号を受信すればカウント制御部のカウントアップを行ない、アラーム状態遷移対象信号を未受信ならばカウ

50

ト制御部のカウントリセットを行ない、カウント制御部のカウント値が最大値になった時点で、アラーム状態に遷移し、アラーム解除条件を受信するまではカウント制御部のカウント値を最大値のままRAM4で保持させ、RAM4から上記のカウント値を読み出したときにそのカウント値が最大値に達しているか否かで該当チャンネルがアラーム状態であるか否かを認識するように構成してもよい。

【0059】

これにより、上述のポインタ処理部3では、カウント制御部によって、アラーム状態遷移対象信号を受信した回数に応じたカウント値のみをRAM4の該当するチャンネルアドレスに保持させるので、RAM4に必要なビット数を最小限に抑えつつ、複数チャンネルに対するアラーム状態の認識をシリアルで行なうことができる。

10

【0060】

さらに、上述のポインタ処理部3は、受信ポインタ値とは別に実際に今そのポインタ値でハードが動作しているアクティブポインタ値を各チャンネル毎に保持するアクティブポインタ値保持部をそなえ、このアクティブポインタ値保持部が、上記のアクティブポインタ値のうちMSBを除く下位ビットをアクティブポインタ値保持用RAMに保持させ、多重データの各チャンネルの信号サイズがTU3のときのMSBの1ビットをラッチするラッチ回路をそなえるとともに、このラッチ回路の書き込み及び読み出しの制御信号として、TU3のチャンネルに割り当てられたアドレス値をデコードした信号が使用されるように構成してもよい。

【0061】

これにより、ポインタ処理部3では、アクティブポインタ値の全ビットをRAMに保持することなく、各チャンネルのポインタ処理に必要なアクティブポインタ値をシリアルで生成することができるので、この場合も、RAMに必要なビット数が削減される。

20

また、上述のポインタ処理部3は、上記のアクティブポインタ値保持部に加えて、SPE (Synchronous Payload Envelope) の先頭バイトとしてのJ1バイト、V5バイトを認識するSPE先頭バイト認識部をそなえ、このSPE先頭バイト認識部が、SPEの先頭バイトを検索するためのオフセットカウンタ部を有し、上記のアクティブポインタ値保持部からアクティブポインタ値を読み出し、SPEイネーブル信号とオフセットカウンタ値とアクティブポインタ値との一致検出結果の論理積により、SPEの先頭バイト位置を認識するように構成してもよい。

30

【0062】

これにより、ポインタ処理部3では、アクティブポインタ値保持部からアクティブポインタ値をシリアルで読み出し、SPEイネーブル信号とオフセットカウンタ値とアクティブポインタ値との一致検出結果の論理積により、SPEの先頭バイト位置を認識するので、アクティブポインタ値保持用の回路、オフセットカウンタ値カウント用の回路などを複数チャンネル分そなえずに、各チャンネルのSPEの先頭バイトをシリアルで認識することができる。

【0063】

さらに、図1に示すポインタ処理装置は、多重データの各チャンネルがTU3/TU2/TU12のいずれの信号サイズにマッピングされているかを設定するマッピング設定レジスタ群をそなえるとともに、アドレス生成部1によって各チャンネルに割り付けられたアドレスを用い上記のマッピング設定レジスタ群から該当チャンネルの信号サイズを選択する信号サイズ選択回路をそなえ、上記のマッピング設定レジスタ群、信号サイズ選択回路により、多重データの各チャンネルの信号サイズを認識し、その情報をポインタ抽出部2、ポインタ処理部3及びRAM制御部5へ渡すことによって、信号サイズに応じて共通の回路でポインタ抽出・ポインタ処理を行なうように構成してもよい。

40

【0064】

これにより、本ポインタ処理装置では、常に、多重データの各チャンネルがTU3/TU2/TU12のいずれの信号サイズにマッピングされているかを認識することができるので、多重データに異なる信号サイズのチャンネルが混在する場合でも、異なる信号サイ

50

ズのチャンネル数分、ポインタ抽出部 2 , ポインタ処理部 3 などをそなえずに、共通の回路でポインタ抽出・ポインタ処理を行なうことができる。

【 0 0 6 5 】

具体的に、上述のポインタ処理装置は、上記のマッピング設定レジスタ群として、3 個の T U 3 / T U G 3 設定レジスタと、これらの各 T U 3 / T U G 3 設定レジスタ毎に 7 つ、合計 2 1 個の T U 2 / T U G 2 設定レジスタとをそなえ、上記の T U 3 / T U G 3 設定レジスタにより該当チャンネルが T U 3 にマッピングされているか否かを判定し、T U 3 にマッピングされていなければ、上記の T U 2 / T U G 2 設定レジスタにより、T U 2 にマッピング設定されているか、T U 1 2 にマッピングされているかを判定して、該当チャンネルの信号サイズを認識する信号サイズ認識部が設けられる。

10

【 0 0 6 6 】

これにより、本ポインタ処理装置では、例えば、T U 3 用の設定レジスタを 3 チャンネル分、T U 2 用の設定レジスタを 2 1 チャンネル分、T U 1 2 用の設定レジスタを 6 3 チャンネル分というように、全ての信号サイズに対応できる分の設定レジスタをそなえずに、計 2 4 個の設定レジスタをそなえるだけで、全チャンネルに対するポインタ処理を行なうことができる。

【 0 0 6 7 】

また、図 1 に示すポインタ処理装置は、上述のごとく信号サイズに応じて共通の回路でポインタ抽出・ポインタ処理を行なうように構成されたものにおいて、上記のオフセットカウンタを各信号サイズ毎に装備し、各オフセットカウンタのカウント値をマッピング設定レジスタ群からのマッピング設定情報により選択して、S P E の先頭バイト位置を認識するように構成してもよい。

20

【 0 0 6 8 】

これにより、本ポインタ処理装置では、S P E の先頭バイト位置の認識についても、多重データに異なる信号サイズのチャンネルが混在していても、共通の回路で全チャンネル分の処理を行なうことができる。

さらに、上述のポインタ処理部 3 は、E S (エラスティック) メモリ機能を有するポインタ付け替え用 R A M をそなえ、入力多重データから S P E データと S P E 先頭バイトを示す情報ビットとをこの R A M に書き込み、書き込んだ R A M のデータを読み出し側のタイミングで読み出し、読み出した S P E 先頭バイトを示す情報ビットの値により、S P E 先頭位置を認識するように構成してもよい。

30

【 0 0 6 9 】

これにより、ポインタ処理部 3 では、共通のポインタ付け替え用 R A M を用いて、全チャンネル分の S P E の先頭位置認識処理をシリアルで行なって、ポインタ付け替え処理を行なうことができる。

また、上述のポインタ処理装置は、上記のポインタ付け替え用 R A M を制御するライト / リード段数用カウンタをそなえ、さらに T U 3 マッピング設定時と T U 2 マッピング設定時のカウント数を切り替えるべく、T U 3 用カウンタ値及び T U 2 用カウンタ値をそれぞれデコードする T U 3 用デコード回路及び T U 2 用デコード回路をそなえ、信号サイズによって各デコード回路の出力信号を選択して上記のカウンタのロード信号とすることにより、T U 3 マッピング時及び T U 2 マッピング時の上記 R A M のライト / リード段数用カウンタを共通のカウンタとして構成してもよい。

40

【 0 0 7 0 】

これにより、本ポインタ処理装置では、T U 3 マッピング設定時と T U 2 マッピング設定時のカウント数を、各デコード回路の出力信号を選択して切り替えることによって、多重データに T U 3 / T U 2 という異なる信号サイズのチャンネルが混在していても、共通のカウンタでライト / リード段数のカウント処理を行なうことができる。

【 0 0 7 1 】

さらに、上述のポインタ処理装置は、上記のポインタ付け替え用 R A M を制御するライト / リード段数用カウンタをそなえ、さらに T U 3 マッピング設定時と T U 2 マッピング設

50

定時とTU12マッピング設定時とのカウント数を切り替えるべく、TU3用カウント値、TU2用カウント値及びTU12用カウント値をそれぞれデコードするTU3用デコード回路、TU2用デコード回路及びTU12用デコード回路をそなえ、信号サイズによって各デコード回路の出力信号を選択してカウンタのロード信号とすることにより、TU3/TU2/TU12マッピング時の上記RAMのライト/リード段数用カウンタを共通のカウンタとして構成してもよい。

【0072】

これにより、本ポインタ処理装置では、TU3マッピング設定時とTU2マッピング設定時とTU12マッピング設定時とのカウント数を、各デコード回路の出力信号を選択して切り替えることによって、多重データにTU3/TU2/TU12という異なる信号サイズのチャンネルが混在していても、共通のカウンタでライト/リード段数のカウント処理を行なうことができる。

10

【0073】

次に、図2は第2発明の原理ブロック図で、この図2に示すSDH伝送方式におけるポインタ処理装置は、AU4ポインタについての処理を施すAU4ポインタ処理部6と、このAU4ポインタ処理部6での処理後にTUポインタについての処理を施すTUポインタ処理部7とをそなえて構成され、さらに、AU4ポインタ処理部6が、AU4ポインタ検出部6a、クロック乗換用ES(エラスティック)メモリ6b、ESライトカウンタ6c及びESリードカウンタ6dを有して構成されている。

【0074】

20

ここで、AU4ポインタ検出部6aは、伝送路側のクロックでAU4ポインタ翻訳、VC4イネーブル信号の生成、VC4POH(パスオーバーヘッド)のJ1バイト位置を示す信号の生成をそれぞれ行なうものであり、ESメモリ6bは、AU4ポインタ検出部6aによるAU4ポインタ検出後の信号のクロックを伝送路側のクロックから装置側のクロックへ乗り換えさせるためのものである。

【0075】

ESライトカウンタ6cは、ESメモリ6bの書き込み制御を伝送路側のクロックで行なうものであり、ESリードカウンタ6dは、ESメモリ6bの読み出し制御を装置側のクロックで行なうものである。

上述のごとく構成された第2発明のポインタ処理装置では、伝送路側のクロックでESライトカウンタ6cを動作させるとともに、装置側のクロックでESリードカウンタ6dを動作させ、ESライトカウンタ6c、ESリードカウンタ6dのカウント値の位相差の検出によりスタッフ制御を行なうことで、AU4ポインタ処理部6側で伝送路側のクロックから装置側のクロックへの乗り換え処理を行なう。

30

【0076】

これにより、TUポインタ処理部7では、クロック乗り換え後の多重データに対してTUポインタ処理を行なえばよいので、クロック乗り換え時のクロック変動などの影響を吸収するためのES段数を全チャンネル分そなえる必要がなくなる。

なお、上述のAU4ポインタ処理部6は、送信フレーム信号を基にAU4ポインタ計算及びAU4ポインタ挿入を行なうAU4ポインタ計算・挿入部をそなえ、このAU4ポインタ計算・挿入部でのAU4ポインタ挿入後のデータをTUポインタ処理部7へ渡すようにしてもよい。これにより、本ポインタ処理装置では、AU4ポインタ計算・挿入部でのAU4ポインタ挿入後のデータから、ESメモリ6bでの処理状態(スタッフ制御など)を把握することができる。

40

【0077】

また、上述のポインタ処理装置は、上記のAU4ポインタ計算・挿入部を有するAU4ポインタ処理部6でAU4ポインタを付け替えた後の信号と、TUポインタ処理部でTUポインタを付け替えた後の信号とをモード設定により選択して送信する選択回路をそなえてもよい。これにより、本ポインタ処理装置は、AU4ポインタ付け替え後の信号とTUポインタ付け替え後の信号とを選択的に出力することができるので、後段の装置(例えば

50

クロスコネクト装置等)では、1つの装置で両方の信号に対応することができる。

【0078】

さらに、上述のTUポインタ処理部7は、図1に示すアドレス生成部1、ポインタ抽出部2、ポインタ処理部3、RAM4及びRAM制御部5をそなえて構成してもよい。これにより、この図2に示すTUポインタ処理部7でも、図1にて前述したように、多重データを各チャンネル毎に分離する(パラレルデータに変換する)ことなく、シリアルで、入力多重データに対するポインタ処理(TUポインタ処理)を行なうことができる。

【0079】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

10

(A)ポインタ処理装置の全体構成説明

図3は本発明の一実施形態としてのポインタ処理装置が適用される伝送端局装置の要部の構成を示すブロック図であるが、この図3に示す伝送端局装置(LT)8は、図64における伝送端局装置306に相当するもので、セクションオーバーヘッド/ラインオーバーヘッド(SOH/LOH)終端処理部8A、ポインタ処理装置8B、パスオーバーヘッド(POH)終端処理部8C、クロスコネクト(XC)装置8D、POH挿入処理部8E、AU4ポインタ挿入処理部8F及びSOH/LOH挿入処理部8Gをそなえて構成されている。

【0080】

ここで、SOH/LOH終端処理部8Aは、受信多重データ(STM-nフレーム：ただし、nは多重度で、 $n = 1, 4, 16, 64$ のいずれかである)のオーバーヘッド部分(SOH/LOH)を検出し、そのSTM-nフレームからオーバーヘッド部分を取り除く終端処理を行なうものであり、ポインタ処理装置8Bは、このSOH/LOH終端処理部8Aで終端処理された多重データ(AU4フレーム)に対して、AU4ポインタの終端/付け替えやTUポインタの付け替えなどのポインタ処理を行なうものである。

20

【0081】

このため、本ポインタ処理装置8Bは、この図3に示すように、AU4ポインタ処理部81B、TUポインタ処理部82B及びセレクト回路83Bをそなえて構成され、AU4ポインタ処理部81Bにおいて、AU4フレームからAUポインタを検出してAU4フレームからAU4ポインタを取り除いてVC4とする終端処理や、一旦終端されたAU4フレーム(つまり、VC4)にAU4ポインタを付加(挿入)するポインタ付け替え処理などが行なわれ、TUポインタ処理部82Bにおいて、VC4の収容位置を指示するTUポインタの付け替えなどが行なわれるようになっている。

30

【0082】

なお、セレクト回路83Bは、AU4ポインタ処理部81B、TUポインタ処理部82Bを通じて入力されるAU4ポインタ終端後(TUポインタ付け替え後)の多重データと、AU4ポインタ処理部81Bから入力されるAUポインタ付け替え後の多重データとを、外部からのクロスコネクト設定信号に応じて選択的に出力するものである。

【0083】

また、POH終端処理部8Cは、上述のポインタ処理装置8のAU4ポインタ処理部81Bからの多重データのPOHを終端もしくはモニタするためのものであり、クロスコネクト装置8Dは、ポインタ処理装置8Bからの多重データ(VC4/VC3/VC2/VC12)を、VC4単位あるいはVC3/VC2/VC12単位でクロスコネクト(TSI：タイムスロットの入れ替え)するものである。

40

【0084】

さらに、POH挿入処理部8Eは、クロスコネクト装置8EからのVC4フレームに対して、POHが上記のPOH終端処理部8Cにて終端されていればPOHを挿入し、終端されていなければそのVC4フレームをそのまま出力(スルー)するものであり、AU4ポインタ挿入処理部8Fは、VC4フレームに対して、AU4ポインタがポインタ処理装置8のAU4ポインタ処理部81Bにて終端されていればAU4ポインタを挿入し、終端されていなければそのVC4フレームをそのまま出力するものである。

50

【 0 0 8 5 】

S O H / L O H 挿入処理部 8 G は、A U 4 ポインタの挿入されている V C 4 フレーム（つまり、A U 4）に対して、S O H / L O H を挿入することにより、S T M - n フレームを組み上げて送信多重データを生成するものである。

つまり、本実施形態のポインタ処理装置 8 B は、項目（C）にて後述するように、上記のセクタ回路 8 3 B によって、A U 4 ポインタ終端後の多重データ（V C 4）と A U 4 ポインタ挿入済み（付け替え後）の多重データ（A U 4）とを外部の設定により選択的に出力することができるようになっており、これにより、V C 4 レベルの信号とそれ以下の信号とのクロスコネクートを、1つのクロスコネクート装置 8 D で行なえるようになっているのである。

10

【 0 0 8 6 】

例えば、V C 4 単位でクロスコネクートを行なう場合は、A U 4 ポインタ処理部 8 1 B で A U 4 ポインタの付け替えが行なわれ、A U 4 ポインタ挿入済みの多重データがセクタ回路 8 3 B を経由してクロスコネクート装置 8 D へ渡される。なお、このとき、V C 4 の P O H は P O H 終端処理部 8 C において終端されずスルーされる（モニタ可能）。

【 0 0 8 7 】

そして、クロスコネクート装置 8 D によるクロスコネクート後の多重データは、A U 4 ポインタ、V C 4 の P O H がそれぞれ挿入済みであるので、P O H 挿入処理部 8 E、A U 4 ポインタ挿入処理部 8 F をスルーして、S O H / L O H 挿入処理部にて S O H / L O H が挿入されて、S T M - n フレームに組み上げられる。

20

一方、V C 3 / V C 2 / V C 1 2 単位でクロスコネクートを行なう場合は、A U 4 ポインタ処理部 8 1 B、P O H 終端処理部 8 C においてそれぞれ A U 4 ポインタ、P O H の終端処理が行なわれ、T U ポインタ処理部 8 2 B において T U ポインタの付け替えが行なわれたのち、A U 4 ポインタ終端後の多重データ（V C 3 / V C 2 / V C 1 2）がセクタ回路 8 3 B を経由してクロスコネクート装置 8 D へ渡される。

【 0 0 8 8 】

そして、この場合のクロスコネクート装置 8 D によるクロスコネクート後の多重データは、A U 4 ポインタ、V C 4 の P O H がそれぞれ終端されているので、P O H 挿入処理部 8 E、A U 4 ポインタ挿入処理部 8 F にて、それぞれが挿入され、S O H / L O H 挿入処理部にて S O H / L O H が挿入されて、S T M - n フレームに組み上げられる。

30

【 0 0 8 9 】

以下、上述のポインタ処理装置 8 の詳細について説明するが、便宜上、T U ポインタ処理部 8 2 B、A U 4 ポインタ処理部 8 1 B の順に説明を行なう。なお、以下では、受信多重データが S T M - 1 フレームの場合について述べるが、S T M - n フレーム（ $n = 4, 16, 64$ ）の場合も、S T M - 1 フレームに分離された後の処理は同様である。

【 0 0 9 0 】

（B）T U ポインタ処理部の説明

図 4 は T U ポインタ処理部 8 2 B の要部の構成を示すブロック図で、この図 4 において、10 はアドレス生成部、11 はポインタ抽出部、12 はポインタ処理部、13 は R A M（ランダムアクセスメモリ）制御部、14 は R A M である。

40

ここで、アドレス生成部 10 は、S T M - 1 フレームの S O H に含まれるフレーム同期パターン（A 1、A 2 バイト）検出に基づいて生成されるフレーム信号に基づいて、S T M - 1 フレーム内に多重された T U レベルの各チャンネル（多重データ）に割り付けるアドレス（チャンネルアドレス）を生成するものであり、ポインタ抽出部 11 は、多重データから各チャンネルのポインタバイト（少なくとも H 1 / V 1 バイト、H 2 / V 2 バイトを含む）の抽出をシリアルで行なうものであり、ポインタ処理部 12 は、ポインタ抽出部 11 からの多重データから各チャンネルのポインタの解析、状態検出、ポインタの付け替え等をシリアルで行なうものである。

【 0 0 9 1 】

なお、このポインタ処理部 12 は、後述するように、次のような機能部分を有している。

50

- (1) 受信ポインタ値保持機能
- (2) ノーマルポインタ 3 連続一致受信検出機能
- (3) L O P (Loss Of Pointer) 検出機能
- (4) インクリメント / デクリメント (I N C / D E C) 受信結果認識機能
- (5) アラーム状態遷移検出機能
- (6) アクティブポインタ値保持機能
- (7) S P E 先頭バイト (J 1 / V 5) バイト認識機能

また、R A M 制御部 1 3 は、各チャンネルのポインタ処理部 1 2 の結果をシリアルに R A M 1 4 へ書き込み / 読み出しを行なう一連の動作を制御するための制御信号を生成するものであり、R A M 1 4 は、ポインタ処理部 1 2 の出力データを各チャンネル毎にアドレス生成部 1 0 からのチャンネルアドレスが示す領域に保持するものである。

【 0 0 9 2 】

なお、この R A M 1 4 には、図 1 0 により後述するように以下に示すような情報群 (多重データから得られるポインタ処理に必要な情報群) が保持されるようになっている。

- 1 ポインタ抽出部 1 1 にて得られる多重データから抽出された各チャンネルのポインタバイトが示す情報群 (例えば、受信ポインタ値の上位 2 ビット)
- 2 受信したポインタバイトによりポインタアクションを起こすために必要な情報群 (N D F イネーブル (E N) 信号など)
- 3 ポインタアクションを起こした結果の情報群 (インバリッドポインタ検出信号 (I N V (i N V) - V 1) , A I S (A i S) 検出信号 (A I S - V 1) など)

上述のごとく構成された本実施形態の T U ポインタ処理部 8 2 B では、ポインタ抽出部 1 1 , ポインタ処理部 1 2 を通じて生成される上記の各情報群 1 ~ 3 が、アドレス生成部 1 0 で生成された R A M アドレス (チャンネルアドレス) の示す R A M 2 1 の番地に、R A M 制御部 1 3 で生成されるライトイネーブル信号 (受信ポインタバイトの検出タイミング) に従って書き込まれる。

【 0 0 9 3 】

そして、ポインタ処理部 1 2 では、R A M 1 4 から前フレームの情報群 1 ~ 3 を、R A M 制御部 1 3 で生成されるリードイネーブル信号に従って読み出し、読み出した各チャンネルの情報群 1 ~ 3 を用いてポインタ処理をシリアルに行なう。

つまり、上述の T U ポインタ処理部 8 2 B は、各チャンネルに割り付けたアドレスの示す番地に、各チャンネルに共通のポインタ抽出部 1 1 及びポインタ処理部 1 2 で生成した情報群 1 ~ 3 を、R A M 1 4 にシリアルで保持できるようになっているのである。この結果、ポインタ処理を行なうべきチャンネル数 (S T M - 1 フレーム内の T U レベルの信号) が多くなっても、多重データを各チャンネル毎に分離することなく、全チャンネルに共通の回路 (1 つのポインタ処理部 1 2) で処理することができるようになる。

【 0 0 9 4 】

従って、ポインタ処理のための回路を全チャンネルに対応できるよう複数チャンネル分 (最大で 6 3 チャンネル分) そなえる必要がなく、本ポインタ処理装置 8 B の装置規模、消費電力、各機能 (回路) ブロック間の配線数などを大幅に削減することができる。

ところで、上記の R A M 1 4 は、例えば図 5 に示すように、R A M 2 1 (第 1 R A M : R A M R 1) と R A M 2 2 (第 2 R A M : R A M R 2) とに分割して、R A M 1 4 に保持させていた上記の各情報群 1 ~ 3 を、それぞれ以下に示すように、R A M 2 1 , R A M 2 2 に分割して保持させるようにしてもよい。

【 0 0 9 5 】

- ・ R A M 2 1 (R A M R 1)
 - 1 受信ポインタバイトのうちの H 1 / V 1 バイトが示す情報群
- ・ R A M 2 2 (R A M R 2)
 - 1 受信ポインタバイトのうちの H 2 / V 2 バイトが示す情報群
 - 2 上記のポインタアクションを起こすために必要な情報群
 - 3 上記のポインタアクションを起こした結果の情報群

ただし、この場合、H 1 / V 1 バイト，H 2 / V 2 バイトが示す情報群を得る必要がある
ので、ポインタ抽出部 1 1 には、多重データから各チャンネルの H 1 又は V 1 バイトを抽
出する H 1 / V 1 バイト抽出部 2 3 と、多重データから各チャンネルの H 2 又は V 2 バイ
トを抽出する H 2 / V 2 バイト抽出部 2 4 とが設けられており、各 R A M 2 1 ， 2 2 に保
持されたデータを用いてシリアルでポインタ処理が行なわれるようになっている。

【 0 0 9 6 】

これにより、上述の T U ポインタ処理部 8 2 B では、H 1 / V 1 バイト抽出部 2 3 におい
て多重データから抽出された情報群（ポインタバイト）が、アドレス生成部 1 0 で生成し
た R A M アドレス（チャンネルアドレス）の示す R A M 2 1 の番地に、R A M 制御部 1 3
で生成される H 1 / V 1 バイトの検出タイミングで書き込まれる。一方、多重データから
H 2 / V 2 バイト抽出部 2 4 で抽出された情報群とポインタ処理部 2 5 で生成された情報
群は、R A M 制御部 1 3 で生成した H 2 / V 2 バイトの検出タイミングで R A M 2 2 に書
き込まれる。

10

【 0 0 9 7 】

そして、ポインタ処理部 1 2 では、R A M 2 1 ， 2 2 から各情報群を受信 H 2 / V 2 バ
イトの検出タイミングで読み出し、R A M 2 1 から読み出した各チャンネルの受信 H 1 /
V 1 バイトの情報群と、R A M 2 2 から読み出した各チャンネルの受信 H 2 / V 2 バイト
の情報群及び H 2 / V 2 バイト抽出部 2 4 で生成した信号とを用いてポインタ処理を行な
う。

【 0 0 9 8 】

つまり、上述の T U ポインタ処理部 8 2 B では、図 4 に示す R A M 1 4 を R A M 2 1 と R
A M 2 2 とに分割することにより、R A M 2 1 に対しては、受信 H 1 / V 1 バイトのタイ
ミングでデータの書き込みが行なわれ、受信 H 2 / V 2 バイトのタイミングでデータの読
み出しが行なわれる一方、R A M 2 2 に対しては、受信 H 2 / V 2 バイトのタイミングで
データの書き込みと読み出しとが行なわれるのである。

20

【 0 0 9 9 】

従って、R A M 2 2 へのアクセスタイミングが削減され、R A M 2 1 ， 2 2 （ R A M 1 4
）自体の消費電力を削減することができる。なお、以降の説明では、便宜上、R A M 1 4
を R A M 2 1 と R A M 2 2 とに分割している場合と分割していない場合とがあるが、基本
的に、R A M 1 4 は分割してもよいし分割しなくてもよい。

30

【 0 1 0 0 】

次に、図 6 は上述のアドレス生成部 1 0 の詳細構成を示すブロック図であるが、この図 6
に示すように、アドレス生成部 1 0 は、T U G 3 用アドレスカウンタ 1 5 ， T U G 2 用ア
ドレスカウンタ 1 6 ， T U 1 2 用アドレスカウンタ 1 7 ， A N D ゲート 1 8 及び 1 入力反
転型の A N D ゲート 1 9 をそなえて構成されている。

【 0 1 0 1 】

ここで、T U G 3 用アドレスカウンタ（3進カウンタ）1 5 は、S T M - 1 フレーム（V
C 4 フレーム）に多重されている T U G 3 （最大で 3 つ分多重されている）の番号（チャ
ンネル数）をカウントするものであり、T U G 2 用アドレスカウンタ（7進カウンタ）1
6 は、T U G 3 フレームに多重されている T U G 2 （最大で 7 つ分多重されている）の
チャンネル数をカウントするものであり、T U 1 2 用アドレスカウンタ（3進カウンタ）1
7 は、T U G 2 フレームに多重されている T U 1 2 （最大で 3 つ分多重されている）の
チャンネル数をカウントするものである。なお、各アドレスカウンタ 1 5 ~ 1 7 は、いず
れも、フレーム信号により初期値をロードする。

40

【 0 1 0 2 】

そして、本実施形態では、この図 6 に示すように、アドレスカウンタ 1 5 のキャリーア
ウト（C O）をアドレスカウンタ 1 6 のキャリーイン（C I）に接続するとともに、アドレ
スカウンタ 1 6 のキャリーアウトをアドレスカウンタ 1 7 のキャリーインに接続すること
により、6 3 進カウンタが構成されており、これら 3 つのアドレスカウンタ 1 5 ~ 1 7 の
出力が R A M 1 4 用の R A M アドレス（チャンネルアドレス）として使用されるようにな
る。

50

っている。

【 0 1 0 3 】

また、ANDゲート（論理積演算素子）18は、後述するTU12設定信号によりTU12モードに設定されていないとき（TU12設定信号がLレベルのとき）は、アドレスカウンタ17の出力を“0”に変換するものであり、1入力反転型のANDゲート19は、後述するTU3設定信号によりTU3モードに設定されたとき（TU3設定信号がHレベルのとき）にのみ、アドレスカウンタの出力を“0”に変換するものである。

【 0 1 0 4 】

これにより、このアドレス生成部10では、TU12モード設定信号、TU3モード設定信号に応じて動作させるカウンタ15～17の組み合わせ（カウンタ15のみ、カウンタ15とカウンタ16、カウンタ15～17全て）を切り替えて、RAM14用のアドレスを例えば図7に示すような組み合わせで生成することによって、TU3/TU2/TU12用のチャンネルアドレスをRAM14上で共用させる。

【 0 1 0 5 】

従って、STM-1フレーム内に異なる信号サイズのフレーム（VC4/VC3/VC2/VC12）がどの組み合わせで混在していても、1つのアドレス生成部10で柔軟に対応することができる。なお、図7においては、アドレス00～02_{HEX}がTU3/TU2/TU12共用アドレスであり、アドレス03～14_{HEX}がTU2/TU12共用アドレスである。

【 0 1 0 6 】

ところで、上述のアドレス生成部10は、例えば図8に示すように、図6に示す構成に加えて、アドレス変換部20をそなえるようにしてもよい。ここで、このアドレス変換部20は、各カウンタ15～17からのアドレス出力について所望の加算処理を施して、RAM14において空きアドレスを生じさせないようなアドレス変換信号を生成するものである。

【 0 1 0 7 】

このため、アドレス変換部20は、例えばSTM-1レベルにおいてTU12が最大63チャンネル多重されている場合を考えると、図9に示すように、ハーフアダプター20-1、フルアダプター20-2～20-8、EXORゲート（排他的論理和回路）20-9を組み合わせた回路として構成される。

すなわち、このアドレス変換部20によるアドレス変換方式は、上記のように、STM-1レベルにおいてTU12が最大63チャンネル多重されている場合を例にとると、図7（カウンタ値とアドレスの関係）に示すようになるが、この関係を満足するように、ハーフアダプター20-1のA、B入力端には、それぞれアドレスカウンタ17のビット「1」（T1CN1）、アドレスカウンタ16のビット「2」（T2CN2）が入力され、フルアダプター20-2のA、B、Ci入力端には、それぞれアドレスカウンタ17のビット「0」（T1CN0）、アドレスカウンタ16のビット「2」（T2CN2）、アドレスカウンタ16のビット「1」（T2CN1）が入力されるようになっている。

【 0 1 0 8 】

また、フルアダプター20-3のA、B、Ci入力端には、それぞれアドレスカウンタ17のビット「1」（T1CN1）、アドレスカウンタ16のビット「1」（T2CN1）、アドレスカウンタ16のビット「0」（T2CN0）が入力され、フルアダプター20-4のA、B、Ci入力端には、それぞれアドレスカウンタ17のビット「0」（T1CN0）、アドレスカウンタ16のビット「0」（T2CN0）、アドレスカウンタ15のビット「0」（T3CN0）が入力されるようになっている。

【 0 1 0 9 】

さらに、フルアダプター20-5のA、B、Ci入力端には、それぞれアドレスカウンタ17のビット「0」（T1CN0）、ハーフアダプター20-1の桁上げ出力、フルアダプター20-6の桁上げ出力が入力され、フルアダプター20-6のA、B、Ci入力端には、それぞれハーフアダプター20-1の和出力、フルアダプター20-2の桁上げ出力、フルアダプター20-7の桁上げ

10

20

30

40

50

出力が入力されるようになっている。

【0110】

また、フルアダー20-7のA, B, Ci入力端には、それぞれフルアダー20-2の和出力, フルアダー20-3の桁上げ出力, フルアダー20-8の桁上げ出力が入力され、フルアダー20-8のA, B, Ci入力端には、それぞれフルアダー20-3の和出力, アドレスカウンタ15のビット「1」(T3CN1), フルアダー20-4の桁上げ出力が入力されるようになっている。

【0111】

EXORゲート20-9には、それぞれアドレスカウンタ15のビット「1」(T1CN1), フルアダー20-5の和出力が入力され、EXORゲート20-9の出力, フルアダー20-5~20-8, 20-4の和出力が、このアドレス変換部20の出力となっている。すなわち、図7, 図9に示すように、アドレス番号「0」~「2」は、そのまま0~2アドレス出力となるため、アドレスカウンタ15のビット(bit)「0」とビット「1」とをそれぞれアドレス変換部20の0桁目と1桁目に入力している。

【0112】

また、アドレス番号「3」の時にはアドレスカウンタ16が「1」を示しており、その時に「3」出力ができるようにするために、アドレスカウンタ16のLSB(最下位ビット「0」)をアドレス変換部20の0桁目と1桁目に入力している。そしてこのように入力されたデータは、前述の0桁目と1桁目どうしを加算するようになっている。そうすることにより、アドレス番号「0」~「5」が得られる。

【0113】

次に、アドレス番号「6」の時にアドレスカウンタ16が「2」を示しており、その時に「6」出力が出るようにするために、アドレスカウンタ16のビット「1」をアドレス変換部20の1桁目と2桁目に入力している。このようにして入力されたデータはそれぞれの桁において加算を行なうようになっている。

さらに、アドレス番号「12」の時にはアドレスカウンタ16が「4」を示しており、その時に「12」出力が出るようにするために、アドレスカウンタ16のMSB(最上位ビット「2」)をアドレス変換部20の2桁目と3桁目に入力している。このようにして入力されたデータは、それぞれの桁において加算を行なうようになっている。

【0114】

また、アドレス番号「21」(15_{HEX})の時、アドレスカウンタ17が「1」を示しており、その時に「21」が出力されるように、アドレスカウンタ15のLSB(ビット「0」)をアドレス変換部20の4桁, 2桁, 0桁目にそれぞれ入力している。すなわち、15_{HEX}を加算するようになっている。

次に、アドレス番号「42」(2A_{HEX})の時、アドレスカウンタ15が「2」を示しており、その時に「42」が出力されるように、アドレスカウンタ15のMSB(最上位ビット「1」)をアドレス変換部20の5桁, 3桁, 1桁目にそれぞれ入力している。すなわち、2A_{HEX}を加算するようになっている。

【0115】

以上の操作により、この場合のアドレス生成部10では、すべての空アドレスが圧縮されたアドレス出力が得られ(図10のアドレス空間参照)、RAM14へのアドレス線が7ビットから6ビットに変換される。従って、RAM14に生じていた空アドレスが削減され、RAM14自体の規模を削減することができる。

【0116】

次に、図11はポインタ処理部12に設けられたポインタ翻訳部12Aの構成を示すブロック図で、この図11に示すポインタ翻訳部(第1ポインタ翻訳部)12Aは、アラーム状態検出部26, NDF検出部27, SSビット不一致検出部28, NDFイネーブル検出部29, ポインタ値上位2ビット抽出部30, ORゲート(論理和回路)31, 反転ゲート(インバータ)32及びANDゲート(論理積回路)32をそなえて構成されている。

10

20

30

40

50

【0117】

ここで、アラーム状態検出部26は、受信した多重データ(H1/V1バイト)が全て“1”(ALL“1”)になっているか否かを検出するものであり、NDF検出部27は、受信したH1/V1バイトから無効なNDFビット(Nビット:図64参照)の値を検出するものであり、SSビット不一致検出部28は、受信したH1/V1バイトのうちのSSビットとSSビット受信期待値との不一致を検出するものである。

【0118】

また、NDFイネーブル検出部29は、受信したH1/V1バイトからNDFビットが“1001”のイネーブルとなっているか否かを検出するものであり、ポインタ値上位2ビット抽出部30は、受信したH1/V1バイトからポインタ値の上位2ビットを抽出する

10

ものである。
上述のごとく構成されたポインタ翻訳部12Aでは、受信H1/V1バイト(8ビット)のALL“1”検出をアラーム状態検出部26で行ない、そこで生成した信号を1ビットのアラーム状態検出信号(AIS-V1信号)として出力する。このとき、NDF検出部27では、受信H1/V1のNDFビット(4ビット)から、ノーマルNDF(“0110”), NDFイネーブル(“1001”)のいずれでもないNDFビットの受信の検出を行なう。

【0119】

また、SSビット不一致検出部28では、信号サイズによりSSビットの値が決められていることから、その値をSSビットの受信期待値とし、この受信期待値に基づいて、受信H1/V1バイトのSSビットの2ビットの不一致検出を行ない、NDFイネーブル検出部29では、受信H1/V1バイトのNDFビット(4ビット)から、NDFイネーブル(“1001”)の検出を行ない、ポインタ値上位2ビット抽出部30では、受信H1/V1バイトからポインタ値の上位2ビットを抽出する。

20

【0120】

そして、NDF検出部27で生成した信号とSSビット不一致検出部28で生成した信号との論理和をORゲート29でとった信号が、1ビットのインバリッドポインタ検出信号(INV-V1信号)として出力され、SSビット不一致検出部28で生成した信号の反転信号(インバータ32の出力)とNDFイネーブル検出部29で生成した信号との論理積をANDゲート32でとった信号が、1ビットのNDFイネーブル信号(NDF-E

30

【0121】

この結果、RAM21(又はRAM14)には、それぞれ1ビットのアラーム状態検出信号、インバリッドポインタ検出信号、NDFイネーブル信号と2ビットのポインタ値との計5ビット分のデータ(情報)が保持されることになる。なお、これらのデータの保持はRAM制御部13からのライトイネーブル信号(H1/V1バイトの検出タイミング)に従って行なわれる。

【0122】

つまり、本実施形態のポインタ翻訳部(第1ポインタ翻訳部)12Aは、受信したH1/V1バイトのビット数(8ビット)を5ビットに圧縮して、このビット数を圧縮した情報をRAM21(又はRAM14)に保持させるようになっているのである。これにより、RAM21(又はRAM14)に必要なビット数が8ビットから5ビットに削減される。従って、使用するRAM21(又はRAM14)自体をも小型化することができる。

40

【0123】

なお、図12は上記のRAM21(又はRAM14)に保持されるデータ内容例を示す図であるが、必ずしもこの図12に示す並びでデータを保持する必要はない。

ところで、上述のごとくポインタ翻訳部12AによりRAM21(RAM14でもよい)に保持されたデータは、例えば図13に示すように、ポインタ翻訳部(第2ポインタ翻訳部)33によってH2/V2バイトタイミングで読み出され、そのデータとH2/V2バイトの値によりポインタ処理が行なわれるようになっている。なお、ポインタ処理結果は

50

前述のRAM 2 2 (RAM 1 4でもよい)に保持される。

【0 1 2 4】

ここで、このポインタ翻訳部 3 3 は、多重データからH 2 / V 2 バイトを抽出するタイミングで、多重データ、ポインタ翻訳部 1 2 A で生成したビット数圧縮情報並びに上記の受信ポインタバイトのH 2 / V 2 バイトが示す情報群、ポインタアクションを起こすために必要な情報群及びポインタアクションを起こした結果の情報群に基づいて、ポインタ処理制御信号及びポインタ処理結果を生成して、これらの情報群をRAM 2 2 に保持させるものである。

【0 1 2 5】

このため、ポインタ翻訳部 3 3 は、例えば図 1 4 に示すように、受信ポインタ値範囲外検出部 (OUT OF RANGE) 3 5 , インクリメント (INC) 表示検出部 4 0 , デクリメント (DEC) 表示検出部 4 1 , 不一致検出部 4 5 , AND ゲート 3 4 , 3 8 , 3 9 , 4 3 , 4 4 , 4 7 , OR ゲート 4 8 , インバータ 3 7 , NOR ゲート (否定論理和回路) 3 6 , 4 2 , 4 6 及び 1 入力反転型の AND ゲート 4 9 をそなえて構成されている。

【0 1 2 6】

ここで、受信ポインタ値範囲外検出部 3 5 は、受信ポインタ値がそれぞれ信号サイズ毎に決まっているポインタ値の有効範囲 [TU 3 で 0 ~ 7 6 4 (図 5 8 参照) , TU 2 で 0 ~ 4 2 7 (図 6 0 参照) , TU 1 2 で 0 ~ 1 3 9 (図 6 2 参照)] を超えているか否かを検出するものであり、INC 表示検出部 4 0 は、受信ポインタ値とアクティブポインタ値を比較して I ビット (図 6 4 参照) が 3 ビット以上反転しており、且つ、D ビットの反転が 2 ビット以下の状態 (INC 表示状態) を検出するものである。なお、アクティブポインタ値とは、受信ポインタ値とは別に実際に今そのポインタ値でハードが動作しているポインタ値のことである。

【0 1 2 7】

また、DEC 表示検出部 4 1 は、受信ポインタ値とアクティブポインタ値とを比較して D ビットが 3 ビット以上反転し、且つ、I ビットの反転が 2 ビット以下の状態 (DEC 表示状態) を検出するものであり、不一致検出部 4 5 は、受信ポインタ値とアクティブポインタ値との不一致検出を行なうものである。

上述のごとく構成されたポインタ翻訳部 3 3 では、RAM 2 1 に保持された各データ (図 1 2 参照) に基づいて、以下に述べるようなポインタ処理を行なうことによって、ポインタ処理制御信号、ポインタ処理結果 (1 TU - PAIS 検出信号 , 2 ポインタ値範囲外検出信号 , 3 ノーマルポインタ検出信号 , 4 INC 検出信号 , 5 DEC 検出信号 , 6 NDF 検出信号 , 7 インバリッドポインタ検出信号) をそれぞれ生成する。

【0 1 2 8】

具体的に、まず、 1 TU - PAIS 検出信号は、AND ゲート 3 4 において、RAM 2 1 より読み出された AIS - V 1 信号と、受信 H 2 / V 2 バイトとの論理積がとられることにより生成される。

また、 2 ポインタ値範囲外検出信号は、受信ポインタ値範囲外検出部 3 5 において、RAM 2 1 より H 2 / V 2 バイトタイミングで読み出された受信ポインタ値 2 ビットと受信 H 2 / V 2 バイトとを合わせた 1 0 ビットとに基づいて生成される。例えば、上述のようにポインタ値の有効範囲は、TU 3 で 0 ~ 7 6 4、TU 2 DE 0 ~ 4 2 7、TU 1 2 で 0 ~ 1 3 9 であるので、これらの範囲外のポインタ値を受信したときにポインタ値範囲外検出信号が H レベルとなる。

【0 1 2 9】

さらに、 3 ノーマルポインタ検出信号は、RAM 2 1 より読み出された INV - V 1 信号と NDF - EN 信号との NOR 論理を NOR ゲート 3 6 でとり、この NOR ゲート 3 6 の出力信号と上記のポインタ値範囲外検出信号 (受信ポインタ値範囲外検出部 3 5 の出力信号) をインバータ 3 7 で反転した反転信号との論理積を AND ゲート 3 8 でとることによって生成される。

10

20

30

40

50

【 0 1 3 0 】

また、 4 INC 検出信号、 5 DEC 検出信号は、それぞれ、INC 表示部 4 0、DEC 表示部 4 1 で生成された信号と、NOR ゲート 3 6 の出力信号と、NOR ゲート 4 2 (後述するノーマルポインタ値 3 連続一致受信検出信号と 3 フレーム禁止信号との NOR 論理) で生成される信号との論理積を AND ゲート 4 3、4 4 でとることによって生成され、 6 NDF 検出信号は、上記のポインタ値範囲外検出信号の反転信号 (インバータ 3 7 の出力) と RAM 2 1 より読み出された NDF - EN 信号との論理積を AND ゲート 3 9 でとることによって生成される。

【 0 1 3 1 】

なお、このとき、INC 表示部 4 0、DEC 表示部 4 1 では、受信ポインタ値とアクティブポインタ値との比較を行っており、INC 表示部では I ビットの反転が 3 ビット以上、且つ、D ビットの反転が 2 ビット以下の検出を行ない、DEC 表示部では D ビットの反転が 3 ビット以上、且つ、I ビットの反転が 2 ビット以下の検出を行なっている。

10

【 0 1 3 2 】

また、 7 インバリッドポインタ検出信号は、不一致検出部 4 5 にて受信ポインタ値とアクティブポインタ値との不一致検出を行ない、その検出結果と、NOR 論理 4 6 の出力 (6 NDF 検出信号、後述するノーマルポインタ値 3 連続一致受信検出信号、 4 INC 検出信号、 5 DEC 検出信号との NOR 論理の結果) との論理積を AND ゲート 4 7 でとり、さらに、その論理積結果と、INV - V 1 信号と 2 ポインタ値範囲外検出信号との論理和を OR ゲート 4 8 でとったのち、その出力と 1 TU - PAIS 検出信号の反転信号との論理積を AND ゲート 4 9 でとることにより生成される。

20

【 0 1 3 3 】

このように、本実施形態のポインタ処理装置 8 B (TU ポインタ処理部 8 2 B) によれば、各チャンネルのポインタ処理に必要な各種のポインタ処理制御信号、ポインタ処理結果の生成を、各チャンネルに共通のポインタ処理部 1 2 (ポインタ翻訳部 3 3) によって行なうことができるので、例えば図 4 5 に示すように、受信ポインタ値のうちの 1 0 ビットポインタ値の全てが “ 1 ” となっているか否かを判定するための 1 0 入力の AND ゲート (論理積演算素子) 1 8 7 を、TU レベルに応じたチャンネル数 (TU 1 2 のときが最大で 6 3 c h) 分そなえる必要がなく、さらに装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

30

【 0 1 3 4 】

次に、図 1 5 は本実施形態の受信ポインタ値の保持機能部分に着目した TU ポインタ処理部 8 2 B の構成を示すブロック図で、この図 1 5 に示すように、TU ポインタ処理部 8 2 B は、上記の RAM 2 2 (又は RAM 1 4) のほかに、デコード回路 5 0、5 4、フリップフロップ (FF) 回路 5 1 ~ 5 3 及びセクタ回路 5 5 をそなえて構成されている。

【 0 1 3 5 】

ここで、デコード回路 5 0 は、アドレス生成部 1 0 からの RAM 2 2 (又は RAM 1 4) 用のライトアドレス (チャンネルアドレス) から TU 3 のチャンネルに割り当てたアドレス値をデコードし、各 FF 回路 5 1 ~ 5 3 用のイネーブル信号を生成するものであり、各 FF 回路 (ラッチ回路) 5 1 ~ 5 3 は、それぞれ、TU 3 (STM - 1 フレーム内には最大 3 チャンネル分収容されている) の 1 チャンネル分の受信ポインタ値の MSB を保持するものである。

40

【 0 1 3 6 】

また、デコード回路 5 4 は、RAM 2 2 (又は RAM 1 4) のリードアドレスから TU 3 のチャンネルに割り当てたアドレス値をデコードするものであり、セクタ回路 5 5 は、デコード回路 5 4 からのデコード信号を選択信号として、各 FF 回路 5 1 ~ 5 3 の出力を選択するものである。なお、各 FF 回路 5 1 ~ 5 3 の出力のいずれも選択されない場合は “ 0 ” が出力される。

【 0 1 3 7 】

上述のごとく構成された TU ポインタ処理部 8 2 B では、1 0 ビットの受信ポインタ値の

50

うちMSBを除く9ビット分のポインタ値のみが、RAM22（又はRAM14）に保持される。そして、信号サイズがTU3のときはデコード回路50によりRAMアドレスからTU3に割り当てたアドレス値をデコードし、そのデコード信号を各FF回路51～53用のイネーブル信号として出力する。

【0138】

これにより、RAM22（又はRAM14）に保持されなかった残りの受信ポインタ値（MSB）がそれぞれ対応するFF回路51～53に保持される。

なお、RAM22（又はRAM14）への書き込み及び各FF回路51～53への書き込みは、それぞれH2/V2バイトの抽出タイミングに従って行なわれる。また、受信ポインタ値を読み出すときも同様に、RAMアドレスからTU3に割り付けたアドレス値をデコード回路54でデコードし、そのデコード信号をセレクト信号としてTU3のポインタ値のMSBを保持したFF回路51～53の出力信号をセクタ回路55で選択する。RAMアドレスがTU3以外の値を示すときはMSBを“0”として扱う。

10

【0139】

つまり、上述のTUポインタ処理部82Bは、TU2/TU12のときのポインタ値範囲内のポインタ値を受信したときは必ずMSBが“0”であることに着目し、RAM22（又はRAM14）に保持する受信ポインタ値をMSBを除く9ビットとし、それ以外の場合（TU3のとき）はMSBが必ずしも“0”とは限らないので、そのときのMSBをFF回路51～53で保持するようにしているのである。

【0140】

従って、RAM（又はRAM14）に必要なビット数がさらに削減されRAM（又はRAM14）を小型化することが可能になる。また、信号サイズがTU3の場合、上記のMSBはTU2/TU12のときの値とは異なる値になっているが、そのときのMSB1ビットはFF回路51～53に保持されるので、常にポインタ処理に必要な情報は確保され、確実に処理を行なうことができる。

20

【0141】

次に、図16はノーマルポインタ値3連続一致受信検出機能部分に着目したポインタ処理部12の構成を示すブロック図であるが、この図16に示すポインタ処理部12は、ORゲート56，RAM57，一致検出部58，ノーマルポインタ値3連続一致受信検出部58a及びポインタ値範囲外変換部64をそなえて構成されている。

30

【0142】

ここで、ORゲート56は、INV-V1信号（図11，図12参照）とポインタ値範囲外検出信号（図14の2参照）との論理和をとることによって、ポインタ値範囲外変換部64用の制御信号を生成するものであり、RAM57は、受信ポインタ値などを保持するものであり、一致検出部58は、受信ポインタ値とRAM57に保持された前フレームの受信ポインタ値との一致を検出して、その一致検出結果を1ビット情報でRAM57に保持させるものである。

【0143】

また、ノーマルポインタ値3連続一致受信検出部58aは、RAM57に格納されている一致検出結果を示す信号と前ポインタ値と受信ポインタバイトの値との一致検出結果の論理積によってノーマルポインタ値3連続一致受信を検出するもので、この図16に示すように、例えばORゲート59，ANDゲート60，61，インバータ62，63を有して構成されている。

40

【0144】

さらに、ポインタ値範囲外変換部64は、無効な情報を示すポインタバイトを受信したときはRAM57に保持されているポインタ値をポインタ値範囲外のある値に変換したのちにこの変換情報をRAM57に保持させるもので、例えば、ORゲート56の出力信号が“1”（Hレベル）のとき（INV-V1信号，ポインタ値範囲外検出信号のいずれか又は両方を受信したとき）に、受信ポインタ値をポインタ値範囲外の信号に変換し、ORゲート56の出力信号が“0”（Lレベル）のときに、受信ポインタ値をスルーしてRAM

50

57へ出力するようになっている。

【0145】

上述のごとく構成されたポインタ処理部12では、INV-V1信号とポインタ値範囲外検出信号とのORゲート56での論理和が“1”のときは、RAM57に保持する受信ポインタ値が、ポインタ値範囲外のある値（例えば、TU3なら765以上、TU2なら428以上、TU12なら140以上）に変換されたのちRAM57に保持される。

【0146】

このとき、RAM57に保持された前フレームの受信ポインタ値と現在の受信ポインタ値との一致検出が一致検出部58で行なわれ、その結果とインバータ63の出力（NDF検出信号とノーマルポインタ検出信号をインバータ62で反転させた反転信号とのORゲート59、インバータ63によるNOR論理）との論理積がANDゲート60でとられることによって、現在の受信ポインタ値が前フレームと同一のノーマルポインタ値であることを示す同一ノーマルポインタ値受信信号が生成され（この時点でノーマルポインタ値を2回連続して受信しているかが分かる）、これがRAM57に保持される。

10

【0147】

そして、次のポインタ値が受信されると、さらに、その受信ポインタ値と、RAM57から読み出された同一ノーマルポインタ値受信信号との論理積がANDゲート61でとられ、この結果がノーマルポインタ値3連続一致受信検出信号として生成・出力される。

このように、上述のポインタ処理部12（ポインタ処理装置8B）によれば、RAM57に、受信ポインタ値と前フレームの受信ポインタ値との一致検出結果（1ビット情報）を保持させるだけで、各チャンネルに対するノーマルポインタ値3連続一致受信検出をシリアルで行なうことができるので、RAM57に必要なビット数を削減できるとともに、例えば図47に示すようなノーマルポインタ3連続一致受信検出回路をSTM-1フレーム内のチャンネル数に応じた数だけそなえずに、ノーマルポインタ値3連続一致受信検出を行なうことができる。

20

【0148】

従って、本ポインタ処理装置8Bの装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

なお、図47に示すノーマルポインタ3連続一致検出回路は、一致検出部191において、受信ポインタ値と受信ポインタ保持部195に保持された前フレームの受信ポインタ値との一致検出を行ない、その検出結果に応じて、フリップフロップ（FF）回路（カウント結果を保持するための回路）192で保持しているカウント値を+1（一致）あるいは0にリセット（不一致）し、カウンタ（ノーマルポインタ値を何回連続して受信したかをカウントするための回路）194の出力が“2”となった時点でそのカウント値“2”をデコード回路193でデコードすることによってノーマルポインタ値3連続一致信号（1チャンネル分）を生成・出力するようになっている。

30

【0149】

次に、図17はLOP検出機能部分に着目したポインタ処理部12の構成を示すブロック図であるが、この図17に示すポインタ処理部12は、カウント制御部65とRAM72とをそなえて構成されている。

40

ここで、上記のカウント制御部（LOP検出部）65は、NDFイネーブル検出信号とインバリッドポインタ検出信号とが同時に検出されないことに着目して、NDFイネーブル検出信号とインバリッドポインタ検出信号とRAM72に保持された前フレームのNDFイネーブル検出信号の状態とに基づいて、次表3に示す真理値表に従い、NDFイネーブル連続受信回数またはインバリッドポインタの連続受信回数をカウントして、そのカウント結果に応じてLOP状態検出信号を生成・出力するものである。RAM72は、前フレームのカウント制御部65でのカウント結果及びNDFイネーブル検出信号を保持するものである。

【0150】

【表3】

50

カウント制御部の動作真理値表

前NDF 検出信号	インバリッド ポインタ 検出信号	NDF 検出信号	カウント値 (連続受信回数)
0	0	0	0 (クリア)
0	0	1	1
0	1	0	前カウント値+1
0	1	1	この状態は存在しない
1	0	0	0 (クリア)
1	0	1	前カウント値+1
1	1	0	1
1	1	1	この状態は存在しない

10

【0151】

具体的に、上述のカウント制御部65は、NDFイネーブル連続受信回数または無効ポインタ連続受信回数をカウントする加算回路(保護カウンタ)65, ORゲート66, 1入力反転型のANDゲート67, 70, 3入力ORゲート68, 全入力反転型のANDゲート69, ANDゲート71を用い、加算回路65の一方の入力をORゲート66により“0”または“1”とし、もう一方の加算器65の入力をANDゲート67によりRAM72に保持した“前カウント値”又は“0”とすることで、表3に示す真理値表に従った動作が実現されている。

20

【0152】

上述のごとく構成されたポインタ処理部12では、カウント制御部65が、NDFイネーブルとインバリッドポインタ検出信号とRAM72に保持された前フレームのNDFイネーブル信号の受信状態とに基づいて、表3に示す真理値表に従い、加算回路65のカウント値を“0”にクリアしたり、“1”にセットしたり、前カウント値を+1したりすることによって、NDFイネーブル連続受信回数またはインバリッドポインタの連続受信回数をカウントする。

【0153】

そして、例えば、LOP検出の保護段数がNDFイネーブル信号連続受信8段(回)、インバリッドポインタの連続受信8段の場合であれば、そのカウント値が“8”となった時点で、LOP状態検出信号が加算回路65から出力される。

30

つまり、上述のカウント制御部65は、NDFイネーブル信号連続受信回数または無効ポインタの連続受信回数のいずれかをカウントすれば、LOP状態を検出することができるようになっており、NDFイネーブル連続受信回数をカウントするカウンタと、インバリッドポインタの連続受信回数をカウントするカウンタとが共用化されているのである。

【0154】

従って、例えば図46に示すように、NDFイネーブル連続受信回数をカウントする専用の回路(NDFイネーブル信号連続受信回数カウンタ部188), インバリッドポインタの連続受信回数をカウントする専用の回路(インバリッドポインタ連続受信回数カウンタ部189)をそれぞれ複数チャンネル分そなえる必要がなく、さらに、本ポインタ処理装置8Bの装置規模, 消費電力, 各機能ブロック間の配線数などを大幅に削減することができる。なお、図46において、190はORゲートである。

40

【0155】

次に、図18はINC/DEC受信結果認識機能部分に着目したポインタ処理部12の構成を示すブロック図であるが、この図18に示すポインタ処理部12は、INC/DEC受信結果を認識するINC/DEC受信結果認識部73Aとして、スタッフ抑制部73B, RAM74, デコード回路75, 1入力反転型のANDゲート76, 78, ANDゲート77, ORゲート79をそなえて構成されている。

【0156】

ここで、スタッフ制御抑制部73Bは、図14により前述したINC/DEC検出部とし

50

でのINC表示検出部40, ANDゲート43, DEC表示検出部41, ANDゲート44でそれぞれ検出されたINC/DEC検出信号及びANDゲート39で検出されたNDFイネーブル信号(NDF検出信号)のいずれかを受信した後の3フレーム間はINC/DEC受信によるスタップ制御を抑制して、INC/DEC連続受信によるメモリスリップを防止するためのもので、3入力ORゲート80及び次表4に示す真理値表に従って動作する3進カウント部73を有している。

【0157】

【表4】

3進カウント部の動作真理値表

NDF検出信号 (INC検出信号/ DEC検出信号)	前フレームの カウント値	新カウント値
0	0	0
0	1	2
0	2	3
0	3	0
1	0	1
1	1	1
1	2	1
1	3	1

10

20

【0158】

なお、この3進カウント部73は、上記の表4に示す真理値表に従って動作するよう、例えば図19に示すように、EXOR73-1, 1入力反転型のANDゲート73-2, 73-3及びORゲート73-4を用いて実現されている。

また、RAM(INC/DEC受信結果認識用RAM)74は、3進カウント部73のカウント値とNDF検出信号とINC(またはDEC)検出信号を保持するものであり、デコード回路75は、このRAM74に保持されたカウント値の“1”をデコードするものである。

30

【0159】

上述のごとく構成されたポインタ処理部12(INC/DEC受信結果認識部73A)では、スタップ制御抑制部73Bの3進カウント部73が、表4に示す真理値表に従って動作し、この3進カウント部73のカウント値(新カウント値)とNDF検出信号(受信結果)とINC及びDECのうちのどちらか1つの検出信号(受信結果)とがRAM74に保持される。

【0160】

その後、このRAM74に保持された上記の各受信結果データ(カウント値)が読み出されると、そのカウント値に対してデコード回路75が“1”をデコードし、このデコード結果とNDF検出信号の反転信号とのANDゲート76での論理積によって生成した信号と、INC(またはDEC)検出信号とのANDゲート77, 78での論理積により、INC受信結果及びDEC受信結果が出力(認識)される。また、RAM74から読みだされたカウント値のORゲート79での論理和により3フレーム禁止信号が生成される。

40

【0161】

このように、上述のポインタ処理部12(ポインタ処理装置8B)によれば、INCまたはDECのどちらか1つの受信結果をRAM74に保持するだけで、INC/DEC受信結果を認識できるので、INC受信結果, DEC受信結果の両方をRAM74に保持しなくてもよいので、RAM74に必要なビット数が削減され、RAM74を小型することができる。その消費電力も削減することができる。

【0162】

50

なお、上記の3進カウント部73は、n進（nは3以外の自然数）カウント部として、INC/DEC検出信号、NDF検出信号受信後のnフレーム間、INC/DEC受信によるスタフ制御を抑制するようにしてもよい。

次に、図20はアラーム状態遷移検出機能部分に着目したポインタ処理部12の構成を示すブロック図であるが、この図20に示すポインタ処理部12は、アラーム状態遷移保護部81Aとして、カウント制御部81、RAM82及びデコード回路83をそなえて構成されている。

【0163】

ここで、カウント制御部81は、アラーム状態遷移を行なうためのm段（mは自然数）の保護回路として、保護段数をカウントする機能を有するもので、次表5に示す真理値表に従って動作するよう、例えば図21に示すように、ANDゲート81-1、81-3、ORゲート81-2、81-5、81-6、1入力反転型のANDゲート81-7、81-8を用いて実現されている。

【0164】

【表5】

アラーム検出保護用カウント制御部の動作真理値表

アラーム状態遷移 対象信号 (TU PAIS 検出信号)	アラーム解除 条件信号	前フレームの カウント値	新カウント値
0	0	0	0
0	1	0	0
0	0	1	0
0	1	1	0
0	0	2	0
0	1	2	0
0	0	3	3
0	1	3	0
1	0	0	1
1	0	1	2
1	0	2	3
1	0	3	3

【0165】

また、RAM（アラーム状態遷移保護用RAM）82は、このカウント制御部81のカウント値を保持するものであり、デコード回路83は、RAM82から読み出したカウント制御部81のカウント値の最大値をデコードするものである。

すなわち、この図20に示すアラーム状態遷移保護部81A（ポインタ処理部12）は、上記の表5に示すように、アラーム状態遷移対象信号（TU-PAIS信号）を受信すれば、カウント制御部81をカウントをカウントアップし、アラーム状態遷移対象信号を未受信ならばカウント制御部81のカウントリセットを行ない、カウント制御部81のカウント値が最大値になった（つまり、保護段数mに達した）時点で、アラーム状態に遷移し、アラーム解除条件を受信するまではカウント制御部81のカウント値を最大値のままRAM82で保持させ、このRAM82からカウント値を読み出したときにそのカウント値が最大値に達しているか否かで該当チャンネルがアラーム状態であるか否かを認識するようになっている。

【0166】

上述のごとく構成されたポインタ処理部12（アラーム状態遷移保護部81A）では、カウント制御部81のカウント値が、アドレス生成部10からのチャンネルアドレスに従ってRAM82に保持される。そして、RAM82に保持されたカウント値（又は、図20中に一点鎖線で示すようにカウント制御部81から出力されるカウント値）が最大値になっているかどうか、つまり保護段数mに達しているかどうかをデコード回路83で判定され、カウント値が最大値になっていればアラーム状態信号が出力される。

【 0 1 6 7 】

具体的に、上記のアラーム状態として T U - P A I S の検出状態である A I S 状態を認識する場合を考える。ここで、ポインタが A I S 状態に遷移するのは、図 6 5 により前述したように、T U - P A I S 検出信号を 3 回連続して受信した場合であるから、上記の保護段数 m は $m = 3$ となり、上述のデコード回路 8 3 は、例えば図 2 2 に示すように、それぞれ最大値 “ 3 ” をデコードするデコード回路 8 4 , 8 5 とこれらの各デコード回路 8 4 , 8 5 の出力の論理和をとる O R ゲート 8 8 をそなえて構成される。

【 0 1 6 8 】

上述のごとく構成されたポインタ処理部 1 2 では、まず、アラーム解除条件信号（ノーマルポインタ 3 連続一致受信検出信号もしくは N D F イネーブル検出信号）、T U - P A I S 検出信号の受信結果に応じて、カウント制御部 8 1 のカウント値が上記の表 5 に示す真理値表に従って制御され、そのカウント値がアドレス生成部 1 0 からのチャンネルアドレスに従って R A M 8 2 にシリアルに保持される。

10

【 0 1 6 9 】

そして、R A M 8 2 から読み出されたカウント値、カウント制御部 8 1 の出力カウント値は、それぞれデコード回路 8 3 の対応するデコード回路 8 6 , 8 7 へ出力され、カウント値が最大値 “ 3 ” となっていれば、それぞれデコード回路 8 6 , 8 7 で A I S 検出保護段数である “ 3 ” がデコードされ、O R ゲート 8 8 での論理和により A I S 状態信号が生成されて、A I S 状態が認識される。

【 0 1 7 0 】

このように、上述のポインタ処理部 1 2（ポインタ処理装置 8 B）によれば、アラーム状態遷移対象信号（T U - P A I S 信号）の受信回数に応じたカウント値のみを R A M 8 2 の該当するチャンネルアドレスに保持させるので、R A M 8 2 に必要なビット数を最小限に抑えつつ、複数チャンネルに対するアラーム状態（A I S 状態）の認識をシリアルで行なうことができる。

20

【 0 1 7 1 】

従って、例えば図 4 8 に示すような、保護段数カウント用のカウント制御部 1 9 6 , デコード回路 1 9 7 及びカウント値とアラーム検出結果とを保持するためのレジスタ 1 9 8 をそなえたアラーム状態検出保護回路を、複数チャンネル分（S T M - 1 フレーム内に収容されている信号サイズが全て T U 1 2 の場合が最大で 6 3 チャンネル分）そなえる必要はなく、さらに本ポインタ処理装置 8 B の装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

30

【 0 1 7 2 】

ところで、上述の実施形態では、図 1 6 に示す R A M 5 7 , 図 1 7 に示す R A M 7 2 , 図 1 8 に示す R A M 7 4 , 図 2 0 , 図 2 2 に示す R A M 8 2 を、それぞれ図 4 に示す R A M 1 4（図 5 に示す R A M 2 2）とは異なる R A M として説明したが、同一の R A M 1 4（R A M 2 2）として、それぞれの機能を共用化してもよい。

【 0 1 7 3 】

例えば、上記の各 R A M 5 7 , 7 2 , 7 4 , 8 2 を R A M 2 2 と同一のものとして共用化した場合、R A M 2 2 には、以下の各種データが例えば図 2 3 に示すように保持される。

40

（ 1 ）ビット番号「 0 ~ 8 」：図 1 5 により前述した M S B を除く受信ポインタ値（ 9 ビット）

（ 2 ）ビット番号「 9 」：図 1 6 に示す A N D ゲート 6 0 で生成された前フレームと同一ノーマルポインタ値受信信号

（ 3 ）ビット番号「 1 0 ~ 1 2 」：図 1 7 に示す L O P 検出用の加算回路 6 5 の出力である L O P 検出用保護カウンタ値（ 3 ビット）

（ 4 ）ビット番号「 1 3 」：図 1 4 に示す A N D ゲート 3 9 の論理積結果である N D F 検出信号

（ 5 ）ビット番号「 1 4 , 1 5 」：図 1 8 に示す 3 進カウンタ部 7 3 の出力である 3 フレーム禁止用カウンタ値（ 2 ビット）

50

(6) ビット番号「16, 17」: 図22に示すカウント制御部84の出力(AIS検出用保護カウンタ値: 2ビット)

(7) ビット番号「18」: 図14に示すANDゲート43の論理積結果であるINC検出信号

なお、必ずしもこの図23に示すような並びで各データを保持する必要はない。

【0174】

次に、図24はアクティブポインタ値保持機能部分に着目したポインタ処理部12の構成を示すブロック図であるが、この図24に示すポインタ処理部12は、受信ポインタ値とは別に実際に今そのポインタ値でハードが動作しているアクティブポインタ値を各チャンネル毎に保持するアクティブポインタ値保持部89Aとして、RAM89, デコード回路90, 94, フリップフロップ(FF)回路91~93, セレクタ95及びアクティブポインタ値更新制御部96をそなえて構成されている。

10

【0175】

ここで、RAM(アクティブポインタ値保持用RAM)89は、アクティブポインタ値(10ビット: 図64参照)のうちMSBを除く9ビットを各チャンネル毎に保持するものであり、デコード回路90は、このRAM89用のライトアドレス(チャンネルアドレス)としてアドレス生成部10で生成されたアドレスを基にTU3用のアドレス値として割り当てたアドレス値をデコードするものである。

【0176】

また、ラッチ回路としての各FF回路91~93は、STM-1フレームの場合に最大で3チャンネル収容されるTU3のうち1チャンネル分ずつアクティブポインタ値のMSB(1ビット)を保持するもので、ここでは、FF回路91がch1のMSB、FF回路92がch2のMSB、FF回路93がch3のMSBをそれぞれ保持するようになっている。

20

【0177】

さらに、デコード回路94は、RAM89のリードアドレス信号を基にTU3に割り当てられたアドレス値をデコードするものであり、セレクタ95は、デコード回路94からのデコード信号を選択信号として、各FF回路91~93に保持されたデータを選択的に出力するものである。なお、このセレクタ95は、各FF回路91~93で保持されたデータのうちのいずれも選択されない場合、“0”を出力するようになっている。

30

【0178】

アクティブポインタ値更新制御部96は、INC/DEC受信, NDF受信, ノーマルポインタ値3連続一致のいずれか検出すると、RAM89に保持されたアクティブポインタ値を更新するものである。

つまり、上述のアクティブポインタ値保持部89Aは、アクティブポインタ値のうちMSBを除く下位ビットをRAM89に保持させ、多重データの各チャンネルの信号サイズがTU3のときのMSBの1ビットをラッチするFF回路91~93をそなえるとともに、これらのFF回路91~93の書き込み及び読み出し用の制御信号として、TU3のチャンネルに割り当てられたアドレス値をデコード回路90, 94でデコードした信号が使用されるように構成されている。

40

【0179】

上述のごとく構成されたポインタ処理部12では、まず、アクティブポインタ値(10ビット)のうち、MSBを除く計9ビットが、アドレス生成部10からのチャンネルアドレスに従ってRAM89に保持される。このとき、信号サイズがTU3のときはデコード回路90によりチャンネルアドレスからTU3に割り当てられたアドレス値がデコードされ、そのデコード信号をイネーブル信号としてポインタ値のMSBが対応するチャンネル用のFF回路91~93に保持される。

【0180】

RAM89に保持されたアクティブポインタ値を読み出すときも同様に、RAM89のチャンネルアドレス(リードアドレス)を基にTU3に割り当てられたアドレス値が、デコ

50

ード回路94でデコードされ、そのデコード信号がセクタ95用のセレクト信号として使用され、セクタ95によってTU3のアクティブポインタ値のMSBを保持したFF回路91~93の出力が選択される。ただし、チャンネルアドレスがTU3以外の値を示すときは、そのMSBを“0”としてアクティブポインタ値とする。

【0181】

なお、このとき、アクティブポインタ値更新制御部96では、NDF検出信号受信、INC/DEC受信、ノーマルポインタ値3連続一致受信のいずれかを検出する毎に、RAM89に保持されているアクティブポインタ値の更新を行なっている。

このように、上述のポインタ処理部12(ポインタ処理装置8B)によれば、アクティブポインタ値(10ビット)の全ビットをRAM89に保持するのではなく、MSBを除く9ビットをRAM89に保持し、TU3のときのアクティブポインタ値のMSBはFF回路91~93で保持するので、アクティブポインタ値の全ビットをRAM89に保持しなくても、各チャンネルのポインタ処理に必要なアクティブポインタ値をシリアルで生成することができる。

10

【0182】

従って、RAM89に必要なビット数が削減され、RAM89の小型化、低消費電力化に多いに寄与することとなる。

なお、上述のRAM89も、図23により前述したように、図4に示すRAM14(又は図5に示すRAM22)と同一のRAMとして構成してもよいが、このRAM89に保持されるアクティブポインタ値は、後述するSPE先頭バイトの認識時に使用されるので、基本的に別のRAMとして構成する方がよい。

20

【0183】

次に、図25はSPE先頭バイト(J1/V5バイト)認識機能部分に着目したポインタ処理部12の構成を示すブロック図で、この図25に示すポインタ処理部12は、図24により上述したアクティブポインタ保持部89Aに加えて、SPE先頭バイト認識部97Aをそなえて構成されている。

ここで、SPE先頭バイト認識部97Aは、SPEの先頭バイトとしてのJ1バイト(VC4, VC3の先頭バイト:図57, 図59参照)又はV5バイト(VC2, VC12の先頭バイト:図61, 図63参照)を認識するもので、この図25に示すように、オフセットカウンタ部97、一致検出部98及びANDゲート99を有している。

30

【0184】

そして、オフセットカウンタ部97は、フレーム信号を契機に、図56~図63により前述したSPEのオフセットポインタ値をカウントしてSPEの先頭バイトを検索するためのものであり、一致検出部98は、アクティブポインタ保持部89AのRAM89から上述のごとく保持されたアクティブポインタ値をSPEイネーブル信号をリードイネーブル信号として読み出し、このアクティブポインタ値とオフセットカウンタ部97のオフセットカウンタ値との一致検出を行なうものであり、ANDゲート99は、SPEイネーブル信号と一致検出部98での一致検出結果との論理積をとることにより、SPE先頭バイト位置(J1/V5バイト)指示信号を生成・出力するものである。

【0185】

つまり、このSPE先頭バイト認識部97Aは、SPEの先頭バイトを検索するためのオフセットカウンタ部97Aを有し、アクティブポインタ値保持部89Aからアクティブポインタ値を読み出し、SPEイネーブル信号と、オフセットカウンタ値及びアクティブポインタ値の一致検出結果との論理積により、SPEの先頭バイト位置を認識している。

40

【0186】

上述のごとく構成されたポインタ処理部12では、SPEイネーブル信号に従ってRAM89から保持されたアクティブポインタ値が読み出されるとともに、フレーム信号を契機にオフセットカウンタ部97がSPEのオフセットポインタ値をカウントし始める。そして、RAM89から読み出されたアクティブポインタ値は、一致検出部89において、オ

50

フセットカウンタ部 97 のカウンタ値と一致しているか否かの一致検出が行なわれる。

【0187】

さらに、この一致検出結果は、ANDゲート 99 において SPE イネーブル信号と論理積がとられ、その論理積結果が J1/V5 バイト指示信号として生成・出力される。なお、ここでは、この J1/V5 バイト指示信号が“1”（Hレベル）のときに、多重データのうち、そのタイムスロットのデータが J1/V5 バイトであることを示す。

【0188】

このように、上述のポインタ処理部 12 によれば、多重データ（STM-1 フレーム）内の VC4/VC3/VC2/VC12 の先頭バイト（J1/V5 バイト）位置の認識処理をシリアルに行なうので、全チャンネルに共通の SPE 先頭バイト認識部 97A（一致検出部 98，ANDゲート 99）で各チャンネル（TU レベルの信号）に対する処理を行なうことができる。

10

【0189】

従って、例えば図 49 に示すように、一致検出部 199，ANDゲート 200，アクティブポインタ値保持部 201 及びオフセットカウンタ部 201 を複数チャンネル分（STM-1 フレームでは TU12 の最大 63 チャンネル分）そなえる必要がなく、本ポインタ処理装置 8B の装置規模，消費電力，各機能ブロック間の配線数などをさらに大幅に削減することができる。

【0190】

（B1）TUポインタ処理部の変形例の説明

20

図 26 は上述の TUポインタ処理部 82B の変形例を示すブロック図で、この図 26 に示す TUポインタ処理部 82B は、図 4 に示す構成に加えて、マッピング設定レジスタ群 100 とセレクト部 101 とをそなえて構成されている。

ここで、マッピング設定レジスタ群 100 は、多重データ（STM-1 フレーム）の各チャンネルが TU3/TU2/TU12 のいずれの信号サイズにマッピングされているかを設定するものであり、セレクト部（信号サイズ選択部）101 は、アドレス生成部 10 によって各チャンネルに割り付けられたアドレスを用いマッピング設定レジスタ群 100 から該当チャンネルの信号サイズを選択して、マッピング情報をシリアルに（多重して）出力するものである。なお、これらのマッピング設定レジスタ群 100，セレクト部 101 の詳細構成については、図 30 により後述する。

30

【0191】

そして、本変形例の TUポインタ処理部 82B は、これらのマッピング設定レジスタ群 100，セレクト部 101 により、多重データの各チャンネルの信号サイズを認識し、その情報をポインタ抽出部 11，ポインタ処理部 12，RAM制御部 13 に渡すことによって、多重データ内に異なる信号サイズのフレーム（チャンネル）が混在している場合でも、その信号サイズに応じて共通の回路でポインタ抽出・ポインタ処理を行なうようになっている。

【0192】

このため、まず、ポインタ抽出部 11 は、例えば図 27 に示すように、TU3 用 H1 バイト抽出タイミング生成部 102，TU2 用 V1 バイト抽出タイミング生成部 103，TU12 用 V1 バイト抽出タイミング生成部 104，TU3 用 H2 バイト抽出タイミング生成部 105，TU2 用 V2 バイト抽出タイミング生成部 106，TU12 用 V2 バイト抽出タイミング生成部 107，セレクト回路 108，109 をそなえて構成される。

40

【0193】

ここで、H1 バイト抽出タイミング生成部 102 は、TU3 の H1 バイトを抽出するタイミングを生成するものであり、V1 バイト抽出タイミング生成部 103 は、TU2 の V1 バイトを抽出するタイミングを生成するものであり、V1 バイト抽出タイミング生成部 104 は、TU12 の V1 バイトを抽出するタイミングを生成するものである。

【0194】

また、H2 バイト抽出タイミング生成部 105 は、TU3 の H2 バイトを抽出するタイミ

50

ングを生成するものであり、V 2 バイト抽出タイミング生成部 1 0 6 は、T U 2 の V 2 バイトを抽出するタイミングを生成するものであり、V 2 バイト抽出タイミング生成部 1 0 7 は、T U 1 2 の V 2 バイトを抽出するタイミングを生成するものである。

【 0 1 9 5 】

さらに、セクタ回路 1 0 8 は、各タイミング生成部 1 0 2 ~ 1 0 4 の各出力 (T U 3 の H 1 バイト抽出タイミング信号, T U 2 の V 1 バイト抽出タイミング信号, T U 1 2 の V 1 バイト抽出タイミング信号) を、セクタ部 1 0 1 からの多重マッピング情報により選択して出力するものであり、セクタ回路 1 0 9 は、各タイミング生成部 1 0 5 ~ 1 0 7 の各出力 (T U 3 の H 2 バイト抽出タイミング信号, T U 2 の V 2 バイト抽出タイミング信号, T U 1 2 の V 2 バイト抽出タイミング信号) を、同様に、セクタ部 1 0 1 からの多重マッピング情報により選択して出力するものである。

10

【 0 1 9 6 】

これにより、上述のポインタ抽出部 1 1 では、V C 4 フレーム内に多重される T U 3 ポインタバイト, T U 2 ポインタバイト, T U 1 2 ポインタバイトの付加されるタイムスロットがそれぞれ異なるため、マッピング設定レジスタ群 1 0 0, セクタ部 1 0 1 からの多重マッピング情報 (多重データの各チャンネルの信号サイズ) を受けて、その信号サイズに応じて、H 1 / V 1 バイト抽出タイミング信号, H 2 / V 2 タイミング抽出タイミング信号を切り替えることで、信号サイズに応じたポインタ抽出処理をシリアルに行なうことができる。

【 0 1 9 7 】

20

さて次に、本変形例におけるポインタ処理部 1 2 は、異なる信号サイズのチャンネルが存在する場合に対応すべく、例えば図 2 8 に示すように、T U 3 用 S S ビット値保持部 1 1 0, T U 2 用 S S ビット値保持部 1 1 1, T U 1 2 用 S S ビット値保持部 1 1 2, T U 3 用最大ポインタ値保持部 1 1 3, T U 2 用最大ポインタ値保持部 1 1 4, T U 1 2 用最大ポインタ値保持部 1 1 5, セクタ回路 1 1 6, 1 1 7 及び比較部 1 1 8 をそなえて構成される。

【 0 1 9 8 】

ここで、S S ビット値保持部 1 1 0 は、T U 3 の S S ビットの受信期待値 (“ 1 0 ”) を保持するものであり、S S ビット値保持部 1 1 1、T U 2 の S S ビットの受信期待値 (“ 0 0 ”) を保持するものであり、S S ビット値保持部 1 1 2 は、T U 1 2 の S S ビットの受信期待値 (“ 1 0 ”) を保持するものである。

30

また、最大ポインタ値保持部 1 1 3 は、T U 3 ポインタ値の最大値 (“ 7 6 4 ”) を保持するものであり、最大ポインタ値保持部 1 1 4 は、T U 2 ポインタ値の最大値 (“ 4 2 7 ”) を保持するものであり、最大ポインタ値保持部 1 1 5 は、T U 1 2 ポインタ値の最大値 (“ 1 3 9 ”) を保持するものである。

【 0 1 9 9 】

さらに、セクタ回路 1 1 6 は、各 S S ビット値保持部 1 1 0 ~ 1 1 2 に保持されている T U 3 / T U 2 / T U 1 2 の S S ビットの受信期待値を、マッピング設定レジスタ群 1 0 0, セクタ部 1 0 1 からの多重マッピング情報に応じて選択出力するものであり、セクタ回路 1 1 7 は、各最大ポインタ値保持部 1 1 3 ~ 1 1 5 に保持されている T U 3 / T U 2 / T U 1 2 のポインタ値の各最大値を、同様にマッピング設定レジスタ群 1 0 0, セクタ部 1 0 1 からの多重マッピング情報に応じて選択出力するものである。

40

【 0 2 0 0 】

比較部 1 1 8 は、受信ポインタ値とセクタ回路 1 1 7 によって選択されたポインタ値との大きさの比較を行ない、セクタ回路 1 1 7 によって選択されたポインタ値よりも大きいポインタ値を受信した場合にポインタ値範囲外検出信号として “ 1 ” を出力しそれ以外は正常値として “ 0 ” を出力するものである。

これにより、上述のポインタ処理部 1 2 では、マッピング設定レジスタ群 1 0 0, セクタ部 1 0 1 から各チャンネルの信号サイズについての情報を受け、受信ポインタ値がその信号サイズの正常値 (T U 3 なら “ 7 6 4 ” 以下、T U 2 なら “ 4 2 7 ” 以下、T U 1 2

50

なら“139”以下)であれば、その信号サイズに応じたSSビットの受信期待値を生成することで、信号サイズに応じたポインタ処理を前述したごとくシリアルに行なうことができる。

【0201】

具体例を述べると、例えば図11に示すSSビット不一致検出部28では、各信号サイズに対して決められたSSビット値が表1に示したように異なるので、それらを多重マッピング情報により信号サイズに対応したSSビット値をセレクタ116で選択し、それをSSビットの受信期待値として、受信SSビットとの不一致検出を行なう。

【0202】

また、図14に示す受信ポインタ値範囲外検出部35では、各信号サイズ毎のポインタ値の有効範囲が表2に示したように決められているため、そのポインタ値範囲をマッピング設定情報によりセレクタ117で選択して切り替え、選択したポインタ値に基づいて、ポインタ値範囲外の受信を検出する(つまり、この場合は、図28に示す比較部118が受信ポインタ値範囲外検出部35に含まれるものとして考える)。

【0203】

さらに、本変形例におけるRAM制御部13は、異なる信号サイズのチャンネルが混在する場合に対応すべく、例えば図29に示すように、TU3用RAMアクセスタイミング生成部119、TU2用RAMアクセスタイミング生成部120、TU12用RAMアクセスタイミング生成部121及びセレクタ回路122を有して構成される。

【0204】

ここで、各RAMアクセスタイミング生成部119~121は、それぞれ、RAM14(又はRAM21、RAM22)へのアクセス(ライト/リード)タイミングを生成するので、ここでは、RAMアクセスタイミング生成部119がTU3用のRAMアクセスタイミングを生成し、RAMアクセスタイミング生成部120がTU2用のRAMアクセスタイミングを生成し、RAMアクセスタイミング生成部121がTU12用のRAMアクセスタイミングを生成するようになっている。

【0205】

セレクタ回路122は、マッピング設定レジスタ群100、セレクタ部101からの多重マッピング情報信号によって各RAMアクセスタイミング生成部119~121の出力(TU3/TU2/TU12用のRAMアクセスタイミング信号)を選択出力するものである。

これにより、上述のRAM制御部13では、マッピング設定レジスタ群100、セレクタ部101から各チャンネルの信号サイズについての情報を受け、その信号サイズに応じたRAMアクセスタイミング信号を生成することで、信号サイズに応じたRAM14に対するデータ(情報群)の書き込み/読み出し制御を行なうことができる。

【0206】

以上のように、上述のTUポインタ処理部82B(ポインタ処理装置8B)によれば、アドレス生成部10で生成されたチャンネルアドレスで該当チャンネルのマッピング設定レジスタ群100をセレクタ部101で選択することにより、多重データの各チャンネルがTU3/TU2/TU12のいずれの信号サイズにマッピングされているかを、常に、認識するので、信号サイズが混在しても共通の回路でポインタ処理を行なうことができる。

【0207】

つまり、STM-1フレームに対するポインタ処理を考えた場合、例えば図50に示すように、TU3用のポインタ抽出・処理(最大3チャンネル分)、TU2用のポインタ抽出・処理(最大21チャンネル分)、TU12用のポインタ抽出・処理(最大63チャンネル分)の最大87チャンネル分のポインタ抽出・処理を行なうためのポインタ抽出・処理回路202~204をそなえて、パラレル/シリアル(P/S)変換部205で信号サイズに応じて、ポインタ処理後のデータを選択して多重出力するような処理の必要がなくなる。なお、図50において、206は多重データを各信号サイズ毎のデータに分離するシリアル/パラレル(S/P)変換部である。

10

20

30

40

50

【 0 2 0 8 】

従って、さらに大幅に、本ポインタ処理装置 8 B の装置規模、消費電力、各機能ブロック間の配線数などを削減することができる。

次に、図 3 0 は上述のマッピング設定レジスタ群 1 0 0、セクタ部 1 0 1 の詳細構成を示すブロック図で、この図 3 0 に示すように、STM - 1 フレームのデータを処理することを前提とすると、マッピング設定レジスタ群 1 0 0 は、3 個 (3 チャンネル分) の TU 3 / TUG 3 設定レジスタ (TU3/TUG3 #1 ~ #3) 1 2 3 と、これらの各 TU 3 / TUG 3 設定レジスタ 1 2 3 毎に 7 つ、合計 2 1 個 (2 1 チャンネル分) の TU 2 / TUG 2 設定レジスタ (TU2/TUG2 #1 ~ #7) 1 2 4 とをそなえ、セクタ部 1 0 1 は、信号サイズ認識部 1 2 5 A を有して構成される。

10

【 0 2 0 9 】

ここで、TU 3 / TUG 3 設定レジスタ 1 2 3 は、VC 4 フレーム内に収容 (マッピング) された TUG 3 が TU 3 に設定されているか TUG 3 に設定されているかの情報を格納するもので、例えば、この設定レジスタ 1 2 3 の値が “ 1 ” のときはその TUG 3 フレームには TU 3 が多重されており、“ 0 ” のときはその TUG 3 フレームには TU 2 または TU 1 2 が多重されていることを示す。

【 0 2 1 0 】

また、TU 2 / TUG 2 設定レジスタ 1 2 4 は、TUG 3 にマッピングされた TUG 2 が TU 2 に設定されているか TUG 2 に設定されているかの情報を格納するもので、例えば、この設定レジスタの値が “ 1 ” のときはその TUG 2 フレームには TU 2 が多重されており、“ 0 ” のときはその TUG 2 フレームには TU 1 2 が多重されていることを示す。

20

【 0 2 1 1 】

さらに、信号サイズ認識部 1 2 5 A は、各設定レジスタ 1 2 3、1 2 4 に格納されている設定値に基づいて、該当チャンネルの信号サイズを認識して、アドレス生成部 1 0 用の TU 3 / TU 2 / TU 1 2 設定信号を生成・出力するもので、ここでは、この図 3 0 に示すように、セクタ回路 1 2 5 ~ 1 2 7、1 入力反転型の AND ゲート 1 2 8、全入力反転型の AND ゲート 1 2 9 及び図 6 に示すものと同様の TUG 3 用アドレスカウンタ 1 5、TUG 2 用アドレスカウンタ 1 6 を用いてその機能が実現されている。

【 0 2 1 2 】

ここで、セクタ回路 1 2 5 は、アドレス生成部 1 0 の TUG 3 用アドレスカウンタ 1 5 のカウンタ値が示すチャンネルに該当する TU 3 / TUG 3 設定レジスタ 1 2 3 の情報を選択するものであり、各セクタ回路 1 2 6 は、TUG 2 用アドレスカウンタ 1 6 のカウンタ値が示すチャンネルに該当する TU 2 / TUG 2 設定レジスタ 1 2 4 の情報を選択するものであり、セクタ回路 1 2 7 は、TUG 3 用アドレスカウンタ 1 5 のカウンタ値が示すチャンネルに該当する TU 2 / TUG 2 設定レジスタ 1 2 4 の情報を選択するものである。

30

【 0 2 1 3 】

上述のごとく構成された本変形例における TU ポインタ処理部 8 2 B では、TUG 3 用アドレスカウンタ 1 5 のカウンタ値によって、TU 3 / TUG 3 設定レジスタ 1 2 3 の設定値 (データ “ #1 ~ #3 ”) がセクタ回路 1 2 5 で選択されて TU 3 設定信号が生成される。なお、この TU 設定信号は、ここでは、“ 1 ” のときのみ、そのチャンネルが TU 3 であることを示す。

40

【 0 2 1 4 】

また、TUG 2 アドレスカウンタ 1 6 のカウンタ値によって、TU 2 / TUG 2 設定レジスタ 1 2 4 (TUG 3 # 1 用、TUG 3 # 2 用、TUG 3 # 3 用) の 7 個のレジスタからデータ “ #1 ~ #7 ” が 3 つのセクタ回路 1 2 6 によって選択され、それら 3 つの選択信号がセクタ回路 1 2 7 によって TUG 3 用アドレスカウンタ 1 5 のカウンタ値に応じて選択される。

【 0 2 1 5 】

そして、TU 3 設定信号の反転信号と、セクタ回路 1 2 7 の出力信号との論理積が AN

50

Dゲート128でとられTU2設定信号が生成される。なお、このTU2設定信号は、ここでは、“1”のときのみそのチャンネルがTU2であることを示す。

また、TU3設定信号の反転信号とセクタ回路127の出力信号の反転信号との論理積がANDゲート129でとられることによって、TU12設定信号が生成される。なお、このTU12設定信号は、ここでは、“1”のときのみそのチャンネルがTU12であることを示す。

【0216】

つまり、上述の信号サイズ認識部125Aでは、TU3/TUG3設定レジスタ123により該当チャンネルがTU3にマッピングされているか否かを判定し、TU3にマッピングされていないならば、TU2/TUG2設定レジスタ124により、TU2にマッピング設定されているか、TU12にマッピングされているかを判定して、該当チャンネルの信号サイズを認識しているのである。

10

【0217】

以上の処理により、VC4フレーム内に多重される最大63チャンネル分のTUレベルのデータを、3個のTU3/TUG3設定レジスタ123、21個のTU2/TUG2設定レジスタ124、合計24個のレジスタの設定データにより認識することができる。

従って、VC4フレーム内に多重されるチャンネルの信号サイズを認識するのに、例えば図51(a)~図51(c)に示すように、TU3設定レジスタ207を3チャンネル分、TU2設定レジスタ208を21チャンネル分、TU12設定レジスタ209を63チャンネル分、合計87(3+21+63)個のレジスタをそなえる必要がない。

20

【0218】

これにより、上述のTUポインタ処理部82Bは、レジスタの個数が約3分の1になり、さらに本ポインタ処理装置8Bの装置規模、消費電力、各機能ブロック間の配線数などを削減することができる。

次に、図31は本変形例におけるSPE先頭バイト(J1/V5バイト)の認識機能部分に着目したポインタ処理部12の構成を示すブロック図で、この図31に示すポインタ処理部12は、異なる信号サイズのチャンネルが混在する場合に対応すべく、図25に示すオフセットカウンタ部97として、TU3用オフセットカウンタ130、TU2用オフセットカウンタ131、TU12用オフセットカウンタ132及びセクタ回路133Aをそなえて構成されている。

30

【0219】

ここで、TU3用オフセットカウンタ130は、TU3のオフセットポインタ値をカウントするものであり、TU2用オフセットカウンタ131は、TU2のオフセットポインタ値をカウントするものであり、TU12用オフセットカウンタ132は、TU12のオフセットポインタ値をカウントするものである。

また、セクタ回路133Aは、各オフセットカウンタ130~132のカウント値を、上述のごとく信号サイズ認識部125Aにおいて生成されるTU3設定信号/TU2設定信号/TU12設定信号に応じて選択出力するもので、ここでは、ANDゲート133~135及びORゲート136を用いてその機能が実現されている。

【0220】

つまり、上述のTUポインタ処理部82B(ポインタ処理装置8B)は、マッピング設定レジスタ群100、セクタ部(信号サイズ選択部)101により、多重データの各チャンネルの信号サイズを認識し、その情報をポインタ抽出部11、ポインタ処理部12及びRAM制御部13へ渡すことによって、信号サイズに応じて共通の回路でポインタ抽出・ポインタ処理を行なうように構成されたものにおいて、各信号サイズ毎に装備されるオフセットカウンタとしてオフセットカウンタ130~132をそなえ、各カウンタ130~132のカウント値をマッピング設定レジスタ群100からのマッピング設定情報(TU3/TU2/TU12設定信号)により選択して、SPEの先頭バイト位置を認識するように構成されている。

40

【0221】

50

上述のごとく構成されたポインタ処理部12 (SPE先頭バイト認識部97A)では、TU3設定信号とTU3用オフセットカウンタ130の出力との論理積がANDゲート133でとられ、TU2設定信号とTU2用オフセットカウンタ131の出力との論理積がANDゲート134でとられ、さらにTU12設定信号とTU12用オフセットカウンタ132の出力と論理積がANDゲート135でとられる。

【0222】

そして、これら3つのANDゲート133~135での論理積結果(ORゲート136の出力)と、RAM89からSPEイネーブル信号に従って読み出されるアクティブポインタ値との一致検出が一致検出部98で行なわれ、その出力とSPEイネーブル信号との論理積がANDゲート99でとられることによってJ1/V5バイト指示信号が生成・出力される。

10

【0223】

つまり、このポインタ処理部12では、セレクタ回路133Aを構成するANDゲート133~135での論理積とROゲート136での論理和によって、設定されている信号サイズに応じたオフセットカウンタ値を切り替えて、選択されたオフセットカウンタ値とアクティブポインタ値との比較を行なうことにより、異なる信号サイズのチャンネルが混在しても確実にSPE先頭バイトを認識できるようになっているのである。

【0224】

従って、例えば、図52(a)に示すようなTU3用のSPE先頭バイト(J1バイト)認識回路210、図52(b)に示すようなTU2用のSPE先頭バイト(V5バイト)認識回路211、図52(c)に示すようなTU12用のSPE先頭バイト(V5バイト)認識回路212を、それぞれ、チャンネル数分そなえる必要がなく、さらに、本ポインタ処理装置8Bの装置規模、消費電力、配線数などを大幅に削減することができる。

20

【0225】

なお、図52(a)~図52(c)において、213A、213C、213EはTU3/TU2/TU12用のアクティブポインタ値保持部、213B、213D、213FはTU3/TU2/TU12用のオフセットカウンタ部、213~215は一致検出部、216~218はANDゲートである。

次に、図32は本変形例におけるポインタ付け替え機能部分に着目したポインタ処理部12の構成を示すブロック図で、この図32に示すポインタ処理部12は、ライト段数カウンタ139、リード段数カウンタ140、ESメモリ機能を有するポインタ付け替え用のRAM141及びANDゲート142を有して構成されている。

30

【0226】

ここで、ライト段数カウンタ139は、RAM141にデータを書き込むメモリの段数を示すものであり、リード段数カウンタ140は、RAM141からデータを読み出すメモリの段数を示すものである。

上述のごとく構成されたポインタ処理部12では、受信側のチャンネルアドレスにライト段数カウンタ139のカウント値を付加してRAM141用のライトアドレスを生成するとともに、送信側のチャンネルアドレスにリード段数カウンタ140のカウント値を付加してRAM141用のリードアドレスを生成する。

40

【0227】

そして、図31(又は図25)に示すSPE先頭バイト認識部97Aによって生成された受信側のJ1/V5バイト指示信号は、受信多重データ(VC-n:ただし、n=2,3,4,12のいずれか)とともに、例えば図33に示すように、上記のライトアドレスの示すRAM141の領域に受信側SPEイネーブル信号に従って、順次、シリアルに書き込まれる。なお、このRAM141には、必ずしも、図33に示すような並びで各データを保持する必要はない。

【0228】

RAM141に書き込まれた各データは、上記のリードアドレスの示す領域から送信側のSPEイネーブル信号(読み出し側のタイミング)に従って、順次、読み出され、このう

50

ちの J 1 / V 5 バイト指示信号が送信側の S P E イネーブル信号と各チャンネルに共通の A N D ゲート 1 4 2 で論理積をとられることにより、送信多重データに対する J 1 / V 5 バイト指示信号が生成される。この信号により送信側の S P E の先頭バイトを認識することが可能になる。

【 0 2 2 9 】

つまり、上述のポインタ処理部 1 2 は、入力多重データから S P E データと S P E 先頭バイトを示す情報ビット (J 1 / V 5 バイト指示信号) とを R A M 1 4 1 に (シリアルに) 書き込み、この書き込んだ R A M 1 4 1 のデータを読み出し側のタイミングで (シリアルに) 読み出し、読み出した S P E 先頭バイトを示す情報ビットの値により、 S P E 先頭位置を認識するようになっているのである。

10

【 0 2 3 0 】

従って、例えば図 5 3 に示すように E S メモリ 2 2 0 から読み出した J 1 / V 5 バイト指示信号と送信 S P E イネーブル信号との論理積を A N D ゲート 2 1 9 でとってポインタ付け替えのための S P E 先頭バイトを認識するような S P E 先頭バイト認識回路 2 1 9 A を処理すべき多重データのチャンネル数に応じた数だけそなえる必要がなく、多重データに異なる信号サイズのチャンネルが混在していても、共通の回路で全チャンネル分の処理を行なうことができ、やはり装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

【 0 2 3 1 】

次に、図 3 4 は上述のライト段数カウンタ 1 3 9 (又はリード段数カウンタ 1 4 0) の構成を示すブロック図で、この図 3 4 に示すライト段数カウンタ 1 3 9 は、 T U 3 用カウンタ部 1 4 A を 3 個 (3 チャンネル分 : T U 3 # 1 ~ T U 3 # 3) とセレクト回路 1 5 2 とをそなえ、これらの各 T U 3 用カウンタ部 1 4 A が、それぞれ、 T U 3 / T U 2 共用カウンタ部 1 4 B を 1 個 (T U 3 / T U 2 # 1) と、 T U 2 用カウンタ部 1 4 C を 6 個 (T U 2 # 2 ~ T U 2 # 7) と、セレクト回路 1 5 1 とをそなえて構成されている。

20

【 0 2 3 2 】

さらに、この図 3 4 に示すように、 1 チャンネル分の T U 3 用カウンタ部 1 4 A において、 T U 3 / T U 2 共用カウンタ部 1 4 B は、 T U 3 / T U 2 共用 E S 段数カウンタ 1 4 5 , T U 3 用デコード回路 1 4 6 , T U 2 用デコード回路 1 4 8 , A N D ゲート 1 4 7 , 1 4 9 及び O R ゲート 1 5 0 を有して構成され、各 T U 2 用カウンタ部 1 4 C は、それぞれ

30

、 T U 2 用 E S 段数カウンタ 1 4 3 及び T U 2 用デコード回路 1 4 4 を有して構成されている。

【 0 2 3 3 】

ここで、各 T U 2 用カウンタ部 1 4 C において、 T U 2 用 E S 段数カウンタ 1 4 3 は、 T U 2 の E S 段数をカウントするものであり、 T U 2 用デコード回路 1 4 4 は、 T U 2 の E S 段数の最大値をデコードするもので、例えば、 T U 2 の E S 段数を 1 2 段とすると、 T U 2 用 E S 段数カウンタ 1 4 3 のカウント値 “ 1 1 ” をデコードする。そして、そのデコード信号は、 T U 2 用 E S 段数カウンタ 1 4 3 に “ 0 ” をロードさせるロード信号として用いられ、これにより、 T U 2 用 E S 段数カウンタ 1 4 3 は “ 0 ~ 1 1 ” までカウントする 1 2 進カウンタとなる。

40

【 0 2 3 4 】

また、 T U 3 / T U 2 共用カウンタ部 1 4 B において、 T U 3 用デコード回路 1 4 6 は、 T U 3 の E S 段数の最大値をデコードするものであり、 T U 2 用デコード回路 1 4 8 は、 T U 2 の E S 段数の最大値をデコードするものであり、 A N D ゲート 1 4 7 は、 T U 3 用デコード回路 1 4 6 の出力信号と前記の T U 3 設定信号との論理積をとるものであり、 A N D ゲート 1 4 9 は、 T U 2 用デコード回路 1 4 8 の出力信号と前記の T U 2 設定信号との論理積をとるものであり、 O R ゲート 1 5 0 は、これらの各 A N D ゲート 1 4 7 , 1 4 9 の出力信号の論理和をとり、その論理和結果を T U 3 / T U 2 共用 E S 段数カウンタ 1 4 5 用のロード信号として出力するものである。

【 0 2 3 5 】

50

そして、TU3/TU2共用ES段数カウンタ145は、TU3又はTU2のES段数をカウントするもので、上記のTU3設定信号、TU2設定信号に応じてORゲート150からのロード信号の入力タイミングが切り替えられることにより、TU3のES段数カウント動作とTU2のES段数カウント動作とが切り替えられるようになっている。

【0236】

例えば、TU2のES段数を12段、TU3のES段数を18段とすると、TU3用デコード回路146ではカウンタ145のカウント値“17”をデコードし、TU2用デコード回路148ではカウンタ145のカウント値“11”をデコードする。そして、各デコード信号は、それぞれ対応するANDゲート147、149にてTU3設定信号、TU2設定信号と論理積がとられ、TU3設定信号が“1”であれば（このとき、TU2設定信号は“0”）、TU3用デコード回路146でカウント値“17”をデコードした信号がカウンタ145に“0”をロードさせるロード信号となる。これにより、TU3設定時には、カウンタ145は、TU3のES段数18段（“0～17”）をカウントするカウンタとなる。

10

【0237】

一方、TU2設定信号が“1”であれば（このとき、TU3設定信号は“0”）、TU2用デコード回路148でカウント値“11”をデコードした信号がカウンタ145に“0”をロードさせるロード信号となる。これにより、TU2設定時には、カウンタ145は、TU2のES段数11段（“0～11”）をカウントするカウンタとなる。

【0238】

つまり、上述のライト段数カウンタ139は、TU3マッピング設定時とTU2マッピング設定時のカウント数を切り替えるべく、TU3用カウント値及びTU2用カウント値をそれぞれデコードするTU3用デコード回路146及びTU2用デコード回路148をそなえ、信号サイズによってデコード回路146、148の出力信号を選択してカウンタ145のロード信号とすることにより、TU3マッピング時及びTU2マッピング時のRAM141（図32参照）のライト段数カウンタ139を共通のカウンタとして構成しているのである。

20

【0239】

なお、セクタ回路151は、1個のTU3/TU2共用カウンタ部14Bの出力（カウント値）と7個のTU2用カウンタ部14Cの各出力（カウント値）との合計7チャンネル分のカウント値のうちの一つを選択出力するものであるが、TU3に設定されているときは、常時、TU3/TU2共用カウンタ部14Bの出力を選択する機能を有している。また、セクタ回路152は、3チャンネル分のTU3用カウンタ部14A（セクタ回路151）の各出力（カウンタ値）のうちの一つを選択出力するものである。

30

【0240】

上述のごとく構成されたライト段数カウンタ139（又はリード段数カウンタ）では、VC4フレーム内にマッピングされているTUレベルの信号サイズがTU3の場合、信号サイズ認識部125A（図30参照）からのTU3設定信号が“1”となりTU3に設定されるので、TU3/TU2共用カウンタ部14Bのカウンタ145がTU3のES段数カウント用カウンタとして動作し、そのカウント値（TU3#1～TU3#3の3チャンネル分）がES段数カウンタ値としてセクタ151、152を通じてシリアルに出力される。

40

【0241】

一方、VC4フレーム内にマッピングされているTUレベルの信号サイズがTU2の場合は、信号サイズ認識部125AからのTU2設定信号が“1”となりTU2に設定されるので、TU3/TU2共用カウンタ部14Bのカウンタ145及び各TU2用カウンタ部14Cのカウンタ143がそれぞれTU2のES段数カウント用カウンタとして動作し、各TU3用ES段数カウンタ部14A毎に7チャンネル分（合計3×7＝21チャンネル分）の各カウント値（TU2#1～TU2#7）がES段数カウンタ値としてセクタ151、152を通じてシリアルに出力される。

【0242】

50

このように、上述のポインタ処理部12（ポインタ処理装置8B）によれば、多重データ（VC4フレーム）にマッピングされているTUレベルの信号サイズ（TU3，TU2）に応じてカウンタ145の最大値を切り替えるためのデコード回路，144，146，148をそなえることにより、多重データにTU3，TU2という異なる信号サイズが混在していても、共通のライト段数カウンタ139（又はリード段数カウンタ140）でES段数をカウントすることができる。

【0243】

従って、例えば図54（a）に示すようにTU3用ES段数カウンタ221を3チャンネル分、図54（b）に示すようにTU2用ES段数カウンタ222を21チャンネル分、それぞれそなえる必要がなく、さらに、本ポインタ処理装置8Bの装置規模・消費電力・配線数を大幅に削減することができる。

10

ところで、上述のライト段数カウンタ139（又はリード段数カウンタ140）は、全てのTUレベルの信号（TU3/TU2/TU12）の混在に対応する場合には、例えば図35に示すように、TU3用カウンタ部16Aを3個（3チャンネル分）とセレクト回路172とをそなえ、これらの各TU3用カウンタ部16Aが、それぞれ、TU3/TU2/TU12共用カウンタ部161を1個（TU3/TU2#1）と、TU2/TU12共用カウンタ部166を6個（TU2#2～TU2#7）と、セレクト回路171とをそなえて構成されている。

【0244】

さらに、この図35に示すように、1チャンネル分のTU3用カウンタ部16Aにおいて、TU3/TU2/TU12共用カウンタ部161は、TU3/TU2/TU12共用部163，TU12用ES段数カウンタ164，165及びセレクト回路162を有して構成され、各TU2/TU12共用カウンタ部166が、TU2/TU12共用部168，TU12用ES段数カウンタ169，170及びセレクト回路167を有して構成されている。

20

【0245】

ここで、TU3/TU2/TU12共用カウンタ部161において、TU3/TU2/TU12共用部163は、TU3，TU2又はTU12のES段数をカウントするもので、前記のTU3設定信号，TU2設定信号，TU12設定信号に応じて、TU3/TU2/TU12のES段数カウント動作（カウンタの最大値）が切り替えられるようになっている。

30

【0246】

このため、具体的に、このTU3/TU2/TU12共用部163は、例えば図36に示すように、TU3/TU2/TU12共用ES段数カウンタ153，TU3用デコード回路146，TU2用デコード回路148，TU12用デコード回路155，ANDゲート147，149，157及びORゲート159を有して構成され、図34に示すカウンタ部14Bと同様の原理で、TU3設定信号，TU2設定信号，TU12設定信号に応じて対応するデコード回路146，148，155でデコードしたデコード信号をカウンタ153のロード信号として用いることにより、TU3設定時のカウンタ値の最大値，TU2設定時のカウンタ値の最大値及びTU12設定時のカウンタ値の最大値が切り替えられるようになっている。

40

【0247】

また、各TU12用ES段数カウンタ164，165は、それぞれ、TU12のES段数をカウントするものであり、セレクト回路162は、TU3/TU2/TU12共用部163，各TU12用ES段数カウンタ164，165の各出力のうちの1つを選択出力するものである。なお、このセレクト回路162は、TU3設定信号によりTU3に設定されているとき、もしくはTU2設定信号によりTU2に設定されているときには、常時、TU3/TU2/TU12共用部163の出力を選択する機能を有している。

【0248】

さらに、各TU2/TU12共用カウンタ部166において、TU2/TU12共用部168は、TU2又はTU12のES段数をカウントするもので、上記のTU2設定信号，

50

TU12 設定信号に応じて、TU2 の ES 段数カウンタ動作と TU12 の ES 段数カウンタ動作が切り替えられるようになっている。

このため、具体的に、この TU2 / TU12 共用部 168 は、例えば図 37 に示すように、TU2 / TU12 共用 ES 段数カウンタ 154、TU2 用デコード回路 144、TU12 用デコード回路 156、AND ゲート 149、158 及び OR ゲート 160 を有して構成され、この場合も、TU2 設定信号、TU12 設定信号に応じて対応するデコード回路 144、156 でデコードしたデコード信号をカウンタ 154 のロード信号として用いることにより、TU2 設定時のカウンタ値の最大値と TU12 設定時のカウンタ値の最大値とが切り替えられるようになっている。

【0249】

また、各 TU12 用 ES 段数カウンタ 169、170 は、それぞれ、上述のカウンタ 164、165 の同様のもので、TU12 の ES 段数をカウントするものであり、セクタ回路 167 は、これらの TU2 / TU12 共用部 168、各 TU12 用 ES 段数カウンタ 169、170 の各出力のうちの一つを選択出力するものである。なお、このセクタ回路 167 は、TU2 設定信号により TU2 に設定されているときには、常時、TU2 / TU12 共用部 168 の出力を選択する機能を有している。

【0250】

つまり、図 35 に示すライト段数カウンタ 139 (又はリード段数カウンタ 140) は、図 34 に示す TU2 用 ES 段数カウンタ 143、TU3 / TU2 共用 ES 段数カウンタ 145 に、それぞれ TU12 設定時の ES 段数をカウントする制御系をさらにそなえた構成となっているのである。これにより、例えば、TU12 設定時の ES 段数を 10 段とすると、TU12 設定時には、TU12 用の各デコード回路 155、156 (図 36、図 37 参照) でカウント値 “9” がデコードされ、そのデコード信号がそれぞれ対応するカウンタ 153、154 のロード信号となり、各カウンタ 153、154 がそれぞれ TU12 の ES 段数 10 段 (“0~9”) をカウントするカウンタとなる。

【0251】

なお、上記のセクタ回路 171 は、上述の各カウンタ部 161、166 の各出力 (カウンタ値) のうちの一つを選択出力するものであるが、ここでは、TU3 設定信号により TU3 に設定されているときには、常時、カウンタ部 161 の出力を選択する機能を有している。また、セクタ回路 172 は、3 チャンネル分の TU3 用カウンタ部 16A の出力のうちの一つを選択出力するものである。

【0252】

上述のごとく構成された図 35 に示すライト段数カウンタ 139 (又はリード段数カウンタ 140) では、VC4 フレーム内にマッピングされている TU レベルの信号サイズが TU3 の場合、信号サイズ認識部 125A (図 30 参照) からの TU3 設定信号が “1” となり TU3 に設定されるので、TU3 / TU2 / TU12 共用部 163 のカウンタ 153 が TU3 の ES 段数カウント用カウンタとして動作する。

【0253】

そして、このとき、セクタ回路 162、171 は、TU3 に設定されていることから、それぞれ、TU3 / TU2 / TU12 共用部 163 の出力、カウンタ部 161 の出力が、常時、選択されるので、そのカウント値が TU3 の ES 段数カウンタ値としてセクタ 172 を通じてシリアルに出力される。

また、VC4 フレーム内にマッピングされている TU レベルの信号サイズが TU2 の場合は、TU2 設定信号により TU2 に設定されるので、TU3 / TU2 / TU12 共用部 163 のカウンタ 153 及び各カウンタ部 166 の TU2 / TU12 共用部 168 におけるカウンタ 154 がそれぞれ TU2 の ES 段数カウント用カウンタとして動作する。

【0254】

そして、このとき、セクタ回路 162、167 は、TU2 に設定されていることから、それぞれ、TU3 / TU2 / TU12 共用部 163 の出力、各カウンタ部 166 の TU2 / TU12 共用部 168 の出力が、常時、選択されるので、そのカウント値が TU2 の E

10

20

30

40

50

S 段数カウンタ値としてセレクタ 172 を通じてシリアルに出力される。

【0255】

さらに、VC4 フレーム内にマッピングされているTUレベルの信号サイズがTU12の場合、TU12 設定信号によりTU12 に設定されるので、TU3 / TU2 / TU12 共用部 163 のカウンタ 153 及び各カウンタ部 166 のTU2 / TU12 共用部 168 におけるカウンタ 154 がそれぞれTU12 のES 段数カウント用カウンタとして動作する。

【0256】

そして、セレクタ回路 162 (167) が、それぞれ、TU3 / TU2 / TU12 共用部 163 (TU2 / TU12 共用部 168) の出力、カウンタ 164, 165 (168, 169) の各出力を順次選択することにより、セレクタ回路 171, 172 を通じて、TU12 のES 段数カウンタ値がシリアルに出力される。

10

【0257】

このように、上述のポインタ処理部 12 (ポインタ処理装置 8B) によれば、TU3 用カウンタ値、TU2 用カウンタ値及びTU12 用カウンタ値をそれぞれデコードするTU3 用デコード回路 146, TU2 用デコード回路 148 及びTU12 用デコード回路 156 をそなえ、信号サイズによって各デコード回路 146, 148, 156 の出力信号を選択してカウンタ 153 のロード信号とすることにより、TU3 / TU2 / TU12 マッピング時のライト段数カウンタ 139 (又はリード段数カウンタ 140) を共通のカウンタとしているので、合計 63 個 $[= (3 + 3 \times 6) \times 3]$ のカウンタでTUレベルの信号の混在の全ての組み合わせ $((1 + 2^7) \times (1 + 2^7) \times (1 + 2^7))$ に対して動作可能である。

20

【0258】

従って、例えば図 54 (a) に示すようにTU3 用ES 段数カウンタ 221 を3チャンネル分、図 54 (b) に示すようにTU2 用ES 段数カウンタ 222 を2チャンネル分、図 54 (c) に示すようにTU12 用ES 段数カウンタ 223 を6チャンネル分それぞれそなえる必要がなく、さらに、本ポインタ処理装置 8B の装置規模・消費電力・配線数を大幅に削減することができる。

【0259】

(C) AUポインタ処理部の説明

30

次に、図 38 は図 3 に示すAU4 ポインタ処理部 81B に着目したポインタ処理装置 8B の構成を示すブロック図で、この図 38 に示すように、AU4 ポインタ処理部 81B は、AU4 ポインタ検出部 174, ESメモリ 175, ESライト段数カウンタ 176, パルスジェネレータ (PG) 177, ESリード段数カウンタ 178 及び位相比較部 179 をそなえて構成されている。

【0260】

ここで、上記のAU4 ポインタ検出部 174 は、受信フレーム信号、伝送路側クロックに応じてパルスジェネレータ 177 で生成されるタイミング信号に従って、SDH 伝送方式における受信多重データからAU4 ポインタを検出することにより、伝送路側のクロックで、AU4 ポインタの翻訳、VC4 イネーブル信号の生成、VC4 のSPE 先頭バイト (POH 内のJ1 バイト) 位置を示すJ1 バイト指示信号の生成などの各処理をそれぞれ行なうものである。

40

【0261】

また、ESメモリ部 175 は、クロック乗換用のメモリで、AU4 ポインタ検出部 174 からの受信多重データ (VC4 イネーブル信号、J1 バイト指示信号も含まれる) が伝送路側のクロックで書き込まれ、その受信多重データが装置側のクロックで読み出されることにより、受信多重データのクロック乗換処理が行なわれるようになっている。

【0262】

さらに、ESライト段数カウンタ 176 は、伝送路側のクロック動作することにより、伝送路側のクロックで受信多重データをESメモリ 175 へ書き込む書き込み制御を行なう

50

ものであり、E Sリード段数カウンタ178は、装置側のクロックで動作することにより、E Sメモリ175に書き込まれた受信多重データを装置側のクロックで読み出す読み出し制御を行なうものである。

【0263】

また、位相比較部179は、E Sライト段数カウンタ176，E Sリード段数カウンタ178の各カウンタ値を比較して各カウンタ値の位相差を検出し、その位相差に基づいてE Sリード段数カウンタ178の読み出し動作を制御することによって、受信多重データに対するスタッフ制御（位相調整制御）を行なうものである。

【0264】

上述のごとく構成されたA Uポインタ処理部81Bでは、A U4ポインタ検出部174において、A U4ポインタの翻訳，V C4イネーブル信号の生成，J1バイト指示信号の生成がそれぞれ行なわれ、E Sメモリ175にV C4領域のデータが書き込まれる。このとき、E Sライト段数カウンタ176が伝送路側のクロックで動作するので、E Sメモリ175へのデータの書き込みは伝送路側のクロックで行なわれる。

【0265】

一方、E Sメモリ175からのデータの読み出しは、E Sリード段数カウンタ178が装置側のクロックで動作するので、装置側のクロックで行なわれる。そして、このとき位相比較部179では、装置側のクロック（カウンタ178のカウント値）と伝送路側のクロック（カウンタ176のカウント値）との位相を比較しており、その比較結果（位相差）を、E Sリード段数カウンタ178へ渡すことによって、スタッフ制御を行なうとともに、クロック乗り換えを行なう。

【0266】

クロック乗り換え後のデータは、T Uポインタ処理部180へ渡され、そこで装置側のクロックを用いて後述するようなT Uポインタの付け替えなどのT Uポインタ処理が行なわれる。

このように、上述のA U4ポインタ処理部81Bでは、E Sライト段数カウンタ176，E Sリード段数カウンタ178の各カウンタ値の位相差の検出によりスタッフ制御を行なうことで、E Sメモリ175において、伝送路側のクロックから装置側のクロックへの乗換が行なわれるので、クロックのジッタ・ワダなどの影響を考慮してE Sメモリ段数を決める際、A U4ポインタの1チャンネル分だけを考慮すればよいことになる。

【0267】

従って、図67により前述したように、T Uポインタ処理部245においてクロック乗換を行なった場合には、クロックのジッタ・ワダの影響を吸収できる程度のE Sメモリ段数は全チャンネル数分必要であったのに比べて、本ポインタ処理装置8Bの装置規模、消費電力を大幅に削減することができる。

なお、図38において、T Uポインタ処理部82Bは、その構成を機能毎に簡略化して示しており、T Uポインタ（H1/V1バイト，H2/V2バイト，H3/V3バイト）の検出（抽出）処理を行なうT Uポインタ検出部181と、ポインタ付け替え用のE Sメモリ部182と、T Uポインタの計算・挿入処理（スタッフ制御処理）を行なうT Uポインタ計算・挿入部183を有している。なお、E Sメモリ部182に対するデータの書き込み/読み出しは装置側のクロックで行なわれるようになっている。

【0268】

そして、上記のE Sメモリ部182は、例えば図39に示すように、上述のA Uポインタ処理部81Bにおけるスタッフ制御機能と同様の機能を有するスタッフ制御部182Aとして、フレームカウンタ82A-1，位相比較部82A-2，S P Eイネーブル信号生成部82A-3及びR A M82A-4を有しており、図32～図37により前述したライト段数カウンタ139で生成されたライト側のカウンタ値とリード段数カウンタ140で生成されたリード側のカウンタ値とが位相比較部82A-2で位相比較されることによって各カウンタ値の位相差に応じたスタッフ制御信号（正/負スタッフ要求信号）が生成されるようになっている。

10

20

30

40

50

【0269】

具体的に、上述の位相比較部82A-2では、ライト側のカウンタ値からリード側のカウンタ値を差し引き、その結果が、負になれば正スタッフ要求信号を生成し、正になれば負スタッフ要求信号を生成することによって、後述する送信ポインタ値保持・更新処理において多重データの位相調整を行なわせるようになっている。

【0270】

なお、上述のごとく生成された正スタッフ要求信号、負スタッフ要求信号は、それぞれ、アドレス生成部10(図4参照)で生成されるRAMアドレス(チャンネルアドレス)の示すRAM82A-4の領域に順次書き込まれるとともに、SPEイネーブル信号生成部82A-3での送信側イネーブル信号生成用の信号として用いられ、SPEイネーブル信号生成部82A-3では、上記の正/負スタッフ要求信号と、送信側フレーム信号により動作するフレームカウンタ82A-1の出力とに基づいて、送信側SPEイネーブル信号が生成される。

10

【0271】

また、上記のライト段数カウンタ139、リード段数カウンタ140は、それぞれ、図32~図37により前述したように信号サイズ混在時に対応できるよう構成されたものであるが、信号サイズが混在しない、つまり、予め処理するTUフレームの信号サイズが分かっている場合には、その信号サイズに応じた段数をカウントするカウンタを用いればよい。

【0272】

次に、上記のTUポインタ計算・挿入部183は、TUポインタの計算・挿入処理機能として、図40に示すごとく構成された送信ポインタ値保持・更新部182Bと、図41に示すようなポインタバイト挿入部182Cとを有して構成されている。

20

また、上記の送信ポインタ値保持・更新部182Bは、図40に示すように、アドレス生成部82B-1、RAM制御部82B-2、ポインタ値計算用オフセットカウンタ82B-3、送信ポインタ値保持用RAM82B-4及び送信ポインタ値更新制御部82B-5をそなえ、さらに、この送信ポインタ値更新制御部82B-5が、一致検出部82B-6、セクタ82B-7、加減算器82B-8及び反転ゲート82B-9を有して構成されている。なお、上記のアドレス生成部82B-1、RAM制御部82B-2は、図4に示すアドレス生成部10、RAM制御部13とそれぞれ同様の機能を有している。

30

【0273】

そして、この送信ポインタ値保持・更新部182Bでは、送信多重データに挿入すべき送信ポインタ値が、RAM制御部82Bによって、アドレス生成部82B-1で生成されるチャンネルアドレスの示すRAM82B-4の領域に順次書き込まれたのち、図41に示すポインタバイト挿入部182C用の送信ポインタ値として読み出されるが、この読み出し時に、図39により上述したスタッフ制御部182Aからの正/負スタッフ要求信号に応じて、送信ポインタ値更新制御部82B-5による送信ポインタ値の更新(スタッフ制御)が行なわれる。

【0274】

具体的に、この送信ポインタ値更新制御部82B-5では、まず、一致検出部82B-6において、図31に示すRAM141から読み出された送信J1/V5指示信号に従って、RAM82B-4から読み出された送信ポインタ値(リードデータ)とオフセットカウンタ82B-3のカウンタ値との一致検出を行ない、一致していればセクタ回路82B-7をRAM82B-4側に切り替えてRAM82B-4からのリードデータ(送信ポインタ値)を選択する。

40

【0275】

一致していなければセクタ回路82B-7をオフセットカウンタ82B-3側に切り替えてオフセットカウンタ値を送信ポインタ値として選択する。なお、この一致検出部82B-6での検出結果は、反転ゲート82B-9で反転されることにより、NDF検出信号となり、送信ポインタ値とともにRAM82B-4に保持され、読み出し時にNDF送信

50

要求信号として図4-1に示すポインタバイト挿入部182Cへ出力されるようになってい

【0276】

そして、セレクト回路82B-7で選択された送信ポインタ値は、正スタッフ要求信号受信時には、加減算器82B-8によりそのポインタ値が「+1」され、負スタッフ要求信号受信時には、加減算器82B-8によりそのポインタ値が「-1」されて、新たな送信ポインタ値としてRAM82B-4に書き込まれる。なお、正/負スタッフ要求信号をいずれも受信していない場合には、加減算器82B-8はセレクト回路82B-7の出力をスルーし、送信ポインタ値の更新は行なわない。

【0277】

その後、上記の送信ポインタ値は、図4-1に示すポインタバイト挿入部182Cにおいて、送信側フレーム信号に従って、スタッフ制御部182Aからの正/負スタッフ要求信号(図3-9参照)、送信ポインタ更新・保持部182BからのNDF送信要求信号(図4-0参照)、アラーム状態遷移保護部81AからのAIS状態信号(図2-2参照)などに基づき、図3-2に示すRAM141から読み出された送信多重データに挿入されて送信多重出力信号として出力される。なお、このポインタ挿入部182Cでは、次のような各処理1~5が行なわれる。

【0278】

1 正スタッフ要求信号受信時、送信ポインタ値のIビット(図6-4参照)を全て反転させて、H1/V1バイト、H2/V2バイトを挿入し、正スタッフバイト領域にダミーデータを挿入

2 負スタッフ要求信号受信時、送信ポインタ値のDビット(図6-4参照)を全て反転させて、H1/V1バイト、H2/V2バイトを挿入し、負スタッフバイト領域(つまり、H3/V3バイト)にSPE信号を挿入

3 NDF送信要求信号受信時、NDFイネーブル表示をNビット(図6-4参照)に挿入

4 AIS状態信号受信時(AIS状態信号が“1”の時)、送信ポインタバイトを全て“1”にする

5 上記1~4以外の時はNDFディゼーブル表示をNビットに挿入

(C1) AU4ポインタ処理部の変形例の説明

図4-2は上述のAU4ポインタ処理部81Bの変形例を示すブロック図で、この図4-2に示すAU4ポインタ処理部81Bは、図3-8に示す構成に加えて、送信フレーム信号を基にAU4ポインタ計算処理及びAU4ポインタ挿入処理を行なうAU4ポインタ計算・挿入部184をそなえて構成されている。なお、この図4-2において、符号185で示すものは送信フレーム信号と装置側のクロックとに基づいて送信STM-1フレームを生成するためのパルスジェネレータ(PG)である。

【0279】

このような構成により、上述のAU4ポインタ処理部81Bでは、図3-8により上述したごとくESメモリ175においてスタッフ制御処理、クロック乗換処理が行なわれるとともに、パルスジェネレータ185で生成された送信STM-1フレームに従って、このESメモリ175からVC4データが読み出され、このVC4データに対して、AU4ポインタ184でAU4ポインタの計算及び挿入処理が行なわれたのち、このAU4ポインタ挿入後のデータがTUポインタ処理部82Bへ渡される。

【0280】

これにより、AU4ポインタ付け替え後のデータからAUポインタ値をモニタすれば、ESメモリ175での処理状態(スタッフ挿入されたか否かなどの状態)を極めて容易に検証することが可能になる。従って、例えば、ポインタ処理に何らかの問題が生じた場合、その問題が、AUポインタ処理側にあるのか、TUポインタ処理側にあるのかを迅速に特定して対処することができるようになる。

【0281】

10

20

30

40

50

なお、図 6 7 により前述したポインタ処理装置 2 4 3 では、A U 4 ポインタ処理部 2 4 4 で A U 4 ポインタが終端されているため、A U 4 ポインタ処理部 2 4 4 の出力データをモニタしても、スタッフ制御状態などを検証することが困難になっている。

ところで、本実施形態では、図 3 により前述したように、上述の A U 4 ポインタ計算・挿入部 1 8 4 をそなえたものに、図 4 3 に示すごとく、A U 4 ポインタ処理部 8 1 B の出力と T U ポインタ処理部 8 2 B の出力とを外部のモード設定信号に応じて選択出力するセレクト回路 8 3 B がそなえられている。なお、この図 4 3 では、図 4 2 に示すパルスジェネレータ 1 7 7 , 1 8 5 , E S ライト段数カウンタ 1 7 6 , E S リード段数カウンタ 1 7 8 , 位相比較部 1 7 9 の図示を略している。

【 0 2 8 2 】

これにより、この図 4 3 に示すポインタ処理装置 8 B では、A U 4 ポインタ処理部 8 1 B で A U 4 ポインタを付け替えた後のデータと、T U ポインタ処理部 8 2 B で T U ポインタを付け替えた後のデータとが、モード設定信号に応じてセレクト回路 1 8 6 から選択的に出力される。

例えば、クロスコネクタ単位が V C 4 の場合はモード設定信号により A U 4 ポインタ付け替え後のデータを選択して出力し、クロスコネクタ単位が V C 3 / V C 2 / V C 1 2 の場合は T U ポインタ付け替え後のデータを選択して出力する。

【 0 2 8 3 】

従って、本ポインタ処理装置 8 B の後段に位置するクロスコネクタ装置 8 D (図 3 参照) では、例えば図 4 4 に示すように 1 つのクロスコネクタ部 (ハード) 2 2 6 で、A U 4 ポインタ付け替え後のデータと T U ポインタ付け替え後のデータとに対応して、V C 4 / V C 3 / V C 2 / V C 1 2 単位のクロスコネクタ処理を共通に行なうことができるので、クロスコネクタ装置 8 D 自体の装置規模さえも小型化することができる。

【 0 2 8 4 】

(D) その他

なお、上述のポインタ処理装置 8 B は、項目 (C) の A U 4 ポインタ処理部 8 1 B をそなえる場合は、T U ポインタ処理部 8 2 B には通常のものを用い、項目 (B) の T U ポインタ処理部 8 2 B をそなえる場合は、A U 4 ポインタ処理部 8 1 B には通常のものを用いるようにしてもよい。また、上述のポインタ処理装置 8 B は、必ずしも T U ポインタ処理部 8 2 B の両方をその構成要素とする必要はなく、項目 (B) の T U ポインタ処理部 8 2 B のみをそなえて、T U ポインタ処理専用の装置としてもよい。

【 0 2 8 5 】

【 発明の効果 】

以上詳述したように、第 1 発明の S D H 伝送方式におけるポインタ処理装置によれば、多重データから得られるポインタ処理に必要な各種情報群を、各チャンネル毎に R A M にシリアルで保持するので、多重データを各チャンネル毎に分離することなく、シリアルで、ポインタ処理を行なうことができる。従って、ポインタ処理のための回路を複数チャンネル分そなえる必要がなく、装置 (回路) 規模、消費電力、各機能 (回路) ブロック間の配線数などを大幅に削減することができる。

【 0 2 8 6 】

また、上記の R A M を、第 1 R A M と第 2 R A M とに分割すれば、第 2 R A M へのアクセスタイミング (H 1 / V 1 タイミング) が削減されるので、R A M 自体の消費電力をさらに削減することができる。

さらに、上記の R A M には、受信した H 1 / V 1 バイトのビット数を圧縮して、このビット数を圧縮した情報を保持させるので、R A M に必要なビット数が削減され、使用する R A M も小型化することができる。

【 0 2 8 7 】

また、各チャンネルのポインタ処理に必要な各種のポインタ処理制御信号の生成やポインタ処理は、1 つのポインタ処理部で行なうことができるので、さらに装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

10

20

30

40

50

さらに、このとき、各チャンネルのポインタ値を示す情報信号のMSBを除く下位ビットのみをRAMに保持させるようにすることができるので、RAMに必要なビット数がさらに削減されRAMを小型化することが可能になる。なお、信号サイズがTU3の場合、上記のMSBはTU3以外のときの値とは異なる値になっている可能性があるが、そのときのMSB 1ビットはラッチ回路に保持されるので、常にポインタ処理に必要な情報は確保され、確実に処理を行なうことができる。

【0288】

また、RAMに、受信ポインタ値と前フレームの受信ポインタ値との一致検出結果(1ビット情報)を保持させるだけで、ノーマルポインタ値を何回連続して受信したかをカウントするための専用の回路やカウント結果を保持するための専用の回路などを複数チャンネル分そなえずに、各チャンネルに対する通常のノーマルポインタ値3連続一致受信検出をシリアルで行なうことができるので、RAMを小型化できるとともに、この場合も、装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

10

【0289】

また、NDFイネーブル連続受信回数または無効ポインタの連続受信回数のいずれかをカウントすれば、LOP状態を検出することができるので、NDFイネーブル連続受信回数をカウントする専用の回路、無効ポインタの連続受信回数をカウントする専用の回路をそれぞれ複数チャンネル分そなえずに、各チャンネルに対するLOP状態をシリアルで検出することができる。従って、この場合も、装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

20

【0290】

さらに、INC及びDECのうちのどちらか1つの受信結果をINC/DEC受信結果認識用RAMに保持するだけで、INC/DEC受信結果を認識することができるので、INC受信結果、DEC受信結果の両方をRAMに保持する必要はなく、これにより、RAMに必要なビット数を削減してRAMを小型化することが可能になるとともに、その消費電力も削減することができる。

【0291】

また、アラーム状態遷移対象信号を受信した回数に応じたカウント値のみをRAMの該当するチャンネルアドレスに保持させるので、RAMに必要なビット数を最小限に抑えつつ、複数チャンネルに対するアラーム状態の認識をシリアルで行なうことができる。従って、この場合も、アラーム状態の認識を行なうための回路を複数チャンネル分そなえる必要はなく、装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

30

【0292】

さらに、アクティブポインタ値の全ビットをRAMに保持しなくても、各チャンネルのポインタ処理に必要なアクティブポインタ値をシリアルで生成することができるので、この場合もRAMに必要なビット数が削減され、RAMの小型化、低消費電力化に大いに寄与することとなる。

また、アクティブポインタ値保持用の回路、オフセットカウンタ値カウント用の回路などを複数チャンネル分そなえずに、各チャンネルのSPEの先頭バイトをシリアルで認識することができるので、装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

40

【0293】

さらに、多重データの各チャンネルがTU3/TU2/TU12のいずれの信号サイズにマッピングされているかを、常に、認識することができるので、多重データに異なる信号サイズのチャンネルが混在する場合でも、共通の回路でポインタ抽出・ポインタ処理を行なうことができ、さらに大幅に装置規模、消費電力、各機能ブロック間の配線数などを削減することができる。

【0294】

具体的には、このとき、例えば、TU3用の設定レジスタを3チャンネル分、TU2用

50

の設定レジスタを21チャンネル分、TU12用の設定レジスタを63チャンネル分というように、全ての信号サイズに対応できる分(計87チャンネル分)の設定レジスタをそなえずに、約1/3の個数(計24個)の設定レジスタをそなえるだけで、全チャンネルに対するポインタ処理を行なうことができるので、さらに装置規模、消費電力、各機能ブロック間の配線数などを削減することができる。

【0295】

また、SPEの先頭バイト位置の認識処理、ポインタ付け替え処理についても、多重データに異なる信号サイズのチャンネルが混在していても、共通の回路で全チャンネル分の処理を行なうことができるので、やはり装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

10

【0296】

また、TU3マッピング設定時とTU2マッピング設定時のカウント数を、各デコード回路の出力信号を選択して切り替えることによって、多重データにTU3/TU2という異なる信号サイズのチャンネルが混在していても、共通のカウントでライト/リード段数のカウント処理を行なうことができるので、本来、TU3用として3チャンネル分、TU2用として21チャンネル分必要であったライト/リード段数カウンタを1チャンネル分に削減でき、装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

【0297】

さらに、TU3マッピング設定時とTU2マッピング設定時とTU12マッピング設定時とのカウント数を、各デコード回路の出力信号を選択して切り替えれば、多重データにTU3/TU2/TU12という異なる信号サイズのチャンネルが混在していても、共通のカウントでライト/リード段数のカウント処理を行なうことができるので、さらに大幅に装置規模、消費電力、各機能ブロック間の配線数などを大幅に削減することができる。

20

【0298】

次に、第2発明のSDH伝送方式におけるポインタ処理装置によれば、AUポインタ処理部側でクロック乗り換え処理を行なうので、クロック変動などの影響を吸収するために必要なESメモリをTUポインタ処理部に全チャンネル分そなえる必要がなくなり、本装置の小型化、低消費電力化などに大いに寄与する。

【0299】

また、このとき、AUポインタ挿入後のデータをTUポインタ処理部へ渡すようにすれば、AUポインタ挿入後のデータから、ESメモリでの処理状態(スタッフ制御など)を把握することができるので、ESメモリの動作状態を極めて容易に検証することが可能になる。従って、例えば、ポインタ処理に何らかの問題が生じた場合、その問題が、AUポインタ処理側にあるのか、TUポインタ処理側にあるのかを迅速に特定・対処することができるようになる。

30

【0300】

さらに、AUポインタ付け替え後の信号とTUポインタ付け替え後の信号とを選択的に出力するようにすれば、後段の装置(例えばクロスコネクタ装置等)では、1つの装置で両方の信号に対応することができるので、その装置規模さえも小型化することができるようになる。

40

なお、第2発明のポインタ処理装置におけるTUポインタ処理部も、第1発明のものと同様に、多重データを各チャンネル毎に分離する(パラレルデータに変換する)ことなく、シリアルで、入力多重データに対するポインタ処理(TUポインタ処理)を行なうようにすれば、さらに本装置の小型化、低消費電力化に寄与することとなる。

【図面の簡単な説明】

【図1】第1発明の原理ブロック図である。

【図2】第2発明の原理ブロック図である。

【図3】本発明の一実施形態としてのポインタ処理装置が適用される伝送端局装置の要部の構成を示すブロック図である。

50

【図4】本実施形態のポインタ処理装置におけるTUポインタ処理部の要部の構成を示すブロック図である。

【図5】本実施形態のTUポインタ処理部の要部の他の構成を示すブロック図である。

【図6】本実施形態のTUポインタ処理部におけるアドレス生成部の詳細構成を示すブロック図である。

【図7】本実施形態のアドレス生成部の動作を説明するためのアドレス変換テーブルの一例を示す図である。

【図8】本実施形態のアドレス生成部の他の詳細構成を示すブロック図である。

【図9】本実施形態のアドレス変換部の詳細構成を示すブロック図である。

【図10】本実施形態のアドレス変換部の動作を説明するための図である。

10

【図11】本実施形態のポインタ処理部に設けられた第1ポインタ翻訳部の構成を示すブロック図である。

【図12】本実施形態のRAMに保持されるデータ内容例を示す図である。

【図13】本実施形態の第2ポインタ翻訳部に着目したTUポインタ処理部の構成を示すブロック図である。

【図14】本実施形態の第2ポインタ翻訳部の詳細構成を示すブロック図である。

【図15】本実施形態の受信ポインタ値の保持機能部分に着目したTUポインタ処理部の構成を示すブロック図である。

【図16】本実施形態のノーマルポインタ値3連続一致受信検出機能部分に着目したポインタ処理部の構成を示すブロック図である

20

【図17】本実施形態のLOP検出機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図18】本実施形態のINC/DEC受信結果認識機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図19】本実施形態の3進カウント部の詳細構成を示すブロック図である。

【図20】本実施形態のアラーム状態遷移検出機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図21】本実施形態のカウント制御部の詳細構成を示すブロック図である。

【図22】本実施形態のAIS状態遷移検出機能部分に着目したポインタ処理部の構成を示すブロック図である。

30

【図23】本実施形態のRAMに保持されるデータ内容例を示す図である。

【図24】本実施形態のアクティブポインタ値保持機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図25】本実施形態のSPE先頭バイト(J1/V5バイト)認識機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図26】本実施形態のTUポインタ処理部の変形例を示すブロック図である。

【図27】本変形例におけるポインタ抽出部の要部の構成を示すブロック図である。

【図28】本変形例におけるポインタ処理部の要部の構成を示すブロック図である。

【図29】本変形例におけるRAM制御部の要部の構成を示すブロック図である。

【図30】本変形例におけるマッピング設定レジスタ群、セレクタ部の詳細構成を示すブロック図である。

40

【図31】本変形例におけるSPE先頭バイト(J1/V5バイト)認識機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図32】本変形例におけるポインタ付け替え機能部分に着目したポインタ処理部の構成を示すブロック図である。

【図33】本変形例におけるポインタ付け替え用のRAMに保持されるデータ内容例を示す図である。

【図34】本変形例におけるライト(リード)段数カウンタの構成を示すブロック図である。

【図35】本変形例におけるライト(リード)段数カウンタの他の構成を示すブロック図

50

である。

【図36】本変形例のライト(リード)段数カウンタにおけるTU3/TU2/TU12共用部の構成を示すブロック図である。

【図37】本変形例のライト(リード)段数カウンタにおけるTU2/TU12共用部の構成を示すブロック図である。

【図38】本実施形態のAU4ポインタ処理部に着目したポインタ処理装置の構成を示すブロック図である。

【図39】本実施形態のTUポインタ処理部におけるESメモリ部の構成を示すブロック図である。

【図40】本実施形態のTUポインタ処理部におけるTUポインタ計算・挿入部の構成を示すブロック図である。 10

【図41】本実施形態のTUポインタ処理部におけるTUポインタ計算・挿入部の構成を示すブロック図である。

【図42】本実施形態のAU4ポインタ処理部に着目したポインタ処理装置の変形例を示すブロック図である。

【図43】本実施形態のAU4ポインタ処理部に着目したポインタ処理装置の変形例を示すブロック図である。

【図44】本実施形態にかかるクロスコネクタ装置の一例を模式的に示すブロック図である。

【図45】本実施形態のポインタ処理装置により得られる効果を説明するための図である 20

【図46】本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図47】本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図48】本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図49】本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図50】本実施形態のポインタ処理装置により得られる効果を説明するための図である 30

【図51】(a)~(c)はそれぞれ本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図52】(a)~(c)はそれぞれ本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図53】本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図54】(a)~(c)はそれぞれ本実施形態のポインタ処理装置により得られる効果を説明するための図である。

【図55】SDH伝送方式におけるハイラーキ構造を説明するための図である。 40

【図56】SDH伝送方式におけるSTM-1のフレーム・フォーマットを示す図である。

【図57】STM-1フレームに收容されるVC4の收容位置を説明するための図である。

【図58】SDH伝送方式におけるTU3のフレーム・フォーマットを示す図である。

【図59】TU3フレームに收容されるVC3の收容位置を説明するための図である。

【図60】SDH伝送方式におけるTU2のフレーム・フォーマットを示す図である。

【図61】TU2フレームに收容されるVC2の收容位置を説明するための図である。

【図62】SDH伝送方式におけるTU12のフレーム・フォーマットを示す図である。

【図63】TU12フレームに收容されるVC12の收容位置を説明するための図である 50

。

【図64】SDH伝送方式におけるポインタバイトのフォーマットを示す図である。

【図65】SDH伝送方式におけるポインタ値の状態遷移を説明するための図である。

【図66】SDH伝送網の一例を示すブロック図である。

【図67】ポインタ処理装置の一例を示すブロック図である。

【図68】クロスコネクタ装置の一例を示すブロック図である。

【符号の説明】

- 1, 10, 82B-1 アドレス生成部
- 2, 11 ポインタ抽出部
- 3, 12, 248 ポインタ処理部 4, 14, 10
- 57, 72, 74, 82A-4, 82B-4, 141 RAM (ランダムアクセスメモリ)
- 5, 82B-2 RAM制御部
- 6, 81B, 244 AU4ポインタ処理部
- 6a, 174, 244 AU4ポインタ検出部
- 6b ESメモリ
- 6c ESライトカウンタ
- 6d ESリードカウンタ
- 7, 82B, 245 TUポインタ処理部
- 8 伝送端局装置(LT) 20
- 8A セクションオーバーヘッド/ラインオーバーヘッド(SOH/LOH)終端処理部
- 8B, 243 ポインタ処理装置
- 8C パスオーバーヘッド(POH)終端処理部
- 8D クロスコネクタ(XC)装置
- 8E POH挿入処理部
- 8F AU4ポインタ挿入処理部
- 8G SOH/LOH挿入処理部
- 12A (第1)ポインタ翻訳部
- 14A TU3用カウンタ部
- 14B TU3/TU2共用カウンタ部 30
- 14C TU2用カウンタ部
- 15 TUG3用アドレスカウンタ
- 16 TUG2用アドレスカウンタ
- 16A TU3用カウンタ部
- 17 TU12用アドレスカウンタ
- 18, 19 ANDゲート
- 20 アドレス変換部
- 20-1 ハーフアダー
- 20-2~20-8 フルアダー
- 20-9, 73-1 排他的論理和回路(EXOR) 40
- 21 RAM(RAMR1:第1RAM)
- 22 RAM(RAMR2:第2RAM)
- 23 H1/V1バイト抽出部
- 24 H2/V2バイト抽出部
- 26 アラーム状態検出部
- 27 NDF検出部
- 28 SSビット不一致検出部
- 29 NDFイネーブル検出部
- 30 ポインタ値上位2ビット抽出部
- 31, 48, 56, 59, 66, 68, 73-4, 79, 81-2, 81-5, 81-6 50

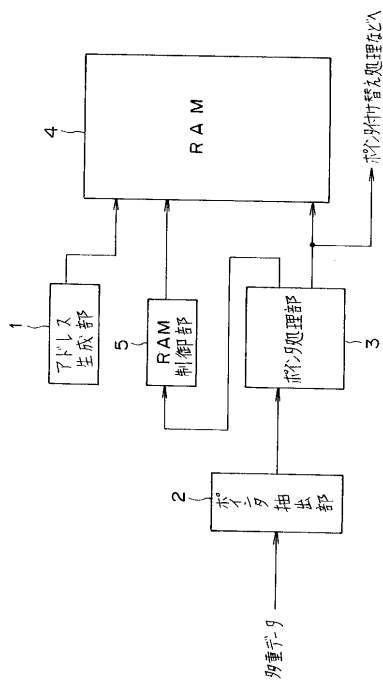
, 88, 136, 150, 159, 160, 190	ORゲート(論理和回路)	
32, 37, 62, 63, 82B-9	反転ゲート(インバータ)	
32, 34, 38, 39, 43, 44, 47, 49, 60, 61, 67, 69~71, 73-2, 73-3, 76~78, 81-1, 81-3, 81-4, 81-7, 81-8, 99, 128, 129, 133~135, 138, 142, 147, 149, 157, 187, 200, 216~218, 219	ANDゲート(論理積回路)	
33	(第2)ポインタ翻訳部	
35	受信ポインタ値範囲外検出部(OUT OF RANGE)	
36, 42, 46	NORゲート(否定論理和回路)	
40	インクリメント(INC)表示検出部	10
41	デクリメント(DEC)表示検出部	
45	不一致検出部	
50, 54, 75, 83, 84, 85, 90, 94, 144, 146, 148, 155, 156, 193, 197	デコード回路	
51~53, 91~93, 192	フリップフロップ(FF)回路	
58, 82B-6, 98, 137, 191, 199, 213~215	一致検出部	
58a	ノーマルポインタ値3連続一致受信検出部	
64	ポインタ値範囲外変換部	
55, 82B-7, 83B, 95, 108, 109, 116, 117, 122, 125~127, 133A, 151, 152, 162, 167, 171, 172	セレクタ回路	20
65	加算回路	
65, 81, 196	カウント制御部	
73	3進カウント部	
73B	スタップ抑制部	
82	RAM(アラーム状態遷移保護用RAM)	
82A-1	フレームカウンタ	
82A-2, 179	位相比較部	
82A-3	SPEイネーブル信号生成部	
82B-3	オフセットカウンタ	
82B-8	加減算器	30
89	RAM(アクティブポインタ値保持用RAM)	
96	アクティブポインタ値更新制御部	
97, 201, 213B, 213D, 213F	オフセットカウンタ部	
97A	SPE先頭バイト認識部	
100	マッピング設定レジスタ群	
101	セレクタ部	
102	TU3用H1バイト抽出タイミング生成部	
103	TU2用V1バイト抽出タイミング生成部	
104	TU12用V1バイト抽出タイミング生成部	
105	TU3用H2バイト抽出タイミング生成部	40
106	TU2用V2バイト抽出タイミング生成部	
107	TU12用V2バイト抽出タイミング生成部	
110	TU3用SSビット値保持部	
111	TU2用SSビット値保持部	
112	TU12用SSビット値保持部	
113	TU3用最大ポインタ値保持部	
114	TU2用最大ポインタ値保持部	
115	TU12用最大ポインタ値保持部	
118	比較部	
119	TU3用RAMアクセスタイミング生成部	50

1 2 0	T U 2 用 R A M ア ク セ ス タ イ ミ ン グ 生 成 部	
1 2 1	T U 1 2 用 R A M ア ク セ ス タ イ ミ ン グ 生 成 部	
1 2 3	T U 3 / T U G 3 設 定 レ ジ ス タ (T U 3 / T U G 3 # 1 ~ # 3)	
1 2 4	T U 2 / T U G 2 設 定 レ ジ ス タ (T U 2 / T U G 2 # 1 ~ # 7)	
1 2 5 A	信 号 サ イ ズ 認 識 部	
1 3 0	T U 3 用 オ フ セ ッ ト カ ウ ン タ	
1 3 1	T U 2 用 オ フ セ ッ ト カ ウ ン タ	
1 3 2	T U 1 2 用 オ フ セ ッ ト カ ウ ン タ	
1 3 9	ラ イ ト 段 数 カ ウ ン タ	
1 4 0	リ ー ド 段 数 カ ウ ン タ	10
1 4 3 , 2 2 2	T U 2 用 E S 段 数 カ ウ ン タ	
1 4 5	T U 3 / T U 2 共 用 E S 段 数 カ ウ ン タ	
1 5 3	T U 3 / T U 2 / T U 1 2 共 用 E S 段 数 カ ウ ン タ	
1 5 4	T U 2 / T U 1 2 共 用 E S 段 数 カ ウ ン タ	
1 6 1	T U 3 / T U 2 / T U 1 2 共 用 カ ウ ン タ 部	
1 6 3	T U 3 / T U 2 / T U 1 2 共 用 部	
1 6 4 , 1 6 5 , 2 2 3	T U 1 2 用 E S 段 数 カ ウ ン タ	
1 6 6	T U 2 / T U 1 2 共 用 カ ウ ン タ 部	
1 6 8	T U 2 / T U 1 2 共 用 部	
1 6 9 , 1 7 0	T U 1 2 用 E S 段 数 カ ウ ン タ	20
1 7 5	E S メ モ リ	
1 7 6	E S ラ イ ト 段 数 カ ウ ン タ	
1 7 7 , 1 8 5	パ ル ス ジ ェ ネ レ ー タ (P G)	
1 7 8	E S リ ー ド 段 数 カ ウ ン タ	
1 8 1	T U ポ イ ン タ 検 出 部	
1 8 2	E S メ モ リ 部	
1 8 2 B	送 信 ポ イ ン タ 値 保 持 ・ 更 新 部	
1 8 2 C	ポ イ ン タ バ イ ト 挿 入 部	
1 8 3	T U ポ イ ン タ 計 算 ・ 挿 入 部	
1 8 4	A U 4 ポ イ ン タ 計 算 ・ 挿 入 部	30
1 8 8	N D F イ ネ ー ブ ル 連 続 受 信 カ ウ ン ト 部	
1 8 9	イ ン バ リ ッ ド ポ イ ン タ 連 続 受 信 カ ウ ン ト 部	
1 9 4	カ ウ ン タ	
1 9 5	受 信 ポ イ ン タ 保 持 部	
1 9 8	レ ジ ス タ	
2 0 1 , 2 1 3 A , 2 1 3 C , 2 1 3 E	ア ク テ ィ ブ ポ イ ン タ 値 保 持 部	
2 0 2 ~ 2 0 4	ポ イ ン タ 抽 出 ・ 処 理 回 路	
2 0 5 , 2 4 9	パ ラ レ ル / シ リ ア ル (P / S) 変 換 部	
2 0 6 , 2 4 5	シ リ ア ル / パ ラ レ ル (S / P) 変 換 部	
2 2 4 ~ 2 2 6	ク ロ ス コ ネ ク ト 部	40
2 0 7	T U 3 設 定 レ ジ ス タ	
2 0 8	T U 2 設 定 レ ジ ス タ	
2 0 9	T U 1 2 設 定 レ ジ ス タ	
2 1 0 ~ 2 1 2	S P E 先 頭 バ イ ト 認 識 回 路	
2 1 9 A	S P E 先 頭 バ イ ト 認 識 回 路	
2 2 0 , 2 4 7	E S メ モ リ	
2 2 1	T U 3 用 E S 段 数 カ ウ ン タ	
2 3 1	セ ク シ ョ ン オ ー バ ヘ ッ ド (S O H)	
2 3 2	A U 4 ポ イ ン タ	
2 3 3	ペ イ ロ ー ド (S P E)	50

- 2 3 4 TUポインタ
- 2 4 6 TUポインタ検出部
- 3 0 1 加入者端末
- 3 0 2 回線終端装置 (NT)
- 3 0 3 , 3 0 6 伝送端局装置 (LT)
- 3 0 4 交換装置 (SW)
- 3 0 5 多重化装置 (MUX)
- 3 0 7 中継伝送路

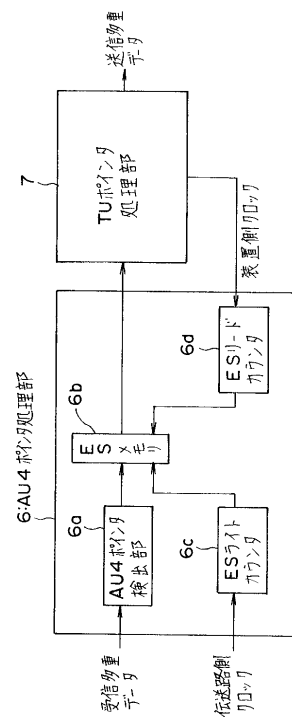
【図1】

第1発明の原理ブロック図



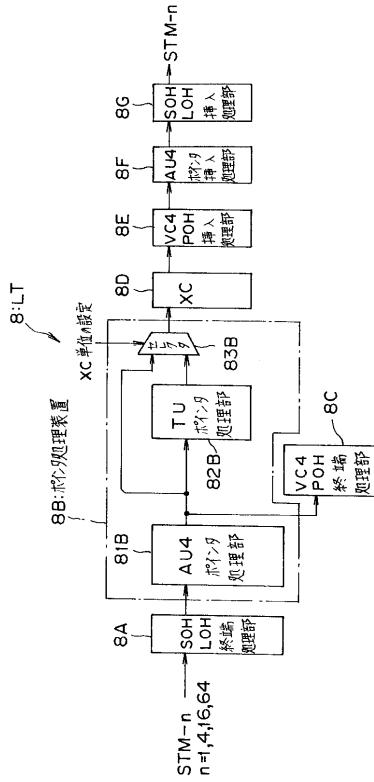
【図2】

第2発明の原理ブロック図



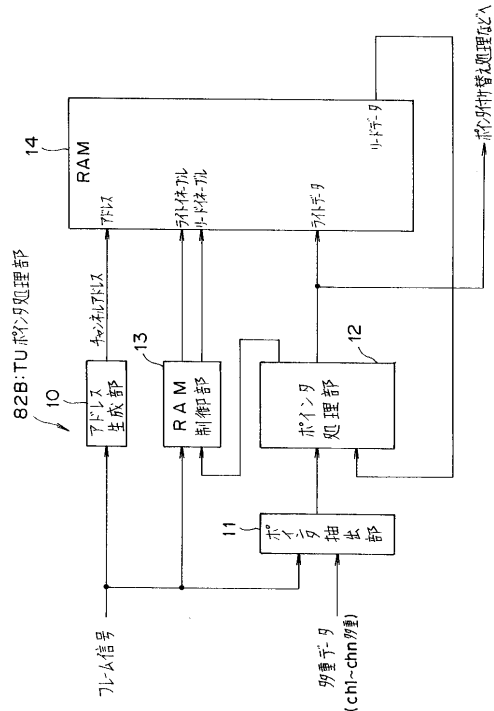
【図3】

本発明の一実施形態としてのポインタ処理装置が適用される伝送端局装置の要部の構成を示すブロック図



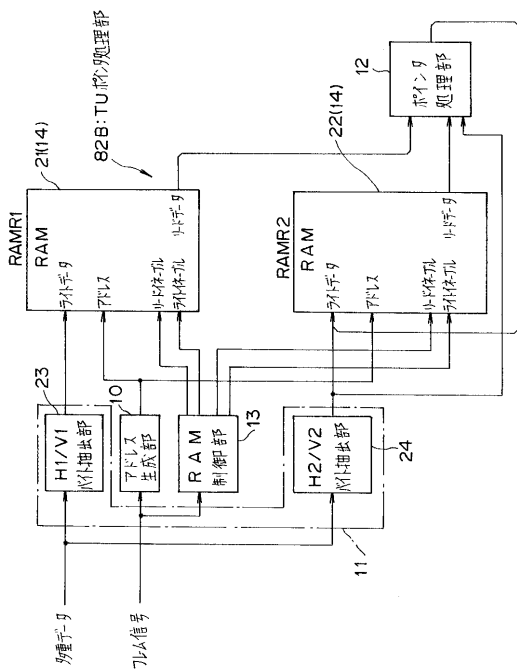
【図4】

本実施形態のポインタ処理装置におけるTUポインタ処理部の要部の構成を示すブロック図



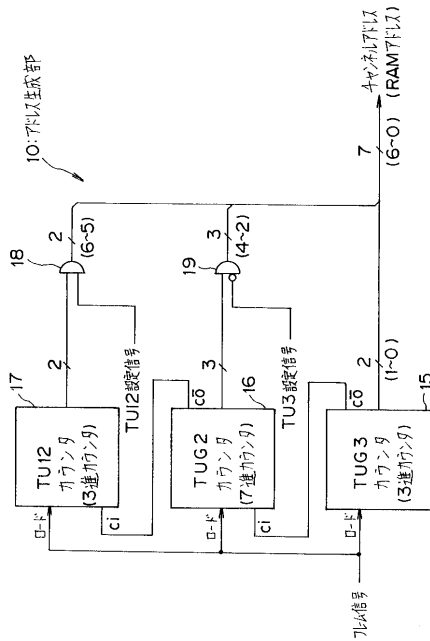
【図5】

本実施形態のTUポインタ処理部の要部の他の構成を示すブロック図



【図6】

本実施形態のTUポインタ処理部におけるアドレス生成部の詳細構成を示すブロック図



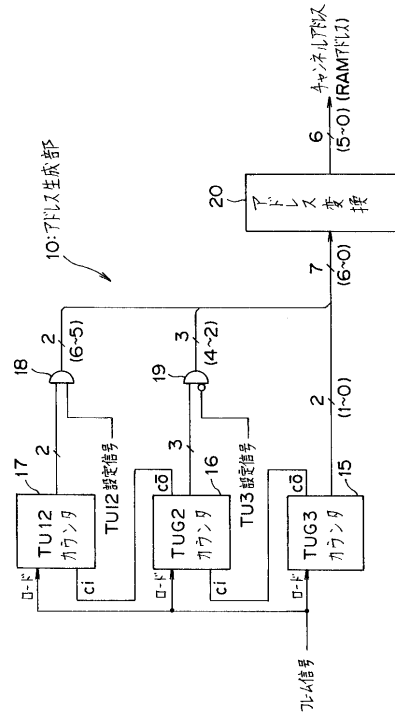
【図 7】

本実施形態のアドレス生成部の動作を説明するためのアドレス変換テーブルの一例を示す図

アドレスNo.	TUG 3	TUG 2	TU 12	CNT (変換前)			アドレス (変換後: HEX)
				TUG 3	TUG 2	TU 12	
0		1	1	000	000	000	00000000
1		1	1	001	000	000	00000001
2		1	1	010	000	000	00000002
3		1	1	011	000	000	00000003
4		1	1	100	000	000	00000004
5		1	1	101	000	000	00000005
6		1	1	110	000	000	00000006
7		1	1	111	000	000	00000007
8		2	1	000	001	000	00000008
9		2	1	001	001	000	00000009
10		2	1	010	001	000	0000000A
11		2	1	011	001	000	0000000B
12		2	1	100	001	000	0000000C
13		2	1	101	001	000	0000000D
14		2	1	110	001	000	0000000E
15		2	1	111	001	000	0000000F
16		3	1	000	010	000	00000010
17		3	1	001	010	000	00000011
18		3	1	010	010	000	00000012
19		3	1	011	010	000	00000013
20		3	1	100	010	000	00000014
21		3	1	101	010	000	00000015
22		3	1	110	010	000	00000016
23		3	1	111	010	000	00000017
24		3	2	000	001	010	00000018
25		3	2	001	001	010	00000019
26		3	2	010	001	010	0000001A
27		3	2	011	001	010	0000001B
28		3	2	100	001	010	0000001C
29		3	2	101	001	010	0000001D
30		3	2	110	001	010	0000001E
31		3	2	111	001	010	0000001F

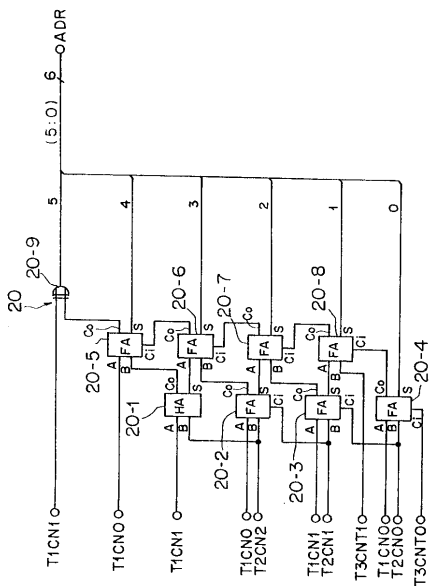
【図 8】

本実施形態のアドレス生成部の他の詳細構成を示すブロック図



【図 9】

本実施形態のアドレス変換部の詳細構成を示すブロック図



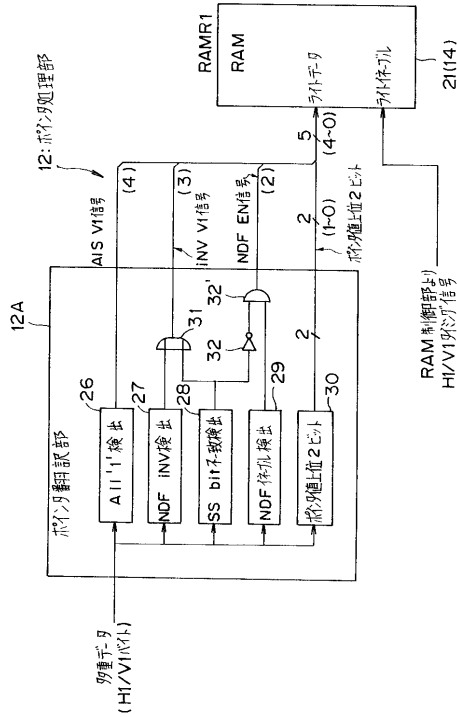
【図 10】

本実施形態のアドレス変換部の動作を説明するための図

DEC	HEX	空き空間
00000000	00000000	
00000001	00000001	
00000002	00000002	
00000003	00000003	
00000004	00000004	
00000005	00000005	
00000006	00000006	
00000007	00000007	
00000008	00000008	
00000009	00000009	
0000000A	0000000A	
0000000B	0000000B	
0000000C	0000000C	
0000000D	0000000D	
0000000E	0000000E	
0000000F	0000000F	
00000010	00000010	
00000011	00000011	
00000012	00000012	
00000013	00000013	
00000014	00000014	
00000015	00000015	
00000016	00000016	
00000017	00000017	
00000018	00000018	
00000019	00000019	
0000001A	0000001A	
0000001B	0000001B	
0000001C	0000001C	
0000001D	0000001D	
0000001E	0000001E	
0000001F	0000001F	
00000020	00000020	
00000021	00000021	
00000022	00000022	
00000023	00000023	
00000024	00000024	
00000025	00000025	
00000026	00000026	
00000027	00000027	
00000028	00000028	
00000029	00000029	
0000002A	0000002A	
0000002B	0000002B	
0000002C	0000002C	
0000002D	0000002D	
0000002E	0000002E	
0000002F	0000002F	
00000030	00000030	
00000031	00000031	

【 図 1 1 】

本実施形態のポインタ処理部に設けられた第1ポインタ翻訳部の構成を示すブロック図



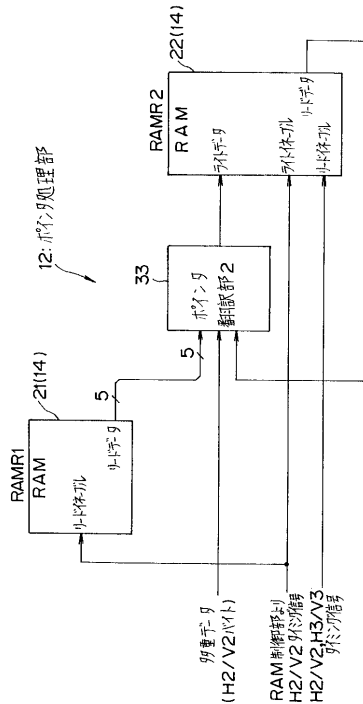
【 図 1 2 】

本実施形態のRAMに保持されるデータ内容例を示す図

RAMのビット番号	4	3	2	1	0
データ内容	A I S I V 1 信号	I N V I V 1 信号	N D F E N 信号	受信ポインタ値MSB(ビット目)	受信ポインタ値 (2ビット目)

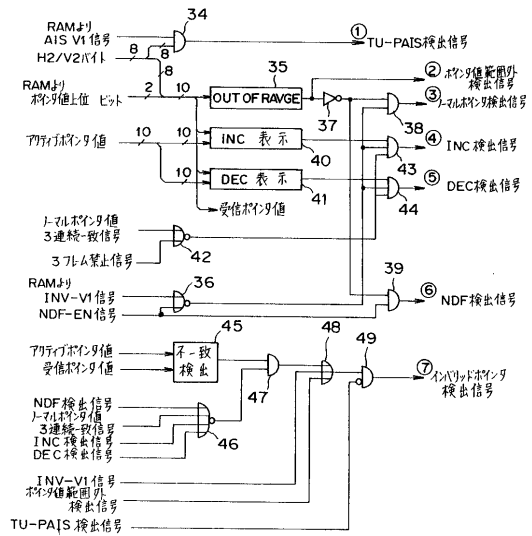
【 図 1 3 】

本実施形態の第2ポインタ翻訳部に着目したTUポインタ処理部の構成を示すブロック図



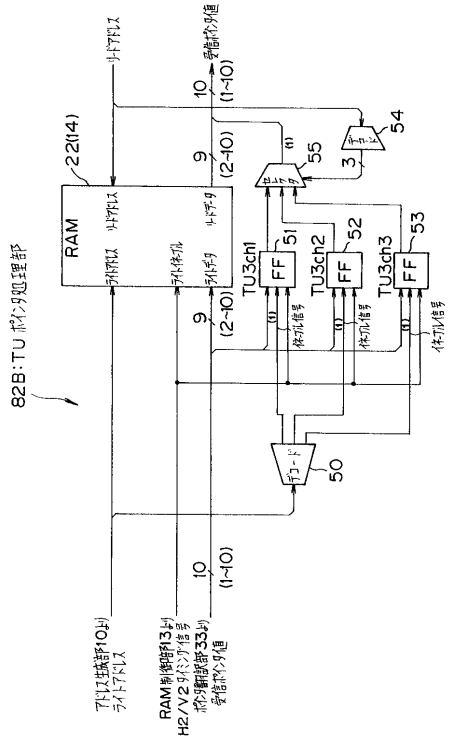
【 図 1 4 】

本実施形態の第2ポインタ翻訳部の詳細構成を示すブロック図



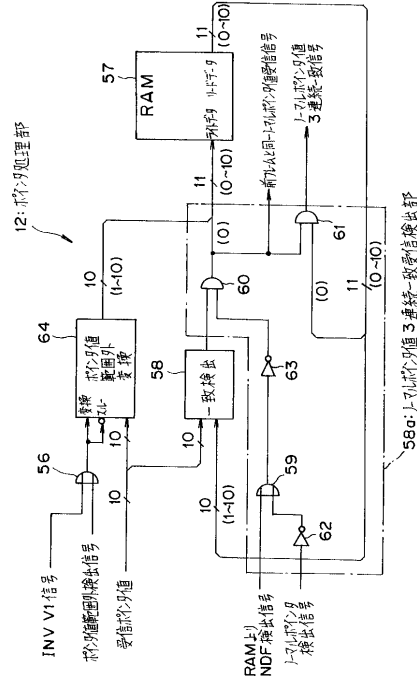
【図15】

本実施形態の受信ポイント値の保持機能部分に着目したTUポイント処理部の構成を示すブロック図



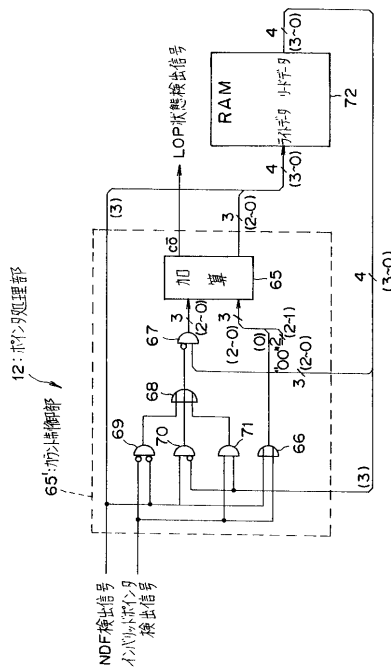
【図16】

本実施形態の1-ルルポイント値3連続一致受信検出機能部分に着目したポイント処理部の構成を示すブロック図



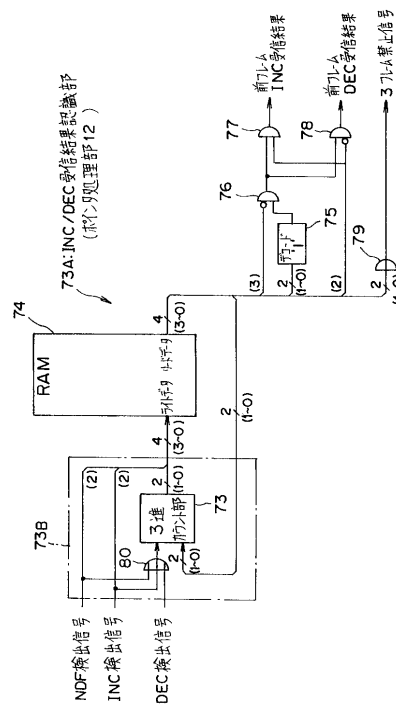
【図17】

本実施形態のLOP検出機能部分に着目したポイント処理部の構成を示すブロック図



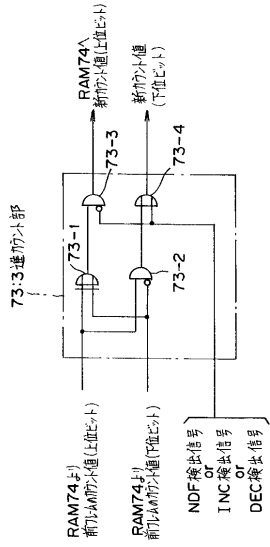
【図18】

本実施形態のINC/DEC受信結果認識機能部分に着目したポイント処理部の構成を示すブロック図



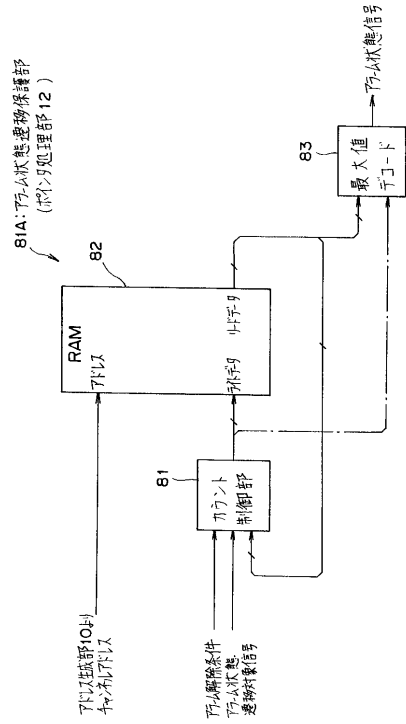
【 図 19 】

本実施形態の3進カウンタの詳細構成を示すブロック図



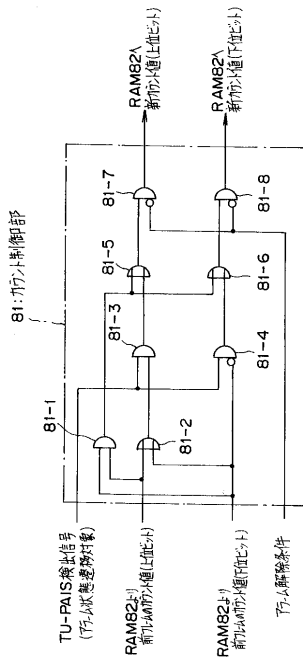
【 図 20 】

本実施形態のラム状態遷移検出機能部分に着目したポイント処理部の構成を示すブロック図



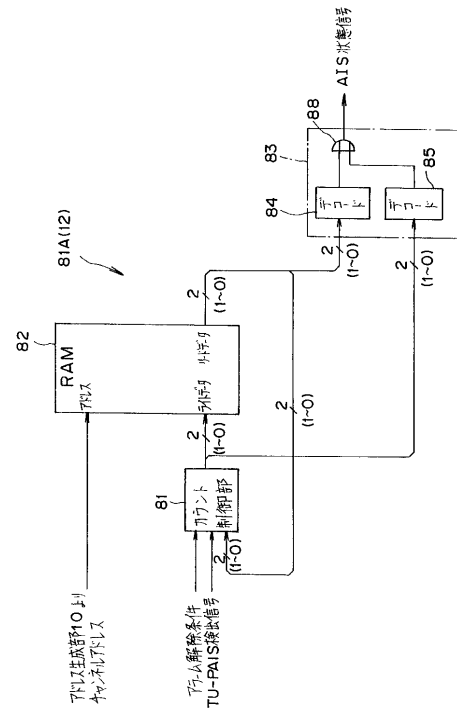
【 図 21 】

本実施形態のカウント制御部の詳細構成を示すブロック図



【 図 22 】

本実施形態のAIS状態遷移検出機能部分に着目したポイント処理部の構成を示すブロック図



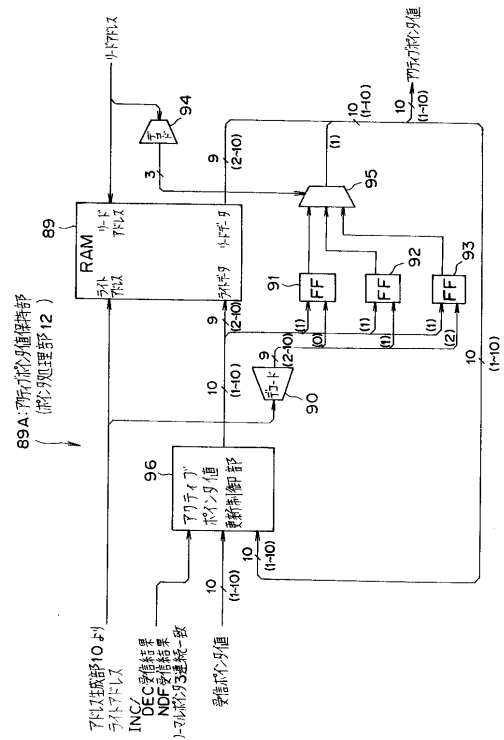
【 図 2 3 】

本実施形態の RAM に保持されるデータ内容例を示す図

RAMの ビット番号	データ内容
0	受信ポイント値 LSB (10ビット目)
1	受信ポイント値 (9ビット目)
2	受信ポイント値 (8ビット目)
3	受信ポイント値 (7ビット目)
4	受信ポイント値 (6ビット目)
5	受信ポイント値 (5ビット目)
6	受信ポイント値 (4ビット目)
7	受信ポイント値 (3ビット目)
8	受信ポイント値 (2ビット目)
9	前アドレスのアドレスポイント値 受信信号
10	LOP 検出保護カウンタ (LSB)
11	LOP 検出保護カウンタ
12	LOP 検出保護カウンタ (MSB)
13	NDF 検出信号
14	ストップ禁止用カウンタ (LSB)
15	ストップ禁止用カウンタ (MSB)
16	AIS 検出保護カウンタ (LSB)
17	AIS 検出保護カウンタ (MSB)
18	INC 検出信号

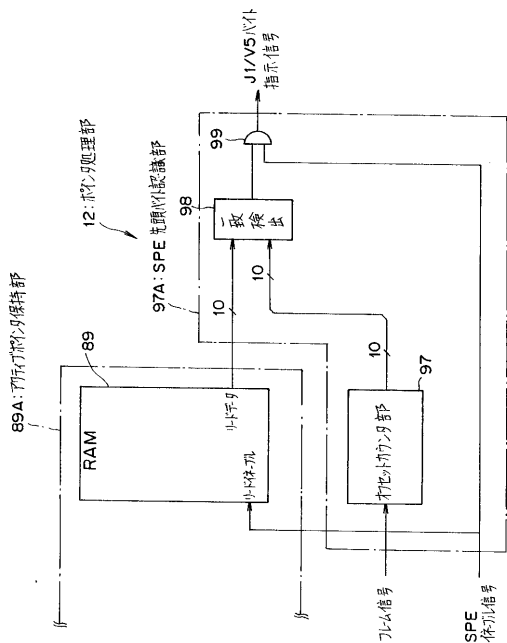
【 図 2 4 】

本実施形態のアリバイポイント値保持機能部分に着目したポイント処理部の構成を示すブロック図



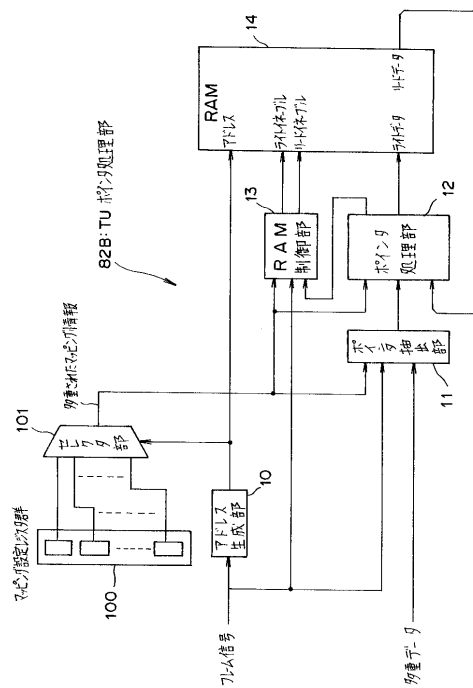
【 図 2 5 】

本実施形態の SPE 先頭バイト (J1/V5 バイト) 認識機能部分に着目したポイント処理部の構成を示すブロック図



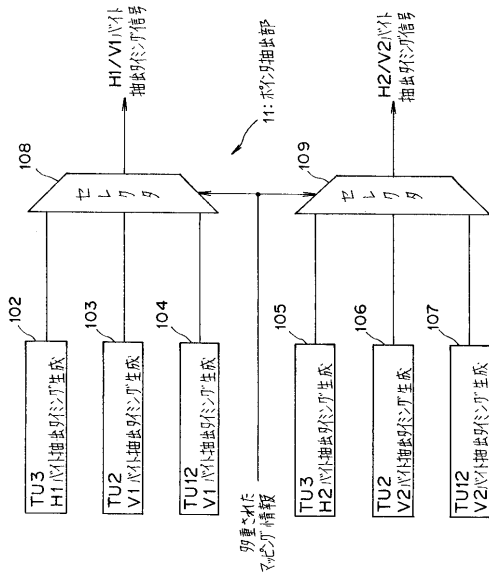
【 図 2 6 】

本実施形態の TU ポイント処理部の変形例を示すブロック図



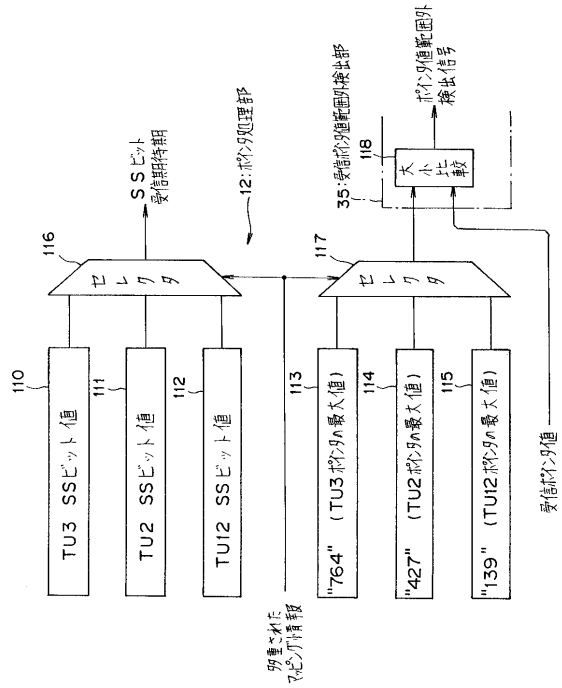
【図 27】

本変形例におけるポイント抽出部の要部の構成を示すブロック図



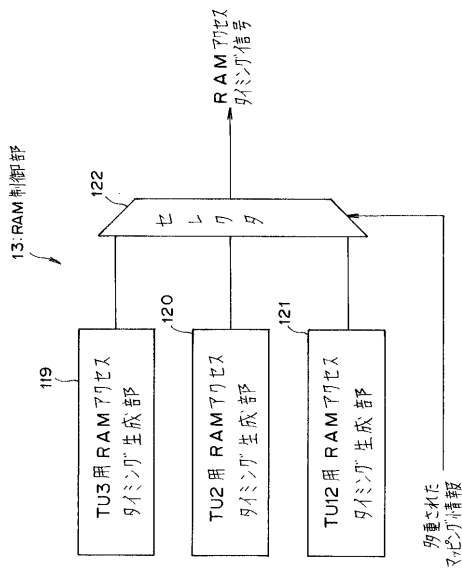
【図 28】

本変形例におけるポイント処理部の要部の構成を示すブロック図



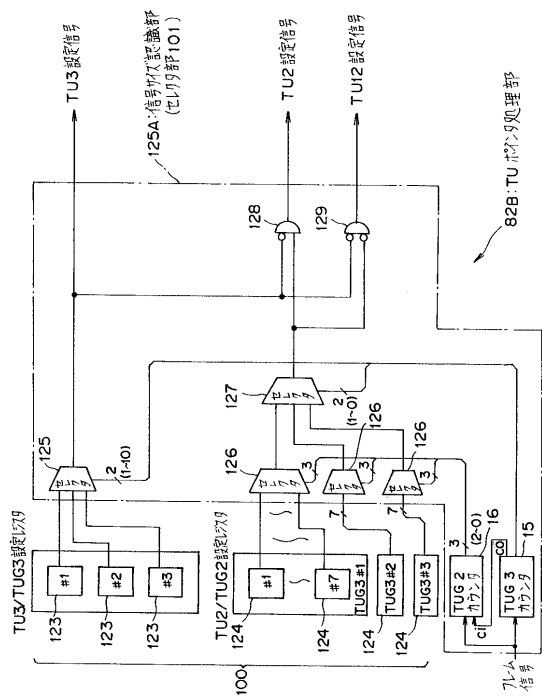
【図 29】

本変形例における RAM 制御部の要部の構成を示すブロック図



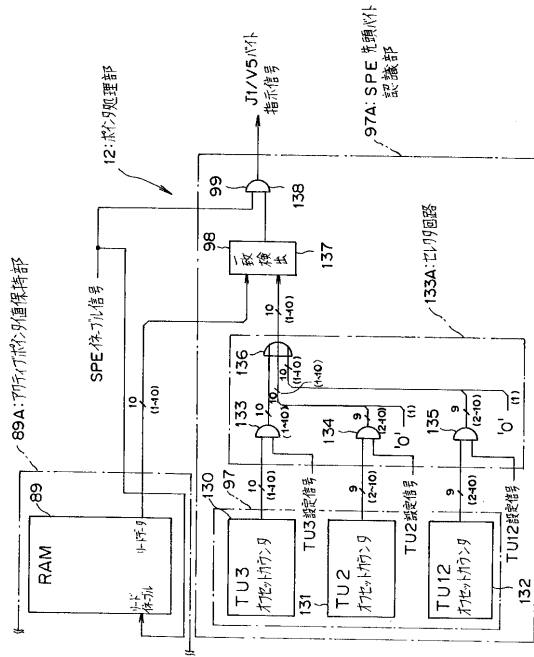
【図 30】

本変形例におけるマッピング設定レジスタ群、セレクタ部の詳細構成を示すブロック図



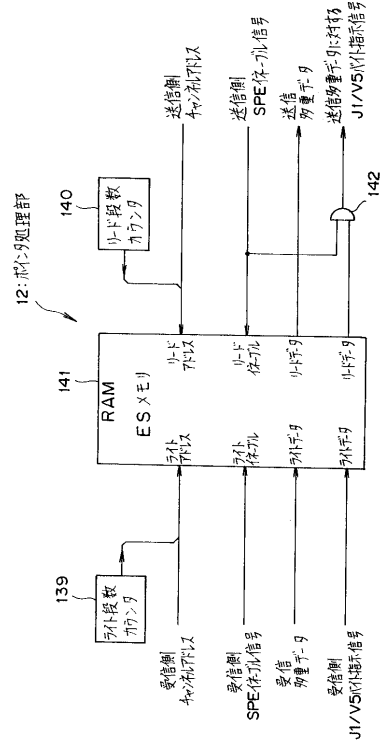
【図 3 1】

本変形例におけるSPE 先頭バイト (J1/V5 バイト) 認識機能部分に着目したポイント処理部の構成を示すブロック図



【図 3 2】

本変形例におけるポイント付け替え機能部分に着目したポイント処理部の構成を示すブロック図



【図 3 3】

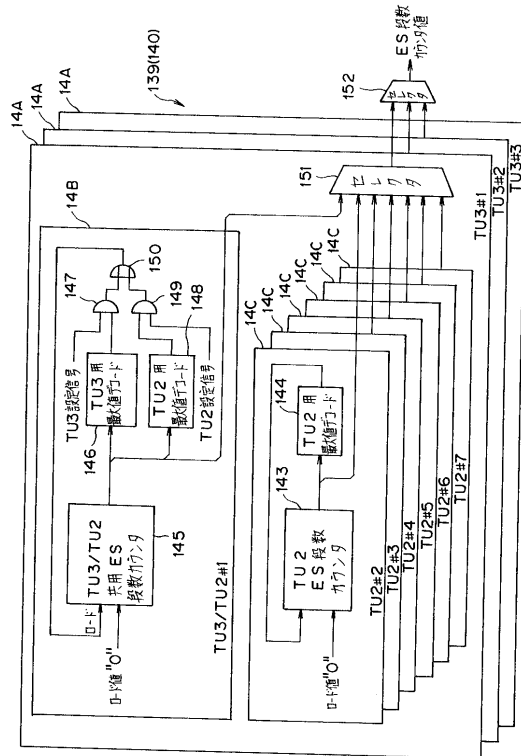
本変形例におけるポイント付け替え用のRAMに保持されるデータ内容例を示す図

RAMのビット番号	データ内容
8	J1/V5 バイト 指示信号
7	V C i n データ MSB
6	V C i n データ
5	V C i n データ
4	V C i n データ
3	V C i n データ
2	V C i n データ
1	V C i n データ
0	V C i n データ LSB

(n=2, 3, 4, 12)

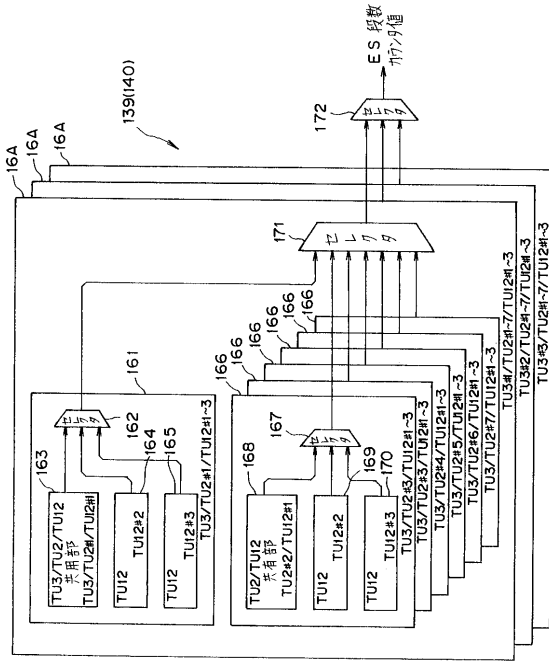
【図 3 4】

本変形例におけるライト(リド)段数カウンタの構成を示すブロック図



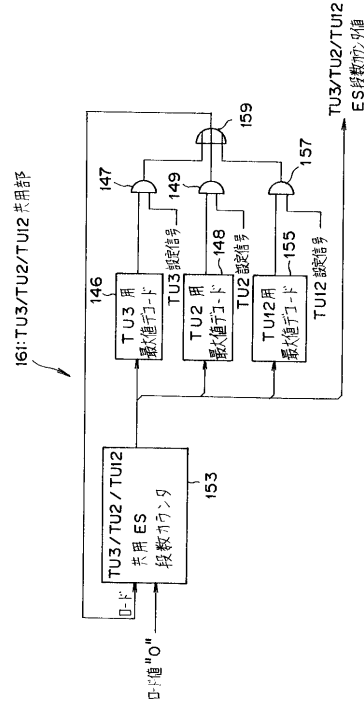
【図 35】

本変形例におけるライト(リド)段数カウンタの他の構成を示すブロック図



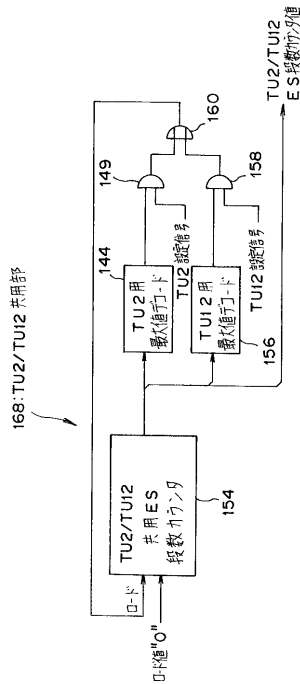
【図 36】

本変形例のライト(リド)段数カウンタにおけるTU3/TU2/TU12 共用部の構成を示すブロック図



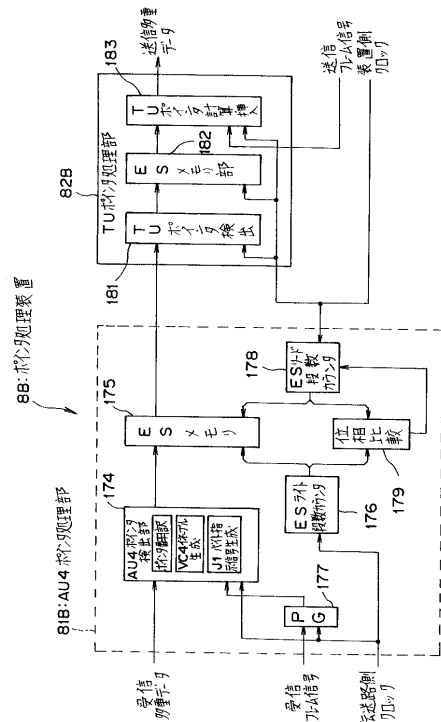
【図 37】

本変形例のライト(リド)段数カウンタにおける TU2/TU12 共用部の構成を示すブロック図



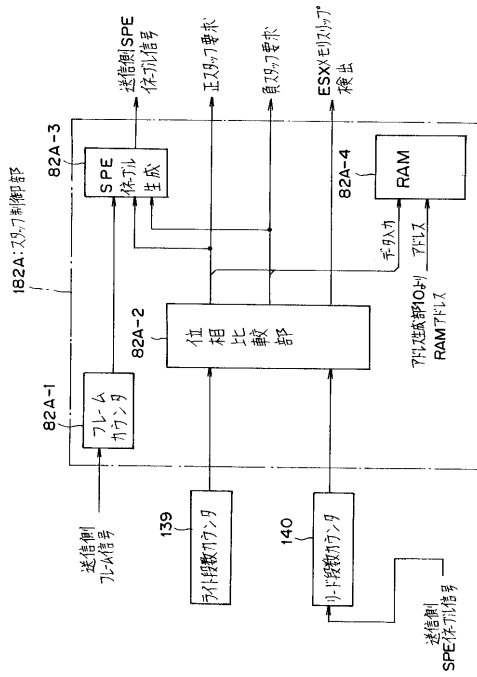
【図 38】

本実施形態のAU4 符号処理部に着目した符号処理装置の構成を示すブロック図



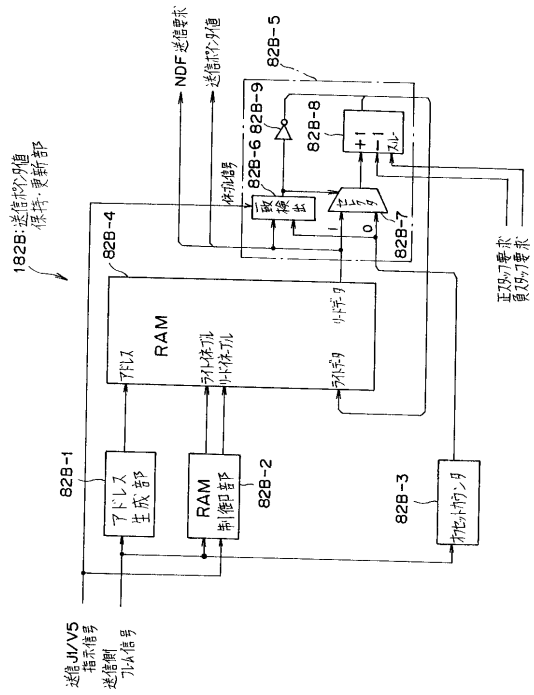
【図 39】

本実施形態のTU ポイン処理部におけるESメモリ部の構成を示すブロック図



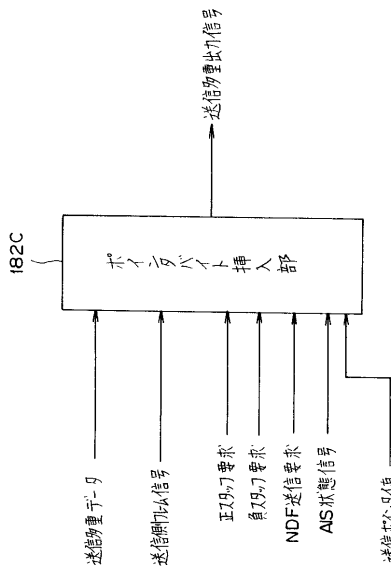
【図 40】

本実施形態のTU ポイン処理部におけるTUポインタ計算・挿入部の構成を示すブロック図



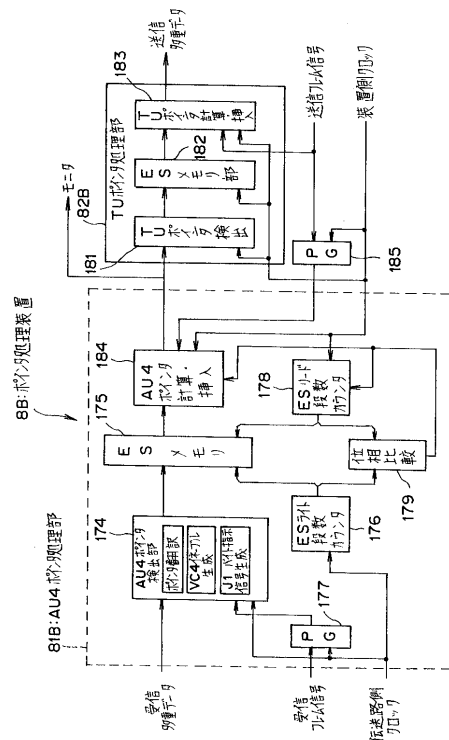
【図 41】

本実施形態のTUポイン処理部におけるTUポインタ計算・挿入部の構成を示すブロック図



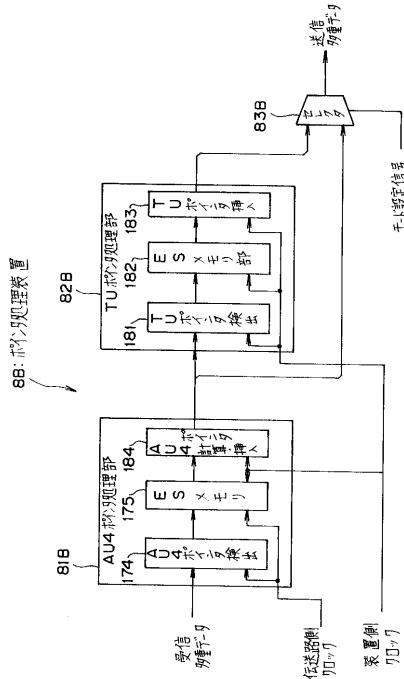
【図 42】

本実施形態のAU4ポイン処理部に着目したポイン処理装置の変形例を示すブロック図



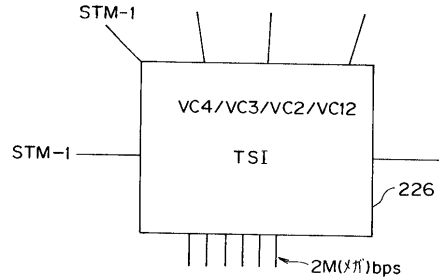
【図 4 3】

本実施形態のAU4 ポイント処理部に着目したポイント処理装置の変形例を示すブロック図



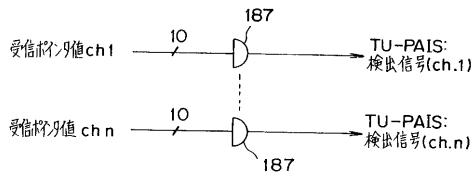
【図 4 4】

本実施形態にかかるロスコネクタ装置の一例を模式的に示すブロック図



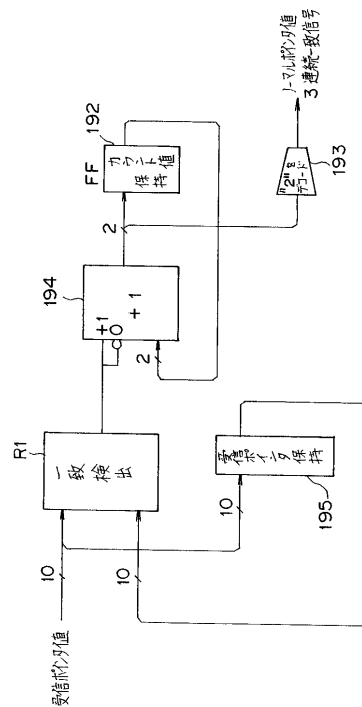
【図 4 5】

本実施形態のポイント処理装置により得られる効果と説明するための図



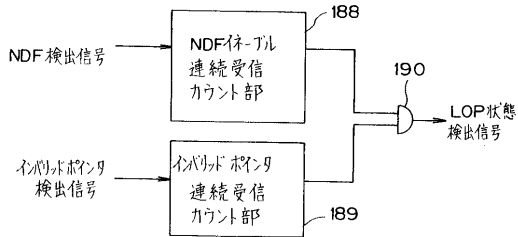
【図 4 7】

本実施形態のポイント処理装置により得られる効果と説明するための図



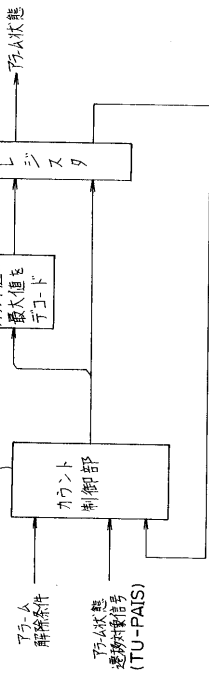
【図 4 6】

本実施形態のポイント処理装置により得られる効果と説明するための図



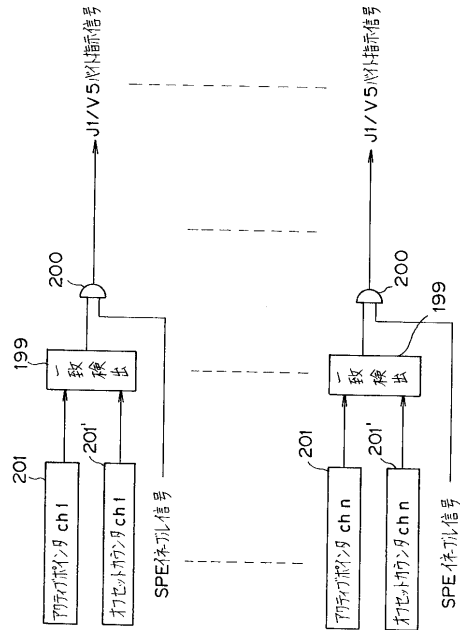
【図 48】

本実施形態のポインタ処理装置により得られる効果を説明するための図



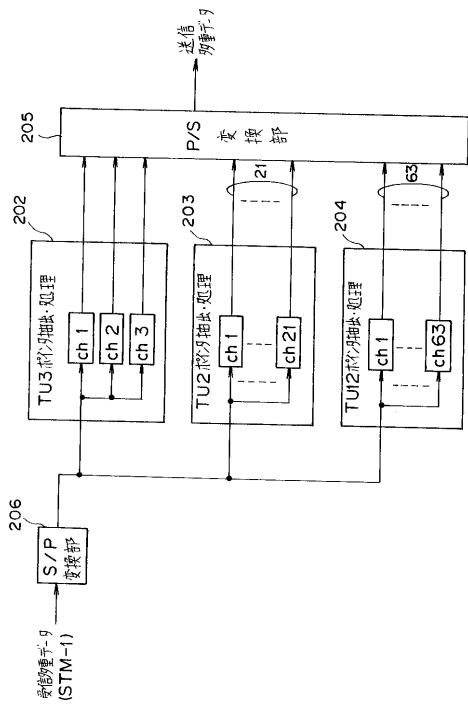
【図 49】

本実施形態のポインタ処理装置により得られる効果を説明するための図



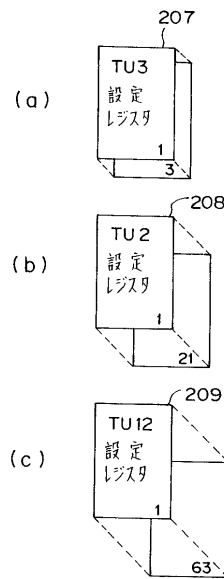
【図 50】

本実施形態のポインタ処理装置により得られる効果を説明するための図



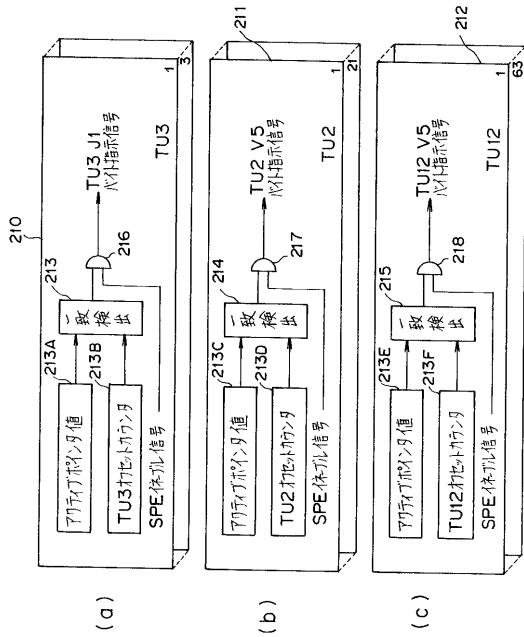
【図 51】

本実施形態のポインタ処理装置により得られる効果を説明するための図



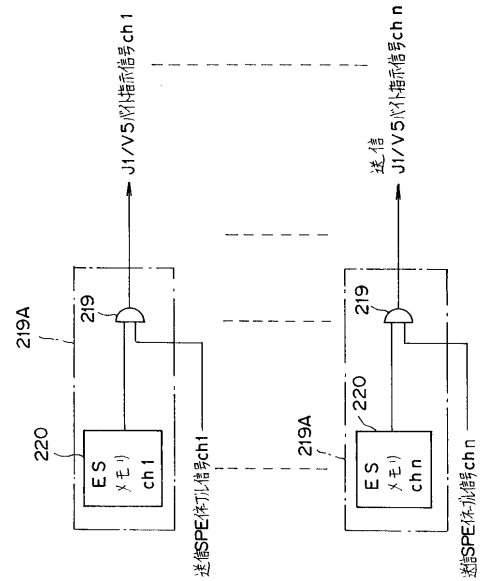
【図52】

本実施形態のポインタ処理装置により得られる効果を説明するための図



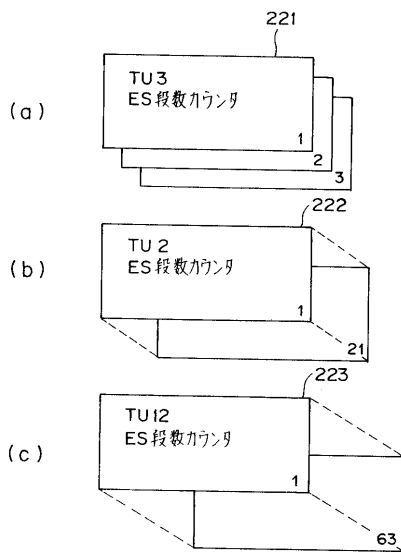
【図53】

本実施形態のポインタ処理装置により得られる効果を説明するための図



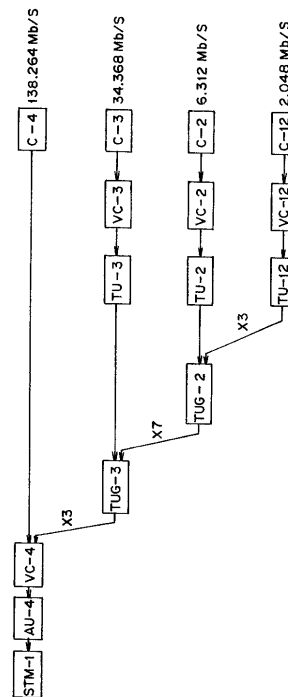
【図54】

本実施形態のポインタ処理装置により得られる効果を説明するための図



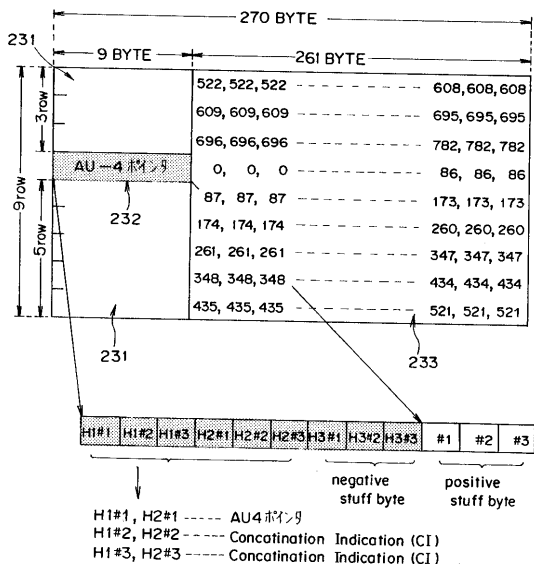
【図55】

SDH伝送方式におけるハイアラキ構造を説明するための図



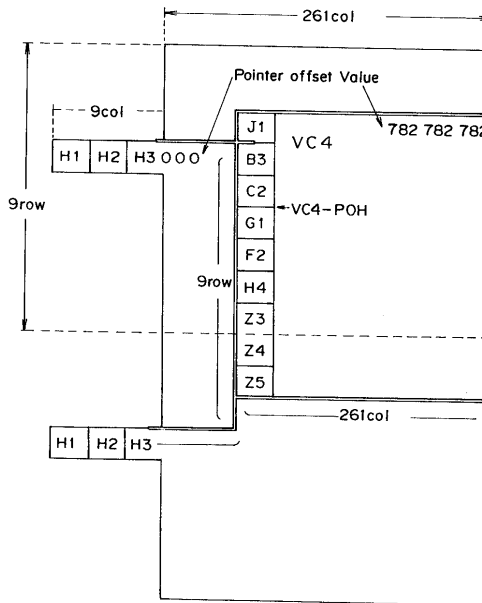
【 図 5 6 】

SDH 伝送方式における STM-1 のフレームフォーマットを示す図



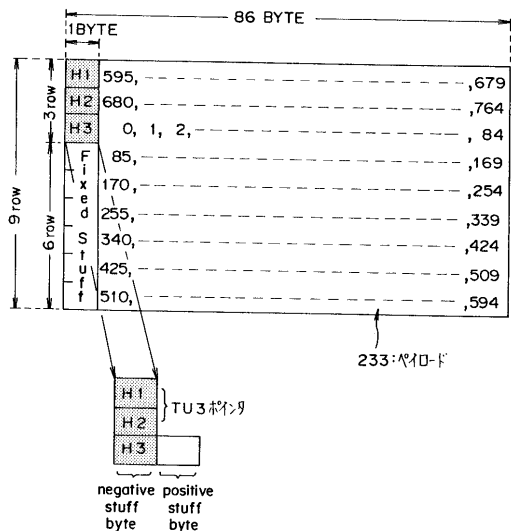
【 図 5 7 】

STM-1フレームに收容される VC4 の收容位置を説明するための図



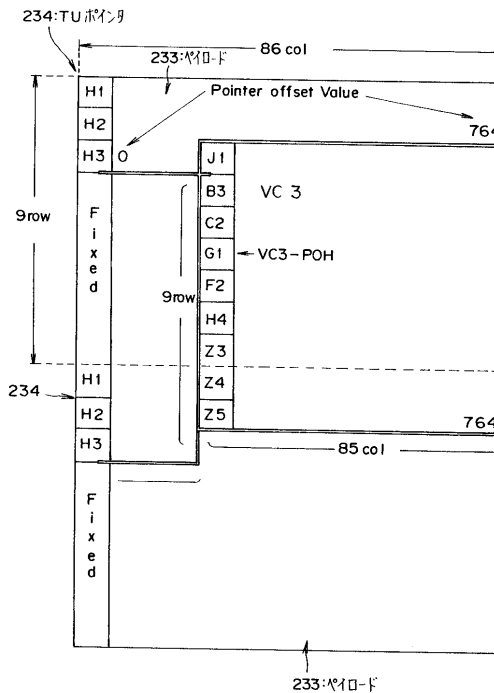
【 図 5 8 】

SDH 伝送方式における TU3 のフレームフォーマットを示す図



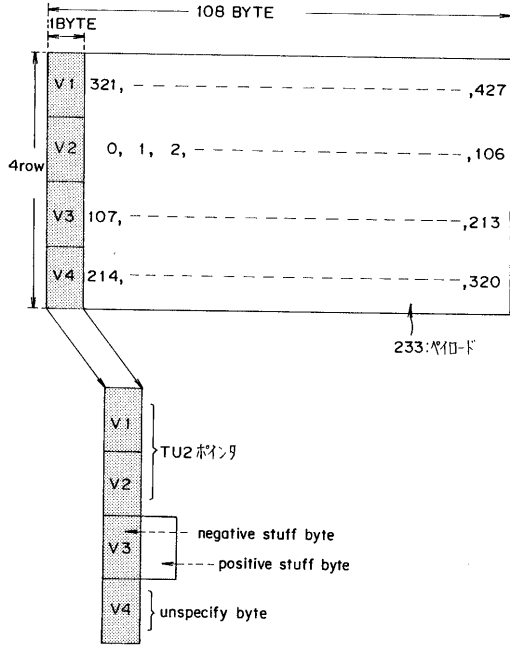
【 図 5 9 】

TU3フレームに收容される VC3 の收容位置を説明するための図



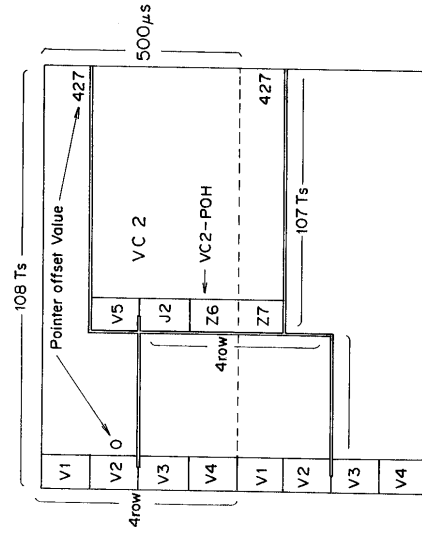
【 図 6 0 】

SDH 伝送方式における TU2 のフレームフォーマットを示す図



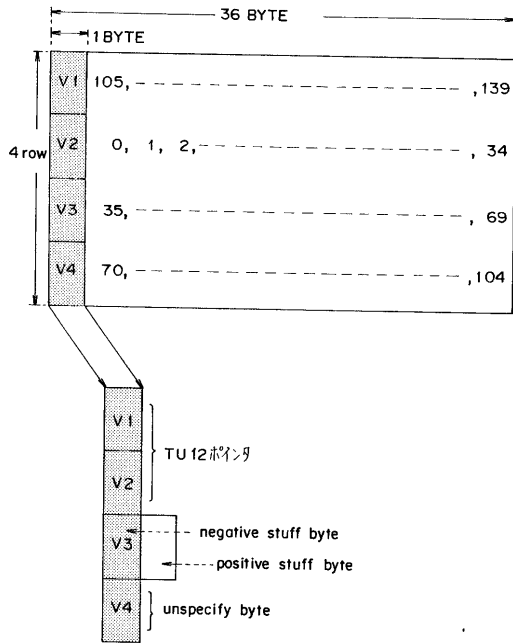
【 図 6 1 】

TU2フレームに収容されるVC2の収容位置を説明するための図



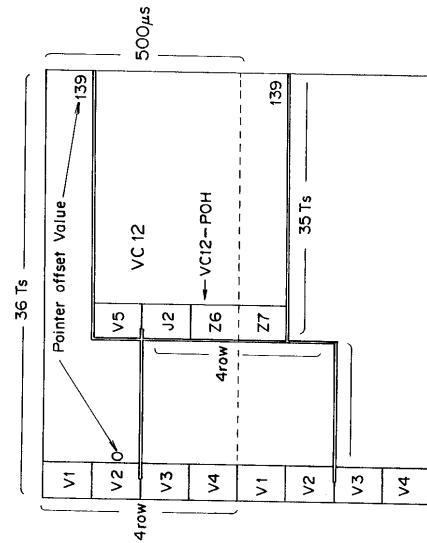
【 図 6 2 】

SDH 伝送方式における TU12 のフレームフォーマットを示す図



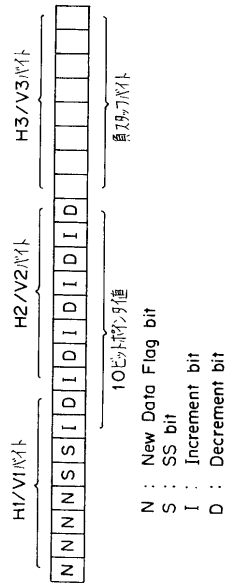
【 図 6 3 】

TU12フレームに収容されるVC12の収容位置を説明するための図



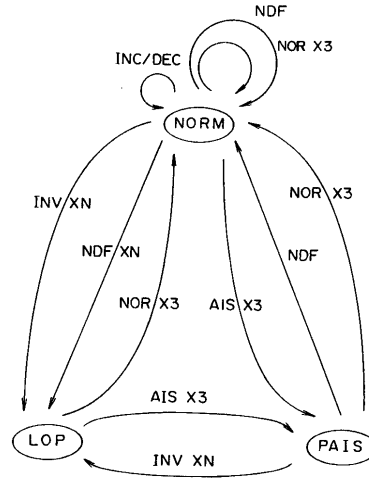
【 図 6 4 】

SDH 伝送方式におけるポインバイトのフォーマットを示す図



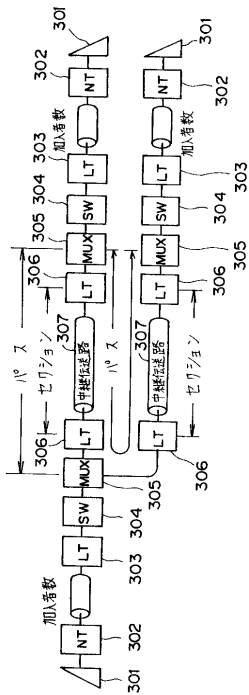
【 図 6 5 】

SDH 伝送方式におけるポインバイトの状態遷移を説明するための図



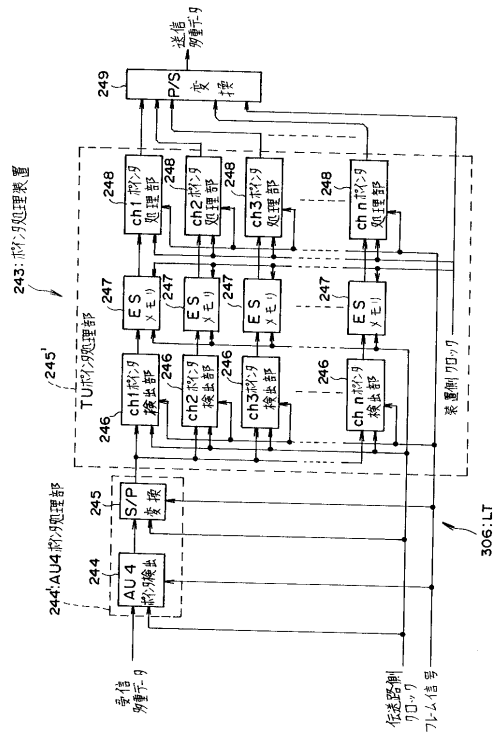
【 図 6 6 】

SDH 伝送網の一例を示すブロック図



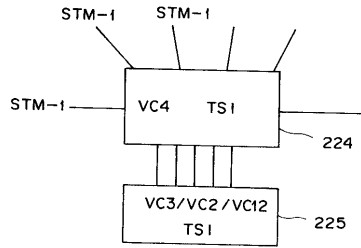
【 図 6 7 】

ポインバイト処理装置の一例を示すブロック図



【 図 6 8 】

光入コネクタ装置の一例を示すブロック図



フロントページの続き

- (72)発明者 江本 秀夫
大阪府大阪市中央区城見2丁目2番6号 富士通関西デジタル・テクノロジー株式会社内
- (72)発明者 蔵屋 久義
大阪府大阪市中央区城見2丁目2番6号 富士通関西デジタル・テクノロジー株式会社内

審査官 石井 研一

- (56)参考文献 特開平08-079231(JP,A)
特開平08-051406(JP,A)
特開平07-212337(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04J 3/00-3/26
H04L 5/22-5/26