

(12) 发明专利申请

(10) 申请公布号 CN 102945842 A

(43) 申请公布日 2013. 02. 27

(21) 申请号 201210477298. 6

(22) 申请日 2012. 11. 21

(71) 申请人 上海宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园  
区祖冲之路 1399 号

(72) 发明人 黎坡 林伟铭 张瑛 李佳佳  
莘海维 钟政 纪登峰 奚裴

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 23/544 (2006. 01)

H01L 21/762 (2006. 01)

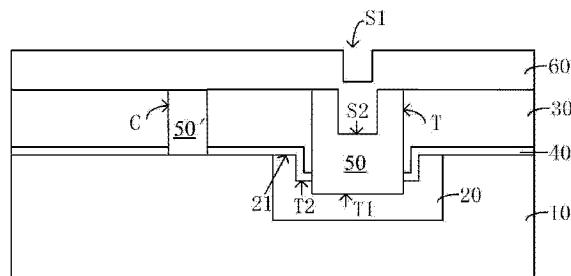
权利要求书 3 页 说明书 11 页 附图 8 页

(54) 发明名称

对准标记及其制造方法

(57) 摘要

本发明提供了一种对准标记及其制造方法，其在层间介质层内形成接触孔的同时，还在层间介质层中对应隔离结构的位置形成沟槽，且沟槽的深度延伸至隔离结构内，因此增大了沟槽的深度，因而后续形成在沟槽内的金属层表面所形成的凹坑深度更大，使在后续微影工艺中更容易获取硅片上的对准标记，不会产生对准精度下降或无法对准的问题。



1. 一种对准标记，其特征在于，所述对准标记形成在半导体衬底上，所述半导体衬底上形成有用于隔离相邻两个有源区的隔离结构，所述半导体衬底及隔离结构上形成有层间介质层，所述层间介质层内形成有接触孔且在对应所述隔离结构的位置形成有第一沟槽，所述第一沟槽的宽度大于所述接触孔的宽度但小于所述隔离结构的宽度，且所述第一沟槽的底壁位于所述隔离结构表面下方，所述层间介质层、接触孔及第一沟槽上形成有金属层，所述金属层将所述接触孔填满，且所述金属层的表面在对应所述第一沟槽的位置形成有第一凹坑，所述第一凹坑作为所述对准标记。

2. 根据权利要求 1 所述的对准标记，其特征在于，所述金属层包括第一金属层及第二金属层，其中，所述第一金属层将所述接触孔填满并覆盖在所述第一沟槽的侧壁及底壁上，所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑，所述第二金属层形成在所述层间介质层及第一金属层上，所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

3. 根据权利要求 1 或 2 所述的对准标记，其特征在于，所述隔离结构内形成有位置与所述第一沟槽对应的第二沟槽，所述第二沟槽的宽度小于所述隔离结构的宽度但大于所述第一沟槽的宽度，所述第一沟槽与第二沟槽之间填充有所述层间介质层，所述第二沟槽的底壁位于所述隔离结构表面下方，所述第一沟槽的底壁位于所述第二沟槽的底壁下方。

4. 根据权利要求 2 所述的对准标记，其特征在于，所述第一金属层的材料为钨。

5. 根据权利要求 2 所述的对准标记，其特征在于，所述第二金属层的材料为铝。

6. 根据权利要求 1 或 2 所述的对准标记，其特征在于，所述隔离结构为浅沟槽隔离结构，所述层间介质层的材料为氧化硅。

7. 一种对准标记的制造方法，其特征在于，包括：

提供半导体衬底，所述半导体衬底上形成有用于隔离相邻两个有源区的隔离结构；

在所述半导体衬底及隔离结构上形成层间介质层；

对所述层间介质层进行平坦化处理，在所述层间介质层内形成接触孔并在对应所述隔离结构的位置形成第一沟槽，所述第一沟槽的宽度大于所述接触孔的宽度但小于所述隔离结构的宽度，且所述第一沟槽的底壁设置在所述隔离结构表面下方；

在所述层间介质层、接触孔及第一沟槽上形成金属层，所述金属层将所述接触孔填满，且所述金属层的表面在对应所述第一沟槽的位置形成有第一凹坑，所述第一凹坑作为所述对准标记。

8. 根据权利要求 7 所述的对准标记的制造方法，其特征在于，在形成所述层间介质层之前还包括步骤：

进行离子注入以在所述半导体衬底内形成源极和漏极，在进行所述离子注入的步骤中，部分所述隔离结构暴露在注入离子下；

离子注入之后，在所述半导体衬底及隔离结构上形成金属硅化物阻挡层；

对所述金属硅化物阻挡层进行过刻蚀，以在图形化金属硅化物阻挡层的同时在所述隔离结构内形成第二沟槽，所述第二沟槽的位置与暴露在注入离子下的隔离结构部分对应，所述第二沟槽的宽度小于所述隔离结构的宽度，且所述第二沟槽的底壁位于所述隔离结构表面下方；

在所述半导体衬底及第二沟槽上形成阻挡层。

9. 根据权利要求 8 所述的对准标记的制造方法,其特征在于,在所述层间介质层内形成接触孔并在对应所述隔离结构的位置形成第一沟槽的步骤包括:

在所述层间介质层上形成图形化光刻胶层,以所述图形化光刻胶层为掩模对层间介质层进行刻蚀,在层间介质层内形成接触孔,并在对应所述第二沟槽的位置形成第一沟槽,所述第一沟槽的宽度大于所述接触孔的宽度,所述第一沟槽的宽度小于所述第二沟槽的宽度,且所述第二沟槽与第一沟槽之间填充有所述层间介质层;

对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀,以在去除阻挡层的同时去除阻挡层下方的部分隔离结构,将所述第一沟槽的底壁延伸至所述第二沟槽的底壁下方。

10. 根据权利要求 8 所述的对准标记的制造方法,其特征在于,所述隔离结构为浅沟槽隔离结构,所述离子注入的工艺参数包括:注入离子的剂量为  $1E14\text{cm}^{-2}$ - $1E16\text{cm}^{-2}$ ,能量为  $10\text{KeV}$ - $100\text{KeV}$ 。

11. 根据权利要求 10 所述的对准标记的制造方法,其特征在于,所述金属硅化物阻挡层的材料为氧化硅。

12. 根据权利要求 11 所述的对准标记的制造方法,其特征在于,所述金属硅化物阻挡层的厚度为  $50\text{\AA}$ - $1000\text{\AA}$ ,对所述金属硅化物阻挡层进行过刻蚀的工艺参数包括:刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及  $\text{Ar}$ ,刻蚀气体流量之和为  $5\text{sccm}$ - $200\text{sccm}$ ,功率为  $800\text{W}$ - $2000\text{W}$ ,刻蚀时间为  $20\text{s}$ - $200\text{s}$ 。

13. 根据权利要求 12 所述的对准标记的制造方法,其特征在于,所述第二沟槽的深度为  $200\text{\AA}$ - $1000\text{\AA}$ 。

14. 根据权利要求 9 所述的对准标记的制造方法,其特征在于,所述阻挡层的材料为氮化硅,所述层间介质层的材料为氧化硅。

15. 根据权利要求 14 所述的对准标记的制造方法,其特征在于,所述隔离结构为浅沟槽隔离结构。

16. 根据权利要求 15 所述的对准标记的制造方法,其特征在于,所述阻挡层的厚度为  $200\text{\AA}$ - $1000\text{\AA}$ ,对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀的工艺参数包括:刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及  $\text{Ar}$ ,刻蚀气体流量之和为  $5\text{sccm}$ - $200\text{sccm}$ ,功率为  $800\text{W}$ - $2000\text{W}$ ,刻蚀时间为  $50\text{s}$ - $500\text{s}$ 。

17. 根据权利要求 16 所述的对准标记的制造方法,其特征在于,对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀时所去除的隔离结构厚度占阻挡层过刻蚀之后所形成第一沟槽深度的  $20\%-30\%$ 。

18. 根据权利要求 7 所述的对准标记的制造方法,其特征在于,所述金属层包括第一金属层及第二金属层,其中,所述第一金属层将所述接触孔填满并覆盖在所述第一沟槽的侧壁及底壁上,所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑,所述第二金属层形成在所述层间介质层及第一金属层上,所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

19. 根据权利要求 18 所述的对准标记的制造方法,其特征在于,在所述层间介质层、接触孔及第一沟槽上形成金属层的步骤包括:

在所述层间介质层、接触孔及第一沟槽上形成第一金属层,对第一金属层进行平坦化处理直至露出所述层间介质层,平坦化处理之后所述第一金属层将所述接触孔填满并覆盖

在所述第一沟槽的侧壁及底壁上，且所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑；

在所述层间介质层及第一金属层上形成第二金属层，所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

20. 根据权利要求 18 所述的对准标记的制造方法，其特征在于，所述第一金属层的材料为钨。

21. 根据权利要求 18 所述的对准标记的制造方法，其特征在于，所述第二金属层的材料为铝。

## 对准标记及其制造方法

### 技术领域

[0001] 本发明涉及一种对准标记及其制造方法,特别是涉及一种用于第一层金属互连结构的微影工艺的对准标记及其制造方法。

### 背景技术

[0002] 在半导体元件的制造过程中,随着元件日趋微小,光罩图案也随之微小,因此在微影(photolithography)工艺中,为了使光罩图案能精确的转移到硅片上,通常需要在硅片上形成数个对准标记(alignment mark)以供光罩(mark)对准,从而使得光罩图案能精确地复制到硅片上的所需位置。

[0003] 在半导体元件的制造过程中,硅片表面常常会形成台阶、沟槽,所述台阶、沟槽在硅片上仿佛是一个标记,可以利用这样的标记来作为光刻制程中的对准标记。评价对准标记的好坏有两个重要标准:其一、对准标记在工艺制程中具有稳定而良好的标记形貌;其二、利用对准标记进行对准时能够探测到较强的信号。

[0004] 图 4 是现有一种对准标记的结构示意图,该对准标记的制造方法如图 1 至图 4 所示,首先,如图 1 所示,提供半导体衬底 1,半导体衬底 1 上形成有层间介质层(ILD)5,接着,在层间介质层 5 内形成接触孔 2,接触孔 2 定义了局部互连金属的路径形式,在层间介质层 5 内形成接触孔 2 的同时,在层间介质层 5 内形成沟槽 3,接触孔 2 的宽度  $W_1$  较小(一般为 0.1 微米至 1 微米),沟槽 3 的宽度  $W_2$  较大(一般为 1.2 微米至 10 微米),沟槽 3 的深度与接触孔 2 的深度相等。

[0005] 如图 2 所示,在层间介质层 5、沟槽 3 及接触孔 2 上形成第一金属层 7,第一金属层 7 的材料为钨。形成第一金属层 7 时,第一金属层 7 在半导体衬底 1 上各个位置处的厚度是均匀的,由于第一金属层 7 厚度与接触孔 2 宽度之间的关系(接触孔 2 的宽度较小),第一金属层 7 会将接触孔 2 填满,由于第一金属层 7 厚度与沟槽 3 宽度之间的关系(沟槽 3 的宽度较大),第一金属层 7 会覆盖在沟槽 3 的侧壁及底壁上,但第一金属层 7 未将沟槽 3 填满,因而第一金属层 7 的表面在对应沟槽 3 的位置会形成凹坑 8,但是,凹坑 8 的深度较小。

[0006] 如图 3 所示,利用化学机械研磨(CMP)工艺去除层间介质层 5 表面的第一金属层,化学机械研磨之后,填充在沟槽 3 内的第一金属层 71 的表面形成有凹坑 81,凹坑 81 可以表征接触孔 2 在半导体衬底 1 上的位置。结合图 2 所示,由于凹坑 8 的深度较小,化学机械研磨之后形成的凹坑 81 深度更小。

[0007] 如图 4 所示,在层间介质层 5 及第一金属层 71 上形成第二金属层 9,第二金属层 9 的材料为铝。由于第一金属层 71 的表面在对应沟槽 3 的位置形成有凹坑 81,因此,形成第二金属层 9 之后,由于第二金属层 9 在半导体衬底 1 上各个位置处的厚度是均匀的,由于第二金属层 9 厚度与凹坑 81 宽度之间的关系,第二金属层 9 的表面在对应凹坑 81 的位置形成有凹坑 91,凹坑 91 可以表征凹坑 81 的位置,而凹坑 81 可以表征接触孔 2 在半导体衬底 1 上的位置,所以,凹坑 91 也可以用来表征接触孔 2 在半导体衬底 1 上的位置。由于铝是不透明的金属,在后续形成第一层金属互连结构的微影工艺中,为了使光罩图案能精确的转

移到半导体衬底 1 上,以实现与接触孔 2 的对准,可以将凹坑 91 作为对准标记。半导体衬底 1 上形成有多个沟槽 3,因此,第二金属层 9 的表面也形成有多个与沟槽 3 位置对应的凹坑 91,可以选择其中一个或多个凹坑 91 作为对准标记。

[0008] 但是,由于凹坑 81 的深度较小,第二金属层 9 的表面在对应凹坑 81 的位置处形成的凹坑 91 深度也随之很小,导致在后续微影工艺中很难获取硅片上的对准标记,产生对准精度下降或无法对准的问题。

[0009] 更多的关于对准标记及其制造方法知识可以参照于 2009 年 2 月 25 日公开的公开号为 CN101373757A 的中国专利。

## 发明内容

[0010] 本发明的目的是提供一种对准标记及其制造方法,以解决现有对准标记获取困难、对准精度下降或无法对准的问题。

[0011] 为实现上述目的,本发明提供了一种对准标记,所述对准标记形成在半导体衬底上,所述半导体衬底上形成有用于隔离相邻两个有源区的隔离结构,所述半导体衬底及隔离结构上形成有层间介质层,所述层间介质层内形成有接触孔且在对应所述隔离结构的位置形成有第一沟槽,所述第一沟槽的宽度大于所述接触孔的宽度但小于所述隔离结构的宽度,且所述第一沟槽的底壁位于所述隔离结构表面下方,所述层间介质层、接触孔及第一沟槽上形成有金属层,所述金属层将所述接触孔填满,且所述金属层的表面在对应所述第一沟槽的位置形成有第一凹坑,所述第一凹坑作为所述对准标记。

[0012] 可选地,所述金属层包括第一金属层及第二金属层,其中,所述第一金属层将所述接触孔填满并覆盖在所述第一沟槽的侧壁及底壁上,所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑,所述第二金属层形成在所述层间介质层及第一金属层上,所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

[0013] 可选地,所述隔离结构内形成有位置与所述第一沟槽对应的第二沟槽,所述第二沟槽的宽度小于所述隔离结构的宽度但大于所述第一沟槽的宽度,所述第一沟槽与第二沟槽之间填充有所述层间介质层,所述第二沟槽的底壁位于所述隔离结构表面下方,所述第一沟槽的底壁位于所述第二沟槽的底壁下方。

[0014] 可选地,所述第一金属层的材料为钨。

[0015] 可选地,所述第二金属层的材料为铝。

[0016] 可选地,所述隔离结构为浅沟槽隔离结构,所述层间介质层的材料为氧化硅。

[0017] 另外,本发明还提供了一种对准标记的制造方法,其包括:

[0018] 提供半导体衬底,所述半导体衬底上形成有用于隔离相邻两个有源区的隔离结构;

[0019] 在所述半导体衬底及隔离结构上形成层间介质层;

[0020] 对所述层间介质层进行平坦化处理,在所述层间介质层内形成接触孔并在对应所述隔离结构的位置形成第一沟槽,所述第一沟槽的宽度大于所述接触孔的宽度但小于所述隔离结构的宽度,且所述第一沟槽的底壁设置在所述隔离结构表面下方;

[0021] 在所述层间介质层、接触孔及第一沟槽上形成金属层,所述金属层将所述接触孔填满,且所述金属层的表面在对应所述第一沟槽的位置形成有第一凹坑,所述第一凹坑作

为所述对准标记。

[0022] 可选地，在形成所述层间介质层之前还包括步骤：

[0023] 进行离子注入以在所述半导体衬底内形成源极和漏极，在进行所述离子注入的步骤中，部分所述隔离结构暴露在注入离子下；

[0024] 离子注入之后，在所述半导体衬底及隔离结构上形成金属硅化物阻挡层；

[0025] 对所述金属硅化物阻挡层进行过刻蚀，以在图形化金属硅化物阻挡层的同时在所述隔离结构内形成第二沟槽，所述第二沟槽的位置与暴露在注入离子下的隔离结构部分对应，所述第二沟槽的宽度小于所述隔离结构的宽度，且所述第二沟槽的底壁位于所述隔离结构表面下方；

[0026] 在所述半导体衬底及第二沟槽上形成阻挡层。

[0027] 可选地，在所述层间介质层内形成接触孔并在对应所述隔离结构的位置形成第一沟槽的步骤包括：

[0028] 在所述层间介质层上形成图形化光刻胶层，以所述图形化光刻胶层为掩模对层间介质层进行刻蚀，在层间介质层内形成接触孔，并在对应所述第二沟槽的位置形成第一沟槽，所述第一沟槽的宽度大于所述接触孔的宽度，所述第一沟槽的宽度小于所述第二沟槽的宽度，且所述第二沟槽与第一沟槽之间填充有所述层间介质层；

[0029] 对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀，以在去除阻挡层的同时去除阻挡层下方的部分隔离结构，将所述第一沟槽的底壁延伸至所述第二沟槽的底壁下方。

[0030] 可选地，所述隔离结构为浅沟槽隔离结构，所述离子注入的工艺参数包括：注入离子的剂量为  $1E14\text{cm}^{-2}$ - $1E16\text{cm}^{-2}$ ，能量为 10KeV-100KeV。

[0031] 可选地，所述金属硅化物阻挡层的材料为氧化硅。

[0032] 可选地，所述金属硅化物阻挡层的厚度为  $50\text{\AA}$ - $1000\text{\AA}$ ，对所述金属硅化物阻挡层进行过刻蚀的工艺参数包括：刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及 Ar，刻蚀气体流量之和为 5sccm-200sccm，功率为 800W-2000W，刻蚀时间为 20s-200s。

[0033] 可选地，所述第二沟槽的深度为  $200\text{\AA}$ - $1000\text{\AA}$ 。

[0034] 可选地，所述阻挡层的材料为氮化硅，所述层间介质层的材料为氧化硅。

[0035] 可选地，所述隔离结构为浅沟槽隔离结构。

[0036] 可选地，所述阻挡层的厚度为  $200\text{\AA}$ - $1000\text{\AA}$ ，对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀的工艺参数包括：刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及 Ar，刻蚀气体流量之和为 5sccm-200sccm，功率为 800W-2000W，刻蚀时间为 50s-500s。

[0037] 可选地，对所述接触孔及第一沟槽下方的阻挡层进行过刻蚀时所去除的隔离结构厚度占阻挡层过刻蚀之后所形成第一沟槽深度的 20%-30%。

[0038] 可选地，所述金属层包括第一金属层及第二金属层，其中，所述第一金属层将所述接触孔填满并覆盖在所述第一沟槽的侧壁及底壁上，所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑，所述第二金属层形成在所述层间介质层及第一金属层上，所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

[0039] 可选地，在所述层间介质层、接触孔及第一沟槽上形成金属层的步骤包括：

[0040] 在所述层间介质层、接触孔及第一沟槽上形成第一金属层，对第一金属层进行平坦化处理直至露出所述层间介质层，平坦化处理之后所述第一金属层将所述接触孔填满并

覆盖在所述第一沟槽的侧壁及底壁上,且所述第一金属层的表面在对应所述第一沟槽的位置形成有第二凹坑;

[0041] 在所述层间介质层及第一金属层上形成第二金属层,所述第二金属层的表面在对应所述第二凹坑的位置形成有所述第一凹坑。

[0042] 可选地,所述第一金属层的材料为钨。

[0043] 可选地,所述第二金属层的材料为铝。

[0044] 与现有技术相比,本发明具有以下优点:

[0045] 本发明在层间介质层内形成接触孔的同时,还在层间介质层中对应隔离结构的位置形成沟槽,由于沟槽的底壁延伸至隔离结构内,因此增大了沟槽的深度,层间介质层、接触孔及沟槽上形成有金属层,该金属层将接触孔填满,且该金属层的表面在对应沟槽的位置形成有第一凹坑,第一凹坑作为后续第一层金属互连结构的微影工艺的对准标记。由于沟槽的深度较大,第一凹坑的深度也随之较大,故本发明所提供的对准标记深度更大,在后续第一层金属互连结构的微影工艺中更容易获取硅片上的对准标记,不会产生对准精度下降或无法对准的问题。

[0046] 进一步地,在上述对准标记的基础上,本发明还提供了该对准标记的一种制造方法,该制造方法首先利用源极和漏极的离子注入以及金属硅化物阻挡层的图形化步骤在隔离结构内形成第二沟槽,然后在层间介质层内形成接触孔并在对应第二沟槽的位置形成第一沟槽,再利用阻挡层的过刻蚀步骤去除第一沟槽下方的隔离结构,从而将第一沟槽的底壁延伸至第二沟槽的底壁下方,增加了第一沟槽的深度,从而在不增加现有对准标记制造工艺步骤的前提下增加了对准标记的深度。

## 附图说明

[0047] 图 1 至图 4 是现有一种对准标记在各个制造过程中的剖视图;

[0048] 图 5 至图 10 是本发明的一个实施例中对准标记在各个制作阶段的剖视图;

[0049] 图 11 至图 18 是本发明的另一个实施例中对准标记在各个制作阶段的剖视图。

## 具体实施方式

[0050] 如图 4 所示,现有技术将第二金属层 9 表面对应沟槽 3 的位置处形成的凹坑 91 作为第一层金属互连结构微影工艺的对准标记,但是,由于沟槽 3 的深度与接触孔 2 的深度相等且均较小,故凹坑 91 的深度较小,会导致在后续微影工艺中很难获取硅片上的对准标记,产生对准精度下降或无法对准的问题。

[0051] 为了解决上述问题,本发明在层间介质层内形成接触孔的同时,还在层间介质层中对应隔离结构的位置形成沟槽,且沟槽的深度延伸至隔离结构内,即沟槽的深度大于接触孔的深度,因此增大了沟槽的深度,因而后续形成在沟槽内的金属层表面所形成的凹坑的深度更大,使在后续微影工艺中更容易获取硅片上的对准标记,不会产生对准精度下降或无法对准的问题。

[0052] 下面结合附图,通过具体实施例,对本发明的技术方案进行清楚、完整的描述,显然,所描述的实施例仅仅是本发明的可实施方式的一部分,而不是其全部。根据这些实施例,本领域的普通技术人员在无需创造性劳动的前提下可获得的所有其它实施方式,都属

于本发明的保护范围。

[0053] 下面来对本发明的一种对准标记的制造方法作详细介绍。

[0054] 如图 5 所示,提供半导体衬底 10,作为一个具体的实施例,半导体衬底 10 为硅衬底。半导体衬底 10 上形成有隔离结构 20,隔离结构 20 用于将相邻两个有源区(未图示)隔离开来,隔离结构 20 具有表面 21。作为一个具体的实施例,隔离结构 20 为浅沟槽隔离结构(STI),其形成方法为:对半导体衬底 10 进行刻蚀以形成浅沟槽,然后向所述浅沟槽内填充氧化物(如氧化硅)。半导体衬底 10 上还形成有晶体管(未图示),其包括栅极、源及漏。当然,除此之外,半导体衬底 10 上还可以形成有其它有源器件(未图示)及无源器件(未图示),在此不一一列举。

[0055] 继续参照图 5 所示,在半导体衬底 10 及隔离结构 20 上形成层间介质层,接着,对层间介质层进行平坦化处理形成层间介质层 30。作为一个具体的实施例,可利用化学机械研磨工艺平坦化所述层间介质层。

[0056] 如图 8 所示,在层间介质层 30 内形成接触孔 C,接触孔 C 定义了局部互连金属的路径形式,例如,接触孔 C 可以设置在对应源、漏或栅极(未图示)的位置,且接触孔 C 暴露出源、漏或栅极。在形成接触孔 C 的同时,还在层间介质层 30 中对应隔离结构 20 的位置形成沟槽 T,接触孔 C 的宽度较小,沟槽 T 的宽度较大,沟槽 T 的宽度小于隔离结构 20 的宽度,即沟槽 T 的侧壁与隔离结构 20 的侧壁之间存在一定的间隔。沟槽 T 的深度延伸至隔离结构 20 内,即沟槽 T 的底壁 T1 位于隔离结构表面 21 下方。与接触孔 C 相比,由于沟槽 T 的深度延伸至隔离结构 20 内,因此沟槽 T 的深度比接触孔 C 的深度大。

[0057] 作为一个具体的实施例,如图 6 所示,可在层间介质层 30 上形成图形化光刻胶层 P1,图形化光刻胶层 P1 定义出接触孔 C 及沟槽 T' 的位置,然后,以图形化光刻胶层 P1 为掩模对层间介质层 30 进行干法刻蚀,形成接触孔 C 及沟槽 T',沟槽 T' 的深度与接触孔 C 的深度相等,接触孔 C 的宽度 W<sub>1</sub> 较小,沟槽 T' 的宽度 W<sub>2</sub> 较大。为了增加沟槽 T' 的深度,需对沟槽 T' 下方的层继续刻蚀直至能去除部分隔离结构 20,在刻蚀隔离结构 20 的同时,为了避免接触孔 C 下方的层会被刻蚀,需在接触孔 C 上形成保护层。具体地,如图 7 所示,去除图 6 中残余的图形化光刻胶层 P1,在层间介质层 30 上形成图形化光刻胶层 P2,图形化光刻胶层 P2 将接触孔 C 覆盖住,并定义出沟槽 T' 的位置,以图形化光刻胶层 P2 为掩模对沟槽 T' 下方的层进行刻蚀,去除沟槽 T' 正下方的部分隔离结构 20,形成沟槽 T,沟槽 T 的底壁 T1 位于隔离结构表面 21 下方。然后,如图 8 所示,去除图 7 中残余的图形化光刻胶层 P2。作为一个具体的实施例,沟槽 T' 深度为沟槽 T 深度的 70%-80%。

[0058] 较佳地,如图 5 所示,在半导体衬底 10 及隔离结构 20 上形成层间介质层 30 之前,在半导体衬底 10 及隔离结构 20 上形成阻挡层 40,阻挡层 40 可以将有源区保护起来,使之与后续形成的层间介质层 30 隔绝。这样,在上述形成接触孔 C 及沟槽 T 的方法中,如图 6 所示,在刻蚀层间介质层 30 以形成接触孔 C 及沟槽 T' 时,阻挡层 40 可用作刻蚀阻挡层。然后,去除接触孔 C 及沟槽 T' 下方的阻挡层 40,暴露出有源区(未图示)及隔离结构 20,再利用上述方法去除部分隔离结构 20 形成图 8 中的沟槽 T。作为一个具体的实施例,阻挡层 40 的材料为氮化硅。

[0059] 在层间介质层 30、接触孔 C 及沟槽 T 上形成金属层(未图示),由于所述金属层在半导体衬底 10 上各个位置的厚度是均匀的,因此所述金属层的表面是凹凸不平的,所述金属

层的一部分填充在接触孔 C 及沟槽 T 内,另一部分形成在层间介质层 30 上,形成在层间介质层 30 上的金属层用于金属互连。由于所述金属层厚度与接触孔 C 宽度(接触孔 C 的宽度较小)之间的关系,所述金属层会将接触孔 C 填满,由于所述金属层厚度与沟槽 T 宽度(沟槽 T 的宽度较大)之间的关系,所述金属层并未将沟槽 T 填满,故所述金属层的表面在对应沟槽 T 的位置会形成第一凹坑,第一凹坑作为对准标记。当所述金属层仅由一层金属层构成时,该金属层不仅需具备良好的导电能力,同时还需具备良好的填充能力。由于铝具有较低的电阻率,在一个实施例中,所述金属层的材料为铝,一部分铝填充在接触孔 C 及沟槽 T 内,另一部分铝形成在层间介质层 30 上。虽然铝的电阻率较佳,但是铝不能填充具有高深宽比的接触孔,即铝的填充能力有限,因此,所述金属层仅由一层金属层构成的情况较适用于接触孔深宽比较低的情形。

[0060] 基于以上原因,所述金属层常常包括两层金属层,一层金属层具备良好的填充能力,其填充在接触孔 C 及沟槽 T 内,另一部分具备良好的导电能力,其形成在层间介质层 30 上,用作互连材料。

[0061] 具体地,继续参照图 8 所示,在层间介质层 30、接触孔 C 及沟槽 T 上形成第一金属层 51,由于第一金属层 51 在半导体衬底 10 上各个位置的厚度是均匀的,因此第一金属层 51 的表面是凹凸不平的。由于第一金属层 51 厚度与接触孔 C 宽度(接触孔 C 的宽度较小)之间的关系,第一金属层 51 会将接触孔 C 填满。由于第一金属层 51 厚度与沟槽 T 宽度(沟槽 T 的宽度较大)之间的关系,第一金属层 51 会覆盖在沟槽 T 的侧壁及底壁 T1 上,但第一金属层 51 并未将沟槽 T 填满,故第一金属层 51 的表面在对应沟槽 T 的位置会形成第二凹坑 S21。作为一个具体的实施例,第一金属层 51 的材料为钨,可利用低压化学气相沉积(LPCVD)方法形成钨。

[0062] 如图 9 所示,对图 8 中的第一金属层 51 进行平坦化处理,以去除层间介质层 30 表面的第一金属层 51,残留在接触孔 C 内的金属层为第一金属层 50',残留在沟槽 T 内的金属层为第一金属层 50。第一金属层 50' 将接触孔 C 填满,第一金属层 50 表面形成的凹坑为第二凹坑 S2。作为一个具体的实施例,利用化学机械研磨工艺对图 8 中的第一金属层 51 进行平坦化处理。

[0063] 如图 10 所示,在层间介质层 30、第一金属层 50' 及第一金属层 50 上形成第二金属层 60,由于第二金属层 60 在半导体衬底 10 上各个位置的厚度是均匀的,因此第二金属层 60 的表面是凹凸不平的。具体地,第二金属层 60 的表面在对应第二凹坑 S2 的位置(即对应沟槽 T 的位置)形成有第一凹坑 S1。作为一个具体的实施例,第二金属层 60 的材料为铝,可利用溅射方法形成铝。

[0064] 在上述对准标记制造方法的基础上,本发明还提供了一种对准标记,继续参照图 10 所示,半导体衬底 10 上形成有隔离结构 20,隔离结构 20 将相邻两个有源区(active area,未图示)隔离开来,隔离结构 20 具有表面 21。作为一个具体的实施例,隔离结构 20 为浅沟槽隔离结构。半导体衬底 10 及隔离结构 20 上形成有层间介质层 30,层间介质层 30 在对应隔离结构 20 的位置形成有沟槽 T,沟槽 T 的宽度小于隔离结构 20 的宽度,即沟槽 T 的侧壁与隔离结构 20 的侧壁之间存在一定的间隔。沟槽 T 的底壁 T1 位于隔离结构表面 21 下方。另外,层间介质层 30 内还形成有接触孔 C,接触孔 C 定义了局部互连金属的路径形式,例如,接触孔 C 可以设置在对应源、漏或栅极(未图示)的位置,且接触孔 C 暴露出源、漏

或栅极。与接触孔 C 相比,由于沟槽 T 的深度延伸至隔离结构 20 内,因此沟槽 T 的深度更大。另外,接触孔 C 的宽度较小,沟槽 T 的宽度较大。

[0065] 层间介质层 30、接触孔 C 及第一沟槽 T 上形成有金属层(未图示),所述金属层将接触孔 C 填满,且所述金属层的表面在对应第一沟槽 T 的位置形成第一凹坑。所述金属层至少由一层金属层构成,在一个实施例中,所述金属层仅由一层金属层构成,所述金属层的一部分填充在接触孔 C 及第一沟槽 T 内,另一部分形成在层间介质层 30 上。在另一个实施例中,所述金属层包括第一金属层及第二金属层。具体地,接触孔 C 被第一金属层 50' 填满,沟槽 T 的侧壁及底壁 T1 上覆盖有第一金属层 50,且第一金属层 50 并未将沟槽 T 填满,因此,第一金属层 50 的表面形成有第二凹坑 S2。作为一个具体实施例,第一金属层 50 及第一金属层 50' 的材料为钨。

[0066] 层间介质层 30、第一金属层 50 及第一金属层 50' 上形成有第二金属层 60,第二凹坑 S2 被第二金属层 60 填充。由于第一金属层 50 表面形成有第二凹坑 S2,因此,第二金属层 60 的表面在对应第二凹坑 S2 的位置形成有第一凹坑 S1。第二金属层 60 表面形成的第一凹坑 S1 可作为后续第一层金属互连结构微影工艺的对准标记。作为一个具体的实施例,第二金属层 60 的材料为铝。

[0067] 继续参照图 1 所示,现有对准标记中沟槽 3 的深度与接触孔 2 的深度相等,而对照图 10 所示,本发明中沟槽的深度延伸至隔离结构 20 内,其深度大于接触孔 C 的深度,比较可知,与现有技术相比本发明中沟槽 T 的深度增大了,故在第二金属层表面形成作为对准标记的凹坑深度也增大了,因此,在后续第一层金属互连结构的微影工艺中更容易获取硅片上的对准标记,不会产生对准精度下降或无法对准的问题。

[0068] 上述对准标记的制造方法中,为了使在层间介质层 30 中对应隔离结构 20 位置处形成的沟槽 T 深度较大,利用刻蚀步骤同步形成接触孔 C 及沟槽 T' 之后需增加额外的制造工艺步骤,包括:如图 7 所示,形成图形化光刻胶层 P2,图形化光刻胶层 P2 将接触孔 C 覆盖住,且图形化光刻胶层 P2 定义出沟槽 T 的位置;对未被光刻胶层覆盖的层进行刻蚀,去除部分隔离结构 20,形成沟槽 T;如图 8 所示,去除图 7 中残余的图形化光刻胶层 P2。因此,与现有对准标记的制造方法相比,上述制造方法增加了额外的制造工艺步骤,以此来增加对准标记的深度。

[0069] 为了简化上述对准标记的制造工艺步骤、降低其制造成本,发明人对上述对准标记的制造方法作出改进,提供了另一种对准标记的制造方法,与现有对准标记的制造方法相比,该方法没有增加额外的制造工艺步骤。下面来对这种对准标记的制造方法作详细介绍。

[0070] 如图 11 所示,提供半导体衬底 10,作为一个具体的实施例,半导体衬底 10 的材料为硅。半导体衬底 10 上形成有隔离结构 20,其具有表面 21。作为一个具体的实施例,隔离结构 20 为浅沟槽隔离结构,其形成方法为:对半导体衬底 10 进行刻蚀以形成浅沟槽,然后向所述浅沟槽内填充氧化物(如氧化硅)。作为一个具体的实施例,隔离结构 20 的深度为 2000Å-10000Å,隔离结构 20 的宽度为 50 微米-60 微米。

[0071] 继续参照图 11 所示,进行离子注入,在半导体衬底 10 内形成源极和漏极(未图示)。具体步骤如下:在半导体衬底 10 上形成图形化光刻胶层 P4,图形化光刻胶层 P4 定义出源极和漏极的位置,进行离子注入,未被图形化光刻胶层 P4 覆盖的区域会有离子注入。

需说明的是，现有对准标记制造方法中在进行离子注入形成源极和漏极时，整个隔离结构 20 会被光刻胶层覆盖住，以避免在高能注入离子的轰击作用下隔离结构 20 会被损伤，而本发明中在进行离子注入形成源极和漏极时，仅有部分隔离结构 20 会被光刻胶层覆盖住，大部分隔离结构 20 没有被光刻胶层覆盖住。这样，未被光刻胶层覆盖住的隔离结构 20 部分会受到高能注入离子的轰击。作为一个具体的实施例，隔离结构 20 为浅沟槽隔离结构，离子注入的工艺参数包括：注入离子的剂量为  $1E14\text{cm}^{-2}$ — $1E16\text{cm}^{-2}$ ，能量为  $10\text{KeV}$ — $100\text{KeV}$ 。注入的离子可为磷、砷或硼。在半导体衬底 10 中形成源极和漏极之前，可在半导体衬底 10 的有源区上形成晶体管栅极(未图示)。

[0072] 一般的晶体管在形成栅、源、漏后，往往会利用溅射工艺在整个硅片表面淀积一层难熔金属(如钴、钛等)，然后对其进行退火处理，高温触发难熔金属与硅发生反应并在表面形成金属硅化物，此时难熔金属不会与二氧化硅等绝缘物质发生反应，用化学方法去掉没有发生反应的难熔金属，将难熔金属的硅化物留在了硅片的表面。由于金属硅化物是一种低阻抗的材料，因此一般的晶体管在形成过程中会在栅、源、漏上方形成这种金属硅化物以减小该区域形成的寄生电阻。但对于某些晶体管而言，出于其它一些因素的考虑并不想在栅、源或漏上形成金属硅化物。例如高压晶体管为了提高其击穿电压，高压晶体管的某些区域上不需形成上述金属硅化物，例如栅、源、漏等有源区，因此，在形成晶体管的栅、源、漏后并在其它区域形成上述金属硅化物之前，会在高压晶体管的某些区域上方形成金属硅化物阻挡层(SAB)，以避免在该区域会形成金属硅化物。

[0073] 如图 12 所示，在半导体衬底 10 及隔离结构 20 上形成金属硅化物阻挡层(未图示)，然后，在所述金属硅化物阻挡层上形成图形化光刻胶层(未图示)，图形化光刻胶层将不希望形成金属硅化物的区域覆盖住，希望形成金属硅化物的区域上没有被图形化光刻胶层覆盖住，然后，以图形化光刻胶层为掩模对所述金属硅化物阻挡层进行刻蚀，去除部分区域的金属硅化物阻挡层，从而实现金属硅化物阻挡层的图形化处理。在本发明中对所述金属硅化物阻挡层进行刻蚀的工艺为过刻蚀(过刻蚀保证隔离结构 20 上方的金属硅化物阻挡层被完全去除)工艺，由于金属硅化物阻挡层与半导体衬底 10 具有较高的刻蚀选择比，当部分金属硅化物阻挡层被刻蚀完暴露出下方的半导体衬底 10 时，半导体衬底 10 不会被刻蚀或被刻蚀得很少，但是当部分金属硅化物阻挡层被刻蚀完暴露出下方的隔离结构 20 时，由于金属硅化物阻挡层与隔离结构 20 的刻蚀选择比较小(当金属硅化物阻挡层的材料为氧化硅、隔离结构 20 内所填充的材料为氧化硅时，金属硅化物阻挡层与隔离结构 20 的刻蚀选择比接近于 1)，因此，部分隔离结构 20 也会被刻蚀。由于在进行离子注入形成源极和漏极的步骤中，部分隔离结构 20 暴露在注入离子下，且源极和漏极的掺杂为重掺杂，这样，受到高能高密度注入离子轰击的隔离结构 20 部分在刻蚀气体或刻蚀剂的作用下很容易就被去除，从而在隔离结构 20 内形成第二沟槽 T2。要合理控制金属硅化物阻挡层的过刻蚀时间，否则，未被金属硅化物阻挡层覆盖住的半导体衬底 10 会被过多的刻蚀。作为一个具体的实施例，所述金属硅化物阻挡层的材料为氧化硅，其厚度为  $50\text{\AA}$ — $1000\text{\AA}$ ，对所述金属硅化物阻挡层进行过刻蚀的工艺参数包括：刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及  $\text{Ar}$ ，刻蚀气体流量之和为  $5\text{sccm}$ — $200\text{sccm}$ ，功率为  $800\text{W}$ — $2000\text{W}$ ，刻蚀时间为  $20\text{s}$ — $200\text{s}$ 。第二沟槽 T2 的宽度小于隔离结构 20 的宽度，即第二沟槽 T2 的侧壁与隔离结构 20 的侧壁之间存在间隔，第二沟槽 T2 位于隔离结构表面 21 的下方。作为一个具体的实施例，第二沟槽 T2 的深度为  $200\text{\AA}$ — $1000\text{\AA}$ ，

第二沟槽 T2 的宽度为 40 微米 -50 微米。由此可见，本发明是利用源极和漏极的离子注入以及金属硅化物阻挡层的图形化步骤形成第二沟槽 T2，并没有增加额外的制作工艺步骤。

[0074] 如图 13 所示，去除残余的图形化光刻胶层，在半导体衬底 10 及隔离结构 20 上形成阻挡层 40，阻挡层 40 覆盖在第二沟槽 T2 的底部及底壁上。然后，在阻挡层 40 上形成层间介质层，阻挡层 40 可以将有源区保护起来，使之与形成的层间介质层隔绝。接着，对层间介质层进行平坦化处理形成层间介质层 30。作为一个具体的实施例，可利用化学机械研磨工艺平坦化所述层间介质层，层间介质层 30 的厚度为  $4000\text{\AA}-10000\text{\AA}$ 。

[0075] 如图 14 所示，在层间介质层 30 内形成接触孔 C，接触孔 C 定义了局部互连金属的路径形式，例如，接触孔 C 可以设置在对应源、漏或栅极(未图示)的位置，且接触孔 C 暴露出源、漏或栅极。在形成接触孔 C 的同时，还在层间介质层 30 中对应第二沟槽 T2 的位置形成第一沟槽 T'，第一沟槽 T' 的宽度小于第二沟槽 T2 的宽度，即第一沟槽 T' 与第二沟槽 T2 之间填充有层间介质层 30。在此刻蚀步骤中，阻挡层 40 作为刻蚀阻挡层，因此，第一沟槽 T' 的深度大于接触孔 C 的深度。具体地，可在层间介质层 30 上形成图形化光刻胶层 P5，图形化光刻胶层 P5 定义出接触孔 C 及第一沟槽 T' 的位置，然后，以图形化光刻胶层 P5 为掩模对层间介质层 30 进行干法刻蚀，形成接触孔 C 及第一沟槽 T'。作为一个具体的实施例，层间介质层 30 的材料为氧化硅，阻挡层 40 的材料为氮化硅。作为一个具体的实施例，第一沟槽 T' 的宽度为 1.2 微米 -10 微米。

[0076] 如图 15 所示，对接触孔 C 及第一沟槽 T' 下方的阻挡层 40 进行刻蚀。在刻蚀阻挡层 40 时，为了保证接触孔 C 及第一沟槽 T' 下方的阻挡层 40 能去除干净，会对阻挡层 40 进行过刻蚀，这样，第一沟槽 T' 下方的隔离结构 20 也会被刻蚀，从而形成第一沟槽 T，第一沟槽 T 的底壁 T1 位于第二沟槽 T2 的底壁下方。作为一个具体的实施例，阻挡层 40 的材料为氮化硅，其厚度为  $200\text{\AA}-1000\text{\AA}$ ，隔离结构 20 为浅沟槽隔离结构，对阻挡层 40 进行过刻蚀的工艺参数包括：刻蚀气体包括  $\text{C}_5\text{F}_8$ 、 $\text{O}_2$  及  $\text{Ar}$ ，刻蚀气体流量之和为  $5\text{sccm}-200\text{sccm}$ ，功率为  $800\text{W}-2000\text{W}$ ，刻蚀时间为  $50\text{s}-500\text{s}$ 。作为一个具体的实施例，被去除隔离结构 20 的厚度占第一沟槽 T 深度的 20%-30%。由此可见，第一沟槽 T 的深度大于接触孔 C 的深度。由此可见，本发明是利用阻挡层的过刻蚀步骤将第一沟槽 T 的深度进一步延伸，并没有增加额外的制造工艺步骤。

[0077] 去除图 15 中残留的图形化光刻胶层 P5 之后，在层间介质层 30、接触孔 C 及第一沟槽 T 上形成金属层(未图示)，所述金属层将接触孔填满，且所述金属层的表面在对应第一沟槽 T 的位置形成有第一凹坑 S1。所述金属层至少由一层金属层构成，在一个实施例中，所述金属层仅由一层金属层构成，金属层的一部分填充在接触孔 C 及第一沟槽 T 内，另一部分形成在层间介质层 30 上。在另一实施例中，所述金属层包括第一金属层及第二金属层，具体地：

[0078] 如图 16 所示，去除图 15 中残留的图形化光刻胶层 P5，然后，在层间介质层 30、接触孔 C 及第一沟槽 T 上形成第一金属层 51，由于第一金属层 51 在半导体衬底 10 上各个位置的厚度是均匀的，因此第一金属层 51 的表面是凹凸不平的。由于第一金属层 51 厚度与接触孔 C 宽度(接触孔 C 的宽度较小)之间的关系，第一金属层 51 会将接触孔填满，由于第一金属层 51 厚度与第一沟槽 T 宽度(第一沟槽 T 的宽度较大)之间的关系，第一金属层 51 会覆盖在第一沟槽 T 的侧壁及底壁 T1 上，但第一金属层 51 并未将第一沟槽 T 填满，故第一

金属层 51 的表面在对应第一沟槽 T 的位置会形成第二凹坑 S21。作为一个具体的实施例，第一金属层 51 的材料为钨，可利用低压化学气相沉积(LPCVD)方法形成钨，第一金属层 51 的厚度为为 $1500\text{\AA}-5000\text{\AA}$ 。

[0079] 如图 17 所示，对图 16 中的第一金属层 51 进行平坦化处理，以去除层间介质层 30 表面的第一金属层 51，残留在接触孔 C 内的金属层为第一金属层 50'，残留在第一沟槽 T 内的金属层为第一金属层 50。第一金属层 50' 将接触孔 C 填满，第一金属层 50 表面形成的凹坑为第二凹坑 S2。作为一个具体的实施例，利用化学机械研磨工艺对图 16 中的第一金属层 51 进行平坦化处理。

[0080] 如图 18 所示，在层间介质层 30、第一金属层 50' 及第一金属层 50 上形成第二金属层 60，由于第二金属层 60 在半导体衬底 10 上各个位置的厚度是均匀的，因此第二金属层 60 的表面是凹凸不平的。具体地，第二金属层 60 的表面在对应第二凹坑 S2 的位置形成有第一凹坑 S1。作为一个具体的实施例，第二金属层 60 的材料为铝，可利用溅射方法形成铝，第二金属层 60 的厚度为 $2000\text{\AA}-60000\text{\AA}$ 。

[0081] 在上述对准标记的制造方法中，首先利用源极和漏极的离子注入以及金属硅化物阻挡层的图形化步骤在隔离结构内形成第二沟槽，然后在层间介质层内形成接触孔并在对应第二沟槽的位置形成第一沟槽，再利用阻挡层的过刻蚀步骤去除第一沟槽下方的隔离结构，从而将第一沟槽的底壁延伸至第二沟槽的底壁下方，增加了第一沟槽的深度，从而在不增加现有对准标记制造工艺步骤的前提下增加了对准标记的深度。

[0082] 在上述对准标记制造方法的基础上，本发明还提供了一种对准标记，继续参照图 18 所示，半导体衬底 10 上形成有隔离结构 20，隔离结构 20 将相邻两个有源区(active area, 未图示)隔离开来，其具有表面 21。作为一个具体的实施例，隔离结构 20 为浅沟槽隔离结构(STI)。隔离结构 20 内形成有第二沟槽 T2，第二沟槽 T2 的宽度小于隔离结构 20 的宽度。半导体衬底 10 及隔离结构 20 上形成有层间介质层 30，层间介质层 30 在对应第二沟槽 T2 的位置形成有第一沟槽 T，第一沟槽 T 的宽度小于第二沟槽 T2 的宽度，第一沟槽 T 与第二沟槽 T2 之间填充有层间介质层 30。第一沟槽 T 的底壁 T1 位于第二沟槽 T2 的底壁下方。另外，层间介质层 30 内还形成有接触孔 C，接触孔 C 定义了局部互连金属的路径形式，例如，接触孔 C 可以设置在对应源、漏或栅极(未图示)的位置，且接触孔 C 暴露出源、漏或栅极。与接触孔 C 相比，由于第一沟槽 T 的深度延伸至隔离结构 20 内，因此第一沟槽 T 的深度更大。另外，接触孔 C 的宽度较小，第一沟槽 T 的宽度较大。

[0083] 层间介质层 30、接触孔 C 及第一沟槽 T 上形成有金属层(未图示)，所述金属层将接触孔 C 填满，且所述金属层的表面在对应第一沟槽 T 的位置形成第一凹坑。所述金属层至少由一层金属层构成，在一个实施例中，所述金属层仅由一层金属层构成，所述金属层的一部分填充在接触孔 C 及第一沟槽 T 内，另一部分形成在层间介质层 30 上。在另一个实施例中，所述金属层包括第一金属层及第二金属层。具体地，接触孔 C 被第一金属层 50' 填满，第一沟槽 T 的侧壁及底壁 T1 上覆盖有第一金属层 50，且第一金属层 50 并未将第一沟槽 T 填满，因此，第一金属层 50 的表面形成有第二凹坑 S2。作为一个具体实施例，第一金属层 50 及第一金属层 50' 的材料为钨。层间介质层 30、第一金属层 50 及第一金属层 50' 上形成有第二金属层 60，第二凹坑 S2 被第二金属层 60 填充。由于第一金属层 50 表面形成有第二凹坑 S2，因此，第二金属层 60 的表面在对应第二凹坑 S2 的位置形成有第一凹坑 S1。

第二金属层 60 表面形成的第一凹坑 S1 可作为后续第一层金属互连结构微影工艺的对准标记。作为一个具体的实施例，第二金属层 60 的材料为铝。

[0084] 上述通过实施例的说明，应能使本领域专业技术人员更好地理解本发明，并能够再现和使用本发明。本领域的专业技术人员根据本文中所述的原理可以在不脱离本发明的实质和范围的情况下对上述实施例作各种变更和修改是显而易见的。因此，本发明不应被理解为限制于本文所示的上述实施例，其保护范围应由所附的权利要求书来界定。

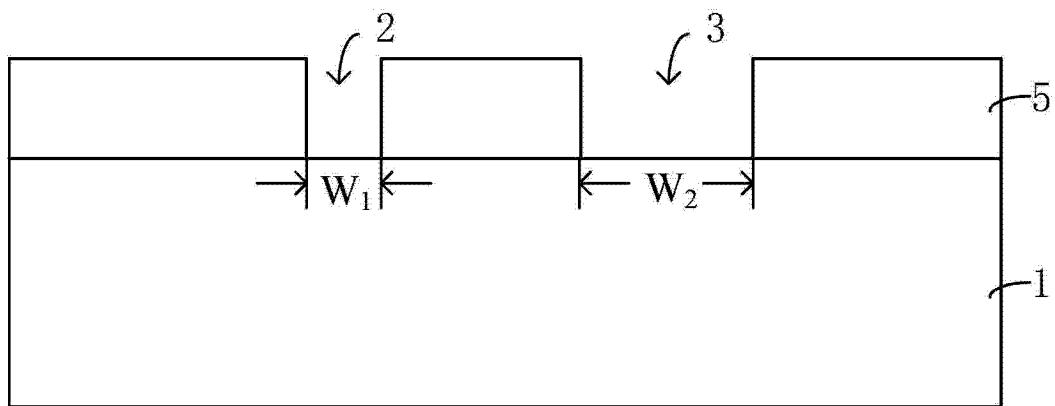


图 1

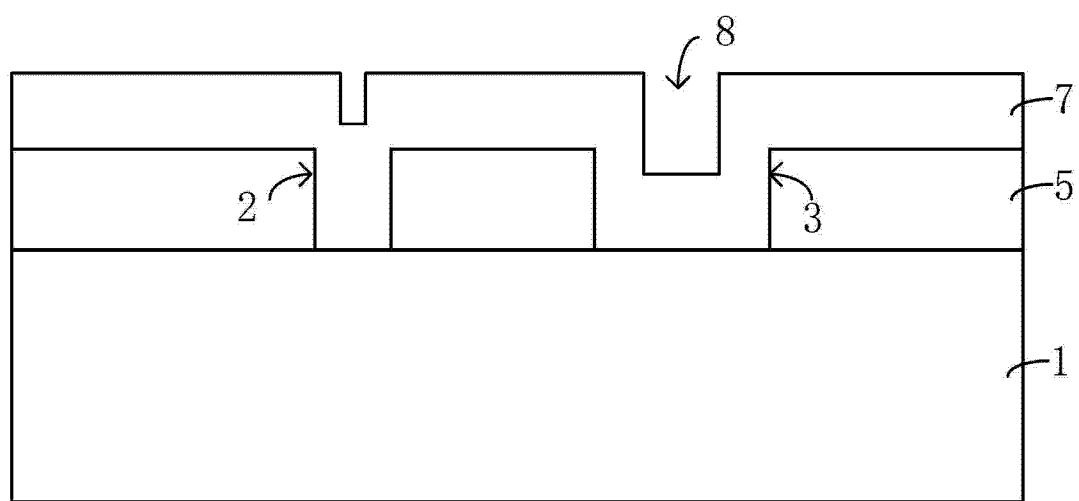


图 2

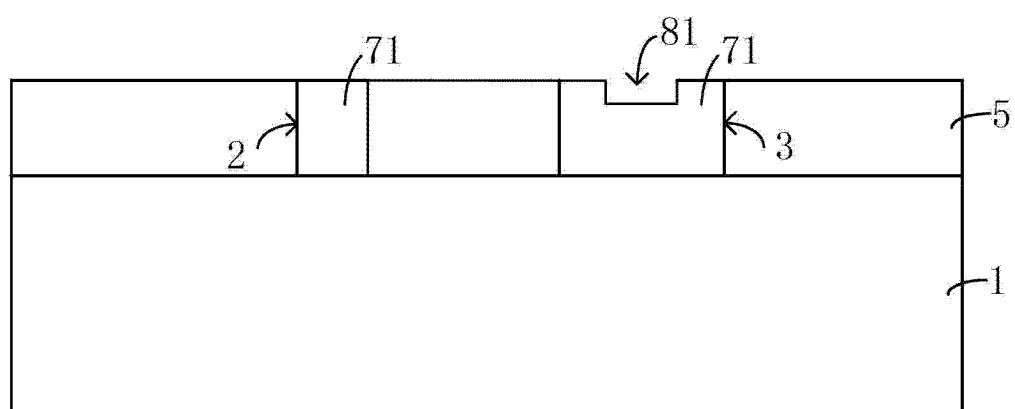


图 3

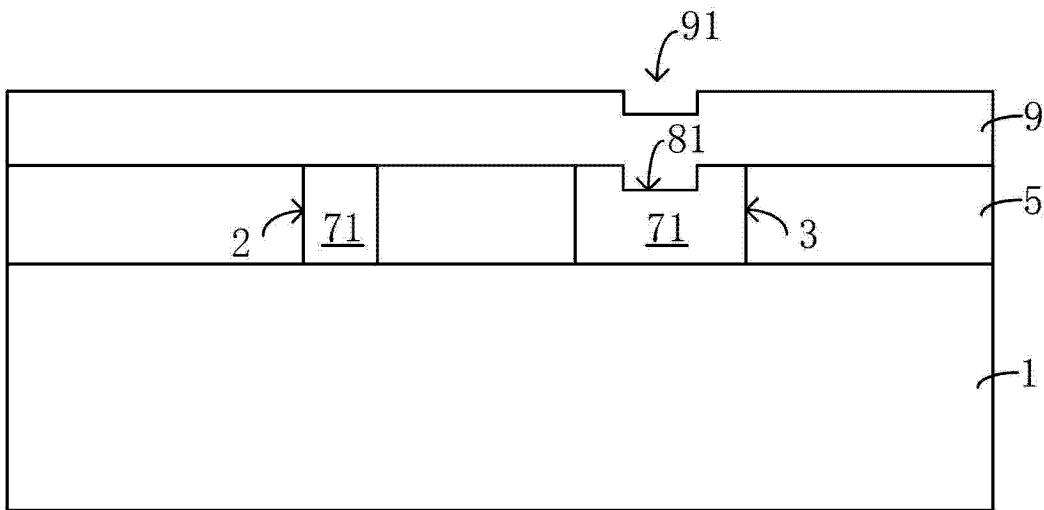


图 4

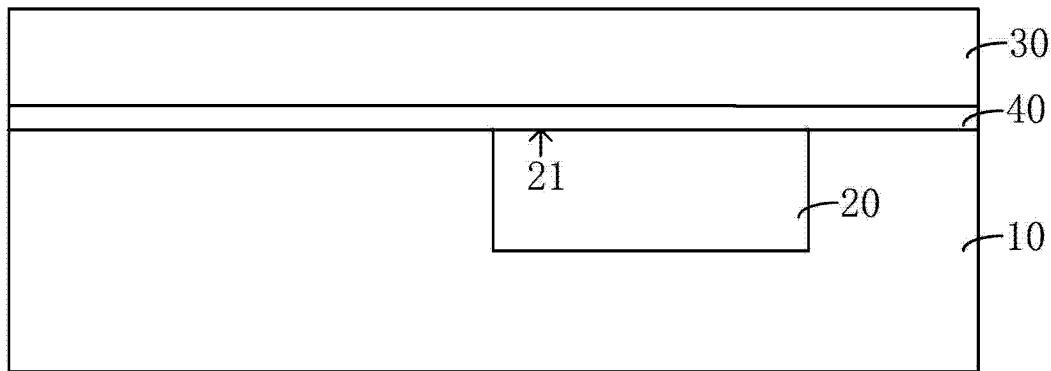


图 5

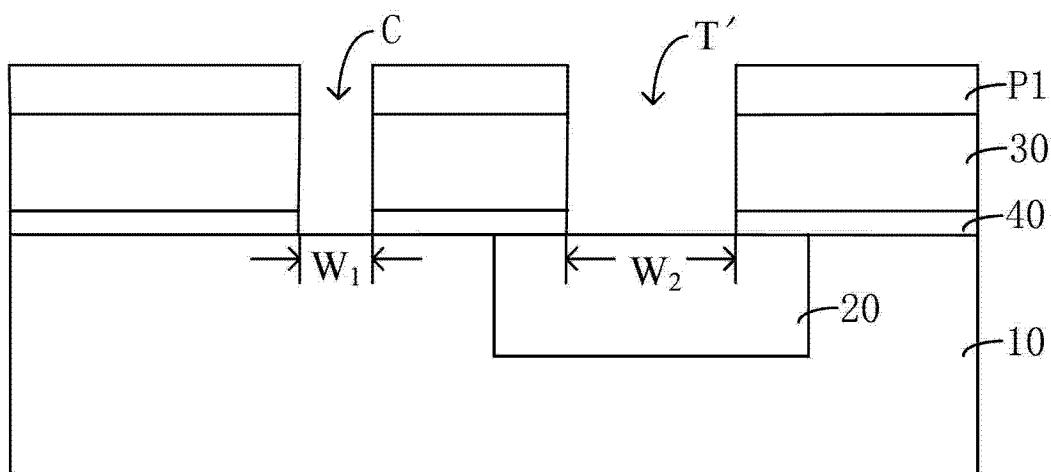


图 6

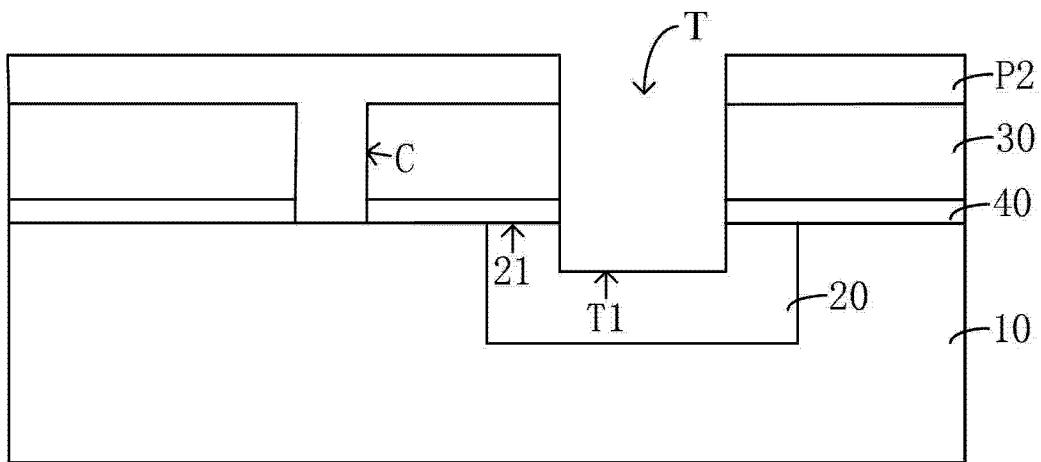


图 7

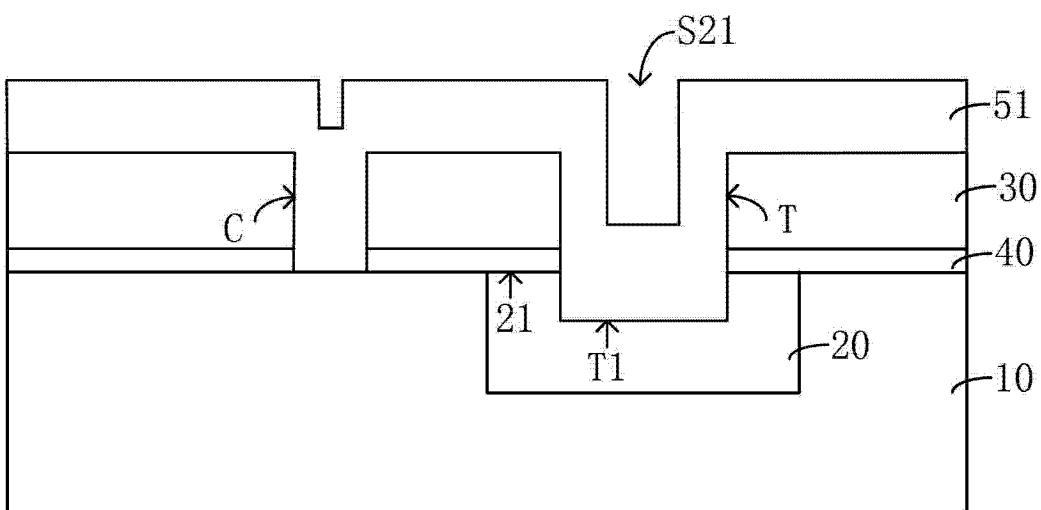


图 8

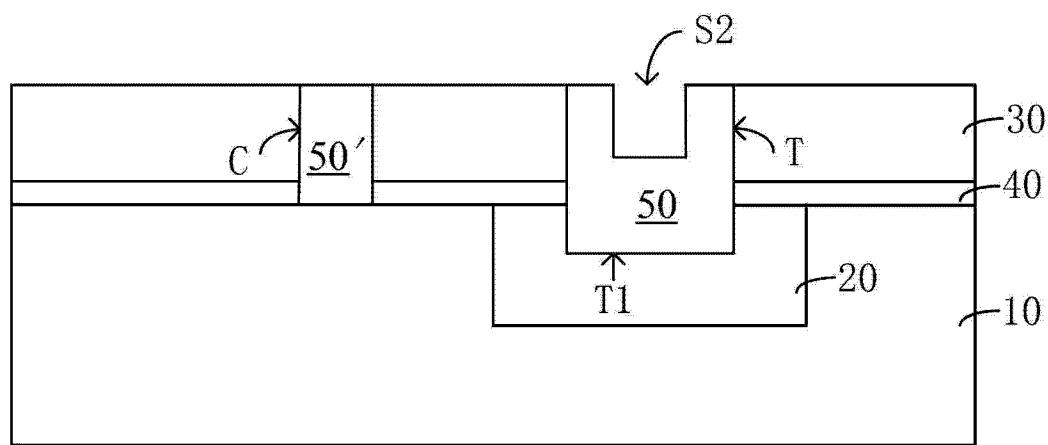


图 9

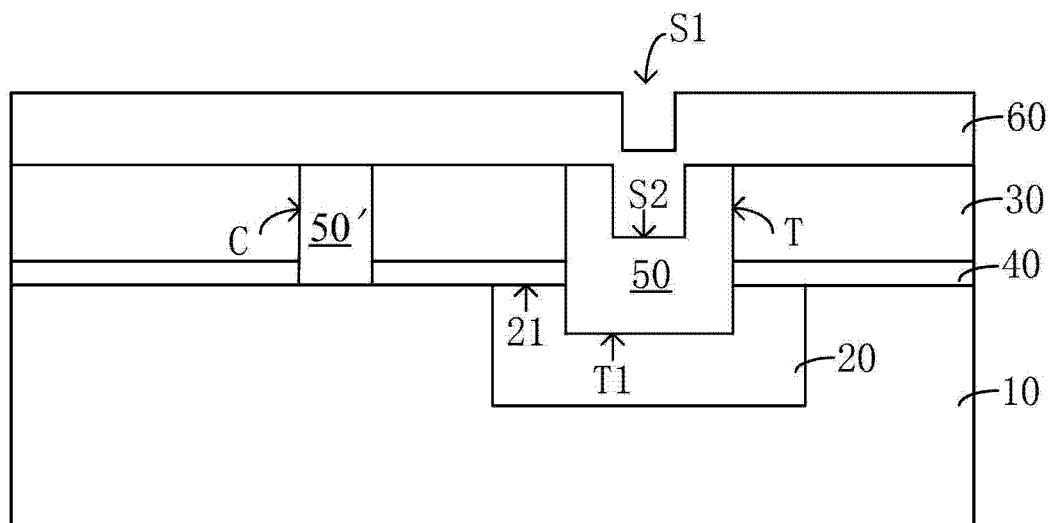


图 10

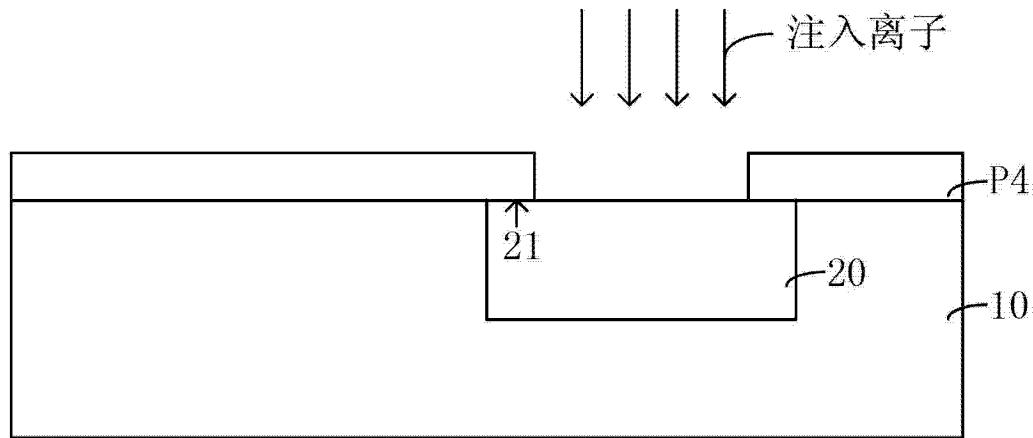


图 11

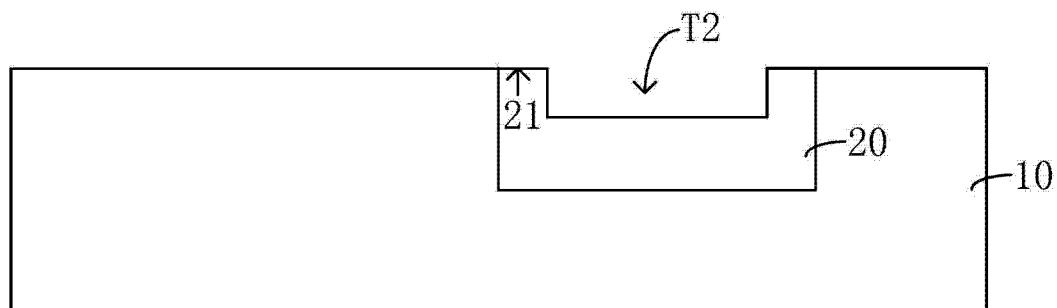


图 12

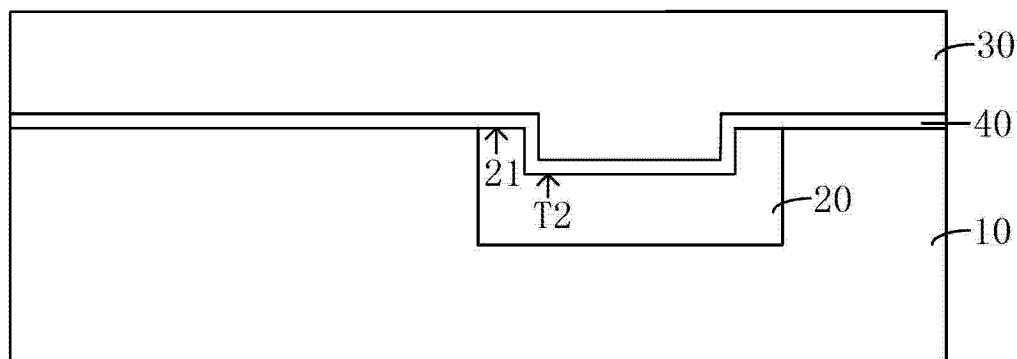


图 13

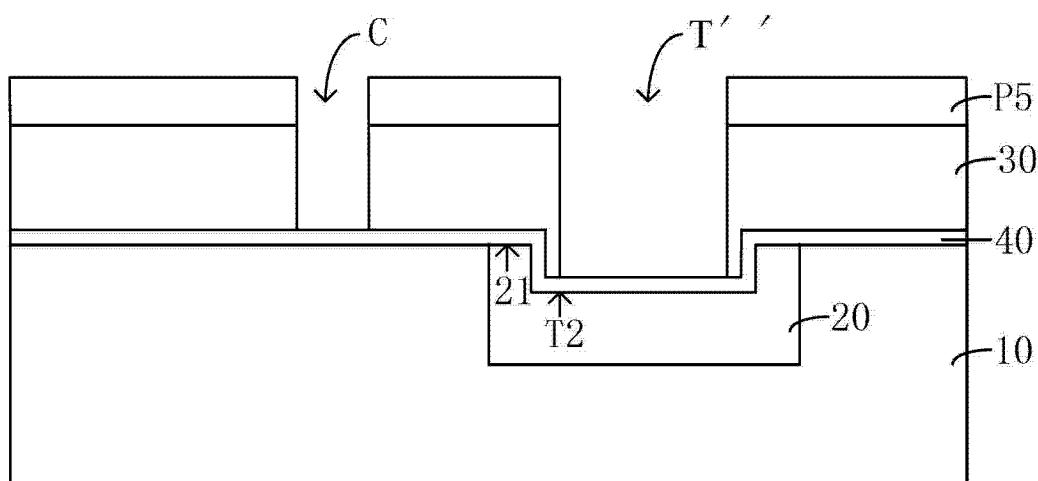


图 14

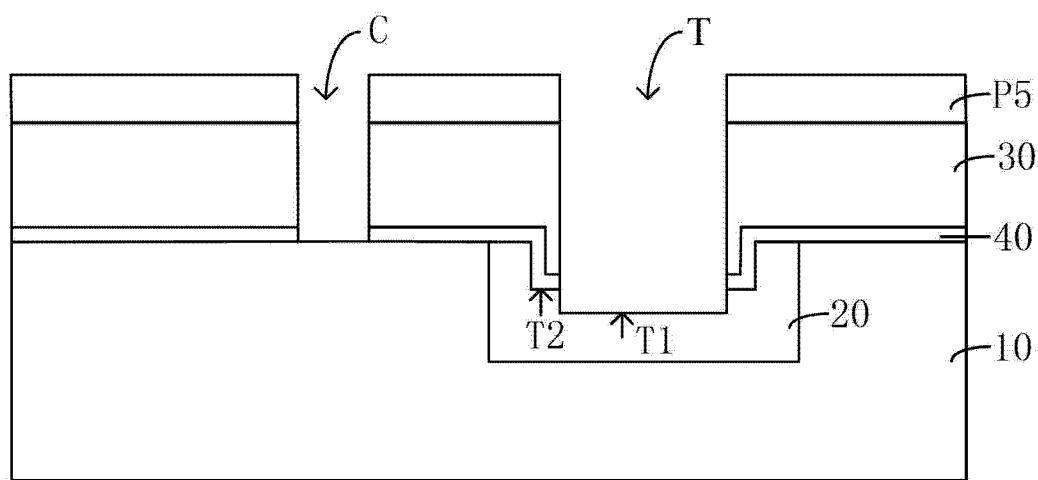


图 15

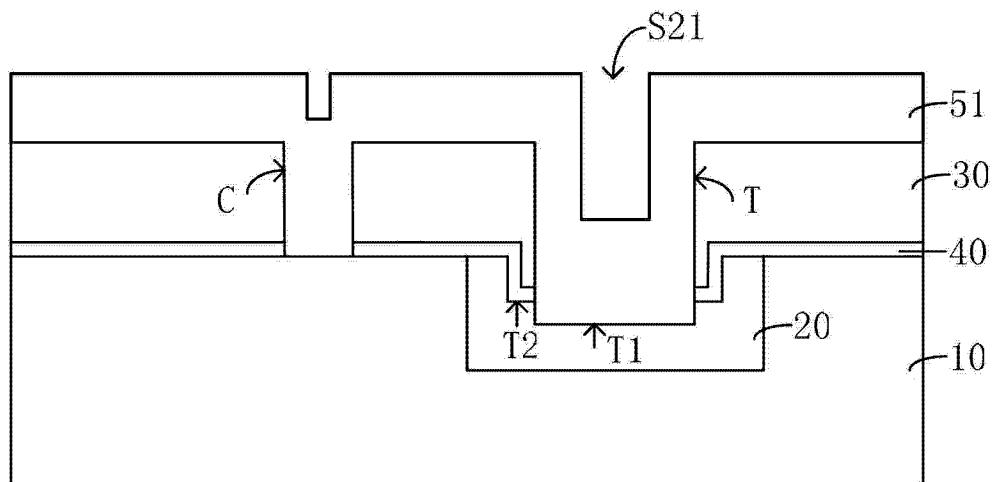


图 16

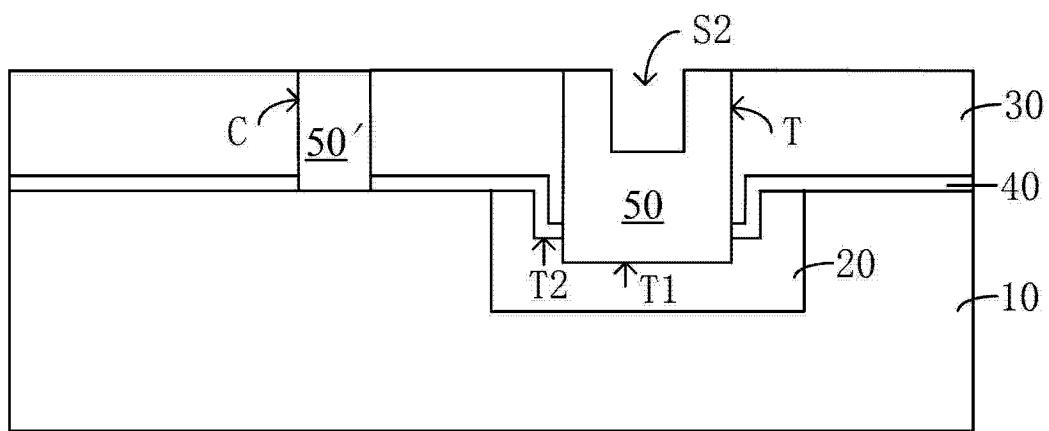


图 17

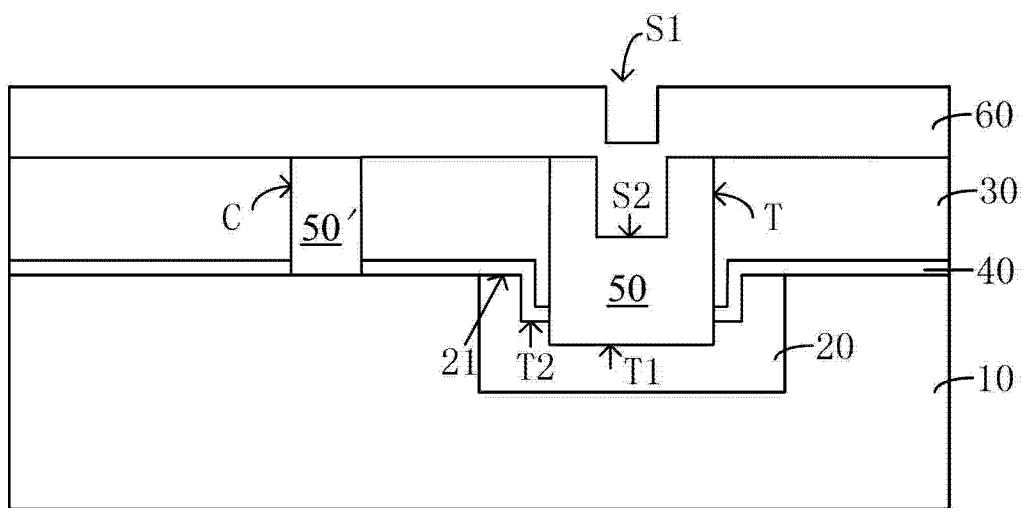


图 18