



등록특허 10-2049952



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월28일
(11) 등록번호 10-2049952
(24) 등록일자 2019년11월22일

- (51) 국제특허분류(Int. Cl.)
G06F 1/08 (2006.01) *G06F 1/32* (2019.01)
- (52) CPC특허분류
G06F 1/08 (2013.01)
G06F 1/3237 (2019.01)
- (21) 출원번호 10-2018-7003141
- (22) 출원일자(국제) 2016년07월05일
심사청구일자 2019년03월06일
- (85) 번역문제출일자 2018년01월31일
- (65) 공개번호 10-2018-0036966
- (43) 공개일자 2018년04월10일
- (86) 국제출원번호 PCT/US2016/041001
- (87) 국제공개번호 WO 2017/023472
국제공개일자 2017년02월09일
- (30) 우선권주장
14/817,178 2015년08월03일 미국(US)
- (56) 선행기술조사문헌
EP02849024 A1
(뒷면에 계속)
- 전체 청구항 수 : 총 15 항

- (73) 특허권자
웰컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
팔, 딥티 란잔
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인
특허법인 남엔남

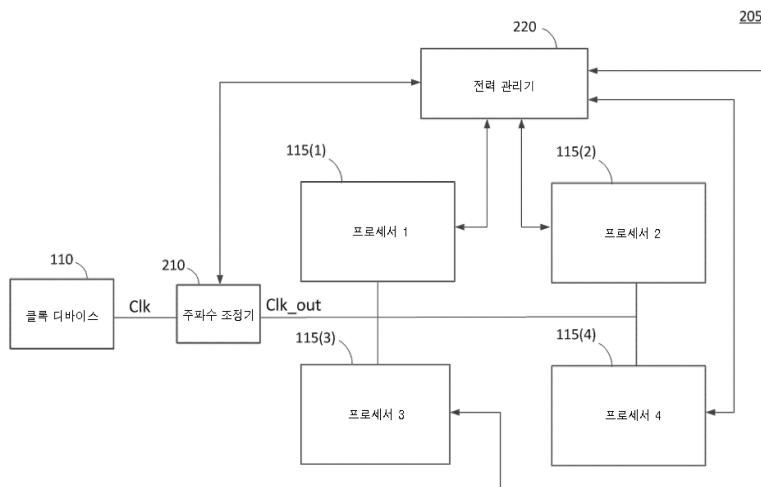
(54) 발명의 명칭 전력 분배 네트워크(PDN) 드롭/오버슈트 완화

심사관 : 손경완

(57) 요약

전력 분배 네트워크(PDN) 드롭/오버슈트 완화를 위한 시스템들 및 방법들이 제공된다. 일 실시예에서, 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법은, 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시키는 단계를 포함하며, 여기서, 클록 신호는, 하나 또는 그 초과의 프로세서들을 포함하는 복수의 프로세서들에 출력된다. 방법은 또한, 클록 신호의 주파수가 감소된 후 하나 또는 그 초과의 프로세서들을 활성화시키는 단계, 및 하나 또는 그 초과의 프로세서들이 활성화된 후 클록 신호를 제2 클록 주파수로부터 제1 클록 주파수로 증가시키는 단계를 포함한다.

대 표 도 - 도2



(52) CPC특허분류

G06F 1/324 (2019.01)

G06F 1/3243 (2013.01)

(56) 선행기술조사문헌

JP2002533801 A

JP2008503822 A

JP2014154016 A

JP2015079496 A

US06539049 B1

US20050144492 A1

US20080276026 A1

명세서

청구범위

청구항 1

프로세싱 시스템으로서,

복수의 프로세서들;

입력 클록 신호를 생성하도록 구성되는 클록 디바이스;

상기 클록 디바이스로부터 상기 입력 클록 신호를 수신하고 그리고 상기 입력 클록 신호에 기반하여 출력 클록 신호를 상기 복수의 프로세서들에 출력하도록 구성되는 주파수 조정기; 및

상기 프로세서들 중 하나 또는 그 초과의 다른 프로세서들이 활성 모드에 있는 동안 유휴 모드에 있는 상기 프로세서들 중 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 신호를 수신하도록 구성되는 전력 관리기를 포함하며,

상기 신호에 대한 응답으로, 상기 전력 관리기는, 상기 출력 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시킬 것을 상기 주파수 조정기에 지시하고, 상기 출력 클록 신호의 주파수가 상기 제2 클록 주파수에 있는 동안 유휴 모드에 있는 상기 프로세서들 중 하나 또는 그 초과의 프로세서들을 활성화시키고, 상기 프로세서들 중 하나 또는 그 초과의 프로세서들이 활성화된 후 상기 출력 클록 신호의 주파수를 상기 제2 클록 주파수로부터 상기 제1 클록 주파수로 증가시킬 것을 상기 주파수 조정기에 지시하도록 구성되는, 프로세싱 시스템.

청구항 2

제1항에 있어서,

상기 제1 클록 주파수는 상기 입력 클록 신호의 주파수와 동일한, 프로세싱 시스템.

청구항 3

제2항에 있어서,

상기 제2 클록 주파수는 상기 제1 클록 주파수의 20 % 내지 80 % 사이인, 프로세싱 시스템.

청구항 4

제1항에 있어서,

상기 전력 관리기는, 상기 프로세서들 중 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅(un-gate)함으로써 상기 프로세서들 중 하나 또는 그 초과의 프로세서들을 활성화시키도록 구성되는, 프로세싱 시스템.

청구항 5

제1항에 있어서,

상기 주파수 조정기는, 상기 입력 클록 신호의 펄스들을 선택적으로 스왈로잉(swallow)함으로써 상기 출력 클록 신호의 주파수를 감소시키도록 구성되는, 프로세싱 시스템.

청구항 6

제1항에 있어서,

상기 주파수 조정기는, 상기 입력 클록 신호의 주파수를 분할함으로써 상기 출력 클록 신호의 주파수를 감소시키도록 구성되는, 프로세싱 시스템.

청구항 7

제1항에 있어서,

상기 프로세서들 중 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 상기 신호는 인터럽트(interrupt) 신호를 포함하는, 프로세싱 시스템.

청구항 8

제7항에 있어서,

상기 전력 관리기는, WFI(wait-for-interrupt) 명령의 실행에 대한 응답으로 상기 프로세서들 중 하나 또는 그 초과가 유휴 모드가 되게 하도록 구성되고, 상기 인터럽트 신호는, 상기 프로세서들 중 하나 또는 그 초과가 유휴 모드가 된 후 수신되는, 프로세싱 시스템.

청구항 9

제1항에 있어서,

상기 전력 관리기는, 상기 프로세서들 중 상기 신호에 대한 응답으로 활성화될 상기 하나 또는 그 초과의 프로세서들, 및 상기 프로세서들 중 상기 신호가 수신된 시점에 활성 모드에 있는 상기 하나 또는 그 초과의 다른 프로세서들에 기반하여 상기 제2 클록 주파수를 결정하도록 구성되는, 프로세싱 시스템.

청구항 10

제9항에 있어서,

상기 전력 관리기는 추가로, 상기 제1 클록 주파수에 기반하여 상기 제2 클록 주파수를 결정하도록 구성되는, 프로세싱 시스템.

청구항 11

복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법으로서,

상기 복수의 프로세서들 중 하나 또는 그 초과의 다른 프로세서들이 활성 모드에 있는 동안 유휴 모드에 있는 상기 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 신호를 수신하는 단계;

상기 신호에 대한 응답으로, 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시키는 단계 – 상기 클록 신호는, 유휴 모드에 있는 상기 하나 또는 그 초과의 프로세서들 및 상기 프로세서들 중 활성 모드에 있는 상기 하나 또는 그 초과의 다른 프로세서들을 포함하는 복수의 프로세서들에 출력됨 –;

상기 신호에 대한 응답으로, 상기 클록 신호의 주파수가 감소된 후, 유휴 모드에 있는 상기 하나 또는 그 초과의 프로세서들을 활성화시키는 단계; 및

상기 하나 또는 그 초과의 프로세서들이 활성화된 후, 상기 클록 신호의 주파수를 상기 제2 클록 주파수로부터 상기 제1 클록 주파수로 증가시키는 단계를 포함하는, 복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법.

청구항 12

제11항에 있어서,

상기 제2 클록 주파수는 상기 제1 클록 주파수의 20 % 내지 80 % 사이인, 복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법.

청구항 13

제11항에 있어서,

상기 하나 또는 그 초과의 프로세서들을 활성화시키는 단계는, 상기 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅하는 단계를 포함하는, 복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법.

청구항 14

제11항에 있어서,

WFI(wait-for-interrupt) 명령의 실행에 대한 응답으로 상기 하나 또는 그 초과의 프로세서들을 유휴 모드가 되게 하는 단계를 더 포함하며,

상기 신호는 인터럽트 신호인, 복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법.

청구항 15

제11항에 있어서,

상기 제2 클록 주파수를 결정하는 단계를 더 포함하며,

상기 제2 클록 주파수를 결정하는 단계는, 상기 하나 또는 그 초과의 프로세서들, 및 상기 복수의 프로세서들 중 상기 결정이 이루어지는 시점에 이미 활성 모드에 있는 상기 하나 또는 그 초과의 다른 프로세서들에 기반하며,

상기 제2 클록 주파수를 결정하는 단계는, 상기 제1 클록 주파수에 기반하여 상기 제2 클록 주파수를 결정하는 단계를 더 포함하는, 복수의 프로세서들에서 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명**기술 분야**

[0001] 본 출원은, 2015년 8월 3일자로 미국 특허상표청에 출원된 정규 특허 출원 제14/817,178호의 이득 및 이에 대한 우선권을 주장하며, 상기 정규 특허 출원의 전체 내용은 인용에 의해 본원에 포함된다.

[0002] 본 개시내용의 양상들은 일반적으로 전력 분배 네트워크(PDN; power distribution network)들에 관한 것으로, 더 상세하게는, PDN 드롭/오버슈트(droop/overshoot) 완화에 관한 것이다.

배경 기술

[0003] [0003] 칩은, 칩 상의 하나 또는 그 초과의 프로세서들에 대한 전력들을 관리하는 전력 관리기를 포함할 수 있다. 예컨대, 전력 관리기는, 칩 상의 프로세서를, 프로세서가 사용되고 있지 않을 때에는 전력을 보존하기 위해 유휴 모드가 되게 할 수 있다. 이후 프로세서가 요구될 때, 전력 관리기는 프로세서를 웨이크업(wake up)하여 프로세서를 활성(active) 모드가 되게 할 수 있다.

발명의 내용

[0004] [0004] 다음은 하나 또는 그 초과의 실시예들의 기본적인 이해를 제공하기 위해 그러한 실시예들의 간략화된 개요를 제시한다. 이러한 개요는, 고려되는 모든 실시예들의 포괄적인 개관이 아니며, 모든 실시예들의 핵심 또는 중요 엘리먼트들을 식별하도록 의도되지 않고 임의의 실시예들 또는 모든 실시예들의 범위를 기술하도록 의도되지도 않는다. 그것의 유일한 목적은, 이후에 제시되는 더 상세한 설명에 대한 서론으로서 간략화된 형태로 하나 또는 그 초과의 실시예들의 일부 개념들을 제시하는 것이다.

[0005] [0005] 일 양상에 따르면, 프로세싱 시스템이 본원에 설명된다. 프로세싱 시스템은, 복수의 프로세서들, 입력 클록 신호를 생성하도록 구성되는 클록 디바이스, 및 클록 디바이스로부터 입력 클록 신호를 수신하고 그리고 입력 클록 신호에 기반하여 출력 클록 신호를 복수의 프로세서들에 출력하도록 구성되는 주파수 조정기를 포함한다. 프로세싱 시스템은 또한, 프로세서들 중 하나 또는 그 초과를 활성화시키기 위한 신호를 수신하도록 구성되는 전력 관리기를 포함하며, 여기서, 신호에 대한 응답으로, 전력 관리기는, 출력 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시킬 것을 주파수 조정기에 지시하고, 출력 클록 신호의 주파수가 제2 클록 주파수에 있는 동안 프로세서들 중 하나 또는 그 초과를 활성화시키고, 프로세서들 중 하나 또는 그 초과가 활성화된 후 출력 클록 신호의 주파수를 제2 클록 주파수로부터 제1 클록 주파수로 증가시킬 것을 주파수 조정기에 지시하도록 구성된다.

[0006] [0006] 제2 양상은, 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법에 관한 것이다. 방법은, 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시키는 단계를 포함하며, 여기서, 클록 신호는, 하나 또는 그 초과의 프로세서들을 포함하는 복수의 프로세서들에 출력된다. 방법은 또한, 클록 신호의 주파수가 감소된 후 하나 또는 그 초과의 프로세서들을 활성화시키는 단계, 및 하나 또는 그 초과의 프로세서들이 활성화된 후 클록 신호를 제2 클록 주파수로부터 제1 클록 주파수로 증가시키는 단계를 포함한다.

[0007] [0007] 제3 양상은, 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 장치에 관한 것이다. 장치는, 클록 신호의 주파수를 제1 클록 주파수로부터 제2 클록 주파수로 감소시키기 위한 수단을 포함하며, 여기서, 클록 신호는, 하나 또는 그 초과의 프로세서들을 포함하는 복수의 프로세서들에 출력된다. 장치는 또한, 클록 신호의 주파수가 감소된 후 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 수단, 및 하나 또는 그 초과의 프로세서들이 활성화된 후 클록 신호를 제2 클록 주파수로부터 제1 클록 주파수로 증가시키기 위한 수단을 포함한다.

[0008] [0008] 전술한 목적 및 관련된 목적의 달성을 위해, 하나 또는 그 초과의 실시예들은, 아래에서 완전히 설명되고 특히 청구항들에서 지적되는 특성들을 포함한다. 다음의 설명 및 첨부된 도면들은, 하나 또는 그 초과의 실시예들의 특정한 예시적인 양상들을 상세히 기재한다. 그러나, 이들 양상들은, 다양한 실시예들의 원리들이 이용될 수 있는 다양한 방식들 중 단지 몇몇만을 표시하며, 설명된 실시예들은 모든 그러한 양상들 및 그들의 등가물들을 포함하도록 의도된다.

도면의 간단한 설명

[0009] [0009] 도 1은 전력 관리를 이용하는 예시적인 멀티코어 프로세싱 시스템을 도시한다.

[0010] [0010] 도 2는 본 개시내용의 실시예에 따른, 전력 관리를 이용하는 예시적인 멀티코어 프로세싱 시스템을 도시한다.

[0011] [0011] 도 3a는 본 개시내용의 실시예에 따른, 하나 또는 그 초과의 프로세서들의 활성화 동안의 예시적인 클록 신호들을 도시한다.

[0012] [0012] 도 3b는 본 개시내용의 실시예에 따른, 시간의 경과에 따른 도 3a의 클록 신호들 중 하나의 클록 신호의 주파수를 도시한다.

[0013] [0013] 도 4는 본 개시내용의 실시예에 따른 주파수 램프 다운(ramp down)의 예를 도시한다.

- [0014] 도 5는 본 개시내용의 실시예에 따른 주파수 램프 업(ramp up)의 예를 도시한다.
- [0015] 도 6은 본 개시내용의 실시예에 따른, 주파수 램프 다운 및 주파수 램프 업의 예를 도시한다.
- [0016] 도 7은 본 개시내용의 실시예에 따른, 전력 관리기에 커플링된 타이머의 예를 도시한다.
- [0017] 도 8은 본 개시내용의 실시예에 따른, 온도 제어기 및 전류 제어기의 예를 도시한다.
- [0018] 도 9는 본 개시내용의 실시예에 따른, 복수의 클록 소스들을 포함하는 클록 디바이스의 예를 도시한다.
- [0019] 도 10은 본 개시내용의 실시예에 따른, 하나 또는 그 초과의 프로세서들이 활성화되는 예시적인 타임라인을 도시한다.
- [0020] 도 11은 본 개시내용의 실시예에 따른, 복수의 클록 신호들을 출력할 수 있는 클록 디바이스의 예를 도시한다.
- [0021] 도 12는 본 개시내용의 실시예에 따른 예시적인 클록 게이팅(gating) 회로를 도시한다.
- [0022] 도 13은 본 개시내용의 실시예에 따른, 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법을 예시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] [0023] 첨부된 도면들과 관련하여 아래에 기재되는 상세한 설명은, 다양한 구성들의 설명으로서 의도되며, 본원에 설명된 개념들이 실시될 수 있는 유일한 구성들만을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이들 개념들이 이러한 특정 세부사항들 없이도 실시될 수 있다는 것은 당업자들에게 명백할 것이다. 일부 예시들에서, 이러한 개념들을 불명료하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 컴포넌트들은 블록도 형태로 도시되어 있다.
- [0011] [0024] 도 1은, 제1 프로세서(115(1)), 제2 프로세서(115(2)), 제3 프로세서(115(3)), 및 제4 프로세서(115(4))를 포함하는 멀티코어 프로세싱 시스템(105)(예컨대, 쿼드-코어 프로세싱 시스템)의 예를 도시한다. 각각의 프로세서는 또한, 프로세서 코어, 프로세싱 유닛, 또는 다른 용어로 지칭될 수 있다. 프로세싱 시스템(105)은 또한, 클록 신호("Clk"로 표시됨)를 생성하여 프로세서들(115(1)-115(4))에 출력하는 클록 디바이스(110)를 포함한다. 클록 디바이스(110)는, 예컨대, (예컨대, 크리스탈 오실레이터(crystal oscillator)로부터의) 기준 클록 신호의 주파수에 원하는 양을 곱함으로써 클록 신호 Clk를 생성하는 PLL(phase-locked loop)을 포함할 수 있다. 각각의 프로세서는, 프로세서의 로직 게이트들(예컨대, 트랜지스터들)을 스위칭하기 위해 클록 신호 Clk를 사용할 수 있다.
- [0012] [0025] 프로세서들(115(1)-115(4))은, PDN(도시되지 않음)을 통해 외부 전력 소스(도시되지 않음)로부터 전력을 수신할 수 있다. 외부 전력 소스는 PMIC(power management integrated circuit) 또는 다른 소스를 포함할 수 있다. 다른 디바이스들(예컨대, 로직 디바이스들, I/O 인터페이스, 모뎀, 메모리 등)이 또한 외부 전력 소스로부터 전력을 수신하기 위해 PDN에 커플링될 수 있다. 예컨대, 프로세싱 시스템(105)은, 다른 디바이스들을 또한 포함하는 모바일 디바이스에 포함될 수 있다.
- [0013] [0026] 프로세싱 시스템(105)은, 프로세싱 시스템(105)에 대한 전력을 관리하도록 구성되는 전력 관리기(120)를 더 포함한다. 이와 관련하여, 전력 관리기(120)는, 프로세서들(115(1)-115(4)) 중 임의의 프로세서를, 프로세서가 사용되고 있지 않을 때에는 전력을 보존하기 위해 유휴 모드(sleep mode)로 또한 지침됨)가 되게 할 수 있다. 이후 프로세서가 요구될 때, 전력 관리기(120)는 프로세서를 활성 모드가 되게 할 수 있다. 주어진 시간에서, 임의의 수(예컨대, 0개 내지 전부)의 프로세서들(115(1)-115(4))이 유휴 모드에 있을 수 있다. 따라서, 전력 관리기(120)는, 프로세서들(115(1)-115(4))의 유휴/활성 모드들을 관리함으로써 프로세싱 시스템(105)의 전력을 관리한다.
- [0014] [0027] 프로세서가 유휴 모드에 있을 때, 프로세서의 내부 클록 경로들이 게이팅되며, 이는, 클록 신호 Clk가 내부 클록 경로들을 통해 프로세서의 로직 게이트들로 전파되는 것을 방지한다. 이것은 로직 게이트들에 의한 스위칭 활동을 중단시키며, 이에 의해, 프로세서의 동적 전력 소모가 현저하게 감소된다. 프로세서가 활성 모드에 있을 때, 내부 클록 경로들이 언게이팅(un-gate)되어, 클록 신호 Clk가 프로세서의 로직 게이트들로 전파되는 것이 허용된다. 활성 모드에서, 프로세서는, 명령들을 페칭(fetch), 디코딩, 및/또는 실행할 수 있다.
- [0015] [0028] 일 예에서, 프로세서는, 프로세서가 유휴 모드가 되게 할 것을 전력 관리기(120)에 요청하는 신호를 전

력 관리기(120)에 전송할 수 있다. 프로세서는, 예컨대, WFI(wait-for-interrupt) 또는 WFE(wait-for-event) 명령을 실행할 시, 신호를 전송할 수 있다. 프로세서는 또한, 현재 실행 대기 중인 태스크를 프로세서가 갖고 있지 않을 때, 신호를 전송할 수 있다. 신호에 대한 응답으로, 전력 관리기(120)는, 프로세서를 활성 모드로부터 유휴 모드로 전환할 수 있다. 전력 관리기(120)는 이후, 전력 관리기(120)가 인터럽트(interrupt) 신호를 수신하거나 특정 이벤트가 발생할 때, 프로세서를 다시 활성 모드로 전환할 수 있다.

[0016] [0029] 도 1의 프로세싱 시스템(105)에 대한 문제점은, 프로세서가 유휴 모드로부터 활성 모드로 전환될 때, 프로세서가 전체(full) 클록 주파수(즉, 클록 신호 Clk의 주파수)로 스위칭 활동을 즉시 재개할 수 있다는 것이다. 이것은, 프로세서들(115(1)-115(4))이 공유하는 PDN 상의 전류 부하를 급격하게 변경할 수 있어서, PDN 상의 공급 전압이 드롭되는 것이 야기된다. 전압 드롭이 충분히 큰 경우, 전압 드롭은, 다른 프로세서들로 하여금 오작동하게 하고 그리고/또는 PDN에 커플링된 다른 디바이스들(도시되지 않음)로 하여금 오작동하게 할 수 있다. 전압 드롭은, 2개 또는 그 초과의 프로세서들이 거의 동시에 유휴 모드로부터 활성 모드로 전환되는 경우 더 악화될 수 있다. 따라서, 하나 또는 그 초과의 프로세서들의 활성화에 의해 야기되는 PDN 상의 전압 드롭을 완화시킬 필요성이 존재한다.

[0017] [0030] 도 2는 본 개시내용의 실시예에 따른 멀티코어 프로세싱 시스템(205)을 도시한다. 프로세싱 시스템(205)은, 전력 관리기(220)의 제어 하에서 조정 가능한 양만큼 클록 신호 Clk의 주파수를 감소시키도록 구성되는 클록 주파수 조정기(210)를 더 포함한다. 일 예에서, 클록 주파수 조정기(210)는, 클록 신호 Clk의 펄스들을 선택적으로 스왈로잉(swallow)함으로써 클록 신호 Clk의 주파수를 감소시키는 펄스 스왈로어(pulse swallower)를 포함할 수 있다. 예컨대, 펄스 스왈로어는, 클록 신호 Clk의 2개의 펄스마다 하나씩 스왈로잉함으로써 클록 신호 Clk의 주파수를 50 %만큼 감소시킬 수 있다. 다른 예에서, 클록 주파수 조정기(210)는, 클록 신호 Clk의 주파수를 조정 가능한 양(제수(divisor))으로 분할함으로써 클록 신호 Clk의 주파수를 감소시키는 주파수 분할기(divider)(예컨대, 분수(fractional) 주파수 분할기)를 포함할 수 있다. 예컨대, 주파수 분할기는, 클록 신호 Clk의 주파수를 2로 분할함으로써 클록 신호 Clk의 주파수를 50 %만큼 감소시킬 수 있다.

[0018] [0031] 일 실시예에서, 전력 관리기(220)는, 아래에 추가로 논의되는 바와 같이, 프로세서들(115(1)-115(4)) 중 적어도 하나가 활성 모드에 있고 다른 프로세서들(115(1)-115(4)) 중 어떠한 프로세서도 유휴 모드와 활성 모드 간을 전환하는 프로세스에 있지 않을 때, 클록 신호 Clk를 전달할 것을 주파수 조정기(210)에 지시하도록 구성될 수 있다. 이러한 경우, 주파수 조정기(210)에 의해 프로세서들(115(1)-115(4))로 출력되는 클록 신호 ("Clk_out"으로 표시됨)는 클록 디바이스(110)로부터의 클록 신호 Clk와 동일하다.

[0019] [0032] 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과가 (예컨대, 인터럽트 신호 또는 이벤트에 대한 응답으로) 유휴 모드로부터 활성 모드로 전환될 것이고 그리고 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과의 다른 프로세서들이 이미 활성 모드에 있을 때, 전력 관리기(220)는, 미리결정된 양만큼 클록 신호 Clk_out의 주파수를 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 아래에 논의되는 바와 같이, 클록 주파수의 감소는, 하나 또는 그 초과의 프로세서들이 활성화될 때의 PDN 상의 전압 드롭을 감소시킨다.

[0020] [0033] 클록 주파수가 감소된 후, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅한다. 이것은, 하나 또는 그 초과의 프로세서들 내의 로직 게이트들로 하여금 클록 신호 Clk_out을 사용하여 스위칭을 시작하게 한다. 일정 시간 기간이 경과한 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수(즉, 클록 디바이스(110)로부터의 클록 신호 Clk의 주파수)로 증가시킬 것을 주파수 조정기(210)에 지시한다. 그 시간 기간은, 아래에 추가로 논의되는 하나 또는 그 초과의 팩터들에 기반할 수 있다.

[0021] [0034] 따라서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 전에, 프로세서들(115(1)-115(4))에 대한 클록 신호 Clk_out의 주파수를 감소시킨다. 클록 주파수가 감소된 후, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅한다. 일정 시간 기간이 경과한 후, 전력 관리기(120)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 증가시킬 것을 주파수 조정기(210)에 지시한다. 클록 주파수의 일시적 감소는, 하나 또는 그 초과의 프로세서들이 활성화될 때의 전류 부하에서의 변화율을 감소시킨다. 이는 결국, 하나 또는 그 초과의 프로세서들이 활성화될 때의 PDN 상의 전압 드롭을 감소시킨다.

[0022] [0035] 도 3a는 본 개시내용의 실시예에 따른, 클록 디바이스(110)로부터의 클록 신호 Clk 및 주파수 조정기(210)에 의해 출력된 클록 신호 Clk_out의 예시적인 타임라인을 도시한다. 이러한 예에서, 프로세서들 중 하나 또는 그 초과는 다른 프로세서들 중 하나 또는 그 초과가 이미 활성 모드에 있는 동안 유휴 모드로부터 활성 모

드로 전환된다. 처음에, 클록 신호 Clk_out은 전체 클록 주파수(즉, 클록 디바이스(110)로부터의 클록 신호 Clk의 주파수)에 있다. 시간 t1에서, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 전체 클록 주파수의 대략적으로 75 %와 동일한 주파수로 25 % 만큼 감소시킬 것을 주파수 조정기(210)에 지시한다. 전력 관리기(220)는, 예컨대, 아래에 추가로 논의되는 바와 같이, 인터럽트 신호 또는 이벤트에 대한 응답으로 이를 행할 수 있다. 도 3a에 도시된 예에서, 주파수 조정기(210)는, 클록 디바이스(110)로부터의 클록 신호 Clk의 매 4개의 펄스들마다 하나의 펄스를 스왈로잉함으로써, 전체 클록 주파수의 75 %로 클록 신호 Clk_out의 주파수를 감소시킨다.

[0023] [0036] 주파수가 감소된 후, 시간 t2에서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅한다. 이것은, 하나 또는 그 초과의 프로세서들 내의 로직 게이트들로 하여금 클록 신호 Clk_out을 사용하여 스위칭을 시작하게 한다. 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 증가시킬 것을 시간 t3에서 주파수 조정기(210)에 지시하기 전에, 일정 시간 기간(도 3a에서 "대기 시간"으로 라벨링됨) 동안 대기한다.

[0024] [0037] 도 3b는, 도 3a의 예에 대한 전체 클록 주파수의 퍼센티지로서 클록 신호 Clk_out의 주파수를 도시한다. 도 3b에 도시된 바와 같이, 클록 신호 Clk_out의 주파수는, 하나 또는 그 초과의 프로세서들의 활성화 전인 시간 t1에서 전체 클록 주파수의 75 %로 감소된다. 하나 또는 그 초과의 프로세서들의 내부 클록 경로들이 언게이팅된 후, 시간 t3에서, 클록 신호 Clk_out의 주파수는 다시 전체 클록 주파수로 복원된다.

[0025] [0038] 도 3a에서의 대기 시간은, 도 3a에 도시된 것보다 클록 신호 Clk의 더 많은 사이클들(주기들)에 걸쳐 있을 수 있음이 인식되어야 한다. 추가로, 클록 신호 Clk_out의 주파수가 클록 펄스 스왈로잉을 사용하여 감소되는 예를 도 3a가 도시하지만, 클록 신호 Clk_out의 주파수는 클록 신호 Clk의 주파수를 분할함으로써 또한 감소될 수 있음이 인식되어야 한다. 또한, 본 개시내용은, 클록 신호 Clk_out가 전체 클록 주파수의 75 %로 감소되는 예로 제한되지 않으며, 클록 신호 Clk_out의 주파수가 전체 클록 주파수의 다른 퍼센티지들로 감소될 수 있음이 인식되어야 한다. 예컨대, 클록 신호 Clk_out의 주파수는, 전체 클록 주파수의 20 % 내지 80 %, 또는 전체 클록 주파수의 50 % 내지 80 %의 주파수로 감소될 수 있다.

[0026] [0039] 일 실시예에서, 전력 관리기(220)는, 활성화될 프로세서들의 수 및/또는 이미 활성 모드에 있는 프로세서들의 수에 의존하여, 상이한 양만큼 클록 신호 Clk_out의 주파수를 감소시킬 수 있다. 예컨대, 전력 관리기(220)는 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있으며, 여기서, 각각의 시나리오는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들에 대응한다. 각각의 시나리오에 대해, 테이블은, 클록 신호 Clk_out에 대한 대응하는 감소된 주파수(예컨대, 전체 클록 주파수의 75 %)를 표시할 수 있다.

[0027] [0040] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들에 기반하여 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. 적용가능한 시나리오를 결정한 후, 전력 관리기(220)는, 대응하는 감소된 주파수(예컨대, 전체 클록 주파수의 75 %)를 테이블에서 검색하고 그리고 클록 신호 Clk_out의 주파수를 테이블에서의 대응하는 감소된 주파수로 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다.

[0028] [0041] 테이블은 경험적으로 생성될 수 있다. 예컨대, 각각의 시나리오에 대해, (예컨대, 테스트 환경에서 외부 측정 디바이스에 의해) 상이한 감소된 주파수들에 대한 PDN 상의 전압 드롭이 측정될 수 있다. 그런 다음, 각각의 측정된 전압 드롭은 전압 드롭 제한(예컨대, 오작동 없이 프로세서들 및/또는 PDN에 커플링된 다른 디바이스들에 의해 용인될 수 있는 전압 드롭의 양)과 비교될 수 있다. 이러한 예에서, 전압 드롭 제한 내의 전압 드롭을 초래하는 감소된 주파수들 중 하나가 그 시나리오에 대해 선택되고 테이블에 저장될 수 있다. 일 양상에서, 전압 드롭 제한 내의 전압 드롭을 초래하는 감소된 주파수들 중 가장 큰 감소된 주파수가 그 시나리오에 대해 선택되고 테이블에 저장될 수 있다. 이것은, 클록 신호 Clk_out의 주파수가 감소될 때의 성능 손실을 최소화하도록 행해질 수 있다. 따라서, 각각의 시나리오에 대한 감소된 주파수는 경험적으로 결정되고 전력 관리기(220)에 의한 이후의 사용을 위해 테이블에 저장될 수 있다.

[0029] [0042] 일 실시예에서, 클록 신호 Clk_out의 주파수가 감소된 주파수로 감소될 때, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 전체 클록 주파수로부터 대응하는 감소된 주파수로 점핑(jump)시키는 대신, 전체 클록 주파수로부터 대응하는 감소된 주파수로 램프 다운(ramp down)시킬 것을 주파수 조정기(210)에 지시할 수 있다. 이것은, 아래에 추가로 논의되는 바와 같이, PDN 상의 전압 오버슈트를 완화시키도록 행해질 수 있다.

- [0030] [0043] 클록 신호 Clk_out의 주파수를 감소시키는 것은, 활성 모드에 있는 하나 또는 그 초과의 프로세서들로부터의 PDN 상의 전류 부하를 감소시킨다. 전류 부하의 감소는 PDN 상의 전압 오버슈트를 야기하는데, 여기서, 오버슈트의 양은 전류 부하가 감소하는 레이트에 의존하며, 더 높은 레이트는 일반적으로 더 큰 오버슈트에 대응한다. 클록 신호 Clk의 주파수를 램프 다운시킴으로써, 전력 관리기(220)는 전류 부하가 감소하는 레이트를 감소시키며, 이에 의해, 오버슈트가 감소된다.
- [0031] [0044] 이와 관련하여, 도 4는, 클록 신호 Clk_out의 주파수가 전체 클록 주파수의 50 %로 감소되는 예에 대한 클록 신호 Clk_out의 주파수를, 시간의 경과에 따른 전체 클록 주파수의 퍼센티지로서 도시한다. 이러한 예에서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들이 활성화될 것이고 하나 또는 그 초과의 다른 프로세서들이 이미 활성 모드에 있을 때, 클록 신호 Clk_out을 감소시킬 수 있다. 도 4에 도시된 바와 같이, 클록 신호 Clk_out의 주파수는 복수의 단계들로 램프 다운되며, 여기서, 클록 신호 Clk_out의 주파수는 후속 단계마다 더 낮은 주파수로 감소된다. 클록 신호 Clk_out의 주파수는, 이러한 예에서의 하나 또는 그 초과의 프로세서들이 활성화되기 전에 전체 클록 주파수의 50 %로 램프 다운된다.
- [0032] [0045] 제1 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 87.5 %로 감소된다. 이것은, 예컨대, 클록 신호 Clk의 매 8개의 펄스들마다 하나의 펄스를 스왈로잉함으로써 행해질 수 있다. 제2 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 75 %로 감소된다. 제3 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 67.5 %로 감소된다. 이것은, 예컨대, 클록 신호 Clk의 매 8개의 펄스들마다 3개의 펄스들을 스왈로잉함으로써 행해질 수 있다. 마지막으로, 제4 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 50 %로 감소된다. 각각의 단계의 시간 지속기간은 미리 결정될 수 있다. 클록 신호 Clk_out의 주파수가 전체 클록 주파수의 50 %로 감소된 후, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅할 수 있다.
- [0033] [0046] 따라서, 클록 신호 Clk_out의 주파수는 복수의 단계들에 걸쳐 램프 다운되며, 여기서, 클록 신호 Clk_out의 주파수는 후속 단계마다 더 낮은 주파수로 감소된다. 위의 도 4의 논의는 클록 펄스 스왈로잉의 예를 사용하지만, 본 개시내용이 이러한 예로 제한되지 않음이 인식되어야 한다. 예컨대, 클록 신호 Clk_out의 주파수는 주파수 분할기를 사용하여 램프 다운될 수 있다. 이러한 예에서, 클록 신호 Clk_out의 주파수는, 증가량(제수)으로 클록 신호 Clk의 주파수를 분할함으로써 램프 다운될 수 있다.
- [0034] [0047] 위에 논의된 바와 같이, 전력 관리기(220)는 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있으며, 여기서, 각각의 시나리오는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들에 대응한다. 각각의 시나리오에 대해, 테이블은, 클록 신호 Clk_out에 대한 대응하는 감소된 주파수(예컨대, 전체 클록 주파수의 50%)를 표시할 수 있다. 각각의 시나리오에 대해, 테이블은 또한, 클록 신호 Clk_out의 주파수를 전체 클록 주파수로부터 대응하는 감소된 주파수로 램프 다운시키기 위한 대응하는 램프 다운 시퀀스를 표시할 수 있다. 램프 다운 시퀀스는 전체 클록 주파수와 대응하는 감소된 주파수 간의 중간 주파수들의 시퀀스를 특정할 수 있으며, 여기서, 중간 주파수들은 가장 높은 것으로부터 가장 낮은 것으로 순서화될 수 있다.
- [0035] [0048] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. 적용 가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수 및 램프 다운 시퀀스를 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 램프 다운 시퀀스의 중간 주파수들의 각각의 주파수로, 가장 높은 것에서 가장 낮은 것으로의 순서로 순차적으로 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 각각의 중간 주파수에 대해 소비되는 시간량은 미리 결정될 수 있다. 마지막 중간 주파수에 도달한 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 대응하는 감소된 주파수(예컨대, 전체 클록 주파수의 50 %)로 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 그런 다음, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시킬 수 있다.
- [0036] [0049] 테이블의 상이한 시나리오들에 대한 램프 다운 시퀀스들은 경험적으로 생성될 수 있다. 예컨대, 각각의 시나리오에 대해, 상이한 램프 다운 시퀀스들에 대한 PDN 상의 전압 오버슈트가 측정될 수 있다. 그런 다음, 각각의 측정된 전압 오버슈트는 전압 오버슈트 제한(예컨대, 오작동 없이 프로세서들 및/또는 PDN에 커플링된 다른 디바이스들에 의해 용인될 수 있는 전압 오버슈트의 양)과 비교될 수 있다. 이러한 예에서, 전압 오버슈트 제한 내의 전압 오버슈트를 초래하는 램프 다운 시퀀스들 중 하나가 그 시나리오에 대해 선택되고 테이블에 저장될 수 있다.

- [0037] [0050] 일 실시예에서, 하나 또는 그 초과의 프로세서들의 활성화 이후 클록 신호 Clk_out의 주파수가 전체 클록 주파수로 다시 복원될 때, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 감소된 주파수로부터 전체 클록 주파수로 점핑시키는 대신, 대응하는 감소된 주파수로부터 전체 클록 주파수로 램프 업(ramp up) 시킬 것을 주파수 조정기(210)에 지시할 수 있다. 이것은, 아래에 추가로 논의되는 바와 같이, PDN 상의 전압 드롭을 완화시키도록 행해질 수 있다.
- [0038] [0051] 클록 신호 Clk_out의 주파수를 증가시키는 것은, 하나 또는 그 초과의 활성 프로세서들로부터의 PDN 상의 전류 부하를 증가시킨다. 전류 부하의 증가는 PDN 상의 전압 드롭을 야기하는데, 여기서, 드롭의 양은 전류 부하가 증가하는 레이트에 의존하며, 더 높은 레이트는 일반적으로 더 큰 드롭에 대응한다. 클록 신호 Clk의 주파수를 램프 업시킴으로써, 전력 관리기(220)는 전류 부하가 증가하는 레이트를 감소시키며, 이에 의해, 드롭이 감소된다.
- [0039] [0052] 이와 관련하여, 도 5는, 클록 신호 Clk_out의 주파수가 전체 클록 주파수의 50 %로부터 전체 클록 주파수로 증가되는 예에 대한 클록 신호 Clk_out의 주파수를, 시간의 경과에 따른 전체 클록 주파수의 퍼센티지로서 도시한다. 이러한 예에서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들이 활성화된 후, 전체 클록 주파수를 복원하기 위해 클록 신호 Clk_out의 주파수를 증가시킬 수 있다. 도 5에 도시된 바와 같이, 클록 신호 Clk_out의 주파수는 복수의 단계들로 램프 업되며, 여기서, 클록 신호 Clk_out의 주파수는 후속 단계마다 더 높은 주파수로 증가된다. 클록 신호 Clk_out의 주파수는, 이러한 예에서의 하나 또는 그 초과의 프로세서들이 활성화된 후 램프 업될 수 있다.
- [0040] [0053] 제1 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 67.5 %로 증가된다. 제2 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 75 %로 증가된다. 제3 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 87.5 %로 증가된다. 마지막으로, 제4 단계에서, 클록 신호 Clk_out의 주파수는 전체 클록 주파수로 증가되며, 이에 의해, 프로세서들에 대한 전체 클록 주파수가 복원된다. 각각의 단계의 시간 지속기간은 미리결정될 수 있다.
- [0041] [0054] 따라서, 클록 신호 Clk_out의 주파수는 복수의 단계들에 걸쳐 램프 업되며, 여기서, 클록 신호 Clk_out의 주파수는 후속 단계마다 더 높은 주파수로 증가된다. 일 예에서, 클록 신호 Clk_out의 주파수는 클록 스왈로어를 사용하여 램프 업될 수 있다. 이러한 예에서, 클록 신호 Clk_out의 주파수는, 클록 펄스들의 감소하는 퍼센티지를 스왈로잉함으로써 램프 업된다. 다른 예에서, 클록 신호 Clk_out의 주파수는 주파수 분할기를 사용하여 램프 업될 수 있다. 이러한 예에서, 클록 신호 Clk_out의 주파수는, 감소량(제수)으로 클록 신호 Clk의 주파수를 분할함으로써 램프 업된다.
- [0042] [0055] 위에 논의된 바와 같이, 전력 관리기(220)는 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있으며, 여기서, 각각의 시나리오는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들에 대응한다. 각각의 시나리오에 대해, 테이블은, 클록 신호 Clk_out에 대한 대응하는 감소된 주파수(예컨대, 전체 클록 주파수의 50%) 및/또는 램프 다운 시퀀스를 표시할 수 있다. 각각의 시나리오에 대해, 테이블은 또한, 시나리오 하에서 하나 또는 그 초과의 프로세서들의 활성화 이후 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 램프 업시키기 위한 대응하는 램프 업 시퀀스를 표시할 수 있다. 램프 업 시퀀스는 대응하는 감소된 주파수와 전체 클록 주파수 간의 중간 주파수들의 시퀀스를 특정할 수 있으며, 여기서, 중간 주파수들은 가장 낮은 것으로부터 가장 높은 것으로 순서화될 수 있다.
- [0043] [0056] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. 적용가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수 및 램프 업 시퀀스를 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 대응하는 감소된 주파수로 감소시킬 수 있다. 이것은, 위에 논의된 바와 같이, 클록 신호 Clk_out의 주파수를 램프 다운시키는 것을 수반할 수 있다. 클록 신호 Clk_out의 주파수가 감소된 후, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시킬 수 있다. 하나 또는 그 초과의 프로세서들이 활성화된 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 램프 업 시퀀스의 중간 주파수들의 각각의 주파수로, 가장 낮은 것에서 가장 높은 것으로의 순서로 순차적으로 증가시킬 것을 주파수 조정기(210)에 지시할 수 있다. 각각의 중간 주파수에 대해 소비되는 시간의 양은 미리결정될 수 있다. 마지막 중간 주파수에 도달한 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 전체 클록 주파수로 증가시킬 것을 주파수 조정기(210)에 지시할 수 있다.
- [0044] [0057] 테이블의 상이한 시나리오들에 대한 램프 업 시퀀스들은 경험적으로 생성될 수 있다. 예컨대, 각각의

시나리오에 대해, 상이한 램프 업 시퀀스들에 대한 PDN 상의 전압 드롭이 측정될 수 있다. 그런 다음, 각각의 측정된 전압 드롭은 전압 드롭 제한과 비교될 수 있다. 이러한 예에서, 전압 드롭 제한 내의 전압 드롭을 초래하는 램프 업 시퀀스들 중 하나가 그 시나리오에 대해 선택되고 테이블에 저장될 수 있다.

[0045] 도 6은, 하나 또는 그 초과의 프로세서들이 (예컨대, 인터럽트 신호 또는 이벤트에 대한 응답으로) 활성화되고 그리고 하나 또는 그 초과의 프로세서들이 이미 활성 모드에 있는 예에 대한 클록 신호 Clk_out의 주파수를, 시간의 경과에 따른 전체 클록 주파수의 퍼센티지로서 도시한다. 처음에, 프로세서들에 대한 클록 신호 Clk_out은 전체 클록 주파수(즉, 클록 디바이스(110)로부터의 클록 신호 Clk의 주파수)에 있다. 시간 t1에서, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 전체 주파수의 50 %와 동일한 감소된 주파수로 램프 다운시킬 것을 주파수 조정기(210)에 지시한다. 시간 t2에서, 클록 신호 Clk_out의 주파수가 감소된 주파수에 도달한다. 그런 다음, 시간 t3에서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언케이팅한다. 대기 기간(도 6에서 "대기 시간"으로 라벨링됨) 이후, 시간 t4에서, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 램프 업시킬 것을 주파수 조정기(210)에 지시한다. 시간 t5에서, 클록 신호 Clk_out의 주파수가 전체 주파수로 복원된다. 클록 신호 Clk_out의 주파수는 전체 클록 주파수의 50 % 이외의 다른 주파수들로 감소될 수 있고, 따라서, 전체 클록 주파수의 50 %의 예로 제한되지 않음이 인식되어야 한다.

[0046] 위에 논의된 바와 같이, 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언케이팅한 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 증가시키기 전에 대기 기간을 대기할 수 있다. 일 예에서, 대기 기간은, 아래에 논의되는 바와 같이, 하나 또는 그 초과의 프로세서들의 내부 클록 경로들이 언케이팅된 후의 PDN에 대한 전압 안정화 시간(settling time)에 의존할 수 있다.

[0047] 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언케이팅하는 것은, 하나 또는 그 초과의 프로세서들로부터의 PDN 상에서의 전류 부하의 증가로 인해, PDN 상의 전압 드롭을 야기한다. 이러한 전압 드롭은, 위에 논의된 바와 같이, 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언케이팅하기 전에 클록 신호 Clk_out의 주파수를 감소시킴으로써 감소된다. 전압 드롭 후, PDN의 전압은, PDN의 공칭 공급 전압과 거의 동일한 전압으로 점진적으로 안정화된다. 이러한 예에서, 대기 기간은, PDN의 전압이 PDN의 공칭 공급 전압의 특정 범위(예컨대, 5 % 이내 또는 그 미만) 내로 안정화되기 위해 소요되는 시간에 의해 결정될 수 있다. 안정화 시간은, 아래에 추가로 논의되는 바와 같이, 경험적으로 결정될 수 있다.

[0048] 위에 논의된 바와 같이, 전력 관리기(220)는 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있으며, 여기서, 각각의 시나리오는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들에 대응한다. 각각의 시나리오에 대해, 테이블은, 대응하는 감소된 주파수 및 대응하는 대기 시간을 포함할 수 있다. 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. 적용 가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수 및 대응하는 대기 시간을 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 대응하는 감소된 주파수로 감소시킬 수 있다. 클록 신호 Clk_out의 주파수가 감소된 후, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언케이팅할 수 있다. 클록 경로들이 언케이팅된 후, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 전체 클록 주파수로 증가시키기 전에, 대응하는 대기 시간을 대기 한다. 이러한 예에서, 전력 관리기(220)는, 대기 시간이 경과한 때를 결정하기 위해 타이머를 사용할 수 있다.

[0049] 테이블의 상이한 시나리오들에 대한 대기 시간들은 경험적으로 생성될 수 있다. 예컨대, 각각의 시나리오에 대해, PDN의 전압 과형은, 시나리오 하에서 활성화된 하나 또는 그 초과의 프로세서들의 내부 클록 경로들이 언케이팅될 때 측정될 수 있다. 그런 다음, 전압 과형은, PDN의 전압이 PDN의 공칭 공급 전압의 특정 범위 내로 안정화되는 시간을 결정하기 위해 분석될 수 있다. 결정된 시간(안정화 시간)은, 시나리오에 대한 대기 시간을 결정하는 데 사용될 수 있고, 결정된 대기 시간은, 전력 관리기(220)에 의한 이후의 사용을 위해 테이블에 저장될 수 있다.

[0050] 위에 논의된 바와 같이, 전력 관리기(220)는, 프로세서가 WFI(wait-for-interrupt) 명령, WFE(wait-for-event) 명령, 또는 프로세서가 유휴 모드가 되어야 함을 표시하는 다른 명령을 실행할 때, 프로세서들(115(1)-115(4)) 중 하나를 유휴 모드가 되게 할 수 있다. 명령을 실행할 시, 프로세서는, 프로세서가 유휴 모드가 되게 하기 위해 전력 관리기(220)에 시그널링할 수 있다. 프로세서가 유휴 모드가 된 후, 전력 관리기(220)는, 전력 관리기(220)가 인터럽트 신호를 수신하거나 특정 이벤트가 발생할 때, 프로세서를 다시 활성 모

드로 전환할 수 있다. 인터럽트 신호는, (예컨대, 데이터를 프로세싱하기 위해) 프로세서를 필요로 하는 디바이스(예컨대, 주변기기 디바이스)로부터 비롯될 수 있다.

[0051] 다른 예에서, 인터럽트 신호는 타이머로부터 비롯될 수 있다. 이와 관련하여, 도 7은, 전력 관리기(220)에 커플링된 타이머(710)를 프로세싱 시스템(705)이 포함하는 예를 도시한다. 이러한 예에서, 프로세서가 유휴 모드가 되게 하기 위한 신호를 수신하는 것에 대한 응답으로, 전력 관리기(220)는 타이머(710)를 트리거링(trigger)할 수 있다. 트리거링된 후, 타이머(710)는, 미리결정된 시간 기간이 경과한 후에 인터럽트 신호를 전력 관리기(220)에 전송할 수 있다. 타이머(710)는, 내부 카운터 또는 다른 회로를 사용하여 시간 추적을 유지할 수 있다. 타이머(710)로부터의 인터럽트 신호에 대한 응답으로, 위에 논의된 바와 같이, 전력 관리기(220)는 프로세서를 활성화시킬 수 있다.

[0052] 전력 관리기(220)는, 미리결정된 시간 기간을 타이머(710)에 프로그래밍할 수 있다. 미리결정된 시간 기간은, 프로세서가 다시 필요할 때까지의 시간량의 추정에 기반할 수 있다. 예컨대, 프로세서는, 시간 프레임들에서 데이터를 프로세싱하는 데 사용될 수 있다. 이러한 예에서, 프로세서는, 다음 시간 프레임에 대한 데이터가 수신되기 전에 현재 시간 프레임에 대한 데이터를 프로세싱하는 것을 마칠 수 있다. 이러한 경우, 프로세서가 현재 시간 프레임에 대한 데이터를 프로세싱하는 것을 마쳤을 때, 프로세서는, 프로세서가 유휴 모드가 되게 하기 위해 전력 관리기(220)에 시그널링할 수 있다. 이에 대한 응답으로, 전력 관리기(220)는, 전력을 보존하기 위해 프로세서가 유휴 모드가 되게 할 수 있다. 전력 관리기(220)는 또한, 다음 시간 프레임의 시작까지의 시간량을 결정하고 그리고 결정된 시간량에 따라, 타이머(710)가 다음 프레임의 시작 직전에 인터럽트 신호를 전송하도록 타이머(710)를 프로그래밍할 수 있다. 대안적으로, 프로세서는, 다음 프레임까지의 시간량을 결정하고 그리고 결정된 시간량을, 그에 따라 타이머(710)를 프로그래밍하기 위해 전력 관리기(220)에 전송할 수 있다.

[0053] 다른 예에서, 전력 관리기(220)는, 특정 이벤트가 발생할 때 프로세서를 다시 활성 모드로 전환할 수 있다. 이러한 예에서, 이벤트가 발생할 때, 전력 관리기(220)는, 이벤트가 발생했음을 표시하는 이벤트 신호를 디바이스(예컨대, 주변기기 디바이스)로부터 수신할 수 있다. 이벤트 신호에 대한 응답으로, 위에 논의된 바와 같이, 전력 관리기(220)는 프로세서를 활성화시킬 수 있다.

[0054] 이벤트는, 프로세서를 사용하기 위한 디바이스(예컨대, 주변기기 디바이스)에 의한 필요일 수 있다. 이러한 예에서, 디바이스가 (예컨대, 데이터 프로세싱을 위해) 프로세서를 사용할 필요가 있을 때, 디바이스는, 프로세서를 활성화시키기 위해 이벤트 신호를 전력 관리기(220)에 전송할 수 있다. 디바이스(예컨대, 카메라)는, 활성화된 직후 그리고/또는 프로세싱 시스템(205 또는 705)을 포함하는 모바일 디바이스(예컨대, 스마트폰)에 연결된 직후, 전력 관리기(220)에 이벤트 신호를 전송할 수 있다. 디바이스는 또한, 디바이스가 하나 초과의 프로세서를 필요로 할 경우 2개 또는 그 초과의 프로세서들을 활성화시키기 위한 이벤트 신호를 전송할 수 있음이 인식되어야 한다.

[0055] 위의 예들에서, 주파수 조정기(210)는, 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과의 활성화 전에 클록 신호 Clk_out의 주파수를 감소시키는 데 사용된다. 그러나, 주파수 조정기(210)는, 다른 애플리케이션들에서 클록 신호 Clk_out의 주파수를 감소시키는 데 또한 사용될 수 있음이 인식되어야 한다. 예컨대, 온도 제어기는, 온도 완화 동안 클록 신호 Clk_out의 주파수를 감소시키기 위해 주파수 조정기(210)를 사용할 수 있다. 이와 관련하여, 도 8은 프로세싱 시스템(805)의 예를 도시하며, 여기서, 온도 제어기(810)는, 하나 또는 그 초과의 온-칩(on-chip) 온도 센서들(820)을 사용하여, 프로세서 시스템(805)이 상주하는 칩의 온도를 모니터링한다. 모니터링된 온도가 열 임계치를 넘어 상승하면, 온도 제어기(810)는, 온도를 감소시키기 위해 클록 신호 Clk_out의 주파수를 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 감소된 주파수는, 활성 프로세서들의 동적 전력 소산(dissipation)을 감소시킴으로써 온도를 감소시킨다.

[0056] 다른 예에서, 전류 제어기(830)는, PDN 상의 전류가 전류 제한을 초과하는 것을 방지하기 위해 주파수 조정기(210)를 사용할 수 있다. 이러한 예에서, 전류 제어기(830)는, 하나 또는 그 초과의 온-칩 전류 센서들(840)을 사용하여 PDN 상의 전류를 모니터링할 수 있다. 모니터링된 전류가 전류 제한을 초과하면, 전류 제어기(830)는, 전류를 감소시키기 위해 클록 신호 Clk_out의 주파수를 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 감소된 주파수는, 활성 프로세서들의 전류 부하를 감소시킴으로써 전류를 감소시킨다.

[0057] 따라서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 클록 신호 Clk_out의 주파수는 이미, (예컨대, 온도 완화에 기인하여) 클록 신호 Clk의 주파수보다 낮은 주파수에 있을 수 있다. 이러한 경우, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 얼마나 감소시킬지를 결정할 시, 클록 신호 Clk_out의 현재 주파

수를 고려할 수 있다.

[0058] [0071] 이와 관련하여, 전력 관리기(220)는 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있으며, 여기서, 각각의 시나리오는, 활성화될 하나 또는 그 초과의 프로세서들, 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들, 및/또는 클록 신호 Clk_out의 현재 주파수에 대응한다. 각각의 시나리오에 대해, 테이블은, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간을 표시할 수 있다.

[0059] [0072] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 활성화될 하나 또는 그 초과의 프로세서들, 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들, 및/또는 클록 신호 Clk_out의 현재 주파수에 기반하여 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. (클록 신호 Clk의 주파수보다 낮을 수 있는) 현재 클록 주파수는, 현재 주파수가 하나 또는 그 초과의 프로세서들이 활성화되기 전의 주파수이므로, "초기 주파수"로 지칭될 수 있다.

[0060] [0073] 적용 가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간을 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 초기 주파수로부터 대응하는 감소된 주파수로 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 테이블이 시나리오에 대한 대응하는 램프 다운 시퀀스를 포함하면, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 램프 다운 시퀀스에 따라 초기 주파수로부터 대응하는 감소된 주파수로 램프 다운시킬 것을 주파수 조정기(210)에 지시할 수 있다. 클록 신호 Clk_out의 주파수가 감소된 후, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시킬 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 초기 클록 주파수로 증가시키기 전에, 대응하는 대기 시간을 대기할 수 있다. 테이블이 시나리오에 대한 대응하는 램프 업 시퀀스를 포함하면, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 램프 업 시퀀스에 따라 다시 초기 클록 주파수로 램프 업시킬 것을 주파수 조정기(210)에 지시할 수 있다.

[0061] [0074] 테이블은, 위에 논의된 기법들을 사용하여 경험적으로 생성될 수 있다. 더 상세하게는, 각각의 시나리오에 대해, 위에 논의된 기법들을 사용하여, PDN의 전압을 드롭 제한 및/또는 오버슈트 제한 내로 유지하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간이 결정될 수 있다.

[0062] [0075] 하나 또는 그 초과의 프로세서들이 활성화된 후 초기 클록 주파수로 복귀하는 대신, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 감소된 주파수로부터 감소된 주파수와 초기 클록 주파수 간의 주파수로 증가시킬 것을 주파수 조정기(210)에 지시할 수 있다. 이것은 예컨대, 초기 클록 주파수가 온도 제어기(810)에 의한 온도 완화 때문에 전체 클록 주파수보다 낮을 경우 행해질 수 있다. 이것은, 하나 또는 그 초과의 프로세서들의 활성화가, 하나 또는 그 초과의 프로세서들이 프로세싱 시스템의 총 동적 전력 소산에 기여하는 것을 야기하기 때문이며, 이는 온도를 증가시킬 수 있다. 클록 신호 Clk_out의 주파수를 감소된 주파수로부터 초기 주파수보다 낮은 주파수로 증가시키는 것은, 하나 또는 그 초과의 프로세서들로부터의 부가되는 동적 전력 소산을 보상할 수 있다. 대안적으로, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 초기 주파수로 증가시킬 것을 주파수 조정기(210)에 지시할 수 있고, 하나 또는 그 초과의 프로세서들의 활성화로부터 초래되는 온도의 임의의 증가에 기반하여 클록 신호 Clk_out의 주파수를 재조정하기 위해 온도 제어기(810)에 의존할 수 있다.

[0063] [0076] 일 실시예에서, 클록 디바이스(110)는, 프로세서들(115(1) 내지 115(4)) 중 하나 또는 그 초과에 대한 원하는 프로세싱 속도에 의존하여 복수의 상이한 클록 주파수들 중 하나를 출력하도록 구성될 수 있다. 이와 관련하여, 도 9는 프로세싱 시스템(905)의 예를 도시하며, 여기서, 클록 디바이스(110)는, 제1 클록 소스(915), 제2 클록 소스(920), 및 멀티플렉서(930)를 포함한다. 클록 소스들(915 및 920) 각각은, PLL(phase-locked loop) 또는 다른 타입의 회로를 포함할 수 있다. 제1 클록 소스(915)는 제1 입력 클록 신호("Clk_a"로 표시됨)를 멀티플렉서(930)에 제공하고, 제2 클록 소스(920)는 제2 입력 클록 신호("Clk_b"로 표시됨)를 멀티플렉서(930)에 제공하며, 여기서, 제1 입력 클록 신호 Clk_a는 제2 입력 클록 신호 Clk_b보다 높은 주파수를 갖는다. 도 9의 예에서의 클록 디바이스(110)가 2개의 클록 소스들을 포함하지만, 클록 디바이스(110)는 2개 초과의 클록 소스들을 포함할 수 있음이 인식되어야 한다.

[0064] [0077] 멀티플렉서(930)는, 입력 클록 신호들 Clk_a 및 Clk_b를 수신하고 그리고 클록 제어기(935)의 제어 하에서 입력 클록 신호들 Clk_a 및 Clk_b 중 하나를 선택적으로 출력하도록 구성된다. 입력 클록 신호들 Clk_a 및 Clk_b 중 선택된 하나는, 클록 디바이스(110)의 출력 클록 신호 Clk를 제공한다.

[0065]

[0078] 클록 제어기(935)는, 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호가 멀티플렉서(930)에 의해 선택되는지를 제어함으로써, 사용 경우들에 의존하여 클록 신호 Clk의 주파수를 동적으로 변경하도록 구성될 수 있다. 예컨대, 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과가 높은 프로세싱 속도들을 요구하는 하나 또는 그 초과의 애플리케이션들을 실행 중인 경우, 클록 제어기(935)는, 제1 입력 클록 신호 Clk_a를 선택할 것을 멀티플렉서(930)에 지시할 수 있다. 이러한 경우, 클록 신호 Clk는 제1 입력 클록 신호 Clk_a에 의해 소싱(source)되며, 따라서, 제1 입력 클록 신호 Clk_a의 주파수를 갖는다. 다른 예에서, 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과가 높은 프로세싱 속도들을 요구하지 않는 하나 또는 그 초과의 애플리케이션들을 실행 중인 경우, 클록 제어기(935)는, 전력을 보존하기 위해 제2 입력 클록 신호 Clk_b를 선택할 것을 멀티플렉서(930)에 지시할 수 있다. 이러한 경우, 클록 신호 Clk는 제2 입력 클록 신호 Clk_b에 의해 소싱되며, 따라서, 제1 입력 클록 신호 Clk_a의 주파수보다 낮은, 제2 클록 신호 Clk_b의 주파수를 갖는다.

[0066]

[0079] 일 양상에서, 프로세서들(115(1)-115(4)) 각각은, 프로세서의 프로세싱 요구들에 기반하여 클록 신호 Clk의 주파수를 변경하기 위한 요청을 클록 제어기(935)에 전송하도록 구성될 수 있다. 예컨대, 프로세서는, 프로세서가 연산-집약적 애플리케이션을 실행 중인 경우, 클록 신호 Clk의 주파수를 증가시키기 위한 요청을 클록 제어기(935)에 전송할 수 있다. 요청에 대한 응답으로, 클록 제어기(935)는, 제2 입력 클록 신호 Clk_b가 현재 선택된 경우, 제1 입력 클록 신호 Clk_a를 선택할 것을 멀티플렉서(930)에 지시할 수 있다. 다른 예에서, 클록 제어기(935)는, 프로세서들 중 하나 또는 그 초과가 더 높은 클록 주파수를 요청하지 않는 한, 제2 입력 클록 신호 Clk_b를 선택할 수 있다.

[0067]

[0080] 전력 관리기(220)는 또한, 입력 클록 신호들 Clk_a 내지 Clk_b 중 어느 입력 클록 신호를 선택할지를 클록 제어기(935)에 지시할 수 있다. 예컨대, 전력 관리기(220)는, 프로세싱 시스템(905)에 전력을 공급하는 배터리가 전력을 보존하기 위해 로우(low)로 실행 중인 경우, 제2 입력 클록 신호 Clk_b를 선택할 것을 클록 제어기(935)에 지시할 수 있다. 이러한 경우, 전력 관리기(220)로부터의 명령은, 클록 주파수를 증가시키기 위한 프로세서로부터의 요청을 오버라이딩 override)할 수 있다. 일 양상에서, 클록 제어기(935)는, 아래에 추가로 논의되는 바와 같이, 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호가 현재 선택된지를 전력 관리기(220)에 알릴 수 있다.

[0068]

[0081] 위에 논의된 바와 같이, 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 얼마나 감소시킬지를 결정할 시, 클록 신호 Clk_out의 현재 주파수를 고려할 수 있다. 이러한 실시예에서, 클록 신호 Clk_out의 현재 주파수는, 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호가 멀티플렉서(930)에 의해 선택되는지에 적어도 부분적으로 의존한다. 따라서, 전력 관리기(220)에 의해 사용되는 테이블의 시나리오들은, 입력 클록 신호들 Clk_a 및 Clk_b 각각에 대응하는 시나리오들을 포함할 수 있다.

[0069]

[0082] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 때, 활성화될 하나 또는 그 초과의 프로세서들, 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들, 및/또는 클록 신호 Clk_out의 현재 주파수에 기반하여 테이블의 어느 시나리오가 적용되는지를 결정할 수 있다. 현재 클록 주파수는, 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호가 현재 선택된지에 적어도 부분적으로 의존한다. 위에 논의된 바와 같이, 현재 주파수는, 현재 주파수가 하나 또는 그 초과의 프로세서들이 활성화되기 전의 주파수이므로, "초기 주파수"로 지칭될 수 있다.

[0070]

[0083] 적용 가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간을 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 초기 주파수로부터 대응하는 감소된 주파수로 감소시킬 것을 주파수 조정기(210)에 지시할 수 있다. 테이블이 시나리오에 대한 대응하는 램프 다운 시퀀스를 포함하면, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 램프 다운 시퀀스에 따라 초기 주파수로부터 대응하는 감소된 주파수로 램프 다운시킬 것을 주파수 조정기(210)에 지시할 수 있다. 클록 신호 Clk_out의 주파수가 감소된 후, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시킬 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 다시 초기 주파수로 증가시키기 전에, 대응하는 대기 시간을 대기할 수 있다. 테이블이 시나리오에 대한 대응하는 램프 업 시퀀스를 포함하면, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 램프 업 시퀀스에 따라 다시 초기 주파수로 램프 업시킬 것을 주파수 조정기(210)에 지시할 수 있다.

[0071]

[0084] 테이블은, 위에 논의된 기법들을 사용하여 경험적으로 생성될 수 있다. 더 상세하게는, 각각의 시나리

오에 대해, 위에 논의된 기법들을 사용하여, PDN의 전압을 드롭 제한 및/또는 오버슈트 제한 내로 유지하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간이 결정될 수 있다.

[0072] [0085] 일 실시예에서, 전력 관리기(220)는, 전력을 보존하기 위해 프로세서들(115(1)-115(4)) 전부가 유휴 모드에 있을 때, 클록 신호 Clk를 디스에이블링(disable)하도록 구성될 수 있다. 예컨대, 전력 관리기(220)는, 클록 디바이스(110)의 클록 소스들(915 및 920)(예컨대, PLL들)을 셧 오프(shut off)시킴으로써 클록 신호 Clk를 디스에이블링할 수 있다. 이러한 예에서, 클록 제어기(935)는, 전력 관리기(220)의 제어 하에서 클록 소스들(915 및 920)을 셧 오프시키도록 구성될 수 있다. 다른 예에서, 전력 관리기(220)는, 멀티플렉서(930)를 디스에이블링함으로써 클록 신호 Clk를 디스에이블링할 수 있다.

[0073] [0086] 이러한 실시예에서, 하나 또는 그 초과의 프로세서들이 활성화될 것이고 그리고 프로세서들(115(1)-115(4)) 전부가 처음에 유휴 모드에 있을 때, 전력 관리기(220)는 먼저, 클록 신호 Clk를 인에이블링(enable)할 수 있다. 예컨대, 전력 관리기(220)는, 클록 소스들(915 및 920)을 턴 온(turn on)하고 그리고/또는 멀티플렉서(930)를 인에이블링할 것을 클록 제어기(935)에 지시할 수 있다. 전력 관리기(220)는 또한, 클록 신호 Clk를 소싱하기 위해 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호를 선택할지를 클록 제어기(935)에 지시할 수 있다. 예컨대, 전력 관리기(220)는, 처음에 제2 입력 클록 신호 Clk_b를 선택할 것을 클록 제어기(935)에 지시할 수 있다. 다른 예에서, 전력 관리기(220)는, 프로세서들(115(1)-115(4)) 전부가 유휴 모드가 되기 전에 마지막 선택되었던 입력 클록 신호를 선택할 것을 클록 제어기(935)에 지시할 수 있다.

[0074] [0087] 클록 신호 Clk가 인에이블링될 때, 전력 관리기(220)는, 원하는 감소된 주파수(즉, 클록 신호 Clk의 주파수보다 낮은 주파수)에서 클록 신호 Clk_out을 출력할 것을 주파수 조정기(210)에 지시할 수 있다. 감소된 주파수는, 아래에 추가로 논의되는 바와 같이, 하나 또는 그 초과의 프로세서들이 활성화될 때의 PDN 상의 전압 드롭을 감소시킨다. 클록 신호 Clk_out의 주파수가 감소된 주파수에 있는 동안, 전력 관리기(220)는 하나 또는 그 초과의 프로세서들을 (예컨대, 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅함으로써) 활성화시킬 수 있다. 그런 다음, 전력 관리기(220)는 대기 기간을 대기하고, 대기 기간이 경과한 후, 클록 신호 Clk_out의 주파수를 전체 클록 주파수로 증가시킬 수 있다. 일 양상에서, 전력 관리기(220)는, 클록 신호의 주파수를 감소된 주파수로부터 전체 클록 주파수로 램프 업시킬 수 있다.

[0075] [0088] 따라서, 하나 또는 그 초과의 프로세서들은 전체 클록 주파수(즉, 클록 신호 Clk의 주파수) 대신 감소된 클록 주파수에서 활성화된다. 감소된 주파수는, 하나 또는 그 초과의 프로세서들이 활성화될 때의 PDN 상의 전류 부하의 변화율을 감소시키며, 이에 의해, PDN 상의 전압 드롭이 감소된다.

[0076] [0089] 위에 논의된 바와 같이, 전력 관리기(220)는, 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있다. 테이블의 시나리오들은, 프로세서들(115(1)-115(4)) 전부가 처음에 유휴 모드에 있는 복수의 시나리오들을 포함할 수 있다. 이를 시나리오들 각각은, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 클록 신호 Clk(예컨대, 입력 클록 신호들 Clk_a 및 Clk_b 중 선택된 하나)의 주파수에 대응할 수 있다. 이를 시나리오들 각각에 대해, 테이블은, 클록 신호 Clk_out에 대한 대응하는 감소된 주파수, 램프 업 시퀀스, 및/또는 대기 시간을 표시할 수 있다.

[0077] [0090] 이러한 예에서, 하나 또는 그 초과의 프로세서들이 활성화될 것이고 프로세서들(115(1)-115(4)) 전부가 처음에 유휴 모드에 있을 때, 전력 관리기(220)는, 활성화될 하나 또는 그 초과의 프로세서들 및/또는 클록 신호 Clk의 주파수(예컨대, 입력 클록 신호들 Clk_a 및 Clk_b 중 선택된 입력 클록 신호의 주파수)에 기반하여 테이블의 복수의 시나리오들 중 어느 시나리오가 적용되는지를 결정할 수 있다. 적용가능한 시나리오를 결정한 후, 전력 관리기(220)는, 테이블에서, 대응하는 감소된 주파수, 램프 업 시퀀스, 및/또는 대기 시간을 검색할 수 있다. 그런 다음, 전력 관리기(220)는, 클록 신호 Clk를 인에이블링하고 그리고 클록 신호 Clk_out를 대응하는 감소된 주파수에 있는 주파수로 출력할 것을 주파수 조정기(210)에 지시할 수 있다. 그런 다음, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시키고, 클록 신호 Clk_out의 주파수를 전체 클록 주파수(즉, 클록 신호 Clk의 주파수)로 증가시키기 전에 대응하는 대기 시간을 대기할 수 있다. 테이블이 시나리오에 대한 대응하는 램프 업 시퀀스를 포함하면, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를, 대응하는 램프 업 시퀀스에 따라 전체 클록 주파수로 램프 업시킬 것을 주파수 조정기(210)에 지시할 수 있다.

[0078] [0091] 테이블은, 위에 논의된 기법들을 사용하여 경험적으로 생성될 수 있다. 더 상세하게는, 각각의 시나리오에 대해, 위에 논의된 기법들을 사용하여, PDN의 전압을 드롭 제한 및/또는 오버슈트 제한 내로 유지하는 감소된 주파수, 램프 업 시퀀스, 및/또는 대기 시간이 결정될 수 있다.

[0079]

[0092] 도 10은, 하나 또는 그 초과의 프로세서들이 (예컨대, 인터럽트 신호 또는 이벤트에 대한 응답으로) 활성화되고 그리고 프로세서들 전부가 처음에 유휴 모드에 있는 예에 대한 클록 신호 Clk_out의 주파수를, 시간의 경과에 따른 전체 클록 주파수의 퍼센티지로서 도시한다. 시간 t1에서, 전력 관리기(220)는 클록 신호 Clk를 인에이블링하고, 주파수 조정기(210)는, 전체 클록 주파수의 50 %와 동일한 감소된 주파수로 클록 신호 Clk_out을 출력한다. 이때, 프로세서 전부가 유휴 모드에 있을 수 있다. 그런 다음, 시간 t2에서, 전력 관리기(220)는, 하나 또는 그 초과의 프로세서들을 활성화시키기 위해 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅한다. 대기 기간(도 10에서 "대기 시간"으로 라벨링됨) 이후, 시간 t4에서, 전력 관리기(220)는, 클록 신호 Clk_out의 주파수를 전체 클록 주파수로 램프 업시킬 것을 주파수 조정기(210)에 지시한다. 시간 t5에서, 클록 신호 Clk_out의 주파수가 전체 주파수에 도달한다. 전체 클록 주파수의 50 % 이외의 다른 감소된 주파수들이 사용될 수 있으며, 따라서, 본 개시내용은 전체 클록 주파수의 50 %의 예로 제한되지 않음이 인식되어야 한다. 추가로, 도 10에 도시되진 않지만, 클록 신호 Clk_out은, 클록 신호 Clk가 인에이블링될 때, 거의 0 헤르츠로부터 감소된 주파수로 램프 업될 수 있음이 인식되어야 한다.

[0080]

[0093] 일 실시예에서, 클록 디바이스는, 하나 초과의 클록 신호를 프로세서들(115(1)-115(4))에 출력할 수 있다. 이와 관련하여, 도 11은 프로세싱 시스템(1105)의 예를 도시하며, 여기서, 클록 디바이스(1110)는, 제1 클록 신호("Clk1"로 표시됨)를 제1 및 제2 프로세서들(115(1) 및 115(2))에 그리고 제2 클록 신호("Clk2"로 표시됨)를 제3 및 제4 프로세서들(115(3) 및 115(4))에 출력한다. 이것은, 아래에 추가로 논의되는 바와 같이, 제1 및 제2 프로세서들(115(1) 및 115(2))이 제3 및 제4 프로세서들(115(3) 및 115(4))과 상이한 클록 속도에서 동작하는 것을 허용한다.

[0081]

[0094] 이러한 예에서, 클록 디바이스(1110)는, 제1 멀티플렉서(930(1)) 및 제2 멀티플렉서(930(2))를 포함한다. 제1 멀티플렉서(930(1))는, 제1 및 제2 클록 소스들(915 및 920)로부터 각각 입력 클록 신호들 Clk_a 및 Clk_b를 수신하고 그리고 클록 제어기(935)의 제어 하에서 입력 클록 신호들 Clk_a 및 Clk_b 중 하나를 제1 및 제2 프로세서들(115(1) 및 115(2))에 선택적으로 출력하도록 구성된다. 제2 멀티플렉서(930(2))는, 제1 및 제2 클록 소스들(915 및 920)로부터 각각 입력 클록 신호들 Clk_a 및 Clk_b를 수신하고 그리고 클록 제어기(935)의 제어 하에서 입력 클록 신호들 Clk_a 및 Clk_b 중 하나를 제3 및 제4 프로세서들(115(3) 및 115(4))에 선택적으로 출력하도록 구성된다. 이러한 어레이인저먼트(arrangement)는, 제1 및 제2 멀티플렉서들(930(1) 및 930(2))의 선택들에 의존하여, 프로세서들(115(1)-115(4))이 입력 클록 신호들 Clk_a 및 Clk_b 중 동일한 입력 클록 신호를 수신하는 것을 허용하거나, 제1 및 제2 프로세서들(115(1) 및 115(2))이, 제3 및 제4 프로세서들(115(3) 및 115(4))과 상이한, 입력 클록 신호들 Clk_a 및 Clk_b 중 하나의 입력 클록 신호를 수신하는 것을 허용한다.

[0082]

[0095] 클록 제어기(935)는, 입력 클록 신호들 Clk_a 및 Clk_b 중 어느 입력 클록 신호가 각각의 멀티플렉서에 의해 선택되는지를 제어함으로써, 제1 및 제2 출력 클록 신호들 Clk1 및 Clk2 각각의 주파수를 동적으로 변경하도록 구성될 수 있다. 예컨대, 제1 및 제2 프로세서들(115(1) 및 115(2)) 중 하나 또는 둘 모두가 높은 프로세싱 속도를 요구하는 경우(예컨대, 제1 및 제2 프로세서들(115(1) 및 115(2)) 중 하나 또는 둘 모두가 높은 클록 속도를 요청함), 클록 제어기(935)는, 제1 입력 클록 신호 Clk_a를 선택할 것을 제1 멀티플렉서(930(1))에 지시할 수 있다. 이러한 경우, 제1 출력 클록 신호 Clk1은 제1 입력 클록 신호 Clk_a에 의해 소성된다. 유사하게, 제3 및 제4 프로세서들(115(3) 및 115(4)) 중 하나 또는 둘 모두가 높은 프로세싱 속도를 요구하는 경우(예컨대, 제3 및 제4 프로세서들(115(3) 및 115(4)) 중 하나 또는 둘 모두가 높은 클록 속도를 요청함), 클록 제어기(935)는, 제1 입력 클록 신호 Clk_a를 선택할 것을 제2 멀티플렉서(930(2))에 지시할 수 있다. 이러한 경우, 제2 출력 클록 신호 Clk2는 제1 입력 클록 신호 Clk_a에 의해 소성된다.

[0083]

[0096] 다른 예에서, 제1 및 제2 프로세서들(115(1) 및 115(2)) 중 하나 또는 둘 모두가 높은 프로세싱 속도를 요구하지 않는 경우, 클록 제어기(935)는, 전력을 보존하기 위해 제2 입력 클록 신호 Clk_b를 선택할 것을 제1 멀티플렉서(930(1))에 지시할 수 있다. 이러한 경우, 제1 출력 클록 신호 Clk1은, 제1 입력 클록 신호 Clk_a보다 낮은 주파수를 갖는 제2 입력 클록 신호 Clk_b에 의해 소성된다. 유사하게, 제3 및 제4 프로세서들(115(3) 및 115(4)) 중 하나 또는 둘 모두가 높은 프로세싱 속도들을 요구하지 않는 경우, 클록 제어기(935)는, 전력을 보존하기 위해 제2 입력 클록 신호 Clk_b를 선택할 것을 제2 멀티플렉서(930(2))에 지시할 수 있다. 이러한 경우, 제2 출력 클록 신호 Clk2는 제2 입력 클록 신호 Clk_b에 의해 소성된다.

[0084]

[0097] 도 11의 예에서, 프로세싱 시스템(1105)은 제1 주파수 조정기(210(1)) 및 제2 주파수 조정기(210(2))를 포함한다. 제1 주파수 조정기(210(1))는, 전력 관리기(220)의 제어 하에서 조정가능한 양만큼 제1 클록 신호 Clk1의 주파수를 감소시키고 그리고 결과적인 클록 신호("Clk_out1"로 표시됨)를 제1 및 제2 프로세서들(115(1) 및 115(2))에 출력하도록 구성된다. 제2 주파수 조정기(210(2))는, 전력 관리기(220)의 제어 하에서 조정가능

한 양만큼 제2 클록 신호 Clk2의 주파수를 감소시키고 그리고 결과적인 클록 신호("Clk_out2"로 표시됨)를 제3 및 제4 프로세서들(115(3) 및 115(4))에 출력하도록 구성된다. 이것은, 전력 관리기(220)가 제1 및 제2 출력 클록 신호들 Clk_out1 및 Clk_out2의 주파수들을 독립적으로 조정하는 것을 허용한다.

[0085] 이러한 예에서, 전력 관리기(220)는, 다양한 시나리오들 하에서 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과를 활성화시킬 수 있다. 예컨대, 일 예시적인 시나리오에서, 전력 관리기(220)는, 제1 프로세서(115(1)) 및/또는 제2 프로세서(115(2))를, 다른 프로세서들 중 하나 또는 그 초과가 이미 활성 모드에 있는 동안 활성화시킬 수 있다. 이러한 시나리오에서, 전력 관리기(220)는, 제1 및/또는 제2 프로세서들을 활성화시키기 전에 제1 출력 클록 신호 Clk_out1의 주파수를 감소시킬 수 있다. 다른 예시적인 시나리오에서, 전력 관리기(220)는, 제3 프로세서(115(3)) 및/또는 제4 프로세서(115(4))를, 다른 프로세서들 중 하나 또는 그 초과가 이미 활성 모드에 있는 동안 활성화시킬 수 있다. 이러한 시나리오에서, 전력 관리기(220)는, 제3 및/또는 제4 프로세서들을 활성화시키기 전에 제2 출력 클록 신호 Clk_out2의 주파수를 감소시킬 수 있다. 또 다른 예시적인 시나리오에서, 전력 관리기(220)는, 제1 프로세서(115(1)) 및 제3 프로세서(115(3))를, 제2 프로세서 및 제4 프로세서 중 하나 또는 둘 모두가 이미 활성 모드에 있는 동안 활성화시킬 수 있다. 이러한 시나리오에서, 전력 관리기(220)는, 제1 및 제3 프로세서들을 활성화시키기 전에 제1 출력 클록 신호 Clk_out1의 주파수 및 제2 출력 클록 신호 Clk_out2의 주파수를 감소시킬 수 있다.

[0086] 상이한 시나리오들 하에서 프로세서들(115(1)-115(4)) 중 하나 또는 그 초과를 활성화시키기 위해, 전력 관리기(220)는, 상이한 시나리오들을 열거하는, 메모리 내의 테이블을 포함할 수 있다. 이러한 시나리오들 각각은, 활성화될 프로세서들 중 하나 또는 그 초과, 프로세서들 중 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들, 제1 출력 클록 Clk_out1의 주파수 및/또는 제2 출력 클록 Clk_out2의 주파수에 대응할 수 있다. 이러한 시나리오들 각각에 대해, 테이블은, 제1 출력 클록 신호 Clk_out1에 대한 파라미터들의 세트(예컨대, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간) 및/또는 제2 출력 클록 신호 Clk_out2에 대한 파라미터들의 세트(예컨대, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간)를 포함할 수 있다.

[0087] 일부 시나리오들(예컨대, 프로세서들 중 하나만이 활성화될 시나리오)에 대해, 테이블은, 제1 및 제2 출력 클록 신호들 Clk_out1 및 Clk_out2 중 하나에 대한 파라미터들의 세트만을 포함할 수 있다. 이러한 시나리오들에서, 전력 관리기(220)는, 출력 클록 신호들 중 나머지 하나를 단독으로 남겨둘 수 있다. 다른 시나리오들(예컨대, 제1 및 제3 프로세서들이 활성화될 시나리오)에 대해, 테이블은, 제1 및 제2 출력 클록 신호들 Clk_out1 및 Clk_out2 각각에 대한 파라미터들의 세트를 포함할 수 있다.

[0088] 하나 또는 그 초과의 프로세서들이 활성화될 때, 전력 관리기(220)는, 활성화될 하나 또는 그 초과의 프로세서들, 프로세서들 중 이미 활성 모드에 있는 하나 또는 그 초과의 다른 프로세서들, 제1 출력 클록 신호 Clk_out1의 현재 주파수, 및/또는 제2 출력 클록 신호 Clk_out2의 현재 주파수에 기반하여 테이블의 복수의 시나리오들 중 어느 시나리오가 적용되는지를 결정할 수 있다. 적용가능한 시나리오를 결정한 후, 전력 관리기(220)는, 제1 출력 클록 신호 Clk_out1에 대한 테이블 내의 파라미터들의 세트(예컨대, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간) 및/또는 제2 출력 클록 신호 Clk_out2에 대한 테이블 내의 파라미터들의 세트(예컨대, 대응하는 감소된 주파수, 램프 다운 시퀀스, 램프 업 시퀀스, 및/또는 대기 시간)를 검색할 수 있다.

[0089] 그런 다음, 전력 관리기(220)는, 제1 출력 클록 신호 Clk_out1의 주파수를 대응하는 감소된 주파수로 감소시키고 그리고/또는 제2 출력 클록 신호 Clk_out2의 주파수를 대응하는 감소된 주파수로 감소시킬 수 있다. 출력 클록 신호들 Clk_out1 및 Clk_out2 둘 모두의 주파수들이 램프 다운된 경우, 주파수 램프 다운들은 시간상 오버랩(overlap)될 수 있다. 대안적으로, 전력 관리기(220)는, 출력 클록 신호들 중 하나의 출력 클록 신호의 주파수를 램프 다운시키기 전에 출력 클록 신호들 중 나머지 하나의 주파수를 램프 다운시킬 수 있다.

[0090] 제1 출력 클록 신호 Clk_out1의 주파수 및/또는 제2 출력 클록 신호 Clk_out2의 주파수가 감소된 후, 전력 관리기(220)는, 시나리오 하에서 활성화될 하나 또는 그 초과의 프로세서들을 활성화시킬 수 있다. 그런 다음, 전력 관리기(220)는, 제1 출력 클록 신호 Clk_out1의 주파수를 대응하는 대기 시간 이후 증가시킬 수 있고 그리고/또는 제2 출력 클록 신호 Clk_out2의 주파수를 대응하는 대기 시간 이후 증가시킬 수 있다. 출력 클록 신호들 Clk_out1 및 Clk_out2 둘 모두의 주파수들이 램프 업된 경우, 주파수 램프 업들은 시간상 오버랩될 수 있다. 대안적으로, 전력 관리기(220)는, 출력 클록 신호들 중 하나의 출력 클록 신호의 주파수를 램프 업시키기 전에 출력 클록 신호들 중 나머지 하나의 출력 클록 신호의 주파수를 램프 업시킬 수 있다. 이러한 경우,

제1 및 제2 출력 클록 신호들에 대한 대기 시간들은 상이할 수 있다.

[0091] [0104] 이러한 예에서의 테이블은, 위에 논의된 기법들을 사용하여 경험적으로 생성될 수 있다. 더 상세하게는, 상이한 시나리오들 각각에 대해, 제1 출력 클록 신호 Clk_out1에 대한 파라미터들의 세트가 결정될 수 있고 그리고/또는 제2 출력 클록 신호 Clk_out2에 대한 파라미터들의 세트가 결정될 수 있는데, 이러한 파라미터들의 세트들은, PDN 상의 전압을, 위에 논의된 오버슈트 제한 및/또는 드롭 제한 내로 유지한다.

[0092] [0105] 본 개시내용의 실시예들이 4개의 프로세서들을 포함하는 프로세싱 시스템의 예를 사용하여 위에 설명되지만, 본 개시내용의 실시예들은 이러한 예로 제한되지 않음이 인식되어야 한다. 예컨대, 본 개시내용의 실시예들은, 2개의 프로세서들을 포함하는 프로세싱 시스템, 8개의 프로세서들을 포함하는 프로세싱 시스템 등에서 사용될 수 있다.

[0093] [0106] 도 12는 본 개시내용의 실시예에 따른 예시적인 클록 게이팅 회로(1210)를 도시한다. 프로세서들(115(1)-115(4)) 각각은, 프로세서에 의해 수신되는 클록 신호 Clk_out을 선택적으로 게이팅하기 위한 클록 게이팅 회로(1210)를 포함할 수 있다. 클록 게이팅 회로(1210)는, 클록 게이팅 로직(1220) 및 클록 게이트(1225)를 포함한다. 클록 게이팅 로직(1220)은, 아래에 추가로 논의되는 바와 같이, 전력 관리기(220)의 제어 하에서 클록 게이트(1225)를 인에이블링 또는 디스에이블링하도록 구성된다.

[0094] [0107] 도 12의 예에서, 클록 게이트(1225)는, 클록 신호 Clk_out에 커플링되는 제1 입력, 클록 게이팅 로직(1220)에 커플링되는 제2 입력, 및 각각의 프로세서의 로직 게이트들에 커플링되는 클록 출력(1230)을 갖는 AND 게이트를 포함한다. 클록 출력(1230)은, 로직 게이트들(1240)의 다양한 게이트들에 클록 신호를 제공하기 위해 복수의 클록 경로들(도시되지 않음)로 분기될 수 있다. 로직 게이트들(1240)은, 클록 신호 Clk_out를 사용하여 명령들을 폐칭, 디코딩, 및 실행하고 그리고/또는 다른 동작들을 수행하도록 구성될 수 있다. 이러한 예에서, 클록 게이트(1225)는, 클록 게이팅 회로(1220)가 로직 0을 클록 게이트(1225)에 출력할 때 디스에이블링(즉, 클록 신호 Clk_out을 차단함)되고 그리고 클록 게이팅 회로(1220)가 로직 1을 클록 게이트(1225)에 출력할 때 인에이블링(즉, 클록 신호 Clk_out이 통과하는 것을 허용함)된다.

[0095] [0108] 클록 게이팅 로직(1220)은, 전력 관리기(220)로부터 유휴 모드에 진입하기 위한 신호를 수신할 시, 클록 게이트(1225)를 디스에이블링(즉, 클록 신호 Clk_out을 게이팅)하도록 구성된다. 클록 게이팅 로직(1220)은, 클록 게이트(1225)를 디스에이블링하기 전에 로직 게이트들이 하나 또는 그 초과의 미해결(outstanding) 명령들을 완료했다는 것을 검증할 수 있다. 클록 게이팅 로직(1220)은 또한, 전력 관리기(220)로부터 유휴 모드를 퇴장(예컨대, 활성 모드로 전환)하기 위한 신호를 수신할 시, 클록 게이트(1225)를 인에이블링하도록 구성될 수 있다. 클록 게이팅 로직(1220)은, 클록 신호 Clk_out 또는 다른 클록 신호(도시되지 않음)에 의해 클로킹(clock)될 수 있다.

[0096] [0109] 도 13은 본 개시내용의 실시예에 따른, 하나 또는 그 초과의 프로세서들을 활성화시키기 위한 방법(1300)을 예시하는 흐름도이다. 하나 또는 그 초과의 프로세서들은, 멀티코어 프로세싱 시스템의 복수의 프로세서들(예컨대, 프로세서들(115(1)-115(4))) 중 하나 또는 그 초과일 수 있다. 이러한 예에서, 하나 또는 그 초과의 프로세서들은, 멀티코어 프로세싱 시스템의 하나 또는 그 초과의 다른 프로세서들이 이미 활성 모드에 있는 동안 활성화될 수 있다.

[0097] [0110] 단계(1310)에서, 클록 신호의 주파수가 제1 클록 주파수로부터 제2 클록 주파수로 감소된다. 예컨대, 클록 신호(예컨대, 클록 신호 Clk_out)는 멀티코어 프로세싱 시스템의 프로세서들에 제공될 수 있다. 일 예에서, 주파수 감소는, 입력 클록 신호(예컨대, 클록 신호 Clk)를 수신하고 클록 신호(예컨대, 클록 신호 Clk_out)를 프로세서들에 출력하는 주파수 조정기(예컨대, 주파수 조정기(210))에 의해 수행될 수 있다. 이러한 예에서, 주파수 조정기는, 입력 클록 신호(예컨대, 클록 신호 Clk)의 펄스들을 스왈로잉하고 그리고/또는 주파수를 분할함으로써, 클록 신호(예컨대, 클록 신호 Clk_out)의 주파수를 감소시킬 수 있다. 또한, 이러한 예에서, 제1 클록 주파수는 입력 클록 신호(예컨대, 클록 신호 Clk)의 주파수와 거의 동일할 수 있고, 제2 클록 주파수는 입력 클록 신호의 주파수보다 낮을 수 있다.

[0098] [0111] 단계(1320)에서, 클록 신호의 주파수가 감소된 후, 하나 또는 그 초과의 프로세서들이 활성화된다. 이것은, 하나 또는 그 초과의 프로세서들의 로직 게이트들로 클록 신호가 전파되는 것을 가능하게 하여 로직 게이트들로 하여금 스위칭을 시작하게 하도록 하나 또는 그 초과의 프로세서들의 내부 클록 경로들을 언게이팅함으로써 행해질 수 있다.

[0099] [0112] 단계(1330)에서, 하나 또는 그 초과의 프로세서들의 활성화 후, 클록 신호의 주파수는 다시 제1 클록

주파수로 증가된다. 예컨대, 제1 클록 주파수는 위에 논의된 입력 클록 신호(예컨대, 클록 신호 Clk)의 주파수와 거의 동일할 수 있다.

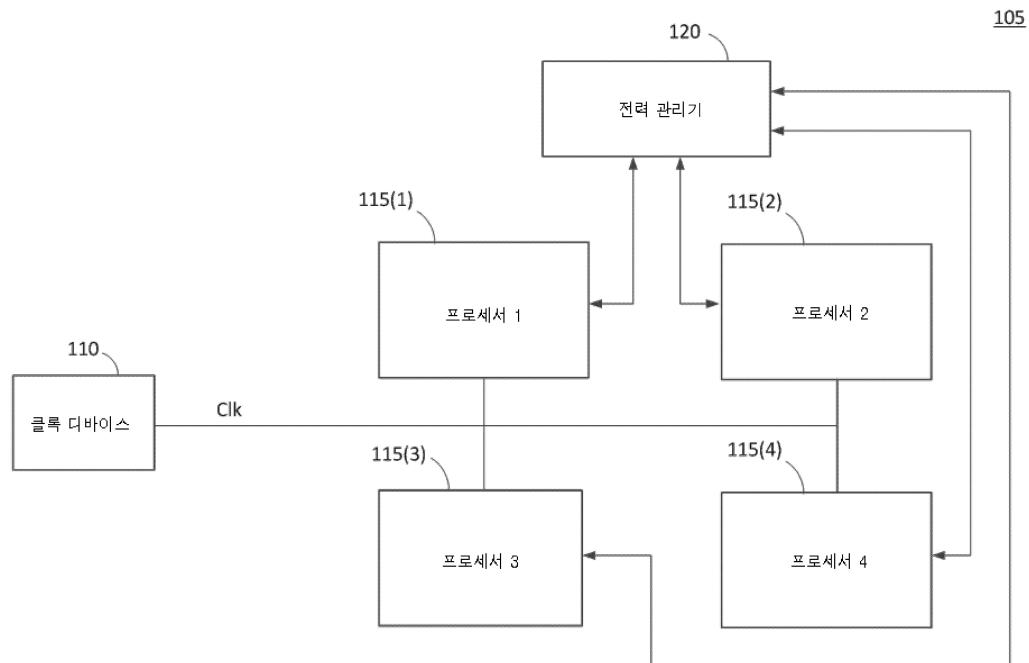
[0100] 하나 또는 그 초과의 프로세서들이 유휴 모드로부터 활성 모드로 전환되는 예를 사용하여 본 개시내용의 실시예들이 위에 설명되지만, 본 개시내용의 실시예들은 또한, 하나 또는 그 초과의 프로세서들이 활성 모드로부터 유휴 모드로 전환될 때 사용될 수 있음이 인식되어야 한다. 이러한 경우, 클록 신호 Clk_out의 주파수는, PDN 상의 전압 오버슈트를 감소시키기 위해, 하나 또는 그 초과의 프로세서들이 활성 모드로부터 유휴 모드로 전환되기 전에 감소될 수 있다. 감소된 주파수는, 하나 또는 그 초과의 프로세서들이 유휴 모드로 전환될 때 전류 부하가 감소하는 레이트를 감소시킴으로써, 오버슈트를 감소시킨다. 하나 또는 그 초과의 프로세서들이 유휴 모드에 있게 된 후, 클록 신호 Clk_out의 주파수는 다시 전체 클록 주파수로 증가될 수 있다.

[0101] 위에 논의된 실시예들 중 임의의 실시예에 따른 클록 제어기 및 전력 관리기는, 범용 프로세서, DSP(digital signal processor), ASIC(application specific integrated circuit), FPGA(field programmable gate array) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현될 수 있음이 인식되어야 한다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는, 기능들을 수행하기 위한 코드를 포함하는 소프트웨어를 실행함으로써, 본원에서 설명된 자연 제어기의 기능들을 수행할 수 있다. 소프트웨어는, 컴퓨터-판독가능 저장 매체, 이를테면 RAM, ROM, EEPROM, 광학 디스크, 및/또는 자기 디스크 상에 저장될 수 있다.

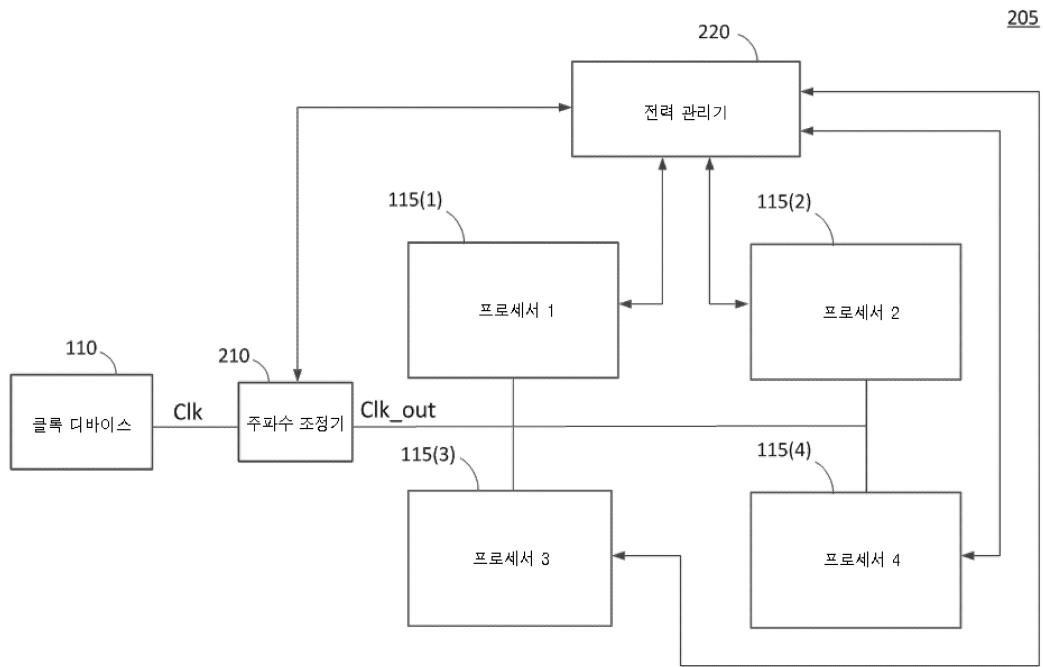
[0102] 본 개시내용은 임의의 당업자가 본 개시내용을 사용하거나 또는 실시할 수 있게 하도록 제공된다. 본 개시내용에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이며, 본원에 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은, 본원에 설명된 예들로 제한되도록 의도되는 것이 아니라, 본원에 개시된 원리를 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

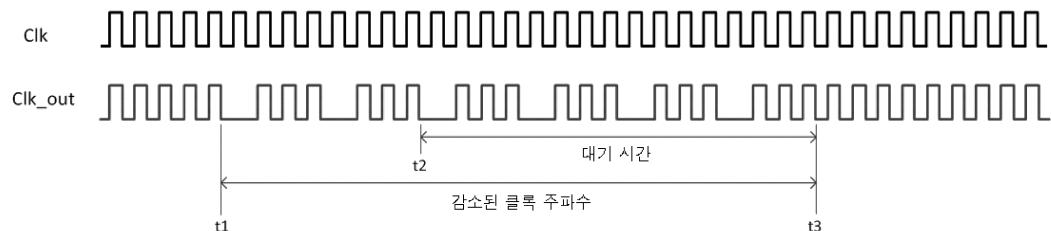
도면1



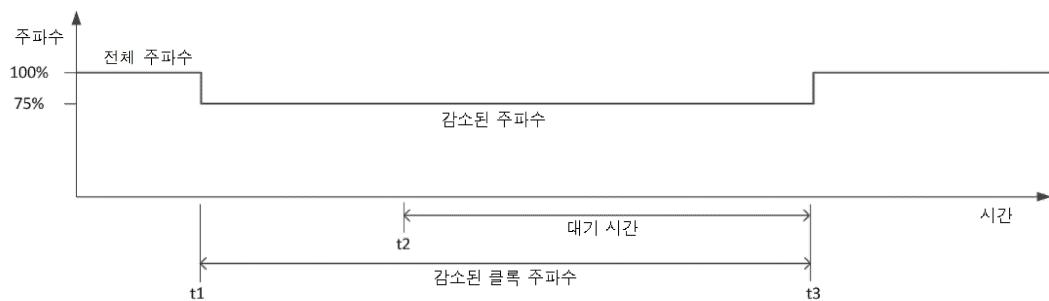
도면2

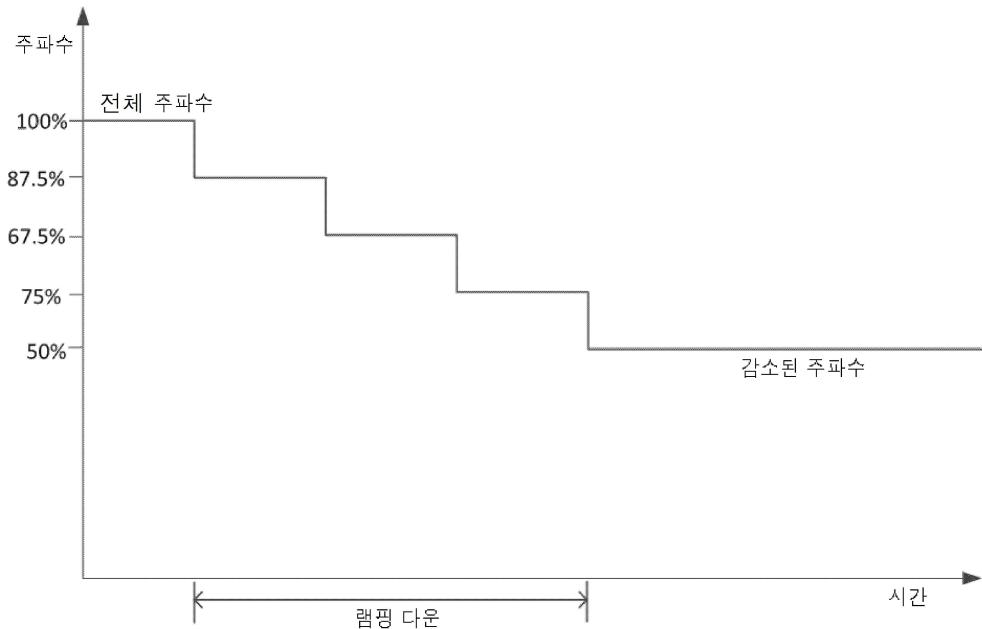
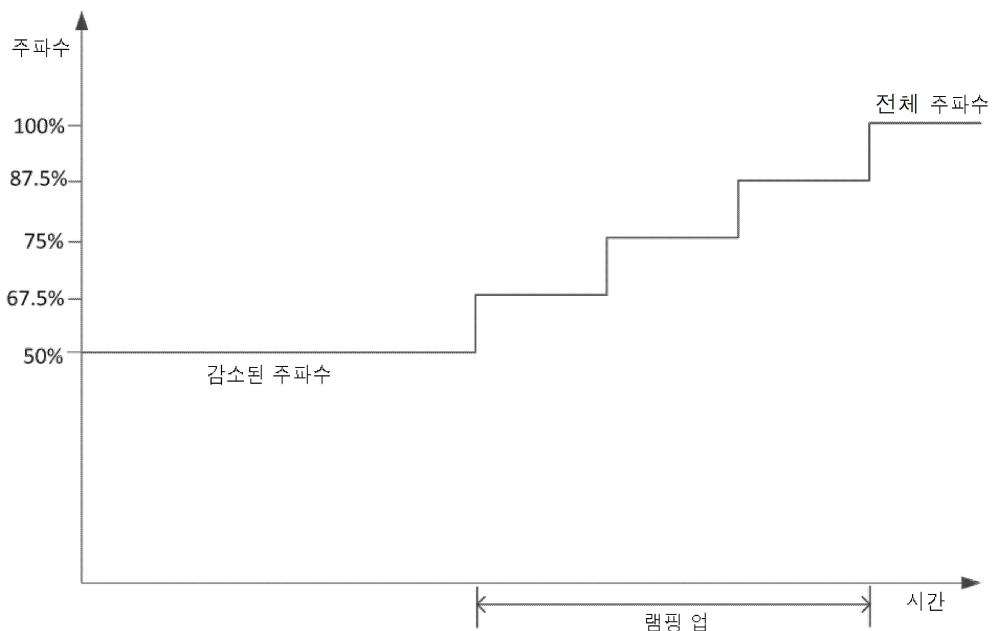


도면3a

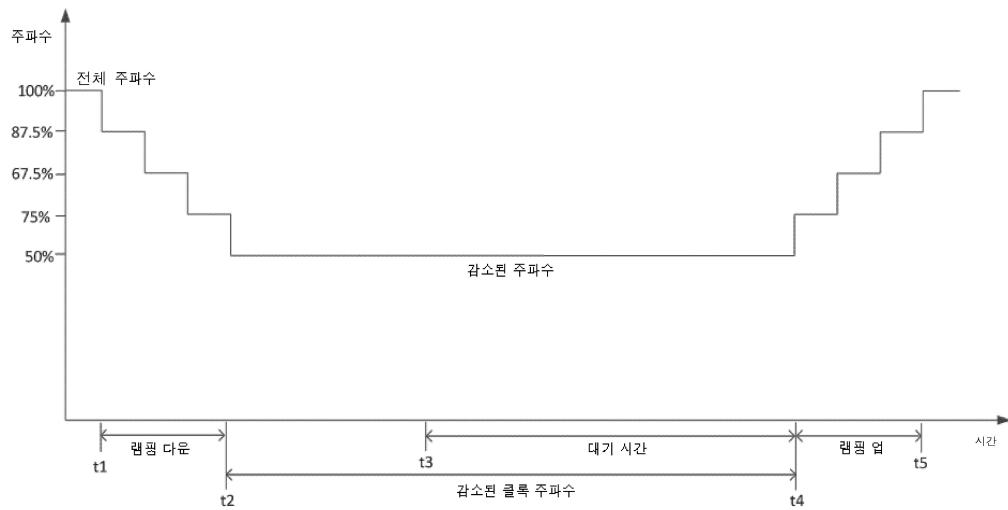


도면3b

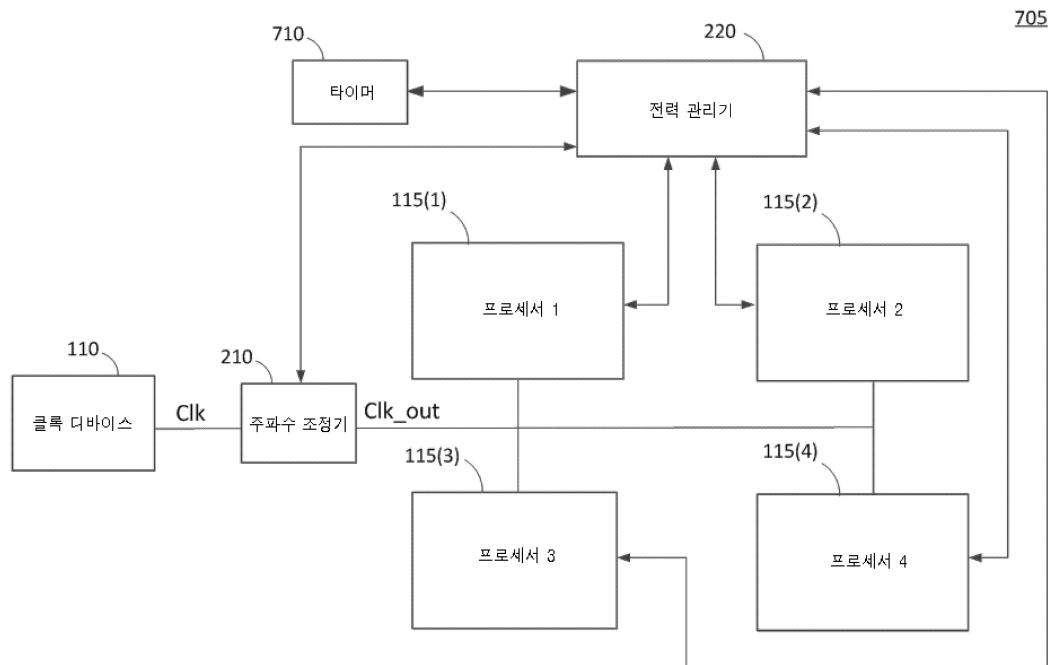


도면4**도면5**

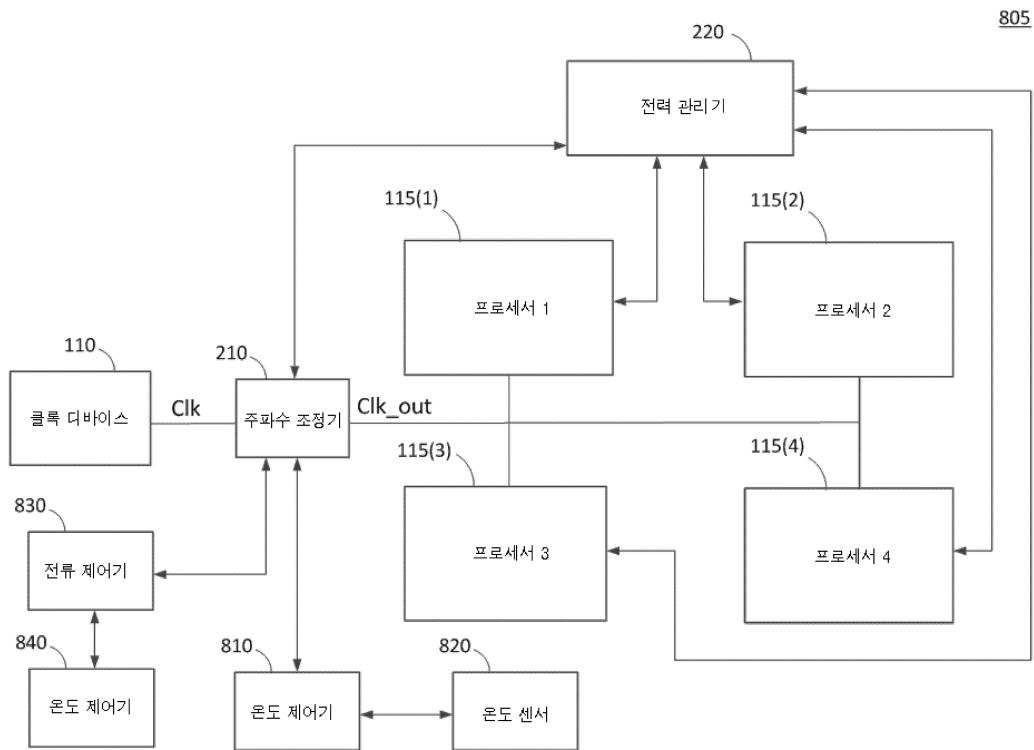
도면6



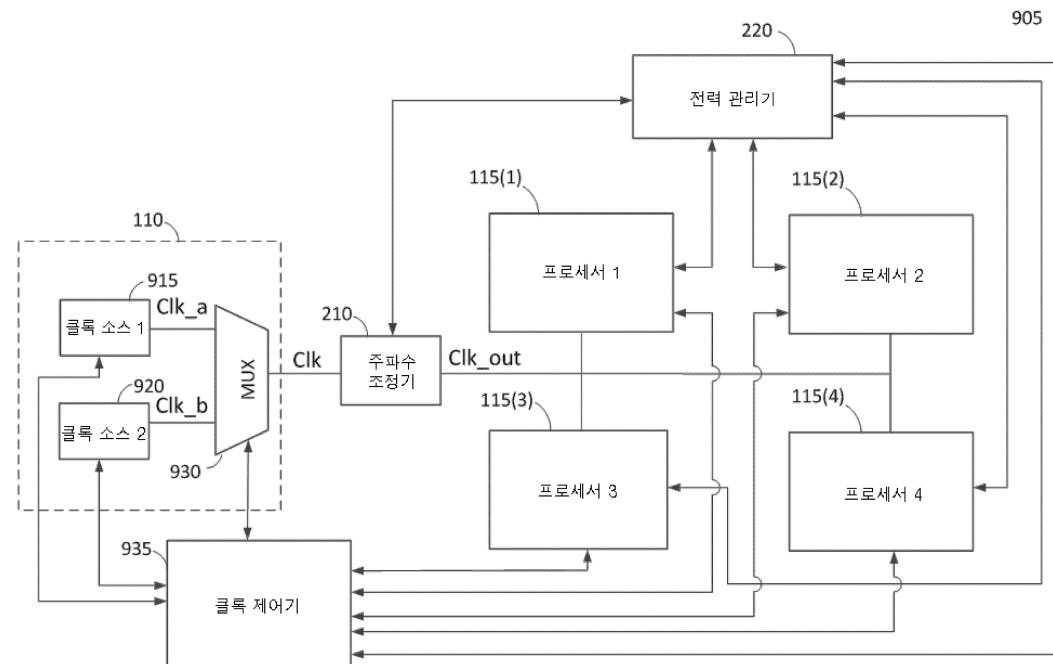
도면7



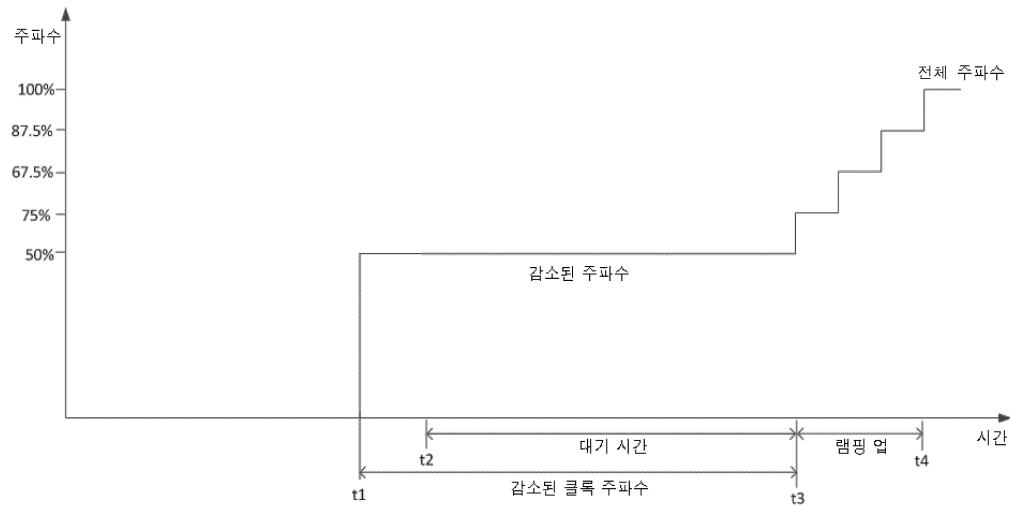
도면8



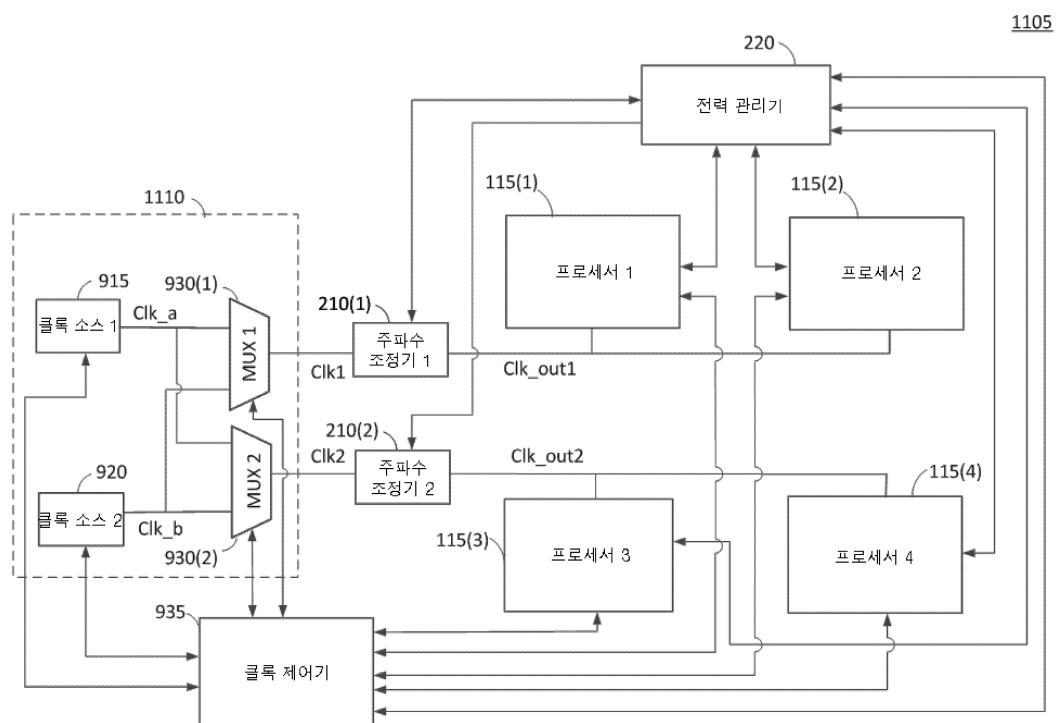
도면9



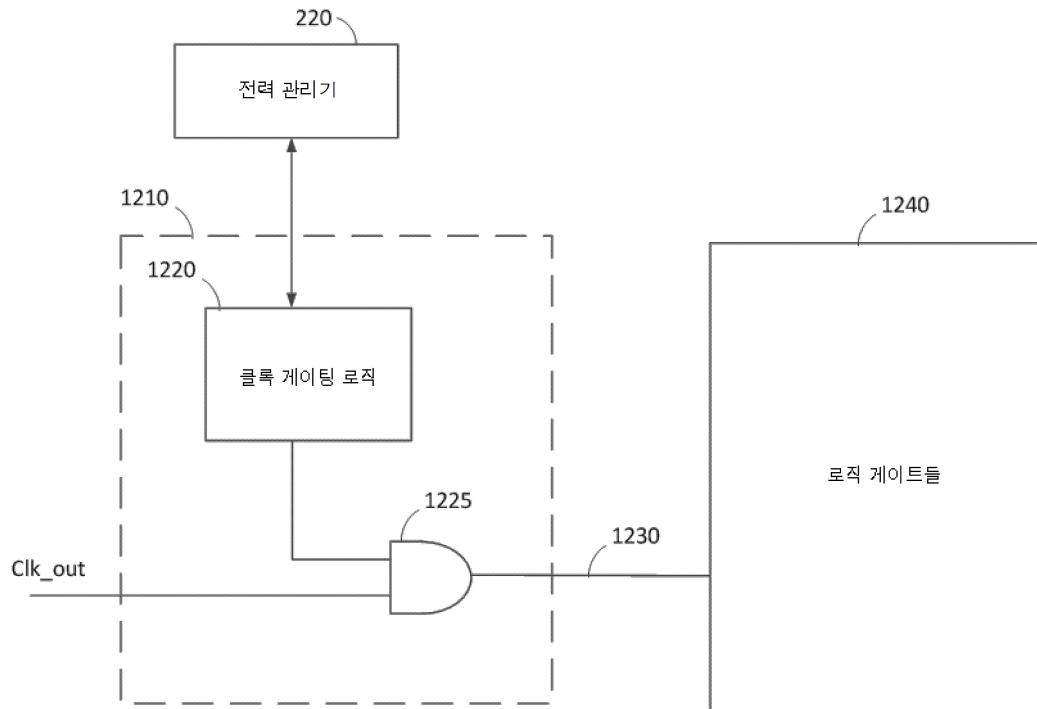
도면10



도면11



도면12



도면13

1300