

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年10月11日 (2018.10.11)

【公開番号】特開2016-72626(P2016-72626A)

【公開日】平成28年5月9日 (2016.5.9)

【年通号数】公開・登録公報2016-027

【出願番号】特願2015-187642(P2015-187642)

【国際特許分類】

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 25/04 (2014.01)

H 0 1 L 23/36 (2006.01)

【 F I 】

H 0 1 L 25/08 C

H 0 1 L 25/04 Z

H 0 1 L 23/36 D

【手続補正書】

【提出日】平成30年8月29日 (2018.8.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パッケージベース基板と、

前記パッケージベース基板上に付着される少なくとも 1 つの第 1 半導体チップと、

前記少なくとも 1 つの第 1 半導体チップと隣接するように、前記パッケージベース基板上に付着され、複数の第 2 半導体チップが積層された少なくとも 1 つの積層半導体チップ構造体と、を有し、

前記少なくとも 1 つの積層半導体チップ構造体の貫通電極領域は、前記少なくとも 1 つの第 1 半導体チップと対向する、少なくとも 1 つの積層半導体チップ構造体の 1 辺に沿って垂直積層された複数の貫通電極を含み、

前記少なくとも 1 つの第 1 半導体チップは前記複数の貫通電極に隣接し、

前記複数の貫通電極は前記第 1 半導体チップからの熱を放出するように配置されることを特徴とする半導体パッケージ。

【請求項 2】

前記複数の貫通電極と前記少なくとも 1 つの積層半導体チップ構造体の 1 辺に対向する前記少なくとも 1 つの第 1 半導体チップの側面を覆い包むが、前記少なくとも 1 つの第 1 半導体チップの上面及び前記少なくとも 1 つの積層半導体チップ構造体の上面を覆わないように、前記パッケージベース基板上に形成されるパッケージモルディング層をさらに有し、

前記少なくとも 1 つの第 1 半導体チップの上面、及び前記少なくとも 1 つの積層半導体チップ構造体の上面は、同一レベルの高さであることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

熱伝達物質層 (TIM) を挟み、前記少なくとも 1 つの第 1 半導体チップ、及び前記少

なくとも1つの積層半導体チップ構造体上に付着される放熱部材をさらに有することを特徴とする請求項2に記載の半導体パッケージ。

【請求項4】

前記複数の第2半導体チップのうち最上端の半導体チップに形成された前記複数の貫通電極は、前記熱伝達物質層と接することを特徴とする請求項3に記載の半導体パッケージ。

【請求項5】

前記少なくとも1つの第1半導体チップと対向する、前記積層半導体チップ構造体の1辺に隣接するように配置される第2貫通電極領域をさらに有することを特徴とする請求項1に記載の半導体パッケージ。

【請求項6】

前記少なくとも1つの積層半導体チップ構造体は、第1積層半導体チップ構造体及び第2積層半導体チップ構造体を含み、

前記第1積層半導体チップ構造体及び第2積層半導体チップ構造体それぞれの1辺は、前記少なくとも1つの第1半導体チップの互いに対向する2辺とそれぞれ対向することを特徴とする請求項1に記載の半導体パッケージ。

【請求項7】

前記少なくとも1つの第1半導体チップは、MPU(microprocessor unit)またはGPU(graphics processing unit)であることを特徴とする請求項1に記載の半導体パッケージ。

【請求項8】

前記複数の第2半導体チップは、メモリ半導体チップを含むことを特徴とする請求項1に記載の半導体パッケージ。

【請求項9】

前記複数の第2半導体チップは、ロジック半導体チップ、及び前記ロジック半導体チップ上に積層される複数のメモリ半導体チップからなることを特徴とする請求項1に記載の半導体パッケージ。

【請求項10】

前記少なくとも1つの第1半導体チップは、前記複数の第2半導体チップのそれぞれより単位面積当たり発熱量が多いことを特徴とする請求項1に記載の半導体パッケージ。

【請求項11】

パッケージベース基板と、

前記パッケージベース基板上に付着され、単一の半導体チップである第1半導体チップと、

前記第1半導体チップと隣接するように、前記パッケージベース基板上に付着され、それぞれが複数の貫通電極が形成された貫通電極領域を含む複数の第2半導体チップが積層され、前記第1半導体チップの上面と積層された第2半導体チップの最上面の半導体チップの上面とが実質的に同一面である少なくとも1つの積層半導体チップ構造体と、

前記第1半導体チップ、及び前記少なくとも1つの積層半導体チップ構造体それぞれの側面を覆い包むように、前記パッケージベース基板上に形成されるパッケージモルディング層と、

熱伝達物質層(TIM)を挟み、前記第1半導体チップ上、及び前記少なくとも1つの積層半導体チップ構造体上に付着される放熱部材と、を有し、

前記貫通電極領域は、

前記少なくとも1つの第1半導体チップの1辺と対向する、前記少なくとも1つの積層半導体チップ構造体の1辺に隣接するように配置されることを特徴とする半導体パッケージ。

【請求項12】

前記貫通電極領域は、前記少なくとも1つの積層半導体チップ構造体の互いに対向する2辺に隣接するように配置され、

前記第 1 半導体チップは、第 1 サブ半導体パッケージ及び第 2 サブ半導体パッケージを含むことを特徴とする請求項 1 1 に記載の半導体パッケージ。

【請求項 1 3】

前記熱伝達物質層は、

前記第 1 半導体チップの上面、及び前記複数の第 2 半導体チップのうち最上端の半導体チップの上面と接することを特徴とする請求項 1 1 に記載の半導体パッケージ。

【請求項 1 4】

パッケージベース基板と、

前記パッケージベース基板上に付着される第 1 半導体チップと、

前記第 1 半導体チップと隣接するように、前記パッケージベース基板上に付着され、複数の貫通電極を介して電氣的に接続されるように垂直積層された複数の第 2 半導体チップと、

前記第 1 半導体チップの側面、及び前記複数の第 2 半導体チップの側面を覆い包むように、前記パッケージベース基板上に形成されるパッケージモルディング層と、

前記パッケージモルディング層の上に付着される放熱部材と、を有し、

前記複数の貫通電極は、第 1 半導体チップの最外側縁に対向する前記複数の垂直積層された第 2 半導体チップの最外側縁に隣接して配置されたシリコン貫通ビア内に設けられて第 1 半導体チップからの熱を放出するように配置されることを特徴とする半導体パッケージ。

【請求項 1 5】

前記複数の貫通電極は、

前記第 1 半導体チップと対向する前記複数の第 2 半導体チップの 1 辺に沿って配置されることを特徴とする請求項 1 4 に記載の半導体パッケージ。

【請求項 1 6】

前記パッケージモルディング層は、

前記パッケージベース基板から同一レベルの高さである前記第 1 半導体チップの上面と、前記複数の第 2 半導体チップのうち最上端の半導体チップの上面とを覆わず、

前記放熱部材は、熱伝達物質層を挟み、前記第 1 半導体チップ上、及び前記複数の第 2 半導体チップ上に付着されることを特徴とする請求項 1 4 に記載の半導体パッケージ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 4

【補正方法】変更

【補正の内容】

【0 0 0 4】

上記技術的課題を達成するためになされた本発明による半導体パッケージは、パッケージベース基板と、前記パッケージベース基板上に付着される少なくとも 1 つの第 1 半導体チップと、前記少なくとも 1 つの第 1 半導体チップと隣接するように、前記パッケージベース基板上に付着され、複数の第 2 半導体チップが積層された少なくとも 1 つの積層半導体チップ構造体と、を有し、前記少なくとも 1 つの積層半導体チップ構造体の貫通電極領域は、前記少なくとも 1 つの第 1 半導体チップと対向する、少なくとも 1 つの積層半導体チップ構造体の 1 辺に沿って垂直積層された複数の貫通電極を含み、前記少なくとも 1 つの第 1 半導体チップは前記複数の貫通電極に隣接し、前記複数の貫通電極は前記第 1 半導体チップからの熱を放出するように配置されることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【 0 0 0 5 】

前記複数の貫通電極と前記少なくとも1つの積層半導体チップ構造体の1辺に対向する前記少なくとも1つの第1半導体チップの側面を覆い包むが、前記少なくとも1つの第1半導体チップの上面及び前記少なくとも1つの積層半導体チップ構造体の上面を覆わないように、前記パッケージベース基板上に形成されるパッケージモルディング層をさらに有し、前記少なくとも1つの第1半導体チップの上面、及び前記少なくとも1つの積層半導体チップ構造体の上面は、同一レベルの高さであることが好ましい。

前記半導体パッケージは、熱伝達物質層 (TIM: thermal interface material) を挟み、前記少なくとも1つの第1半導体チップ、及び前記少なくとも1つの積層半導体チップ構造体上に付着される放熱部材をさらに有することが好ましい。

【 手続補正 4 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 6

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 6 】

前記複数の第2半導体チップのうち最上端の半導体チップに形成された前記複数の貫通電極は、前記熱伝達物質層と接することが好ましい。

前記少なくとも1つの第1半導体チップと対向する、前記積層半導体チップ構造体の1辺に隣接するように配置される第2貫通電極領域をさらに有することが好ましい。

前記少なくとも1つの積層半導体チップ構造体は、第1積層半導体チップ構造体及び第2積層半導体チップ構造体を含み、前記第1積層半導体チップ構造体及び第2積層半導体チップ構造体それぞれの1辺は、前記少なくとも1つの第1半導体チップの互いに対向する2辺とそれぞれ対向することが好ましい。

【 手続補正 5 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 7

【 補正方法 】 削除

【 補正の内容 】

【 手続補正 6 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 8

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 8 】

前記少なくとも1つの第1半導体チップは、MPU (microprocessor unit) またはGPU (graphics processing unit) であることが好ましい。

前記複数の第2半導体チップは、メモリ半導体チップを含むことが好ましい。

【 手続補正 7 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 9

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 9 】

前記複数の第2半導体チップは、ロジック半導体チップ、及び前記ロジック半導体チップ上に積層される複数のメモリ半導体チップからなることが好ましい。

前記少なくとも1つの第1半導体チップは、前記複数の第2半導体チップのそれぞれより単位面積当たり発熱量が多いことが好ましい。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明による半導体パッケージは、パッケージベース基板と、前記パッケージベース基板上に付着され、単一の半導体チップである第1半導体チップと、前記第1半導体チップと隣接するように、前記パッケージベース基板上に付着され、それぞれが複数の貫通電極が形成された貫通電極領域を含む複数の第2半導体チップが積層され、前記第1半導体チップの上面と積層された第2半導体チップの最上面の半導体チップの上面とが実質的に同一面である少なくとも1つの積層半導体チップ構造体と、前記第1半導体チップ、及び前記少なくとも1つの積層半導体チップ構造体それぞれの側面を覆い包むように、前記パッケージベース基板上に形成されるパッケージモルディング層と、熱伝達物質層(TIM)を挟み、前記第1半導体チップ上、及び前記少なくとも1つの積層半導体チップ構造体上に付着される放熱部材とを有し、前記貫通電極領域は、前記少なくとも1つの第1半導体チップの1辺と対向する、前記少なくとも1つの積層半導体チップ構造体の1辺に隣接するように配置されることを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

前記貫通電極領域は、前記少なくとも1つの積層半導体チップ構造体の互いに対向する2辺に隣接するように配置され、前記第1半導体チップは、第1サブ半導体パッケージ及び第2サブ半導体パッケージを含むことが好ましい。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

前記熱伝達物質層は、前記第1半導体チップの上面、及び前記複数の第2半導体チップのうち最上端の半導体チップの上面と接することが好ましい。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明による半導体パッケージは、パッケージベース基板と、前記パッケージベース基板上に付着される第1半導体チップと、前記第1半導体チップと隣接するように、前記パッケージベース基板上に付着され、複数の貫通電極を介して電氣的に接続されるように垂直積層された複数の第2半導体チップと、前記第1半導体チップの側面、及び前記複数の第2半導体チップの側面を覆い包むように、前記パッケージベース基板上に形成されるパッケージモルディング層と、前記パッケージモルディング層上に付着される放熱部材と、を有し、前記複数の貫通電極は、第1半導体チップの最外側縁に対向する前記複数の垂直積層された第2半導体チップの最外側縁に隣接して配置されたシリコン貫通ビア内に設けられて第1半導体チップからの熱を放出するように配置されることを特徴とする。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

前記複数の貫通電極は、前記第 1 半導体チップと対向する前記複数の第 2 半導体チップの 1 辺に沿って配置されることが好ましい。

前記パッケージモルディング層は、前記パッケージベース基板から同一レベルの高さである前記第 1 半導体チップの上面と、前記複数の第 2 半導体チップのうち最上端の半導体チップの上面とを覆わず、前記放熱部材は、熱伝達物質層を挟み、前記第 1 半導体チップ上、及び前記複数の第 2 半導体チップ上に付着されることが好ましい。