

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2017年3月23日 (23.03.2017)



(10) 国际公布号  
WO 2017/045351 A1

- (51) 国际专利分类号:  
G09G 3/20 (2006.01)
- (21) 国际申请号: PCT/CN2016/073841
- (22) 国际申请日: 2016年2月16日 (16.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510596058.1 2015年9月17日 (17.09.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方显示技术有限公司 (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市北京经济技术开发区经海一路118号, Beijing 100176 (CN)。
- (72) 发明人: 王峥 (WANG, Zheng); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY AT-

TORNEYS); 中国北京市东城区建国门内大街28号民生金融中心D座10层陈源, Beijing 100005 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(54) Title: SHIFT REGISTER AND DRIVING METHOD THEREFOR, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器及其驱动方法、栅极驱动电路和显示装置

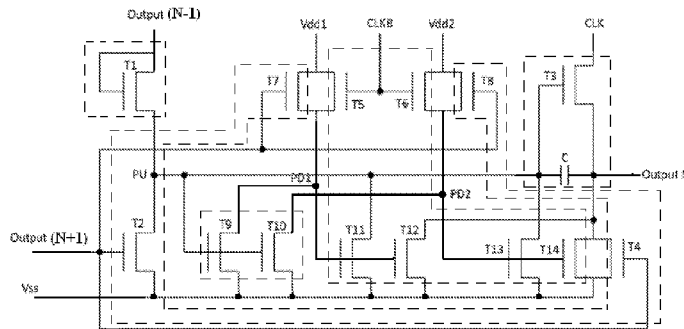


图 2 / FIG. 2

(57) Abstract: A shift register and driving method therefor, a gate driving circuit, and a display device can solve the problems of large delay and high power consumption of the shift register of an existing gate driving circuit. The shift register comprises: an input module for guiding a signal at the output end (Output (N-1)) of a previous-stage shift register to a pull-up node (PU); an output module for guiding, according to the level of the pull-up node (PU), a signal at a first clock signal end (CLK) to an output end (Output N); a reset module for resetting, under the control of a signal at the output end (Output (N+1)) of a next-stage shift register, the pull-up node (PU), the output end (Output N), a first pull-down node (PD1), and a second pull-down node (PD2) by using signals at a turn-off signal end (Vss), a first signal end (Vdd1), and a second signal end (Vdd2); a voltage fixing module for guiding, according to the level of the pull-up node (PU), the signal at the turn-off signal end (Vss) to the two pull-down nodes (PD1, PD2); and a holding module for guiding, under the control of a second clock signal end (CLKB), the signals at the first signal end (Vdd1) and the second signal end (Vdd2) to the two pull-down nodes (PD1, PD2) respectively.

(57) 摘要:

[见续页]

WO 2017/045351 A1

一种移位寄存器及其驱动方法、栅极驱动电路和显示装置，其可解决现有栅极驱动电路移位寄存器中延迟和功耗大的问题。移位寄存器包括：输入模块，将上一级移位寄存器输出端（Output (N-1)）信号引入上拉节点（PU）；输出模块，根据上拉节点（PU）电平，将第一时钟信号端（CLK）信号引入输出端（Output N）；重置模块，在下一级移位寄存器的输出端（Output (N+1)）信号的控制下，用关断信号端（V<sub>ss</sub>）、第一信号端（V<sub>dd1</sub>）、和第二信号端（V<sub>dd2</sub>）信号重置上拉节点（PU）、输出端（Output N）、第一下拉节点（PD1）和第二下拉节点（PD2）；定压模块，根据上拉节点（PU）电平，将关断信号端（V<sub>ss</sub>）信号引入两个下拉节点（PD1、PD2）；保持模块，用于在第二时钟信号端（CLKB）控制下，将第一信号端（V<sub>dd1</sub>）和第二信号端（V<sub>dd2</sub>）信号分别引入两个下拉节点（PD1、PD2）。

## 移位寄存器及其驱动方法、栅极驱动电路和显示装置

### 技术领域

5 本发明属于栅极驱动技术领域，具体涉及一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。

### 背景技术

10 阵列基板是显示装置(液晶显示装置，有机发光二极管显示装置等)的重要部件之一。阵列基板中包括多条栅线，这些栅线中要轮流通入导通信号。为驱动栅线，一种现有方法是使用栅极驱动电路(GOA)，即将用于驱动各栅线的电路制备在阵列基板中。栅极驱动电路通常由多个级联的移位寄存器组成，每个移位寄存器用于驱动一条栅线。

15 图 1 示出了一种现有的移位寄存器，其由多个晶体管、电容等组成。从图 1 中可见，移位寄存器的下拉节点 PD 的电平由第二时钟信号端 CLKB 通过晶体管 M 控制；且下拉节点 PD 还连接多个其他晶体管，这些晶体管均有一定的寄生电容、寄生电阻等。由此，当第二时钟信号端 CLKB 的信号要拉动下拉节点 PD 的电平变化(如由低到高)时，会产生较大的功耗，并由此产生较大延迟(delay)。尤其是多个  
20 移位寄存器的第二时钟信号端 CLKB 的信号通常是由同一个端口提供的，这样各移位寄存器的功耗相互叠加，导致最终第二时钟信号端 CLKB 的信号延迟严重，影响显示效果，并产生很大功耗，浪费能量。

### 发明内容

25 针对现有的栅极驱动电路的移位寄存器中延迟和功耗大的问题，本发明提供一种可降低延迟和功耗的移位寄存器及其驱动方法、栅极驱动电路和显示装置。

30 本发明的第一方面提供了一种移位寄存器，其包括上拉节点、第一下拉节点、第二下拉节点、第一时钟信号端、第二时钟信号端、第一信号端、第二信号端、关断信号端、和输出端，并且其还包括：

输入模块，用于将上一级移位寄存器的输出端的信号引入上拉节点；

输出模块，用于根据上拉节点的电平，将第一时钟信号端的信号引入输出端；

5 重置模块；用于在下一级移位寄存器的输出端的信号的控制下，用关断信号端、第一信号端、和第二信号端的信号重置上拉节点、输出端、第一下拉节点、和第二下拉节点；

定压模块，用于根据上拉节点的电平，将关断信号端的信号引入第一下拉节点和第二下拉节点；以及

10 保持模块，用于在第二时钟信号端的控制下，将第一信号端和第二信号端的信号分别引入第一下拉节点和第二下拉节点，从而将关断信号端的信号引入上拉节点和输出端。

15 优选的是，所述输入模块包括：第一晶体管，其栅极和第一极连接上一级移位寄存器的输出端，并且其第二极连接上拉节点。

进一步优选的是，所述输出模块包括：第三晶体管，其栅极连接上拉节点，其第一极连接第一时钟信号端，并且其第二极连接输出端；以及存储电容，其第一极连接上拉节点，并且其第二极连接输出端。

20 进一步优选的是，所述重置模块包括：第二晶体管，其栅极连接下一级移位寄存器的输出端，其第一极连接上拉节点，并且其第二极连接关断信号端；第四晶体管，其栅极连接下一级移位寄存器输出端，其第一极连接输出端，并且其第二极连接关断信号端；第七晶体管，其栅极连接下一级移位寄存器的输出端，其第一极连接第一信号端，并且其第二极连接第一下拉节点；以及第八晶体管，其栅极连接下一级移位寄存器的输出端，其第一极连接第二信号端，并且其第二极连接第二下拉节点。

25 进一步优选的是，所述定压模块包括：第九晶体管，其栅极连接上拉节点，其第一极连接第一下拉节点，并且其第二极连接关断信号端；以及第十晶体管，其栅极连接上拉节点，其第一极连接第二下

30

拉节点，并且其第二极连接关断信号端。

进一步优选的是，所述保持模块包括：第五晶体管，其栅极连接第二时钟信号端，其第一极连接第一信号端，并且其第二极连接第一下拉节点；第六晶体管，其栅极连接第二时钟信号端，其第一极连接第二信号端，并且其第二极连接第二下拉节点；第十一晶体管，其栅极连接第一下拉节点，其第一极连接上拉节点，并且其第二极连接关断信号端；第十二晶体管，其栅极连接第一下拉节点，其第一极连接输出端，并且其第二极连接关断信号端；第十三晶体管，其栅极连接第二下拉节点，其第一极连接上拉节点，并且其第二极连接关断信号端；以及第十四晶体管，其栅极连接第二下拉节点，其第一极连接输出端，并且其第二极连接关断信号端。

进一步优选的是，所述第九晶体管的寄生电阻小于第五晶体管的寄生电阻；以及所述第十晶体管的寄生电阻小于第六晶体管的寄生电阻。

进一步优选的是，所有所述晶体管均为 N 型晶体管。

替代地，所有所述晶体管均为 P 型晶体管。

本发明的第二方面提供了一种栅极驱动电路，其包括多个级联的上述移位寄存器。

20

本发明的第三方面提供了一种显示装置，包括阵列基板，且所述阵列基板包括上述栅极驱动电路。

本发明的第四方面提供了一种上述移位寄存器的驱动方法，其包括：

25

在充电阶段，通过所述输入模块将上一级移位寄存器的输出端的信号引入上拉节点；

在输出阶段，通过所述输出模块将第一时钟信号端的信号引入输出端，使输出端输出导通信号；

30 在重置阶段，通过所述重置模块用关断信号端、第一信号端、

和第二信号端的信号来重置上拉节点、输出端、第一下拉节点、和第二下拉节点；以及

在保持阶段，通过所述保持模块将关断信号端的信号引入上拉节点和输出端，使输出端持续输出关断信号。

5

优选的是，在以上全部晶体管为 N 型晶体管的情况下，所述移位寄存器的驱动方法包括：在充电阶段，设置所述第一时钟信号端为低电平，第二时钟信号端为高电平，上一级移位寄存器的输出端为高电平，并且下一级移位寄存器的输出端为低电平；在输出阶段，设置  
10 所述第一时钟信号端为高电平，第二时钟信号端为低电平，上一级移位寄存器的输出端为低电平，并且下一级移位寄存器的输出端为低电平；在重置阶段，设置所述第一时钟信号端为低电平，第二时钟信号端为高电平，上一级移位寄存器的输出端为低电平，并且下一级移位寄存器的输出端为高电平；在保持阶段，设置所述上一级移位寄存器的输出端和下一级移位寄存器的输出端为低电平；在以上步骤中，所述关断信号端持续为低电平，所述第一信号端和第二信号端中的一个为高电平，另一个为低电平。  
15

优选的是，在以上全部晶体管为 P 型晶体管的情况下，所述移位寄存器的驱动方法包括：在充电阶段，设置所述第一时钟信号端为高电平，第二时钟信号端为低电平，上一级移位寄存器的输出端为低电平，并且下一级移位寄存器的输出端为高电平；在输出阶段，设置  
20 所述第一时钟信号端为低电平，第二时钟信号端为高电平，上一级移位寄存器的输出端为高电平，并且下一级移位寄存器的输出端为高电平；在重置阶段，设置所述第一时钟信号端为高电平，第二时钟信号端为低电平，上一级移位寄存器的输出端为高电平，并且下一级移位寄存器的输出端为低电平；在保持阶段，设置所述上一级移位寄存器的输出端和下一级移位寄存器的输出端为高电平；在以上步骤中，所述关断信号端持续为高电平，所述第一信号端和第二信号端中的一个为高电平，另一个为低电平。  
25

进一步优选的是，所述移位寄存器的驱动方法还包括：切换第  
30

一信号端的电平和第二信号端的电平的步骤，以使第一信号端和第二信号端中原为高电平的变为低电平，原为低电平的变为高电平。

5 本发明的移位寄存器中，时钟信号所接的晶体管数量少，由此其延迟和能耗均低；且时钟信号并不直接控制各节点的电平，而是通过第一信号端、第二信号端等的稳定信号来控制各节点的电平，由此时钟信号即使有延迟对显示效果的影响也小，可保证移位寄存器运行稳定，改善显示效果。

## 10 附图说明

图 1 为现有的一种移位寄存器的电路图。

图 2 为本发明的一个实施例的移位寄存器的电路图。

图 3 为图 2 的移位寄存器的驱动时序图。

图 4 为本发明的另一实施例的移位寄存器的电路图。

15 图 5 为图 4 的移位寄存器的驱动时序图。

图 6 为本发明的一个实施例的栅极驱动电路的局部结构框图。

附图标记：T1、第一晶体管；T2、第二晶体管；T3、第三晶体管；T4、第四晶体管；T5、第五晶体管；T6、第六晶体管；T7、第七晶体管；T8、第八晶体管；T9、第九晶体管；T10、第十晶体管；T11、第十一晶体管；T12、第十二晶体管；T13、第十三晶体管；T14、第十四晶体管；M、晶体管；C、存储电容；Output (N-1)、上一级移位寄存器输出端；Output (N+1)、下一级移位寄存器输出端；Output N、输出端；Vdd1、第一信号端；Vdd2、第二信号端；Vss、关断信号端；CLK、第一时钟信号端；CLKB、第二时钟信号端；PU、上拉节点；PD1、  
20 第一下拉节点；PD2、第二下拉节点。

## 具体实施方式

为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。

30

第一实施例：

如图 2 和图 3 所示，本实施例提供一种移位寄存器，其包括上拉节点 PU、第一下拉节点 PD1、第二下拉节点 PD2、第一时钟信号端 CLK、第二时钟信号端 CLKB、第一信号端 Vdd1、第二信号端 Vdd2、  
5 关断信号端 Vss、和输出端 Output N。该移位寄存器还包括：

输入模块，用于将上一级移位寄存器的输出端 Output (N-1) 的信号引入上拉节点 PU；

输出模块，用于根据上拉节点 PU 的电平，将第一时钟信号端 CLK 的信号引入输出端 Output N；

10 重置模块，用于在下一级移位寄存器的输出端 Output (N+1) 的信号的 control 下，用关断信号端 Vss、第一信号端 Vdd1、和第二信号端 Vdd2 的信号重置上拉节点 PU、输出端 Output N、第一下拉节点 PD1、和第二下拉节点 PD2；

15 定压模块，用于根据上拉节点 PU 的电平，将关断信号端 Vss 的信号引入第一下拉节点 PD1 和第二下拉节点 PD2；以及

保持模块，用于在第二时钟信号端 CLKB 的控制下，将第一信号端 Vdd1 和第二信号端 Vdd2 的信号分别引入第一下拉节点 PD1 和第二下拉节点 PD2，从而将关断信号端 Vss 的信号引入上拉节点 PU 和输出端 Output N。

20 本实施例的移位寄存器中，各时钟信号所接的晶体管数量少，由此其延迟和能耗均低；且时钟信号并不直接控制各节点的电平，而是通过第一信号端 Vdd1、第二信号端 Vdd2 等的稳定的信号控制各节点的电平，由此时钟信号即使有延迟对显示效果的影响也小，可保证移位寄存器运行的稳定，改善显示效果。

25 优选的，输入模块包括：第一晶体管 T1，其栅极和第一极连接上一级移位寄存器的输出端 Output (N-1)，并且其第二极连接上拉节点 PU。

30 更优选的，输出模块包括：第三晶体管 T3，其栅极连接上拉节点 PU，其第一极连接第一时钟信号端 CLK，并且其第二极连接输出端

Output N; 以及存储电容 C, 其第一极连接上拉节点 PU, 并且其第二极连接输出端 Output N。

更优选的, 重置模块包括:

5 第二晶体管 T2, 其栅极连接下一级移位寄存器的输出端 Output (N+1), 其第一极连接上拉节点 PU, 其第二极连接关断信号端 Vss;

第四晶体管 T4, 其栅极连接下一级移位寄存器的输出端 Output (N+1), 其第一极连接输出端 Output N, 其第二极连接关断信号端 Vss;

10 第七晶体管 T7, 其栅极连接下一级移位寄存器的输出端 Output (N+1), 其第一极连接第一信号端 Vdd1, 其第二极连接第一下拉节点 PD1; 以及

第八晶体管 T8, 其栅极连接下一级移位寄存器的输出端 Output (N+1), 其第一极连接第二信号端 Vdd2, 其第二极连接第二下拉节点 PD2。

更优选的, 定压模块包括:

15 第九晶体管 T9, 其栅极连接上拉节点 PU, 其第一极连接第一下拉节点 PD1, 其第二极连接关断信号端 Vss; 以及

第十晶体管 T10, 其栅极连接上拉节点 PU, 其第一极连接第二下拉节点 PD2, 其第二极连接关断信号端 Vss。

更优选的, 保持模块包括:

20 第五晶体管 T5, 其栅极连接第二时钟信号端 CLKB, 其第一极连接第一信号端 Vdd1, 其第二极连接第一下拉节点 PD1;

第六晶体管 T6, 其栅极连接第二时钟信号端 CLKB, 其第一极连接第二信号端 Vdd2, 其第二极连接第二下拉节点 PD2;

25 第十一晶体管 T11, 其栅极连接第一下拉节点 PD1, 其第一极连接上拉节点 PU, 其第二极连接关断信号端 Vss;

第十二晶体管 T12, 其栅极连接第一下拉节点 PD1, 其第一极连接输出端 Output N, 其第二极连接关断信号端 Vss;

第十三晶体管 T13, 其栅极连接第二下拉节点 PD2, 其第一极连接上拉节点 PU, 其第二极连接关断信号端 Vss; 以及

30 第十四晶体管 T14, 其栅极连接第二下拉节点 PD2, 其第一极连

接输出端 Output N，其第二极连接关断信号端 Vss。

更优选的，第九晶体管 T9 的寄生电阻小于第五晶体管 T5 的寄生电阻；第十晶体管 T10 的寄生电阻小于第六晶体管 T6 的寄生电阻。

5 更优选的，所有晶体管均为 N 型晶体管（如全部为 N 型薄膜晶体管）。

本实施例还提供一种上述移位寄存器的驱动方法，其包括如下步骤：

10 在充电阶段，通过输入模块将上一级移位寄存器的输出端 Output (N-1) 的信号引入上拉节点 PU；

在输出阶段，通过输出模块将第一时钟信号端 CLK 的信号引入输出端 Output N，使输出端 Output N 输出导通信号；

15 在重置阶段，通过重置模块用关断信号端 Vss、第一信号端 Vdd1、和第二信号端 Vdd2 的信号重置上拉节点 PU、输出端 Output N、第一下拉节点 PD1、和第二下拉节点 PD2；

在保持阶段，通过保持模块将关断信号端 Vss 的信号引入上拉节点 PU 和输出端 Output N，使输出端 Output N 持续输出关断信号。

20 在一个示例中，对于以上所有晶体管均为 N 型晶体管的移位寄存器，关断信号端 Vss 持续为低电平，而第一信号端 Vdd1 和第二信号端 Vdd2 中的一个为高电平，另一个为低电平。

25 也就是说，在该示例中，关断信号端 Vss 必须一直处于低电平状态（因为 N 型晶体管在低电平时关断）；且在任意时刻，第一信号端 Vdd1 和第二信号端 Vdd2 必然是“一高一低”的状态。具体的，以第一信号端 Vdd1 一直为高电平，第二信号端 Vdd2 一直为低电平为例说明本实施例，而其他情况将后续说明。

如图 3 所示，此时移位寄存器的驱动方法具体包括：

30 S11，在充电阶段，设置第一时钟信号端 CLK 为低电平，第二时钟信号端 CLKB 为高电平，上一级移位寄存器的输出端 Output (N-1) 为高电平，并且下一级移位寄存器的输出端 Output (N+1) 为低电平。

本阶段中，下一级移位寄存器的输出端 Output (N+1) 被设置为低电平，故第二晶体管 T2、第四晶体管 T4、第七晶体管 T7、第八晶体管 T8 均关断；由此上一级移位寄存器的输出端 Output (N-1) 的高电平使第一晶体管 T1 导通，上拉节点 PU 变为高电平，进而使第三晶体管 T3、第九晶体管 T9、第十晶体管 T10 导通，并将存储电容 C 的第一极(左侧一极)置为高电平；而存储电容 C 的第二极(右侧一极) (其为输出端 Output N) 则被第一时钟信号端 CLK 的低电平经第三晶体管 T3 置为低电平，从而移位寄存器输出关断信号(低电平)，且存储电容 C 两端产生一定的电平差。

同时，由于第二时钟信号端 CLKB 为高电平，故第二信号端 Vdd2 的低电平经第六晶体管 T6 被引入到第二下拉节点 PD2，且关断信号端 Vss 的低电平也经过第十晶体管 T10 被引入到第二下拉节点 PD2，以稳定其低电平。对于第一下拉节点 PD1，其一端经过第五晶体管 T5 连接到第一信号端 Vdd1 的高电平，其另一端经第九晶体管 T9 连接到关断信号端 Vss 的低电平，故此时第一下拉节点 PD1 的电平由第九晶体管 T9 和第五晶体管 T5 的分压决定。由于第九晶体管 T9 的寄生电阻比第五晶体管 T5 的寄生电阻小，故第九晶体管 T9 的分压小，第一下拉节点 PD1 更接近关断信号端 Vss 的电平，可被视为低电平。应当理解，当第一时钟信号端 CLK 为低电平而第二时钟信号端 CLKB 为高电平时，第二下拉节点 PD2 的状况与此类似，即，第二下拉节点 PD2 的电平由第十晶体管 T10 和第六晶体管 T6 的分压决定。由于第十晶体管 T10 的寄生电阻比第六晶体管 T6 的寄生电阻小，故该状态下第二下拉节点 PD2 也应为低电平。这样，第十一晶体管 T11、第十二晶体管 T12、第十三晶体管 T13、和第十四晶体管 T14 均关断，不对上拉节点 PU 造成影响，保证了电路稳定。

S12，在输出阶段，设置第一时钟信号端 CLK 为高电平，第二时钟信号端 CLKB 为低电平，上一级移位寄存器的输出端 Output (N-1) 为低电平，并且下一级移位寄存器的输出端 Output (N+1) 为低电平。

本阶段中，上一级移位寄存器的输出端 Output (N-1) 变为低电

平, 从而第一晶体管 T1 关断。第二时钟信号端 CLKB 变为低电平, 从而第五晶体管 T5、第六晶体管 T6 关断, 第一信号端 Vdd1 和第二信号端 Vdd2 的信号不再能进入电路中, 第一下拉节点 PD1 和第二下拉节点 PD2 保持关断信号端 Vss 的低电平, 第十一晶体管 T11、第十二晶体管 T12、第十三晶体管 T13、第十四晶体管 T14 也保持关断, 从而上拉节点 PU 浮接, 保持高电平。这样, 第三晶体管 T3 保持导通, 将第一时钟信号端 CLK 的高电平引入输出端 Output N, 使输出端 Output N 输出导通信号(高电平)。

同时通过存储电容 C 的自举效应, 上拉节点 PU 的电平进一步提高, 从而更可靠的保持第三晶体管 T3 导通, 稳定了导通信号的输出。

S13, 在重置阶段, 设置第一时钟信号端 CLK 为低电平, 第二时钟信号端 CLKB 为高电平, 上一级移位寄存器的输出端 Output (N-1) 为低电平, 并且下一级移位寄存器的输出端 Output (N+1) 为高电平。

本阶段中, 下一级移位寄存器的输出端 Output (N+1) 为高电平, 使第二晶体管 T2、第四晶体管 T4、第七晶体管 T7、第八晶体管 T8 导通, 从而第二晶体管 T2 将关断信号端 Vss 的低电平引入上拉节点 PU, 第四晶体管 T4 将关断信号端 Vss 的低电平引入输出端 Output N, 使移位寄存器稳定地输出关断信号(低电平), 并将存储电容 C 两端的电平重置。

同时, 第一信号端 Vdd1 的高电平经第七晶体管 T7 引入第一下拉节点 PD1, 第二信号端 Vdd2 的低电平经第八晶体管 T8 引入第二下拉节点 PD2, 第十一晶体管 T11 和第十二晶体管 T12 导通, 以辅助第二晶体管 T2 和第四晶体管 T4 将关断信号端 Vss 的低电平引入上拉节点 PU 和输出端 Output N, 从而起到降噪的作用。最好地控制这两个点的电平, 以获得稳定的输出效果。而且, 此时第二时钟信号端 CLKB 为高电平, 使第五晶体管 T5、第六晶体管 T6 也导通, 以辅助第七晶体管 T7 和第八晶体管 T8 传递信号, 提高电路稳定性。

本阶段中, 通过多个不同的晶体管将关断信号端 Vss 的低电平引入存储电容 C 两端, 从而很好的保证了存储电容 C 两端低电平的稳

定性，改善了输出效果。

S14, 在保持阶段, 设置上一级移位寄存器的输出端 Output (N-1) 和下一级移位寄存器的输出端 Output (N+1) 为低电平。

5           本阶段中, 上一级移位寄存器的输出端 Output (N-1) 和下一级移位寄存器的输出端 Output (N+1) 均为低电平, 从而第一晶体管 T1、第二晶体管 T2、第四晶体管 T4、第七晶体管 T7、和第八晶体管 T8 均关断, 上拉节点 PU 保持低电平, 使第九晶体管 T9 和第十晶体管 T10 也关断。

10           同时, 第二时钟信号端 CLKB 在高低电平间切换。当第二时钟信号端 CLKB 为高电平时, 则第五晶体管 T5 导通, 将第一信号端 Vdd1 的高电平引入第一下拉节点 PD1, 使第十一晶体管 T11、第十二晶体管 T12 导通, 将关断信号端 Vss 的低电平引入存储电容 C 两端, 使移位寄存器输出关断信号(低电平)。当第二时钟信号端 CLKB 为低电平时, 则第五晶体管 T5 关断, 第一下拉节点 PD1 浮接。由于电路中各种器件的寄生电容的作用, 且由于第二时钟信号端 CLKB 的信号切换很快, 因此, 在第二时钟信号端 CLKB 为低电平的短时间, 第一下拉节点 PD1 仍保持可使第十一晶体管 T11 和第十二晶体管 T12 导通的高电平, 进而使移位寄存器持续输出关断信号(低电平)。

15           

20           在本阶段中, 通过第十一晶体管 T11 和第十二晶体管 T12 将低电平信号引入存储电容 C 两端, 从而起到降噪作用, 并最大限度地稳定输出。

25           优选的, 以上的移位寄存器的驱动方法还包括切换第一信号端 Vdd1 和第二信号端 Vdd2 的电平的步骤, 也就是使第一信号端 Vdd1 和第二信号端 Vdd2 中原为高电平的变为低电平, 原为低电平的变为高电平。

30           根据以上描述可知, 在第一信号端 Vdd1 为高电平而第二信号端 Vdd2 为低电平的情况下, 只有第一下拉节点 PD1 可能为高电平, 而第二下拉节点 PD2 一直保持低电平。也就是说, 只有与第一信号端

Vdd1 对应的第十一晶体管 T11 和第十二晶体管 T12 会处于导通状态，而与第二信号端 Vdd2(第二下拉节点 PD2)对应的第十三晶体管 T13 和第十四晶体管 T14 则一直关断，实际处于不工作的“备用”状态。

5 从图 3 可见，第一信号端 Vdd1 和第二信号端 Vdd2 对应的结构实际是完全等价的，故若第二信号端 Vdd2 为高电平而第一信号端 Vdd1 为低电平，则也可按照完全相同的方法实现本发明，只是其中第一下拉节点 PD1 的状态会与第二下拉节点 PD2 的状态互换，而第十一晶体管 T11、第十二晶体管 T12 的状态会与第十三晶体管 T13、第十四晶体管 T14 的状态互换。

10 由此，为了轮流使用与第一信号端 Vdd1 和第二信号端 Vdd2 对应的晶体管以延长其使用寿命，故优选可每隔一段时间将第一信号端 Vdd1 和第二信号端 Vdd2 的状态切换一次。

当然，虽然以上切换在任意时刻进行都可，但为了保证电路的稳定以及降低切换的难度，故优选每间隔较长的时间才进行一次切换，例如每隔数帧至数百帧画面的时间进行一次切换，其具体时间间隔可在 0.1 秒~10 秒之间。

#### 第二实施例：

如图 4、图 5 所示，本实施例提供一种移位寄存器。

20 具体的，该移位寄存器具有与第一实施例的移位寄存器相似的结构，区别在于其中所有的晶体管均为 P 型晶体管。

本实施例还提供一种上述移位寄存器的驱动方法，其包括：

S21，在充电阶段，设置第一时钟信号端 CLK 为高电平，第二时钟信号端 CLKB 为低电平，上一级移位寄存器的输出端 Output(N-1)为低电平，并且下一级移位寄存器的输出端 Output(N+1)为高电平；

25 S22，在输出阶段，设置第一时钟信号端 CLK 为低电平，第二时钟信号端 CLKB 为高电平，上一级移位寄存器的输出端 Output(N-1)为高电平，并且下一级移位寄存器的输出端 Output(N+1)为高电平；

S23，在重置阶段，第一时钟信号端 CLK 为高电平，第二时钟信号端 CLKB 为低电平，上一级移位寄存器的输出端 Output(N-1)为高

电平，并且下一级移位寄存器的输出端 Output(N+1)为低电平；以及  
S24，在保持阶段，上一级移位寄存器的输出端 Output(N-1)和  
下一级移位寄存器的输出端 Output(N+1)均为高电平。

在以上步骤中，关断信号端 Vss 持续为高电平，第一信号端 Vdd1  
5 和第二信号端 Vdd2 中的一个为高电平，另一个为低电平。

也就是说，由于 P 型晶体管与 N 型晶体管的导通信号和关断信  
号的状态正好相反，故在采用 P 型晶体管的移位寄存器中，所有端口  
提供的信号均应与采用 N 型晶体管的移位寄存器中的情况相反，这样  
即可保证移位寄存器的工作状态不变，因此其详细过程在此不再详细  
10 描述。

### 第三实施例：

如图 6 所示，本实施例提供一种栅极驱动电路，其包括多个级  
联的上述移位寄存器。

也就是说，可将多个上述移位寄存器级联，从而形成用于驱动  
15 栅极的栅极驱动电路。

具体的，每个移位寄存器的输出端连接一条栅线，从而为该栅  
线提供驱动信号。同时，每个移位寄存器的输出端还与其上一级和下  
一级的移位寄存器相连，以作为它们的输入的一部分。当然，对于整  
20 个电路中的第一个和最后一个移位寄存器，由于其没有上一级或下  
一级的移位寄存器，故它们的相应的输入端可连接单独的信号端。

而多个移位寄存器的第一信号端、第二信号端、第一时钟信号  
端、第二时钟信号端则可各分别通过引线连接同一端口，从而用一个  
端口为多个移位寄存器提供信号。其中，每个移位寄存器的输出阶段  
25 (即输出导通信号时)也就是其下一级移位寄存器的充电阶段(即上  
一级移位寄存器输出导通信号时)，此时两移位寄存器对第一时钟信  
号端和第二时钟信号端的信号的需求必然是相反的。因此，相邻移位  
寄存器的相同的时钟信号端可分别连接不同的端口。由于移位寄存器  
具体的级联方式是已知的，故在此不再详细描述。

30

#### 第四实施例：

本实施例提供一种显示装置，其包括阵列基板，阵列基板包括上述栅极驱动电路。

5 具体的，该显示装置可为液晶显示面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

10 可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

## 权利要求

1. 一种移位寄存器，包括上拉节点、第一下拉节点、第二下拉节点、第一时钟信号端、第二时钟信号端、第一信号端、第二信号端、关断信号端、和输出端，其中所述移位寄存器还包括：

5

输入模块，用于将上一级移位寄存器的输出端的信号引入所述上拉节点；

输出模块，用于根据所述上拉节点的电平，将所述第一时钟信号端的信号引入所述输出端；

10

重置模块，用于在下一级移位寄存器的输出端的信号的控制下，用所述关断信号端、所述第一信号端、和所述第二信号端的信号重置所述上拉节点、所述输出端、所述第一下拉节点、和所述第二下拉节点；

15

定压模块，用于根据所述上拉节点的电平，将所述关断信号端的信号引入所述第一下拉节点和所述第二下拉节点；以及

保持模块，用于在所述第二时钟信号端的控制下，将所述第一信号端和所述第二信号端的信号分别引入所述第一下拉节点和所述第二下拉节点，从而将所述关断信号端的信号引入所述上拉节点和所述输出端。

20

2. 根据权利要求 1 所述的移位寄存器，其中，所述输入模块包括：

第一晶体管，其栅极和第一极连接所述上一级移位寄存器的输出端，并且其第二极连接所述上拉节点。

25

3. 根据权利要求 1 或 2 所述的移位寄存器，其中，所述输出模块包括：

第三晶体管，其栅极连接所述上拉节点，其第一极连接所述第一时钟信号端，并且其第二极连接所述输出端；以及

30

存储电容，其第一极连接所述上拉节点，并且其第二极连接所

述输出端。

4. 根据权利要求 1 至 3 中任意一项所述的移位寄存器，其中，所述重置模块包括：

5           第二晶体管，其栅极连接所述下一级移位寄存器的输出端，其第一极连接所述上拉节点，并且其第二极连接所述关断信号端；

          第四晶体管，其栅极连接所述下一级移位寄存器的输出端，其第一极连接所述输出端，并且其第二极连接所述关断信号端；

10          第七晶体管，其栅极连接所述下一级移位寄存器的输出端，其第一极连接所述第一信号端，并且其第二极连接所述第一下拉节点；  
          以及

          第八晶体管，其栅极连接所述下一级移位寄存器的输出端，其第一极连接所述第二信号端，并且其第二极连接所述第二下拉节点。

15          5. 根据权利要求 1 至 4 中任意一项所述的移位寄存器，其中，所述定压模块包括：

          第九晶体管，其栅极连接所述上拉节点，其第一极连接所述第一下拉节点，并且其第二极连接所述关断信号端；以及

20          第十晶体管，其栅极连接所述上拉节点，其第一极连接所述第二下拉节点，并且其第二极连接所述关断信号端。

6. 根据权利要求 5 所述的移位寄存器，其中，所述保持模块包括：

25          第五晶体管，其栅极连接所述第二时钟信号端，其第一极连接所述第一信号端，并且其第二极连接所述第一下拉节点；

          第六晶体管，其栅极连接所述第二时钟信号端，其第一极连接所述第二信号端，并且其第二极连接所述第二下拉节点；

          第十一晶体管，其栅极连接所述第一下拉节点，其第一极连接所述上拉节点，并且其第二极连接所述关断信号端；

30          第十二晶体管，其栅极连接所述第一下拉节点，其第一极连接

所述输出端，并且其第二极连接所述关断信号端；

第十三晶体管，其栅极连接所述第二下拉节点，其第一极连接所述上拉节点，并且其第二极连接所述关断信号端；以及

第十四晶体管，其栅极连接所述第二下拉节点，其第一极连接所述输出端，并且其第二极连接所述关断信号端。

7. 根据权利要求 6 所述的移位寄存器，其中，  
所述第九晶体管的寄生电阻小于所述第五晶体管的寄生电阻；

以及

所述第十晶体管的寄生电阻小于所述第六晶体管的寄生电阻。

8. 根据权利要求 7 所述的移位寄存器，其中，  
所有所述晶体管均为 N 型晶体管。

9. 根据权利要求 7 所述的移位寄存器，其中，  
所有所述晶体管均为 P 型晶体管。

10. 一种栅极驱动电路，包括多个级联的移位寄存器，其中，  
所述移位寄存器为权利要求 1 至 9 中任意一项所述的移位寄存器。

11. 一种显示装置，包括阵列基板，其中，  
所述阵列基板包括权利要求 10 所述的栅极驱动电路。

12. 一种移位寄存器的驱动方法，其中，所述移位寄存器为权利要求 1 至 9 中任意一项所述的移位寄存器，所述移位寄存器的驱动方法包括：

在充电阶段，通过所述输入模块将所述上一级移位寄存器的输出端的信号引入所述上拉节点；

在输出阶段，通过所述输出模块将所述第一时钟信号端的信号

引入所述输出端，使所述输出端输出导通信号；

在重置阶段，通过所述重置模块用所述关断信号端、所述第一信号端、和所述第二信号端的信号来重置所述上拉节点、所述输出端、所述第一下拉节点、和所述第二下拉节点；以及

5           在保持阶段，通过所述保持模块将所述关断信号端的信号引入所述上拉节点和所述输出端，使所述输出端持续输出关断信号。

13. 根据权利要求 12 所述的移位寄存器的驱动方法，其中，所述移位寄存器为权利要求 8 所述的移位寄存器，所述移位寄存器的驱动方法还包括：

10           在充电阶段，设置所述第一时钟信号端为低电平，所述第二时钟信号端为高电平，所述上一级移位寄存器的输出端为高电平，并且所述下一级移位寄存器的输出端为低电平；

          在输出阶段，设置所述第一时钟信号端为高电平，所述第二时钟信号端为低电平，所述上一级移位寄存器的输出端为低电平，并且

15           所述下一级移位寄存器的输出端为低电平；

          在重置阶段，设置所述第一时钟信号端为低电平，所述第二时钟信号端为高电平，所述上一级移位寄存器的输出端为低电平，并且

20           所述下一级移位寄存器的输出端为高电平；

          在保持阶段，设置所述上一级移位寄存器的输出端和所述下一级移位寄存器的输出端为低电平；

          在以上步骤中，所述关断信号端持续为低电平，所述第一信号端和所述第二信号端中的一个为高电平，另一个为低电平。

14. 根据权利要求 12 所述的移位寄存器的驱动方法，其中，所述移位寄存器为权利要求 9 所述的移位寄存器，所述移位寄存器的驱动方法还包括：

25           在充电阶段，设置所述第一时钟信号端为高电平，所述第二时钟信号端为低电平，所述上一级移位寄存器的输出端为低电平，并且

在输出阶段，设置所述第一时钟信号端为低电平，所述第二时钟信号端为高电平，所述上一级移位寄存器的输出端为高电平，并且所述下一级移位寄存器的输出端为高电平；

5 在重置阶段，设置所述第一时钟信号端为高电平，所述第二时钟信号端为低电平，所述上一级移位寄存器的输出端为高电平，并且所述下一级移位寄存器的输出端为低电平；

在保持阶段，设置所述上一级移位寄存器的输出端和所述下一级移位寄存器的输出端为高电平；

10 在以上步骤中，所述关断信号端持续为高电平，所述第一信号端和所述第二信号端中的一个为高电平，另一个为低电平。

15. 根据权利要求 13 或 14 所述的移位寄存器驱动方法，还包括：

15 切换所述第一信号端的电平和所述第二信号端的电平的步骤，以使所述第一信号端和所述第二信号端中原为高电平的变为低电平，原为低电平的变为高电平。

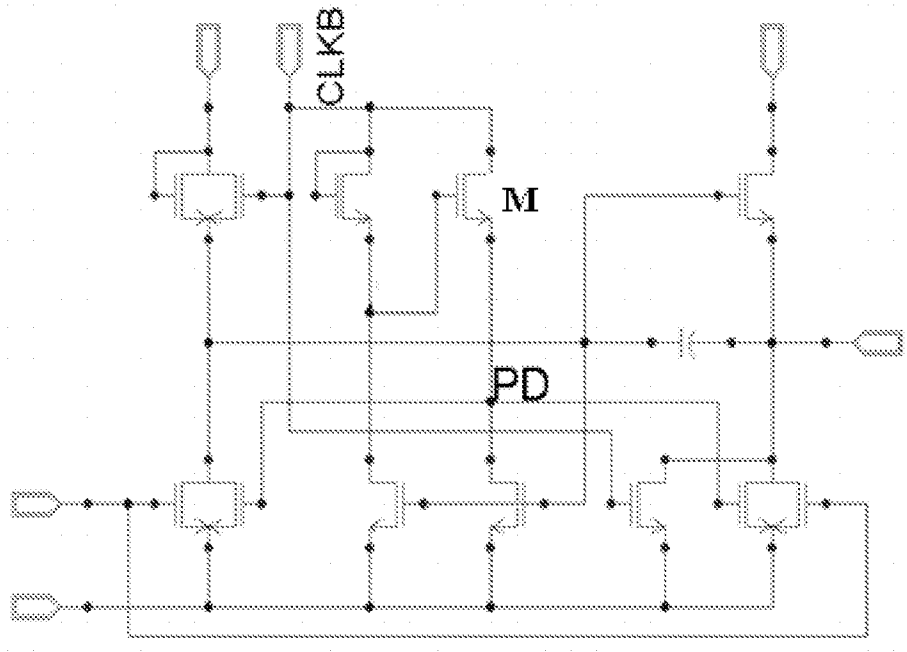


图 1

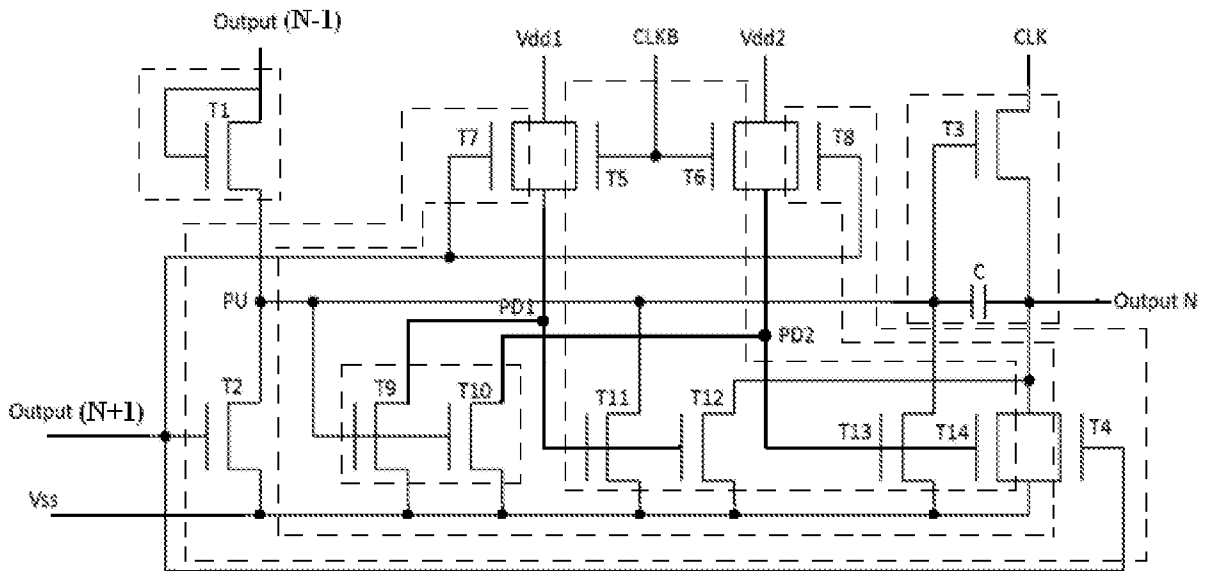


图 2

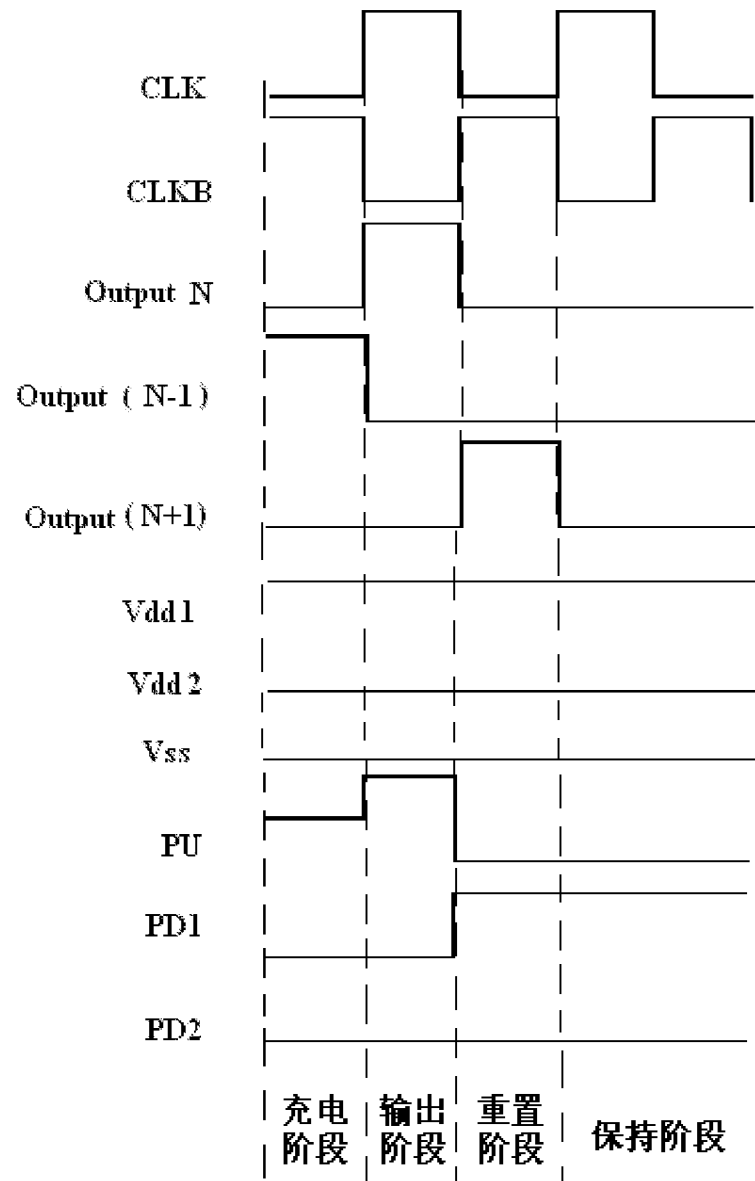


图 3

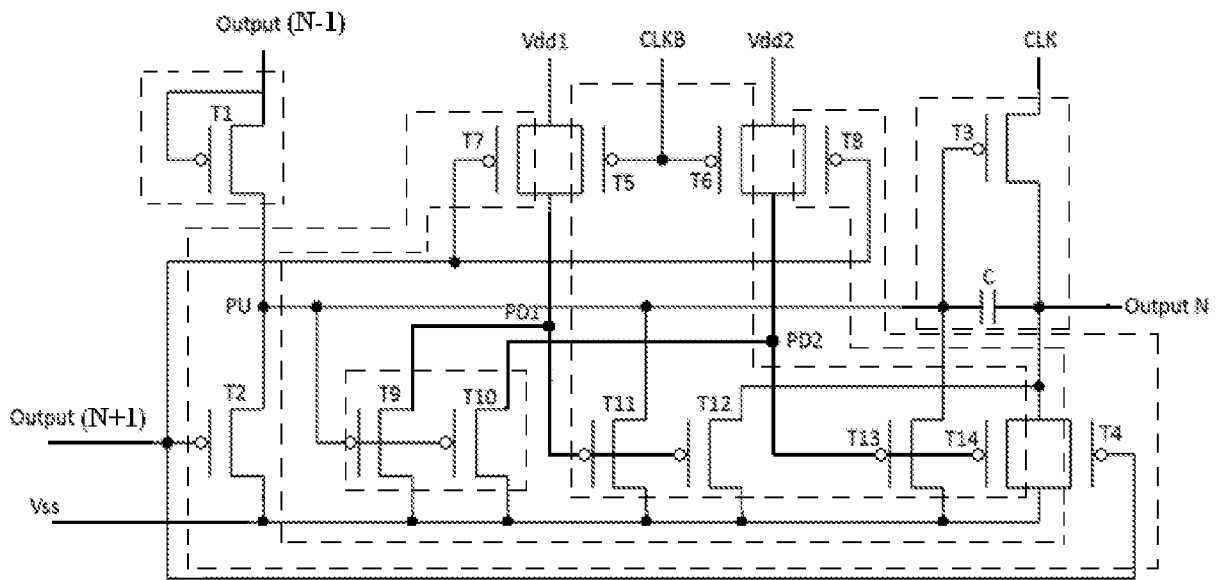


图 4

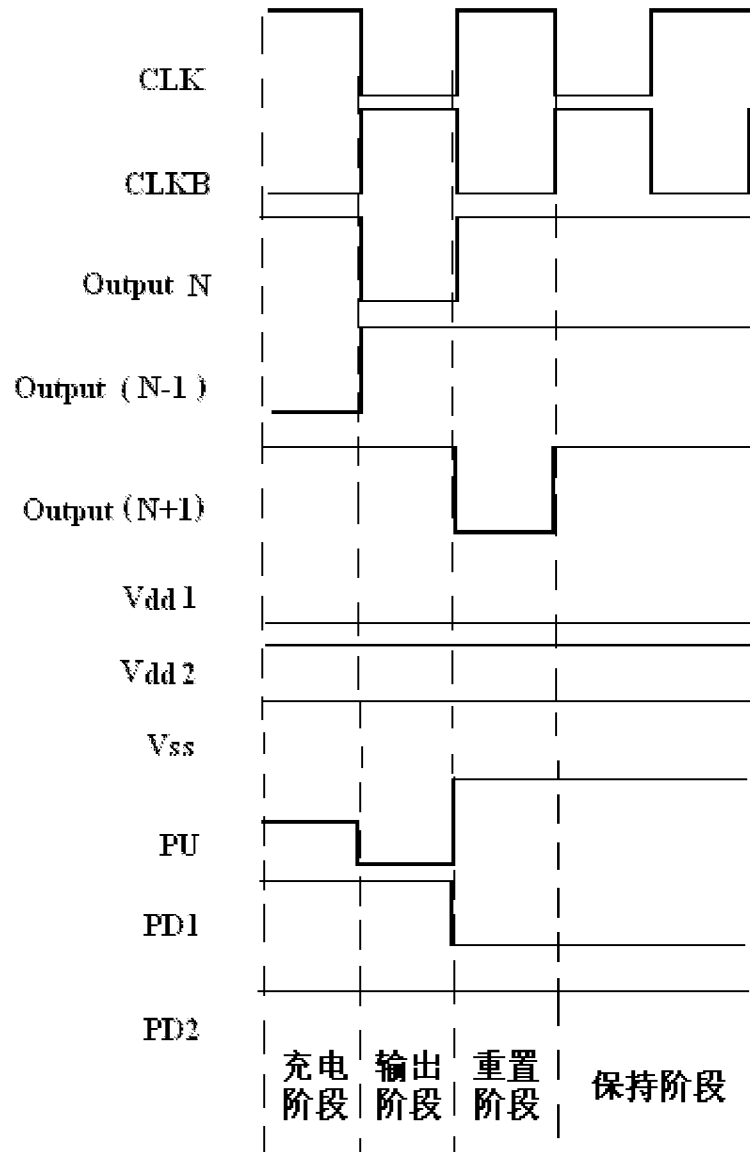


图 5

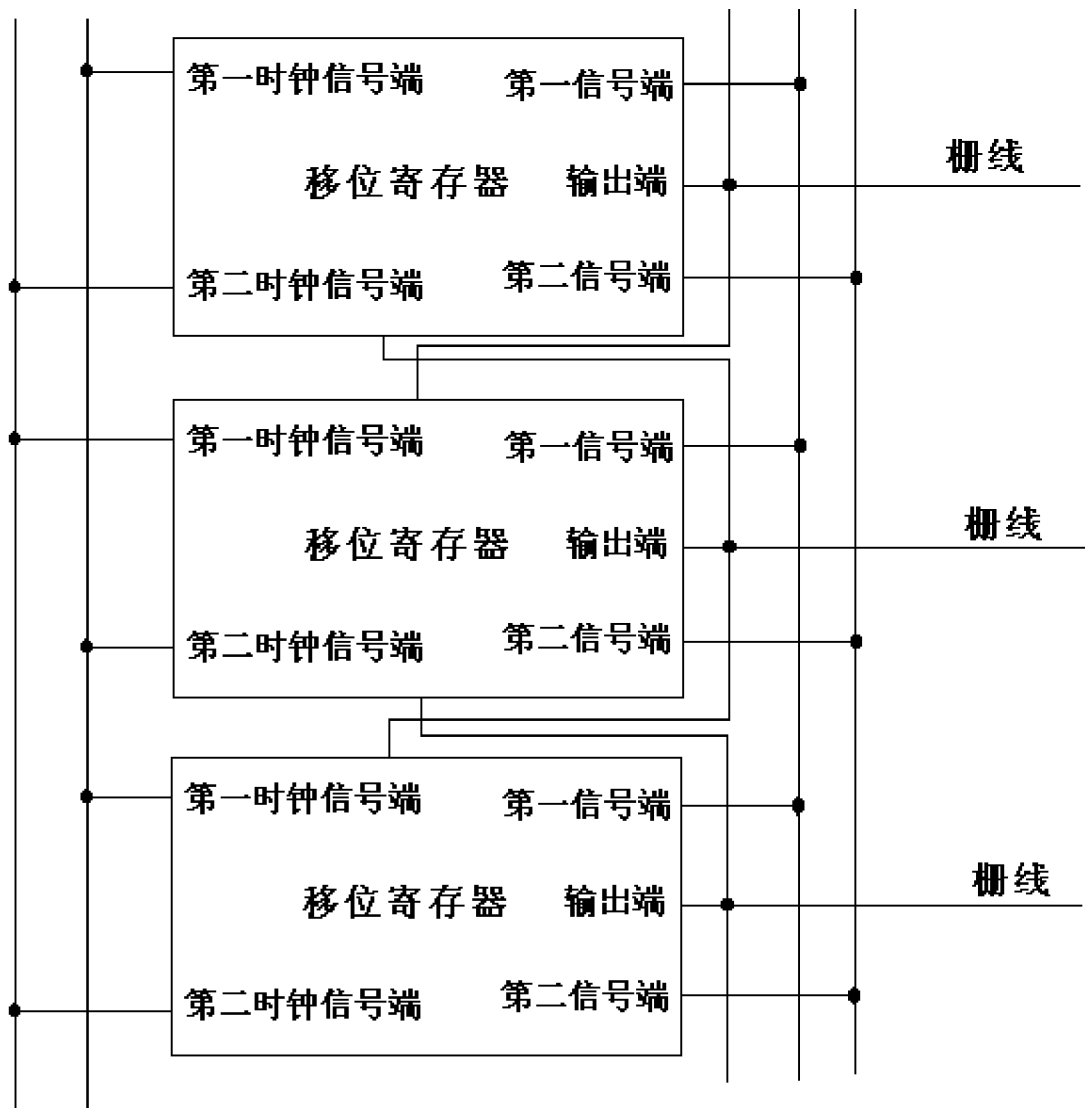


图 6

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2016/073841

## A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: translocation store, set pressure, parasitism, capacitance, resistance, register, pull up, pull down, delay, parasitic, first, second, node, sustain, maintain, reset

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105118414 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 02 December 2015 (02 December 2015) description, paragraphs [0038]-[0109], and figures 1-6	1-15
PX	CN 204946511 U (BOE TECHNOLOGY GROUP CO., LTD. et al.) 06 January 2016 (06.01.2016) description, paragraphs [0030]-[0101], and figures 1-6	1-11
A	CN 104700812 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 August 2015 (10.06.2015) description, paragraphs [0047]-[0087], and figures 1-4	1-15
A	CN 104252853 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 December 2014 (31.12.2014) the whole document	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 18 May 2016	Date of mailing of the international search report 21 June 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer  LIN, Bangyong  Telephone No. (86-10) 62085805

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2016/073841

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102945650 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 27 February 2013 (27.02.2013) the whole document	1-15
A	KR 20080000205 A (SAMSUNG ELECTRONICS CO., LTD.) 02 January 2008 (02.01.2008) the whole document	1-15
A	US 2010166136 A1 (MITSUBISHI ELECTRIC CORPORATION) 01 July 2010 (01.07.2010) the whole document	1-15

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.  
PCT/CN2016/073841

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105118414 A	02 December 2015	None	
CN 204946511 U	06 January 2016	None	
CN 104700812 A	10 June 2015	None	
CN 104252853 A	31 December 2014	None	
CN 102945650 A	27 February 2013	None	
KR 20080000205 A	02 January 2008	None	
US 2010166136 A1	01 July 2010	US 8175216 B2	08 May 2012
		JP 2010152967 A	08 July 2010
		JP 5188382 B2	24 April 2013

<p>A. 主题的分类</p> <p>G09G 3/20(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G, G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, VEN: 移位寄存, 上拉, 下拉, 第一, 第二, 重置, 定压, 保持, 维持, 寄生, 电容, 电阻, 延迟; register, pull up, pull down, delay, parasitic, first, second, node, sustain, maintain, reset.</p>																																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 105118414 A (京东方科技集团股份有限公司等) 2015年 12月 2日 (2015 - 12 - 02) 说明书[0038]-[0109]段、图1-6</td> <td>1-15</td> </tr> <tr> <td>PX</td> <td>CN 204946511 U (京东方科技集团股份有限公司等) 2016年 1月 6日 (2016 - 01 - 06) 说明书[0030]-[0101]段、附图1-6</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 104700812 A (京东方科技集团股份有限公司等) 2015年 6月 10日 (2015 - 06 - 10) 说明书第[0047]-[0087]段、附图1-4</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104252853 A (京东方科技集团股份有限公司等) 2014年 12月 31日 (2014 - 12 - 31) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 102945650 A (合肥京东方光电科技有限公司等) 2013年 2月 27日 (2013 - 02 - 27) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>KR 20080000205 A (SAMSUNG ELECTRONICS CO LTD) 2008年 1月 2日 (2008 - 01 - 02) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2010166136 A1 (MITSUBISHI ELECTRIC CORP) 2010年 7月 1日 (2010 - 07 - 01) 全文</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&amp;” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 105118414 A (京东方科技集团股份有限公司等) 2015年 12月 2日 (2015 - 12 - 02) 说明书[0038]-[0109]段、图1-6	1-15	PX	CN 204946511 U (京东方科技集团股份有限公司等) 2016年 1月 6日 (2016 - 01 - 06) 说明书[0030]-[0101]段、附图1-6	1-11	A	CN 104700812 A (京东方科技集团股份有限公司等) 2015年 6月 10日 (2015 - 06 - 10) 说明书第[0047]-[0087]段、附图1-4	1-15	A	CN 104252853 A (京东方科技集团股份有限公司等) 2014年 12月 31日 (2014 - 12 - 31) 全文	1-15	A	CN 102945650 A (合肥京东方光电科技有限公司等) 2013年 2月 27日 (2013 - 02 - 27) 全文	1-15	A	KR 20080000205 A (SAMSUNG ELECTRONICS CO LTD) 2008年 1月 2日 (2008 - 01 - 02) 全文	1-15	A	US 2010166136 A1 (MITSUBISHI ELECTRIC CORP) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-15	“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																		
PX	CN 105118414 A (京东方科技集团股份有限公司等) 2015年 12月 2日 (2015 - 12 - 02) 说明书[0038]-[0109]段、图1-6	1-15																																		
PX	CN 204946511 U (京东方科技集团股份有限公司等) 2016年 1月 6日 (2016 - 01 - 06) 说明书[0030]-[0101]段、附图1-6	1-11																																		
A	CN 104700812 A (京东方科技集团股份有限公司等) 2015年 6月 10日 (2015 - 06 - 10) 说明书第[0047]-[0087]段、附图1-4	1-15																																		
A	CN 104252853 A (京东方科技集团股份有限公司等) 2014年 12月 31日 (2014 - 12 - 31) 全文	1-15																																		
A	CN 102945650 A (合肥京东方光电科技有限公司等) 2013年 2月 27日 (2013 - 02 - 27) 全文	1-15																																		
A	KR 20080000205 A (SAMSUNG ELECTRONICS CO LTD) 2008年 1月 2日 (2008 - 01 - 02) 全文	1-15																																		
A	US 2010166136 A1 (MITSUBISHI ELECTRIC CORP) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-15																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																			
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																			
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																			
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																				
<p>国际检索实际完成的日期</p> <p>2016年 5月 18日</p>	<p>国际检索报告邮寄日期</p> <p>2016年 6月 21日</p>																																			
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>授权官员</p> <p>林邦镛</p> <p>电话号码 (86-10)62085805</p>																																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2016/073841

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)	
CN	105118414	A	2015年 12月 2日	无		
CN	204946511	U	2016年 1月 6日	无		
CN	104700812	A	2015年 6月 10日	无		
CN	104252853	A	2014年 12月 31日	无		
CN	102945650	A	2013年 2月 27日	无		
KR	20080000205	A	2008年 1月 2日	无		
US	2010166136	A1	2010年 7月 1日	US	8175216 B2	2012年 5月 8日
				JP	2010152967 A	2010年 7月 8日
				JP	5188382 B2	2013年 4月 24日