



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201639152 A

(43) 公開日：中華民國 105 (2016) 年 11 月 01 日

(21) 申請案號：104125121

(22) 申請日：中華民國 104 (2015) 年 08 月 03 日

(51) Int. Cl. : H01L29/06 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

(30) 優先權：2015/04/30 美國

14/700,190

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：江國誠 CHING, KUO CHENG (TW)；劉繼文 LIU, CHI WEN (TW)；王志豪 WANG,
CHIH HAO (TW)

(74) 代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：10 項 圖式數：24 共 80 頁

(54) 名稱

半導體結構及形成半導體的方法

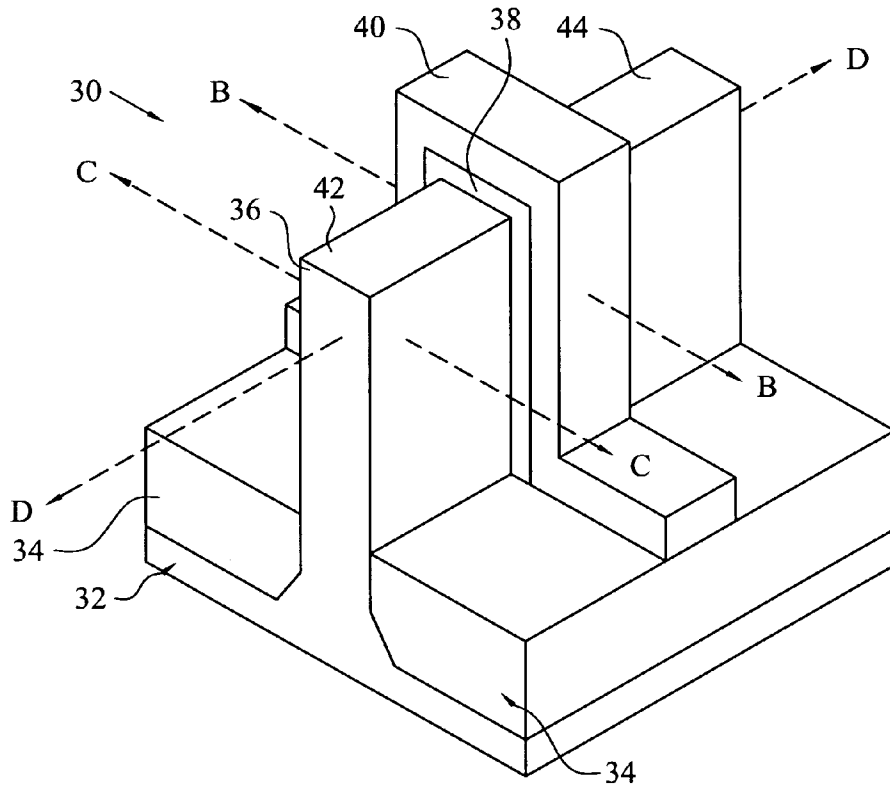
FETS AND METHODS OF FORMING FETS

(57) 摘要

本發明之一態樣係關於一種方法，包括形成一第一鰭片及一第二鰭片於一基板上，該第一鰭片及該第二鰭片各包括一第一結晶半導體材料於一基板上以及一第二結晶半導體材料於該第一結晶半導體材料之上。將於該第二鰭片中的該第一結晶半導體材料轉化成一介電材料，其中於該轉化步驟之後，於該第一鰭片中之至少一部分的該第一結晶半導體材料保留未經轉化。形成複數個閘極結構於該第一鰭片及該第二鰭片之上，以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

An embodiment is a method including forming a first fin and a second fin on a substrate, the first fin and the second fin each including a first crystalline semiconductor material on a substrate and a second crystalline semiconductor material above the first crystalline semiconductor material. Converting the first crystalline semiconductor material in the second fin to a dielectric material, wherein after the converting step, at least a portion of the first crystalline semiconductor material in the first fin remains unconverted. Forming gate structures over the first fin and the second fin, and forming source/drain regions on opposing sides of the gate structures.

指定代表圖：



符號簡單說明：

30 . . . 鳍式场效电
晶体

32 . . . 基板

34 . . . 隔离区

36 . . . 鳍片

38 . . . 栅极介电体

40 . . . 栅极电极

42 . . . 源极/汲极区

44 . . . 源极/汲极区

B-B . . . 横剖面

C-C . . . 横剖面

D-D . . . 横剖面

圖 1

201639152

申請案號：104175171

201639152

【發明摘要】

申請日：104. 8. 03

IPC分類：H01L29/06 (2006.01)

H01L29/66 (2006.01)

H01L29/78 (2006.01)

【中文發明名稱】 半導體結構及形成半導體的方法

【英文發明名稱】 FETS AND METHODS OF FORMING FETS

【中文】

本發明之一態樣係關於一種方法，包括形成一第一鰭片及一第二鰭片於一基板上，該第一鰭片及該第二鰭片各包括一第一結晶半導體材料於一基板上以及一第二結晶半導體材料於該第一結晶半導體材料之上。將於該第二鰭片中的該第一結晶半導體材料轉化成一介電材料，其中於該轉化步驟之後，於該第一鰭片中之至少一部分的該第一結晶半導體材料保留未經轉化。形成複數個閘極結構於該第一鰭片及該第二鰭片之上，以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【英文】

An embodiment is a method including forming a first fin and a second fin on a substrate, the first fin and the second fin each including a first crystalline semiconductor material on a substrate and a second crystalline semiconductor material

above the first crystalline semiconductor material. Converting the first crystalline semiconductor material in the second fin to a dielectric material, wherein after the converting step, at least a portion of the first crystalline semiconductor material in the first fin remains unconverted. Forming gate structures over the first fin and the second fin, and forming source/drain regions on opposing sides of the gate structures.

【指定代表圖】圖 1

【代表圖之符號簡單說明】

- 30 鱗式場效電晶體
- 32 基板
- 34 隔離區
- 36 鱗片
- 38 閘極介電體
- 40 閘極電極
- 42 源極/汲極區
- 44 源極/汲極區
- B-B 橫剖面
- C-C 橫剖面
- D-D 橫剖面

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體結構及形成半導體的方法

【英文發明名稱】 FETS AND METHODS OF FORMING FETS

【技術領域】

【0001】 本發明是關於一種場效電晶體及形成場效電晶體的方法。

【先前技術】

【0002】 隨著半導體工業爲了追求更高的裝置密度、更高的性能以及更低的成本而已進展至奈米技術製程節點，在製造及設計問題上的挑戰導致了像是鰭式場效電晶體(FinFET)的三維設計的發展。傳統的鰭式場效電晶體係製造成具有一由一基板延伸出之薄的垂直“鰭片”(或鰭狀結構)，該鰭片係由，例如，蝕刻該基板的矽層中的一部分而形成。該鰭式場效電晶體的通道係形成於此垂直鰭片中。一閘極係配置於(例如圍繞)該鰭片上。具有一位於該通道的兩側上的閘極使得可自兩側來對該通道進行閘極控制。

【0003】 然而，在半導體製造中實施這類特徵與製程存在許多挑戰。例如，在鄰近的鰭片之間的絕緣不良造成鰭式場效電晶體的高洩漏電流，進而降

低裝置性能。

【發明內容】

【0004】有鑒於此，本揭示內容提出一種場效電晶體及形成場效電晶體的方法。

【0005】本發明之一態樣係提供一種方法，包括形成一第一鱗片及一第二鱗片於一基板上，該第一鱗片及該第二鱗片各包括一第一結晶半導體材料於一基板上以及一第二結晶半導體材料於該第一結晶半導體材料之上。將於該第二鱗片中的該第一結晶半導體材料轉化成一介電材料，其中於該轉化步驟之後，於該第一鱗片中之至少一部分的該第一結晶半導體材料保留未經轉化。形成複數個閘極結構於該第一鱗片及該第二鱗片之上，以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【0006】本發明之另一態樣係提供一種方法，包括：磊晶成長一第一結晶半導體材料於一基板上；磊晶成長一第二結晶半導體材料於該第一結晶半導體材料之上；將該第一結晶半導體材料及該第二結晶半導體材料進行圖案化以形成一第一鱗片及一第二鱗片於該基板上；氧化於該第一鱗片中之至少一部分的該第一結晶半導體材料以及於該第二鱗片中之全部的該第一結晶半導體材料以形成一第一氧化材料，以及氧化於該第一鱗片及該第二鱗片中之至

少一部分的該第二結晶半導體材料以形成一第二氧化材料，其中於氧化該第一鱗片及該第二鱗片之後，於該第一鱗片中之一部分的該第一結晶半導體材料未經氧化；移除至少一部分之該第二氧化材料；形成複數個隔離區於該基板上且圍繞該第一鱗片及該第二鱗片之至少複數個下部；形成複數個閘極結構於該第一鱗片、該第二鱗片以及該些隔離區之上；以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【0007】 本發明之又一態樣係提供一種結構，包括：一第一鱗片於一基板上包括：一第一磊晶部；以及一第二磊晶部直接位於該第一磊晶部之下，該第二磊晶部的材料組成異於該第一磊晶部；一第二鱗片於該基板上包括：一第三磊晶部；以及一第一介電區直接位於該第三磊晶部之下；以及複數個隔離區於該基板中以及位於該第一鱗片及該第二鱗片的相反兩側上，至少該第一鱗片之該第一磊晶部及該第二鱗片之該第三磊晶部自該些隔離區之間突出，該第一介電區的材料組成異於該些隔離區；複數個閘極結構沿著該第一鱗片及該第二鱗片的複數個側壁以及位於該第一鱗片及該第二鱗片的複數個上表面之上，該些閘極結構定義一通道區於該第一磊晶部及該第三磊晶部中。

【圖式簡單說明】

【0008】 本發明之態樣雖然已揭示如下圖的詳細描述，但須注意依照本產業的標準做法，各種特徵並未按照比例繪製。事實上，各種特徵的尺寸爲了清楚的討論而可被任意放大或縮小。

圖 1 顯示鰭式場效電晶體 (FinFET) 之一範例的三維視圖。

圖 2、3、4A-B、5A-B、6A-6B、7A-B、8A-B、9A-B、10A-B、11A-B、12A-B 及 14A-C 係依據一些實施態樣，顯示在鰭式場效電晶體的製造中的中間階段之橫剖面圖。

圖 13B1-2 係依據一些實施態樣，顯示結構態樣之詳細的橫剖面圖。

圖 15 係依據一些實施態樣，顯示製程的流程。

圖 16B1-2 係依據一些實施態樣，顯示結構態樣之詳細的橫剖面圖。

圖 17 係依據一些實施態樣，顯示製程的流程。

圖 18A-C、19A-C、20 及 21 係依據一些實施態樣，顯示在鰭式場效電晶體的製造中的中間階段之橫剖面圖。

圖 22 係依據一些實施態樣，顯示製程的流程。

圖 23 及 24 係依據一些實施態樣，顯示結構態樣之橫剖面圖。

【實施方式】

【0009】 本發明提供許多不同的實施態樣或實施例，以供實施本發明所提供的標的物的不同特徵。各特定實施例中的組成及配置將會在以下作描述以簡化本發明。這些為實施例僅作為示範並非用於限定本發明。例如，一第一元件形成於一第二元件上方或之上可包含實施態樣中的第一元件與第二元件直接相接，亦可包含第一元件與第二元件之間更有其他額外元件使第一元件與第二元件無直接相接。此外，在本發明各種不同的範例中，將重複地使用元件符號及/或字母。此重複乃為了簡化與清晰的目的，而其本身並不決定各種實施態樣及/或結構配置之間的關係。

【0010】 此外，像是“之下”、“下面”、“較低”、“上面”、“較高”、以及其他類似之相對空間關係的用語，可用於此處以便描述圖式中一元件或特徵與另一元件或特徵之間的關係。類似地，像是“前側”及“後側”的用語，可用於此處以更容易地去識別各種不同的組成，並且可識別，例如，在另一元件的相反側的那些元件。該等相對空間關係的用語乃為了涵蓋除了圖式所描述的方向以外，裝置於使用或操作中之各種不同的方向。上述裝置可另有其他導向方式(旋轉90度或朝其他方向)，此時的相對空間關係也可依上述方式解讀。

【0011】於本說明書中依據各種不同的實施態樣以提出鱗式場效電晶體(FinFETs)及其形成方法。闡述形成鱗式場效電晶體的中間階段。此處所討論的一些實施態樣係討論於利用閘極後製程所形成之鱗式場效電晶體的相關上下文敘述中。在其它實施態樣中，可使用閘極先製程。又，一些實施態樣考量了用於像是平面FETs等平面裝置的態樣。討論實施態樣的一些變化。所屬技術領域中具有通常知識者將能輕易了解在其他實施態樣的範疇中所考慮的其他修飾變化。雖然依序討論了該些方法實施態樣，然仍可在任何邏輯順序下進行各種其他的方法實施態樣，並且可包括更少或更多本說明所述之步驟。

【0012】在具體地提及所闡明的實施態樣之前，將概括地提及本發明所揭示的實施態樣的一些優異特徵及態樣。概括而言，本發明係關於一半導體裝置及其形成方法，用於提供一簡單且具成本效益的製程流程以實現在一鱗式場效電晶體中的無摻雜通道來增強裝置。此外，此簡單且具成本效益的製程流程實現一位於一絕緣體結構上的通道(有時稱為氧化物上的通道)。尤其，像是下面所揭露的那些實施態樣針對裝置的不同區域包含不同的半導體層氧化量以實現性能改善及增強。例如，在一含有n型裝置(像是NMOS電晶體)的第一區中，一磊晶半導體層(例如SiGe層)係部分氧化或完全不氧化以實現在該

第一區中的拉伸應變增強，而在一含有 p 型裝置 (像是 PMOS 電晶體) 的第二區中，一磊晶半導體層 (例如 SiGe 層) 係完全氧化以避免在該第二區中的拉伸應變損失。此外，在該裝置的其他區域 (像是接觸傳感器區及 / 或被動裝置區) 中，一磊晶半導體層 (例如 SiGe 層) 亦可部分氧化或完全不氧化以增強這些區域的性能。此外，使用該製程，鱗片的磊晶部係磊晶成長為毯覆層，其具有較少的缺陷且一般而言與磊晶成長於複數個凹槽 / 溝槽中的結構相較之下為一較高品質的半導體結構。

【0013】圖 1 闡明鱗式場效電晶體 30 的一範例的三維視圖。該鱗式場效電晶體 30 包括一鱗片 36 於一基板 32 上。該基板 32 包括複數個隔離區 34，而該鱗片 36 自鄰近的複數個隔離區 34 之間突伸出。一閘極介電體 38 沿著該鱗片 36 的複數個側壁且位於該鱗片 36 的一上表面之上，而一閘極電極 40 位於該閘極介電體 38 之上。複數個源極 / 汲極區 42 及 44 設置於該鱗片 36 相對於該閘極介電體 38 及閘極電極 40 的相反兩側上。圖 1 進一步闡明用於後續圖式中的基準橫剖面。橫剖面 B-B 係橫跨該鱗式場效電晶體 30 的一通道、閘極介電體 38 及閘極電極 40。橫剖面 C-C 係平行於橫剖面 B-B 且橫跨一源極 / 汲極區 42。橫剖面 D-D 係垂直於橫剖面 B-B 且沿著該鱗片 36 的一縱軸並於，例如，在該些源極 / 汲極區 42 及 44 之間的電流之

方向上。爲了清楚呈現後續的圖式參照這些基準橫剖面。

【0014】圖 2 至 14C 係依據一示範性實施態樣，顯示在鱗式場效電晶體的製造中的中間階段之橫剖面圖，而圖 15 係於圖 2 至 14C 所示的進程之製程流程。圖 2 至 14C 闡明一鱗式場效電晶體，其相似於圖 1 中的鱗式場效電晶體 30，除了爲多重鱗式場效電晶體。在圖 4A 至 14C 中，以“A”命名於其後的圖式係三維視圖；以“B”命名於其後的圖式顯示橫剖面 B-B；而以“C”命名於其後的圖式顯示橫剖面 C-C。

【0015】圖 2 闡明一基板 50。基板 50 可爲經摻雜的(例如，以一 p 型或一 n 型摻雜劑)或未經摻雜的一半導體基板，像是一主體半導體、一絕緣體上半導體(SOI)基板、或諸如此類。該基板 50 可爲一晶片，像是一矽晶片。一般而言，一 SOI 基板包括形成於一絕緣體層上的一層半導體材料。該絕緣體層可爲，例如，一埋入式氧化物(BOX)層、一二氧化矽層、或諸如此類。該絕緣體層配置於一基板上，通常爲一矽或玻璃基板。亦可使用其他基板，像是多層或梯度基板。在一些實施態樣中，該基板 50 的半導體材料可包含矽；鍺；一包含碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮、及/或銻化銮的化合物半導體；一包含 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP、及/或 GaInAsP 的合金半導體；或其組合。

【0016】 該基板 50 可包含積體電路裝置 (未顯示)。如同所屬技術領域中具有通常知識者將了解的，像是電晶體、二極體、電容器、電阻器、諸如此類、或其組合之各式各樣的積體電路裝置可形成於該基板 50 之中及 / 或之上，以產生為該鱗式場效電晶體而設計的結構性及功能性要件。可使用任何適當的方法來形成該積體電路裝置。

【0017】 圖 2 闡明於該基板 50 中之抗衝穿 (APT) 區 (未顯示) 的形成 (步驟 200)。在一些實施態樣中，該 APT 區係使用在該基板 50 的頂部所進行的一埋入步驟 52 而形成。埋入 APT 中的摻雜劑之導電型係相同於該基板 50 的井結構區所具者 (未顯示)。該 APT 區延伸至隨後所形成的複數個源極 / 汲極區 96 之下 (圖 14A 及 14C)，並且係用於減少由複數個源極 / 汲極區 96 至基板 50 的洩漏。在 APT 區中的摻雜濃度可在大約 $1E18 / \text{cm}^3$ 與大約 $1E19 / \text{cm}^3$ 之間的範圍內。

【0018】 圖 2 進一步闡明於該基板 50 上之一矽鍺 (SiGe) 層 64 (例如一毯覆層) 的形成 (步驟 202)。在一些實施態樣中，該 SiGe 層 64 係在 APT 形成步驟之前形成，而在其他的實施態樣中，該 SiGe 層 64 係在 APT 形成步驟之後形成。在一些實施態樣中，該 SiGe 層 64 及該半導體層 66 係藉由磊晶製程來形成且為結晶層。在一些實施態樣中，該 SiGe 層 64 係形成為自大約 20 nm 至大約 90 nm 的厚度範圍。在形成之後該

SiGe層 64的銻百分比(原子百分比)係在自大約30百分比至大約80百分比的範圍內，也可使用較高或較低的銻百分比。然而，可以理解的是，整個說明書中所記載的數值係屬範例，而可更改為不同的數值。

【0019】 圖3闡明於該SiGe層64上的一半導體層(例如，一毯覆層)之形成(步驟202)。形成於該SiGe層64之上的該半導體層66可包含至少一個半導體層。在一些實施態樣中，該半導體層66係一不含銻的純矽層。在一些實施態樣中，該半導體層66可為一實質上純矽層，例如，其含有少於1百分比的銻。該半導體層66可為一本質層且可未經p型及n型摻雜劑摻雜。

【0020】 圖3進一步闡明在半導體層66上的一遮罩層68之形成(步驟204)。在一些實施態樣中，該遮罩層68係一硬遮罩，下文中稱作硬遮罩68。該硬遮罩68可由氮化矽、氧氮化矽、碳化矽、碳氮化矽、諸如此類、或其組合來形成，且可藉由所屬技術領域中所習知的任何適當方法來形成，像是化學氣相沉積(CVD)、電漿加強CVD(PECVD)、諸如此類、或其組合。在一些實施態樣中，該硬遮罩68係一保角層。

【0021】 圖4A及4B闡明於該基板50上之複數個半導體條帶60的形成(步驟206)。如圖4A及4B與後續圖式所示，該基板50具有一第一區50A及一第二區

50B。該第一區50A可用於形成n型裝置，像是NMOS電晶體(例如n型鰭式場效電晶體)。該第二區50B可用於形成p型裝置，像是PMOS電晶體(例如p型鰭式場效電晶體)。

【0022】 在一些實施態樣中，複數個半導體條帶60可藉由於該硬遮罩68、該半導體層66、該SiGe層64、及該基板50中蝕刻出複數個凹槽而形成。該基板50的圖案化部分意旨為如圖4A及4B所示的圖案化基板62。該半導體層66、該SiGe層64、及該圖案化基板62的圖案化部分共同組成複數個半導體條帶60。該半導體條帶60亦可稱作半導體鰭片60。該蝕刻可為任何可接受的蝕刻製程，像是一反應性離子蝕刻(RIE)、中性射束蝕刻(NBE)、諸如此類、或其組合。該蝕刻可為各向異性的。

【0023】 在圖5A及5B中，一遮罩層70形成於該基板50的該第一區50A上，而該第二區50B則暴露於外(步驟208)。在一些實施態樣中，該遮罩層70係一硬遮罩，下文中稱作硬遮罩70。該硬遮罩70可由氮化矽、氮氧化矽、碳化矽、碳氮化矽、諸如此類、或其組合所形成，且可藉由所屬技術領域中任何適當的方法來形成，像是CVD、PECVD、諸如此類、或其組合。在一些實施態樣中，該硬遮罩70係一保角層。在一些實施態樣中，該遮罩層70可為一藉由一可接受的光刻製程或諸如此類來進行圖案化的光

阻。

【0024】 在圖 6A 及 6B 中，在該基板 50 的第二區 50B 中之部分的半導體條帶 60 轉化成一介電材料(步驟 210)。在一些實施態樣中，該轉化製程係一氧化製程。該氧化製程可使用一蒸氣爐。例如，可將包含複數個半導體條帶 60 的該基板 50 置於一爐子中而使得該基板 50 的第二區 50B 暴露於一蒸氣環境，而該基板 50 的第一區 50A 係由該遮罩層 70 所保護。該蒸氣環境可在大約 400°C 與大約 600°C 之間的溫度(像是大約 500°C)下產生。水(H₂O)蒸氣可設置為在大約 100 sccm 與大約 1000 sccm 之間的流速下流動。該基板 50 的第二區 50B 可暴露於在該爐子中的蒸氣環境下歷時自大約 0.5 小時至大約 3 小時之間的範圍內的期間(像是大約 1 小時)。如圖 6A 及 6B 所示，在該第二區 50B 中之該半導體層 66 及該圖案化基板 62 的外部可轉化成介電材料區 74。此外，該 SiGe 層 64 可完全地轉化成 SiGe 介電區 72。在一些實施態樣中，該 SiGe 介電區 72 可由 SiGeO 所形成。亦可使用其他轉化製程。

【0025】 在一些實施態樣中，該轉化製程可為一直接轉化製程，像是利用該硬遮罩 70 作為一氧化遮罩的一直接氧化製程。直接氧化製程的一例子為氣體團簇離子束氧化。

【0026】 在圖 7A 及 7B 中，自該基板 50 的第一區 50A 移除該遮罩層 70 (步驟 212)，而使得該第一區 50A 及

該第二區 50B 暴露於外。可使用蝕刻、一化學機械式拋光 (CMP) 製程、或諸如此類來移除該遮罩層 70。在其他實施態樣中，若該遮罩層 70 係一光阻材料，可藉由一適當的灰化製程 (像是氧氣電漿) 來移除該遮罩層 70。

【0027】 在自該基板 50 的第一區 50A 移除該遮罩層 70 之後，在該基板 50 的第一區 50A 中之部分的半導體條帶 60 轉化成一介電材料，而在該基板 50 的第二區 50B 中之部分的半導體條帶 60 進一步轉化成一介電材料 (步驟 214)。此轉化製程可相似於前面在圖 6A-B 中所述的轉化製程，於此不再重複說明。如圖 7A 及 7B 所示，在該基板 50 的第一區 50A 中，該半導體層 66 及該圖案化基板 62 的外部可轉化成介電材料區 74。此外，在基板 50 的第一區 50A 中，該 SiGe 層 64 可部分轉化成 SiGe 介電區 72，而一些 SiGe 層 64 保留未經轉化。在圖 7A 及 7B 所示的實施態樣中，在該基板 50 的第一區 50A 中的 SiGe 層 64 在一定程度上轉化成一介電材料，而使得該 SiGe 層 64 的一連續區保留於該圖案化基板 62 及該圖案化半導體層 66 之間。

【0028】 在圖 8A 及 8B 中，移除複數個介電材料區 74 以及選擇性地移除複數個 SiGe 介電區 72 中的一部分 (步驟 216)。由於移除先前轉化成介電材料的部份半導體條帶 60，複數個介電材料區 74 的移除減少了半導體條帶 60 的寬度。因為該第二區 50B 具有兩次於

其上進行的轉化製程，而該第一區 50A 僅有一次於其上進行的轉化製程，更多在該第二區 50B 中的半導體條帶 60 轉化成介電材料區 74，而使得在該第二區 50B 中的半導體條帶 60 中之剩餘的半導體層 66 及圖案化基板 62 的寬度小於在該第一區 50A 中的半導體條帶 60 中之剩餘的半導體層 66 及圖案化基板 62 的寬度。

【0029】可藉由一蝕刻製程移除該些介電材料區 74。該蝕刻可為任何可接受的蝕刻製程，像是一濕式蝕刻製程、一乾式蝕刻製程、諸如此類、或其組合。該蝕刻可為各向同性的或各向異性的。在圖 8A 及 8B 所示的實施態樣中，該蝕刻製程對該些 SiGe 介電區 72、該半導體層 66、及該圖案化基板 62 有選擇性，而使得實質上未蝕刻該些 SiGe 介電區 72。在另一實施態樣中(未顯示)，該些 SiGe 介電區 72 亦蝕刻為具有與該半導體層 66 及圖案化基板 62 的側壁相接 (coterminous) 的側壁。

【0030】在移除該些介電材料區 74 之後，可進行一清潔製程以自該些半導體條帶 60 的表面上移除任何的自然氧化層、游移的鍍、或諸如此類。可使用稀釋氫氟 (dHF) 酸來進行該清潔。

【0031】藉由將在該第一區 50A (例如，n 型區) 中之 SiGe 層 64 部分轉化 (例如，氧化) 以及將在該第二區 50B (例如，p 型區) 中之 SiGe 層 64 完全轉化 (例如，

氧化)，可於，例如，一互補式金屬-氧化物-半導體 (CMOS)裝置中將兩種裝置類型的性能最佳化。由剩餘的 SiGe層 64 所導致的拉伸應變增加提供該 n 型裝置實現性能增強，而該 p 型裝置則避免拉伸應變的性能損失。

【0032】圖 9A 及 9B 闡明在該第一區 50A 及第二區 50B 中的導體條帶 60 上之一襯裡層 80 的形成 (步驟 218)。該襯裡層 80 防止在該第一區 50A 的 SiGe 層 64 在後續處理 (像是固化及加熱製程) 中進一步轉化 (例如，氧化)。在一些實施態樣中，該襯裡層 80 可由氮化矽、氮氧化矽、碳化矽、碳氮化矽、諸如此類、或其組合所形成，且可由在所屬技術領域中所習知的任何適當方法來形成，像是 CVD、PECVD、諸如此類、或其組合。在一些實施態樣中，該襯裡層 80 係一保角層。

【0033】圖 10A 及 10B 闡明在鄰近的半導體條帶 60 之間的絕緣材料之形成以形成複數個隔離區 82 (步驟 220)。該絕緣材料可為一氧化物 (像是二氧化矽)、一氮化物、諸如此類、或其組合，且可藉由高密度電漿化學蒸氣沉積 (HDP-CVD)、一流動式 CVD (FCVD) (例如，於遙控電漿系統中以 CVD 為基礎的材料沉積並進行後固化以使其轉化為另一材料，像是一氧化物)、諸如此類、或其組合而形成。亦可使用由任何可接受的製程所形成的其他絕緣材料。在所

闡明的實施態樣中，該絕緣材料為由一FCVD製程所形成的二氧化矽。只要該絕緣材料形成，可進行一退火製程。進一步參見圖10A及10B，一平坦化製程(像是一CMP)可移除任何過多的絕緣材料及襯裡層80，且形成共平面之該些隔離區82的頂面及該些半導體條帶60的頂面(步驟222)。

【0034】圖11A及11B闡明該些隔離區82及該襯裡層80的溝槽形成(步驟224)，像是形成淺凹槽隔離(STI)區。該些隔離區82形成溝槽而使得該些半導體條帶60的半導體層66自鄰近的複數個隔離區82之間突出且形成複數個半導體鰭片。下文中該些半導體層66可稱作半導體鰭片66。如所闡明的，該些隔離區82的頂面位於該些SiGe層64及該些SiGe介電區72的頂面。在其他的實施態樣中，該些隔離區82的頂面可位於該些SiGe層64及該些SiGe介電區72的頂面之下且於其底面之上，或者該些隔離區82的頂面可位於該些SiGe層64及該些SiGe介電區72的底面之下。此外，該些隔離區82的頂面可具有一如所顯示的平面、一凸面、一凹面(像是形成碟狀)、或其組合。該些隔離區82的頂面可藉由適當的蝕刻而形成平面的、凸面的、及/或凹面的。可使用一些可接受的蝕刻製程(像是對該些隔離區82的材料有選擇性者)來使該些隔離區82形成溝槽。例如，可使用利用一CERTAS®蝕刻或一Applied Materials SICONI工

具或稀釋氫氟酸 的化學氧化物移除。在一些實施態樣中，可於一相同的蝕刻製程中來使該些隔離區 82 及該襯裡層 80 形成溝槽，而於其他的實施態樣中，可於分開的蝕刻製程中來使該些隔離區 82 及該襯裡層 80 形成溝槽。

【0035】 圖 12A 及 12B 闡明在該些半導體鱗片 66 上之閘極結構的形成(步驟 226)。一介電層(未顯示)形成於該些半導體鱗片 66 及該些隔離區 82 之上。該介電層可為，例如，二氧化矽、氮化矽、其多層、或諸如此類，且可依據可接受的技術來進行沉積或熱成長。在一些實施態樣中，該介電層可為一高 k 值介電材料，而在這些實施態樣中，介電層的 K 值可高於大約 7.0，並且可包含一金屬氧化物或 Hf、Al、Zr、La、Mg、Ba、Ti、Pb 的一矽酸鹽、其多層、及其組合。該介電層的形成方法可包含分子束沉積(MBD)、原子層沉積(ALD)、PECVD、諸如此類、或其組合。

【0036】 一閘極層(未顯示)係形成於該介電層之上，而一遮罩層(未顯示)係形成於該閘極層之上。該閘極層可沉積於該介電層上，接著進行平坦化(像是藉由一CMP)。該遮罩層可沉積於該閘極層上。例如，該閘極層可由多晶矽來形成，然而亦可使用其他材料。在一些實施態樣中，該閘極層可包含一含有金屬的材料，像是 TiN、TaN、TaC、Co、Ru、Al、

其組合、或其多層。例如，該遮罩層可由氮化矽或諸如此類來形成。

【0037】在形成該些膜層之後，可使用可接受的光刻及蝕刻技術來將該遮罩層進行圖案化以形成遮罩90。接著可藉由一可接受的蝕刻技術來將該遮罩90的圖案轉印至該閘極層及該介電層以形成閘極88及閘極介電體86。該閘極88及該閘極介電體86覆蓋該些半導體鰭片66的各個通道區。該閘極88的縱向可實質上垂直於各個半導體鰭片66的縱向。

【0038】在形成該閘極88及該閘極介電體86之後，複數個閘極密封間隔物92可形成於閘極88及遮罩90之暴露的表面上。在一各向異性蝕刻之後進行一熱氧化或一沉積可形成該些閘極密封間隔物92。

【0039】圖13B1及13B2分別闡明在圖12B中的第一區50A及第二區50B的結構部分之詳細視圖。圖13B1闡明在該第一區50A中之一半導體鰭片66，其藉由一高度H1而延伸至該些隔離區82的一頂面82A之上，該高度H1係於一垂直於該基板50的主要表面之表面上測得，同時該半導體鰭片具有一寬度W1，該寬度W1係於一平行於該基板50的主要表面之表面上測得。在一些實施態樣中，該高度H1係於自大約20 nm至大約40 nm的範圍內，而該寬度W1係於自大約9 nm至大約14 nm的範圍內。該SiGe層64係與該半導體鰭片66的底部間隔一距離D1，該距離D1係於

一垂直於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該距離 $D1$ 係於自大約 3 nm 至大約 20 nm 的範圍內。該 SiGe 層 64 具有一厚度 $T1$ ，該厚度 $T1$ 係於一垂直於該基板 50 的主要表面之表面上且自該 SiGe 層 64 的一頂面至一底面而測得。在一些實施態樣中，該厚度 $T1$ 係於自大約 20 nm 至大約 90 nm 的範圍內。在一些實施態樣中，該 SiGe 層 64 的鍺濃度在大約 30 百分比至大約 80 百分比的範圍內。該等 SiGe 介電區 72 具有寬度 $W2$ ，其係於一平行於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該寬度 $W2$ 係於自大約 3 nm 至大約 10 nm 的範圍內。該襯裡層 80 可形成為具有一厚度 $T2$ ，其係於一平行於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該厚度 $T2$ 係於自大約 20 埃至大約 60 埃的範圍內。

【0040】 圖 13B2 闡明在該第二區 50B 中之一半導體鱗片 66，其藉由一高度 $H2$ 而延伸至該些隔離區 82 的頂面 82A 之上，該高度 $H2$ 係於一垂直於該基板 50 的主要表面之表面上測得，同時該半導體鱗片具有一寬度 $W2$ ，該寬度 $W2$ 係於一平行於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該高度 $H2$ 係於自大約 20 nm 至大約 40 nm 的範圍內，而該寬度 $W2$ 係於自大約 6 nm 至大約 10 nm 的範圍內。在一些實施態樣中，分別在該第一區 50A 及該第二區 50B 中之半導體鱗片 66 的寬度 $W1$ 與 $W2$ 之間的差距係於自

大約 2 nm 至大約 4 nm 的範圍內。該 SiGe 層 64 係與該半導體鱗片 66 的底部間隔一距離 D2，該距離 D2 係於一垂直於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該距離 D2 係於自大約 3 nm 至大約 20 nm 的範圍內。該 SiGe 介電區 72 具有一寬度 W4，其係於一平行於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該寬度 W4 係於自大約 8 nm 至大約 16 nm 的範圍內。該襯裡層 80 可形成為具有一厚度 T3，其係於一平行於該基板 50 的主要表面之表面上測得。在一些實施態樣中，該厚度 T3 係於自大約 20 埃至大約 60 埃的範圍內。

【0041】圖 14A、14B 及 14C 闡明於該閘極結構外的該些半導體鱗片 66 之移除 (步驟 228) 以及複數個源極/汲極區 96 的形成 (步驟 230)。在移除該些半導體鱗片 66 的期間該閘極結構可用來作為一遮罩。在一些實施態樣中，在此製程中完全沒有移除該 SiGe 層 64 及該些 SiGe 介電區 72。在其他實施態樣中，沒有移除在該閘極結構下的部分 SiGe 層 64 及 SiGe 介電區 72。該些半導體鱗片 66 的移除可藉由使用任何可接受的蝕刻製程之蝕刻來進行，像是一 RIE、NBE、氫氧化四甲銨 (TMAH)、氫氧化銨 (NH₄OH)、在矽及該些隔離區 82 的材料之間有良好蝕刻選擇性之能夠蝕刻矽的一濕蝕刻劑、諸如此類、或其組合。此蝕刻可為各向異性的。

【0042】 在移除部份的半導體鱗片 66 之後，形成該些源極/汲極區 96 (步驟 230)。該些源極/汲極區 96 係藉由自剩餘的半導體鱗片 66 的材料進行磊晶成長而形成，像是藉由金屬-有機 CVD (MOCVD)、分子束磊晶 (MBE)、液相磊晶 (LPE)、氣相磊晶 (VPE)、選擇性磊晶成長 (SEG)、諸如此類、或其組合。如圖 14A 及 14C 所示，該些源極/汲極區 96 係垂直地且水平地成長以形成刻面 (facets)。

【0043】 在其中所得到的鱗式場效電晶體為一 n 型鱗式場效電晶體的第一區 50A 中，複數個源極/汲極區 96 包括碳化矽 (SiC)、磷化矽 (SiP)、摻雜磷的碳化矽 (SiCP)、或諸如此類。在其中所得到的鱗式場效電晶體為一 p 型鱗式場效電晶體的第二區 50B 中，複數個源極/汲極區 96 包括 SiGe 及一 p 型雜質 (像是硼或銮)。

【0044】 可將摻雜劑埋入該些磊晶的源極/汲極區 96 中以形成複數個源極/汲極區，接著進行退火。該埋入製程可包含形成遮罩 (像是光阻) 且進行圖案化以遮蔽該鱗式場效電晶體的區域，以保護其免於埋入製程。該些源極/汲極區 96 的雜質濃度可在大約 10^{19} cm^{-3} 及大約 10^{21} cm^{-3} 之間。在一些實施態樣中，該些磊晶的源極/汲極區 96 可在成長期間內進行原位摻雜。

【0045】 可進行該鱗式場效電晶體裝置的後續處

理，像是至少一個層間介電體的形成及接點形成。下面將參照圖 18A-21 來討論這些製程。

【0046】圖 16B1 及 16B2 係依據另一示範性實施態樣，顯示在鰭式場效電晶體的製造中的中間階段之一橫剖面圖，而圖 17 顯示圖 16B1 及 16B2 所示的進程之製程流程。圖 16B1 及 16B2 的詳細橫剖面圖相似於圖 13B1 及 13B2，除了在此實施態樣中在該基板的第一區 50A 中之半導體條帶 60（在圖 16B1 中所示部分）沒有進行轉化成介電體的製程。換言之，在該第一區 50A 中的 SiGe 層 64 實質上不含有氧化物。關於此實施態樣的細節乃相似於先前所說明的實施態樣於此不再重複。

【0047】首先如關於圖 2 至 6B 及步驟 200 至 212 所討論的來進行處理，除了當該基板的第一區 50A 暴露於外時沒有進行第二個轉化成介電體的步驟（圖 15 中的步驟 214）。例如，完全略過該第二個轉化成介電體的步驟或者在相似於步驟 210 中之第一個轉化成劑介電體的步驟之時間來進行。在於步驟 212 中移除遮罩之後，如關於圖 8A 至 14C 及步驟 216 至 234 所討論的來進行處理。圖 16B1 及 16B2 係依據此實施態樣，闡明分別在該第一區 50A 及該第二區 50B 中之半導體條帶 60 的詳細視圖。

【0048】圖 16B1 及 16B2 的尺寸及性質係分別相似於關於圖 13B1 及 13B2 所討論者，除了圖 16B1 不具有

一 SiGe 介電區 72，因而那些尺寸及性質沒有呈現於圖 16B1 的實施態樣中。

【0049】 圖 18A-C、19A-C、20 及 21 係依據另一示範性實施態樣，顯示在鰭式場效電晶體的製造中的中間階段之橫剖面圖，而圖 22 顯示於圖 18A-C、19A-C、20 及 21 中所示的進程之製程流程。圖 18A 至 21 闡明一相似於圖 1 中的鰭式場效電晶體 30 之鰭式場效電晶體，除了為多重鰭式場效電晶體。在圖 18A 至 19C 中，以“A”命名於其後的圖式係三維視圖；以“B”命名於其後的圖式顯示橫剖面 B-B；而以“C”命名於其後的圖式顯示橫剖面 C-C。圖 21 及 22 顯示橫剖面 C-C。

【0050】 此實施態樣係相似於上面圖 2 至 14C 中所述的實施態樣，除了此實施態樣說明一閘極後製程（有時稱為取代閘極製程），而先前的實施態樣說明一閘極先製程。關於實施態樣的細節乃相似於先前所說明的實施態樣於此不再重複。

【0051】 首先如關於圖 2 至 14C 及步驟 200 至 230 所討論的來進行處理，除了閘極 88 係一虛擬閘極而閘極介電體 86 係一虛擬閘極介電體（圖 22 中的步驟 240）。在圖 18A、18B 及 18C 中，一層間介電層 (ILD) 98 沉積於在圖 14A、14B 及 14C 所示的結構之上（步驟 232）。該 ILD 98 係由一介電材料所形成，像是磷矽酸鹽玻璃 (PSG)、硼矽酸鹽玻璃 (BSG)、硼摻雜的磷

矽酸鹽玻璃 (BPSG)、未摻雜矽酸鹽玻璃 (USG)、或諸如此類，且可由任何適當的方法 (像是 CVD、PECVD 或 FCVD) 來進行沉積。

【0052】 如在圖 18A、18B 及 18C 中所進一步闡明的，可進行一平坦化製程 (像是 CMP) 以使 ILD 98 的頂面與該虛擬閘極 88 的頂面變平。該 CMP 亦可以除在該虛擬閘極 88 上的遮罩 90。因此，該虛擬閘極 88 的頂面穿過該 ILD 98 而暴露於外。

【0053】 如在圖 18A、18B 及 18C 中所進一步闡明的，在一或多個蝕刻步驟中移除的虛擬閘極 88、選擇性地閘極密封間隔物 92、及直接位於虛擬閘極 88 之下的部分的虛擬閘極介電體 86，而使得一或多個溝槽形成 (步驟 242)。該 (些) 溝槽 100 使該些半導體鰭片 66 的通道區暴露於外。該些通道區設置於相鄰對的磊晶的源極/汲極區 96 之間。在移除期間，當蝕刻虛擬閘極 88 時，該虛擬閘極介電體 86 可用來作為一蝕刻中止層。在移除該虛擬閘極 88 之後，可接著移除該虛擬閘極介電體 86 及閘極密封間隔物 92。

【0054】 在圖 19A、19B 及 19C 中，為了取代閘極而形成閘極介電體 106 及閘極電極 108 (步驟 244)。將該閘極介電體 106 保角沉積於一或多個溝槽 100 中，像是於該些半導體鰭片 66 的側壁及閘極密封間隔 92 的側壁 (若有存在) 之頂面上，若閘極密封間隔 92 不存在則於 ILD 98 的側壁上、及於該 ILD 98 的頂面上。

依據一些實施態樣，該閘極介電體 106 可由二氧化矽、氮化矽、或其多層所形成。在其他實施態樣中，該閘極介電體 106 可由一高 k 值介電材料所形成，而在這些實施態樣中，該閘極介電體 106 的 K 值可高於大約 7.0，並且可包含一金屬氧化物或 Hf、Al、Zr、La、Mg、Ba、Ti、Pb 的一矽酸鹽、其多層、及其組合。該閘極介電體 106 的形成方法可包含 MBD、ALD、PECVD、及諸如此類。

【0055】 接著，將該閘極電極 108 沉積於該閘極介電體 106 之上且填滿剩餘的一或多個溝槽 100 之部分。該閘極電極 108 可由一含有金屬的材料所形成，像是 TiN、TaN、TaC、Co、Ru、Al、其組合、或其多層。在填滿閘極電極 108 之後，可進行一平面化製程 (像是一 CMP) 以移除閘極介電體 106 及閘極電極 108 的材料的過多部分，其中這些過多部分係於 ILD 98 的頂面之上。所得到之閘極電極 108 的材料及閘極介電體 106 的剩餘部份因而形成所得到的鱗式場效電晶體之取代閘極。

【0056】 在圖 20 及 21 中，複數個接點 110 係形成為穿過 ILD 98 (步驟 234)。圖 20 闡明一實施態樣，其將接點 110 分隔於該鱗式場效電晶體中的各個源極/汲極區 96，而圖 21 闡明一實施態樣，其中一接點 110 與該鱗式場效電晶體中的多個 (如果沒有全部) 源極/汲極區 96 相接。接點 110 的開口係形成為穿過 ILD

98。可利用光刻及蝕刻技術來形成該些開口。可在該些開口中形成一襯裡，像是一擴散屏障層、一黏著層、或諸如此類，且在該些開口中可形成一導電材料。該襯裡可包含鈦、氮化鈦、氮化鉭、或諸如此類。該導電材料可為銅、一銅合金、銀、金、鎢、鋁、鋁、鎳、或諸如此類。可進行一平坦化製程(像是一CMP)以自該ILD 98的一表面移除過多的材料。剩餘的襯裡及導電材料形成在該些開口中的接點110。可進行一退火製程以形一矽化物於該些源極/汲極區96與該些接點110之間的界面。該些接點110與該些源極/汲極區96物理性地且電性地耦合。

【0057】 雖然沒有明確顯示，所屬技術領域中具有通常知識者將清楚將能輕易了解可在圖19A、19B、19C、20及21的結構中進行進一步的處理步驟。例如，各種不同的內金屬介電體(IMD)及其對應的金屬化可形成於ILD 98之上。此外，與閘極電極108相接的接點可形成為穿過其上的介電層。

【0058】 圖23及24依據一些實施態樣，闡明關於圖1的結構態樣之橫剖面D-D。圖23闡明沿著在圖19A-C所示的結構之該些半導體鱗片66的橫剖面。

【0059】 圖24係依據一些實施態樣，闡明在該基板50中之一第三區50C及一第四區50D。該第三區50C可為該基板50的一接觸傳感區，具體而言，在一些實施態樣中，第三區50C係一n型或p型接觸區。這

些結構 120、122、124及128分別對應於上面所討論的實施態樣之結構 62、64、66及110，且可藉由相似的製程且以相似的材料來形成。在適合於裝置設計時，該接觸區 126可摻雜 n型雜質或 p型雜質，且可以與該些源極/汲極區 96相似的方法來形成。在一些實施態樣中，該接觸區 126可摻雜與該膜層 124相同類型的雜質(例如，n型或 p-型)。此 SiGe層 122可相似於上面所討論的該 SiGe層 64。

【0060】 該第四區 50D可為該基板 50的一被動裝置區，具體而言，在一些實施態樣中，第四 50D係一二極體區。這些結構 130、132、134及138分別對應於上面所討論的實施態樣之結構 62、64、66及110，且可藉由相似的製程且以相似的材料來形成。該摻雜區 136可摻雜 n型雜質或 p型雜質，且可以與該些源極/汲極區 96相似的方法來形成。在一些實施態樣中，該摻雜區 136可摻雜與該膜層 124相反類型的雜質(例如，n型或 p-型)。此 SiGe層 122可相似於上面所討論的該 SiGe層 64。

【0061】 實施態樣可實現多個優點。例如，本發明係關於一半導體裝置及其形成方法，用於提供簡單且具成本效益的製程流程以實現在一鱗式場效電晶體中的無摻雜通道來增強裝置。此外，此簡單且具成本效益的製程流程實現一位於一絕緣體結構上的通道(有時稱為氧化物上的通道)。尤其，像是所

揭露的那些實施態樣針對裝置的不同區域包含不同的半導體層氧化量以實現性能改善及增強。例如，在一含有n型裝置(像是NMOS電晶體)的第一區中，一磊晶半導體層(例如SiGe層)係部分氧化或完全不氧化以實現在該第一區中的拉伸應變增強，而在一含有p型裝置(像是PMOS電晶體)的第二區中，一磊晶半導體層(例如SiGe層)係完全氧化以避免在該第二區中的拉伸應變損失。此外，在該裝置的其他區域(像是接觸傳感器區及/或被動裝置區)中，一磊晶半導體層(例如SiGe層)亦可部分氧化或完全不氧化以增強這些區域的性能。此外，使用該製程，鱗片的磊晶部係磊晶成長為毯覆層，其具有較少的缺陷且一般而言與磊晶成長於複數個凹槽/溝槽中的結構相較之下為一較高品質的半導體結構。

【0062】 一實施態樣係關於一種方法，包括形成一第一鱗片及一第二鱗片於一基板上，該第一鱗片及該第二鱗片各包括一第一結晶半導體材料於一基板上以及一第二結晶半導體材料於該第一結晶半導體材料之上。將於該第二鱗片中的該第一結晶半導體材料轉化成一介電材料，其中於該轉化步驟之後，於該第一鱗片中之至少一部分的該第一結晶半導體材料保留未經轉化。形成複數個閘極結構於該第一鱗片及該第二鱗片之上，以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【0063】 另一實施態樣係關於一種方法，包括磊晶成長一第一結晶半導體材料於一基板上，磊晶成長一第二結晶半導體材料於該第一結晶半導體材料之上，以及將該第一結晶半導體材料及該第二結晶半導體材料進行圖案化以形成一第一鰭片及第二鰭片於該基板上。該方法更包括氧化於該第一鰭片中之至少一部分的該第一結晶半導體材料以及於該第二鰭片中之全部的該第一結晶半導體材料以形成一第一氧化材料，以及氧化於該第一鰭片及該第二鰭片中之至少一部分的該第二結晶半導體材料以形成一第二氧化材料，其中於氧化該第一鰭片及該第二鰭片之後，於該第一鰭片中之一部分的該第一結晶半導體材料未經氧化。該方法更包括移除至少一部分之該第二氧化材料，形成複數個隔離區於該基板上且圍繞該第一鰭片及該第二鰭片之至少複數個下部，形成複數個閘極結構於該第一鰭片、該第二鰭片以及該些隔離區之上，以及形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【0064】 又另一實施態樣係關於一結構，包括一第一鰭片及一第二鰭片於一基板上。該第一鰭片包括一第一磊晶部，以及一第二磊晶部直接位於該第一磊晶部之下，該第二磊晶部的材料組成異於該第一磊晶部。該第二鰭片包括一第三磊晶部，以及一第一介電區直接位於該第三磊晶部之下。該結構更

包括複數個隔離區於該基板中以及位於該第一鱗片及該第二鱗片的相反兩側上，至少該第一鱗片之該第一磊晶部及該第二鱗片之該第三磊晶部自該些隔離區之間突出，該第一介電區的材料組成異於該些隔離區，以及複數個閘極結構沿著該第一鱗片及該第二鱗片的複數個側壁以及位於該第一鱗片及該第二鱗片的複數個上表面之上，該些閘極結構定義一通道區於該第一磊晶部及該第三磊晶部中。

【0065】 前面概述了許多實施態樣的特徵而使得熟習此技藝者能夠更清楚地了解本發明的態樣。熟習此技藝者應了解其可輕易使用本發明作為基礎來設計或修改其他製程及結構以實現與此處所說明的實施態樣相同的目的及/或達成相同的優點。熟習此技藝者亦應可了解這類等效結構不會背離本發明的精神與範疇，且他們可做出各種不同的改變、置換及變更而無背離本發明的精神與範疇。

【符號說明】

【0066】

- 30 鱗式場效電晶體
- 32 基板
- 34 隔離區
- 36 鱗片
- 38 閘極介電體

- 40 閘極電極
- 42 源極/汲極區
- 44 源極/汲極區
- 50 基板
- 50A 第一區
- 50B 第二區
- 50C 第三區
- 50D 第四區
- 52 埋入步驟
- 60 半導體條帶
- 62 圖案化基板
- 64 矽鍺(SiGe)層
- 66 半導體層(半導體鱗片)
- 68 遮罩層(硬遮罩)
- 70 遮罩層(硬遮罩)
- 72 SiGe介電區
- 74 介電材料區
- 80 襯裡層
- 82 隔離區
- 82A 頂面
- 86 閘極介電體(虛擬閘極介電體)
- 88 閘極(虛擬閘極)
- 90 遮罩
- 92 閘極密封間隔物

- 96 源極 / 汲極區
- 98 層間介電層 (ILD)
- 100 溝槽
- 106 閘極介電體
- 108 閘極電極
- 110 接點
- 120 圖案化基板
- 122 SiGe層
- 124 半導體層 (半導體鱗片)
- 126 接觸區
- 128 接點
- 130 圖案化基板
- 132 SiGe層
- 134 半導體層 (半導體鱗片)
- 136 摻雜區
- 138 接點
- 200 APT形成
- 202 SiGe及半導體形成
- 204 遮罩形成
- 208 進行遮蔽 (第一區)
- 210 轉化為介電體 (第二區)
- 212 遮罩移除 (第一區)
- 214 轉化成介電體 (第一及第二區)
- 216 介電體移除

- 218 襯裡形成
- 220 絕緣體形成
- 222 平坦化
- 224 絕緣體形成溝槽
- 226 閘極形成
- 228 源極/汲極蝕刻
- 230 磊晶成長
- 232 ILD形成
- 234 接點形成
- 240 虛擬閘極形成
- 242 虛擬閘極移除
- 244 主動閘極形成
- B-B 橫剖面
- C-C 橫剖面
- D-D 橫剖面
- D1 距離
- D2 距離
- H1 高度
- H2 高度
- T1 厚度
- T2 厚度
- T3 厚度
- W1 寬度
- W2 寬度

【發明申請專利範圍】

【第 1 項】一種形成一半導體的方法，包括：
形成一第一鱗片及一第二鱗片於一基板上，該第一鱗片及該第二鱗片各包括一第一結晶半導體材料於一基板上以及一第二結晶半導體材料於該第一結晶半導體材料之上；

將於該第二鱗片中的該第一結晶半導體材料轉化成一介電材料，其中於該轉化步驟之後，於該第一鱗片中之至少一部分的該第一結晶半導體材料保留未經轉化；

形成複數個閘極結構於該第一鱗片及該第二鱗片之上；以及

形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【第 2 項】如申請專利範圍第 1 項所述之方法，其中該轉化包括使用一氧化製程。

【第 3 項】如申請專利範圍第 1 項所述之方法，其中於該第一鱗片中之該未經轉化之剩餘部分的第一結晶半導體材料自該基板連續至於該第一鱗片中的該第二結晶半導體材料。

【第 4 項】如申請專利範圍第 1 項所述之方法，其中該轉化步驟更包括：

轉化於該第一鱗片中之一部分的該第一結晶半導體材料。

【第 5 項】如申請專利範圍第 1 項所述之方法，更包括：

於該轉化步驟之前，形成一遮罩於該第一鱗片之上；以及

於該轉化步驟之後，自該第一鱗片移除該遮罩。

【第 6 項】一種形成一半導體的方法，包括：
磊晶成長一第一結晶半導體材料於一基板上；
磊晶成長一第二結晶半導體材料於該第一結晶半導體材料之上；

將該第一結晶半導體材料及該第二結晶半導體材料進行圖案化以形成一第一鱗片及一第二鱗片於該基板上；

氧化於該第一鱗片中之至少一部分的該第一結晶半導體材料以及於該第二鱗片中之全部的該第一結晶半導體材料以形成一第一氧化材料，以及氧化於該第一鱗片及該第二鱗片中之至少一部分的該第二結晶半導體材料以形成一第二氧化材料，其中

於氧化該第一鰭片及該第二鰭片之後，於該第一鰭片中之一部分的該第一結晶半導體材料未經氧化；

移除至少一部分之該第二氧化材料；

形成複數個隔離區於該基板上且圍繞該第一鰭片及該第二鰭片之至少複數個下部；

形成複數個閘極結構於該第一鰭片、該第二鰭片以及該些隔離區之上；以及

形成複數個源極/汲極區於該些閘極結構的相反兩側上。

【第 7 項】如申請專利範圍第 6 項所述之方法，其中磊晶成長該第一結晶半導體材料以作為一第一毯覆層於該基板上，以及磊晶成長該第二結晶半導體材料以作為一第二毯覆層於該第一毯覆層上，蝕刻該第一毯覆層及該第二毯覆層以形成該第一鰭片及該第二鰭片。

【第 8 項】如申請專利範圍第 6 項所述之方法，更包括：

於形成該些源極/汲極區之後，形成一層間介電體於該些源極/汲極區之上；

移除於該層間介電體中形成該些溝槽的該些閘極結構；

形成複數個主動閘極結構於該層間介電體的

該些溝槽中；以及

形成穿過該層間介電體的複數個接點以與該些源極/汲極區相接。

【第 9 項】一種半導體結構，包括：

一第一鰭片於一基板上包括：

一第一磊晶部；以及

一第二磊晶部直接位於該第一磊晶部之下，該第二磊晶部的材料組成異於該第一磊晶部；

一第二鰭片於該基板上包括：

一第三磊晶部；以及

一第一介電區直接位於該第三磊晶部之下；以及

複數個隔離區於該基板中以及位於該第一鰭片及該第二鰭片的相反兩側上，至少該第一鰭片之該第一磊晶部及該第二鰭片之該第三磊晶部自該些隔離區之間突出，該第一介電區的材料組成異於該些隔離區；

複數個閘極結構沿著該第一鰭片及該第二鰭片的複數個側壁以及位於該第一鰭片及該第二鰭片的複數個上表面之上，該些閘極結構定義一通道區於該第一磊晶部及該第三磊晶部中。

【第 10 項】如申請專利範圍第 9 項所述之半

導體結構，更包括：

一 第二介電區直接位於該第一磊晶部之下以及插設於該第二磊晶部及該隔離區之間。

圖式

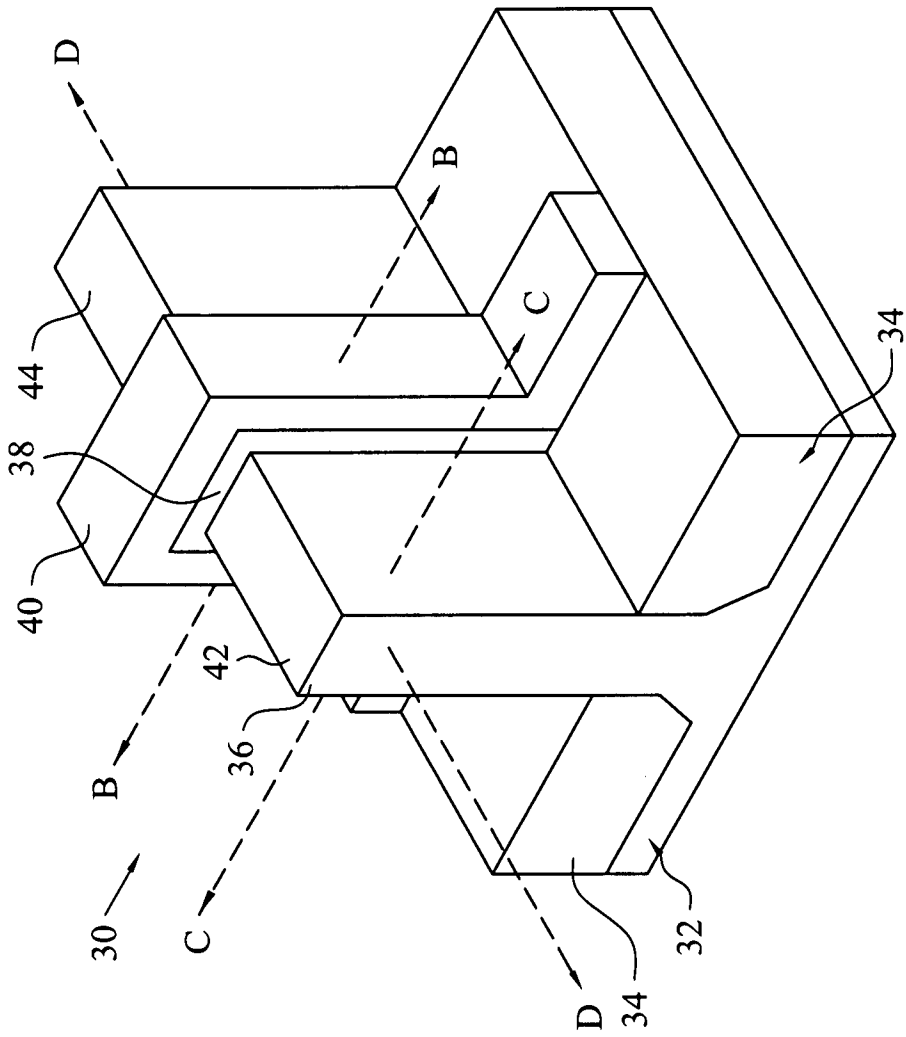


圖 1

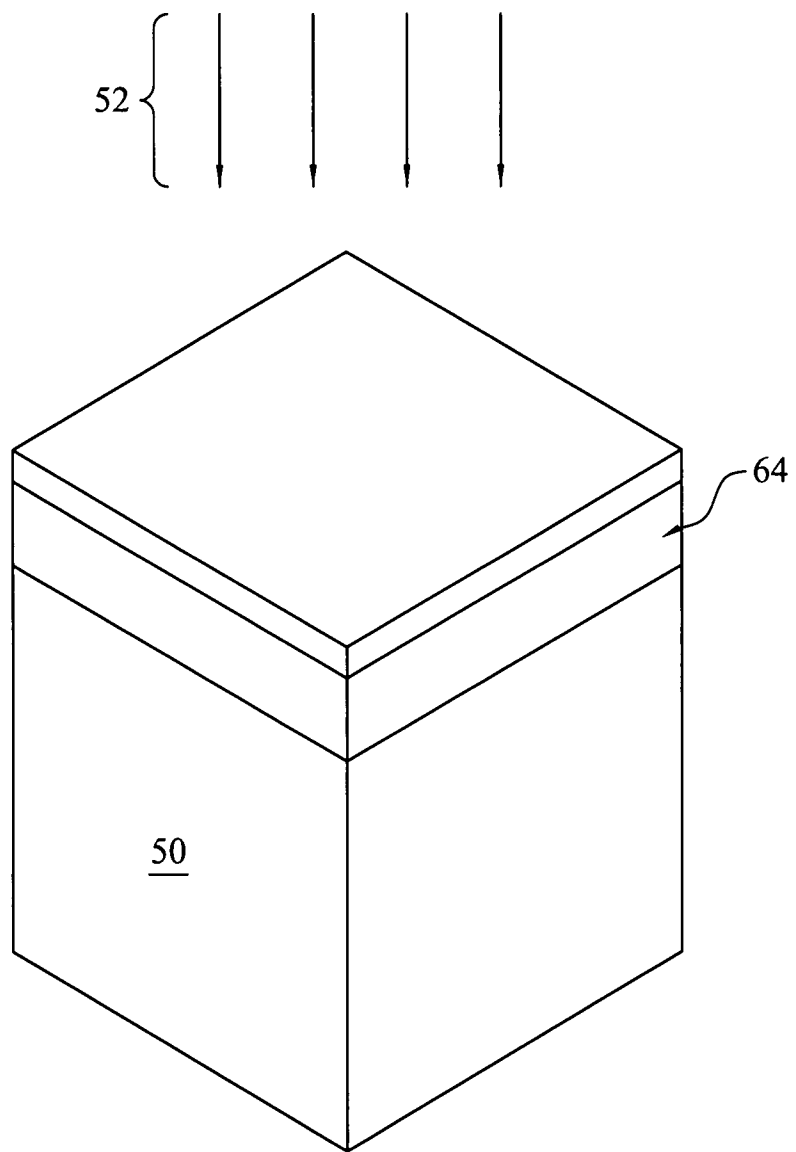


圖 2

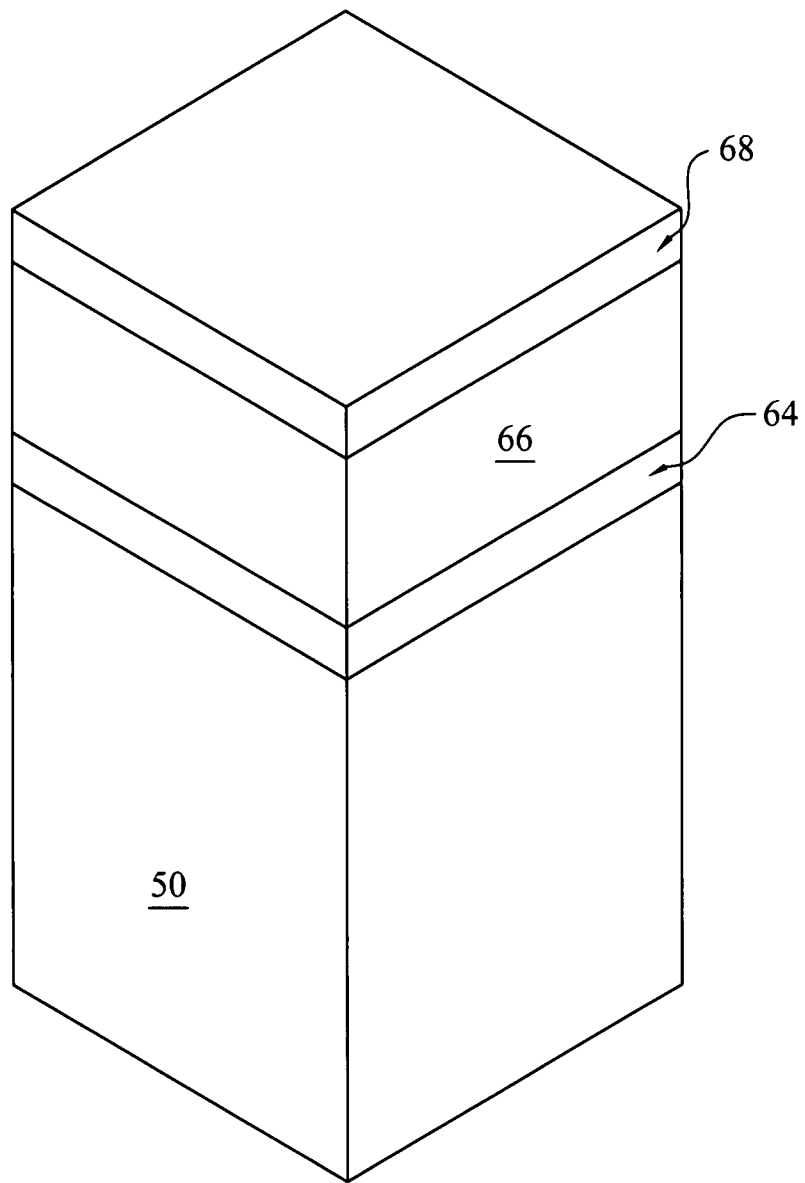


圖 3

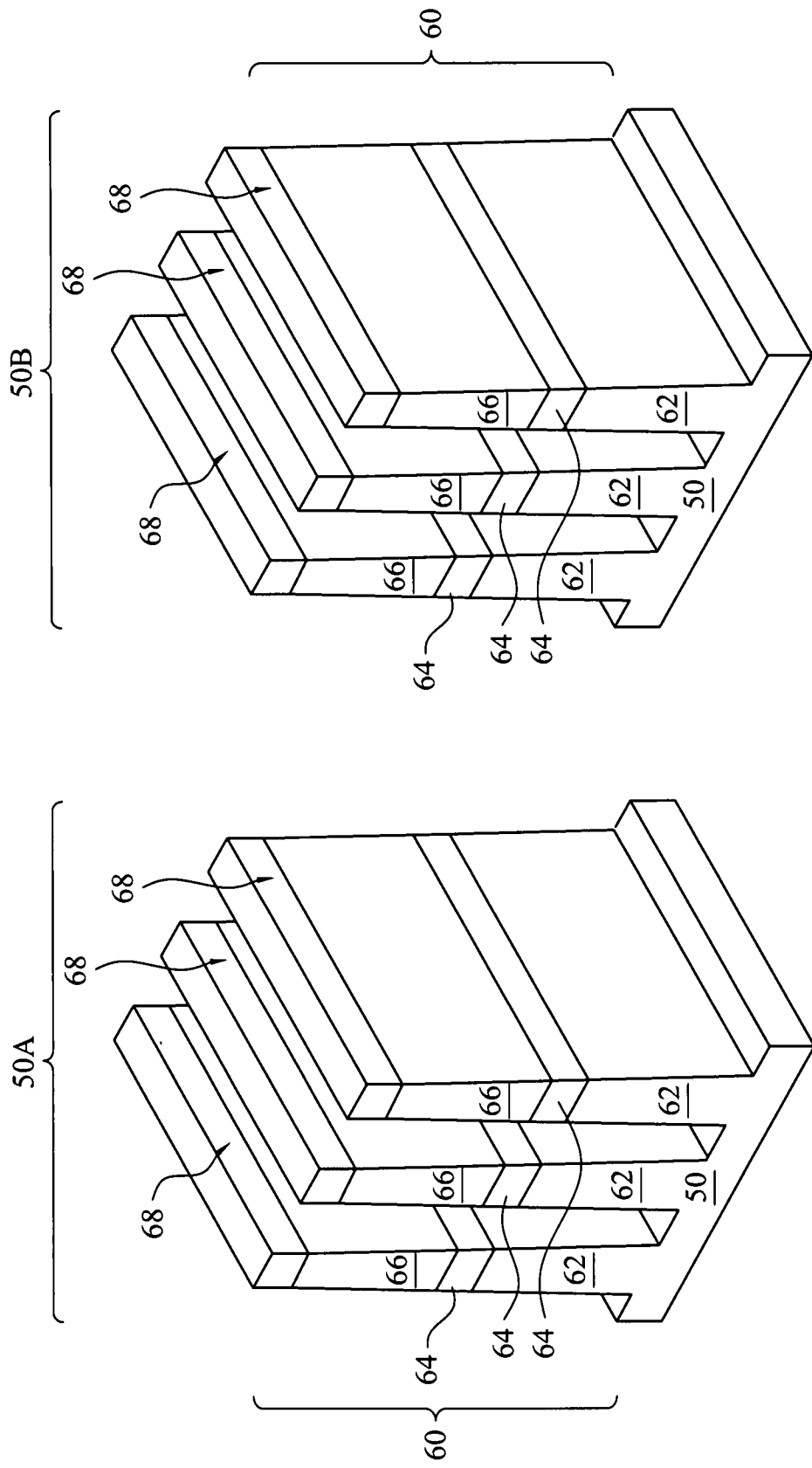


圖 4A

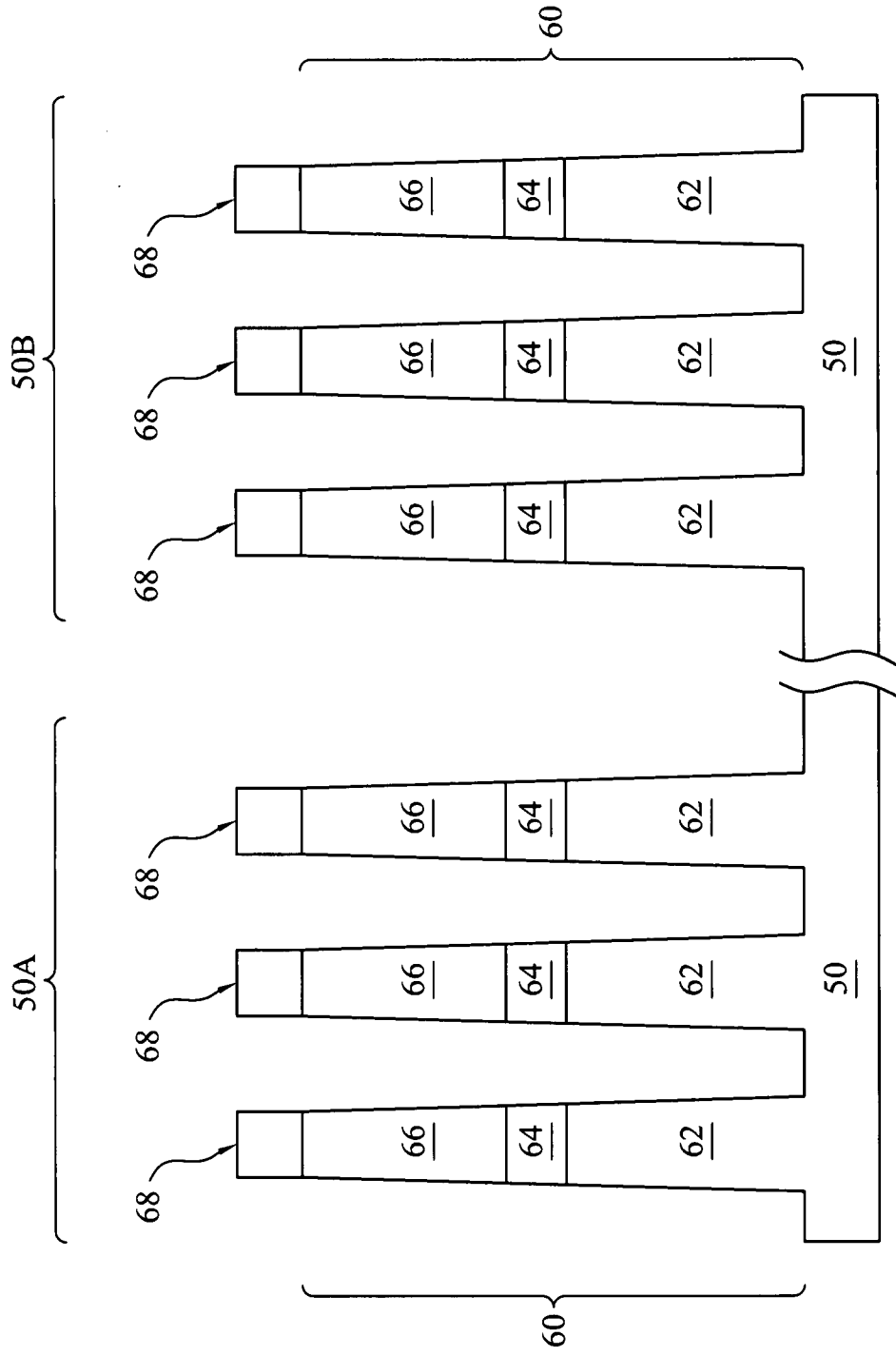


圖 4B

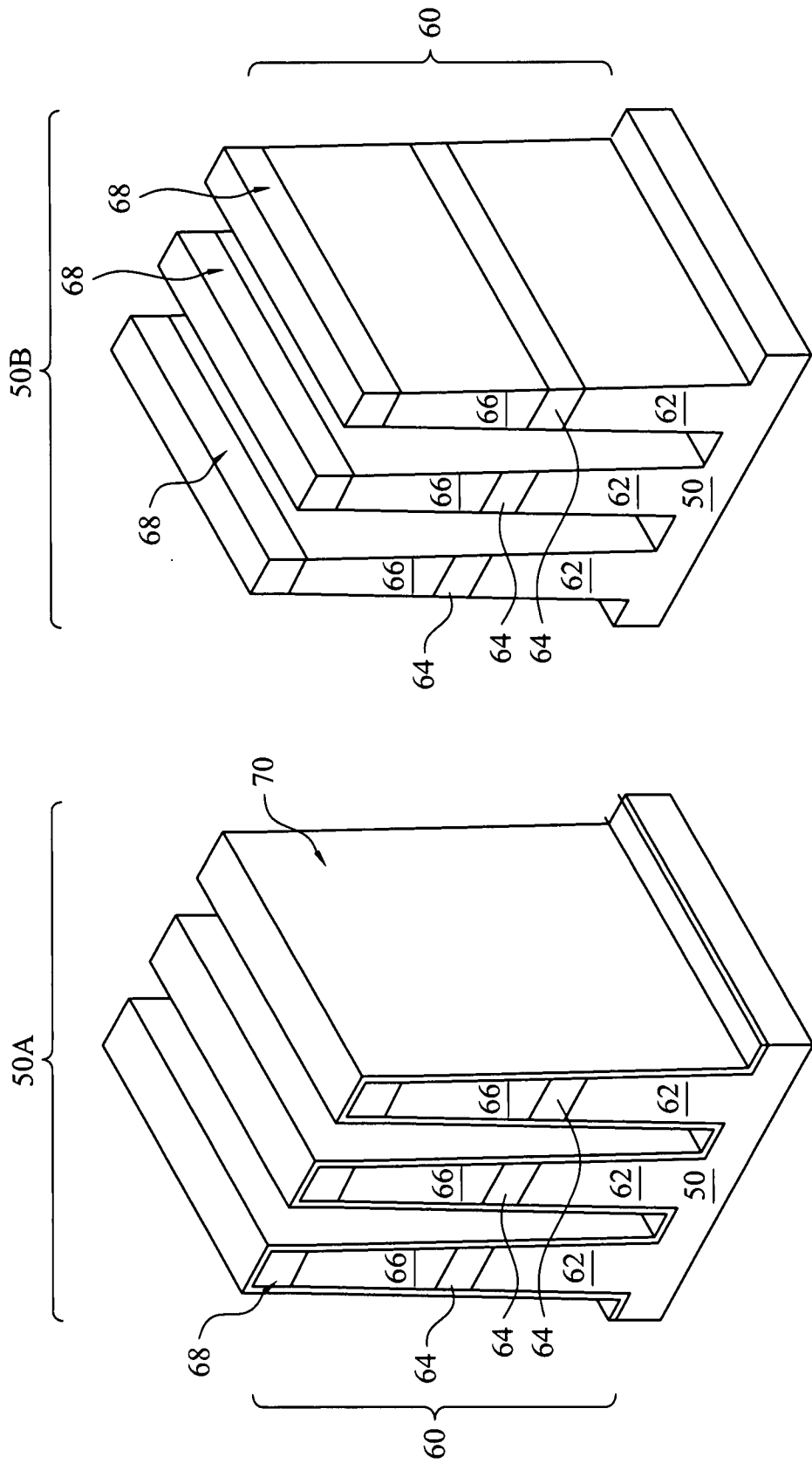


圖 5A

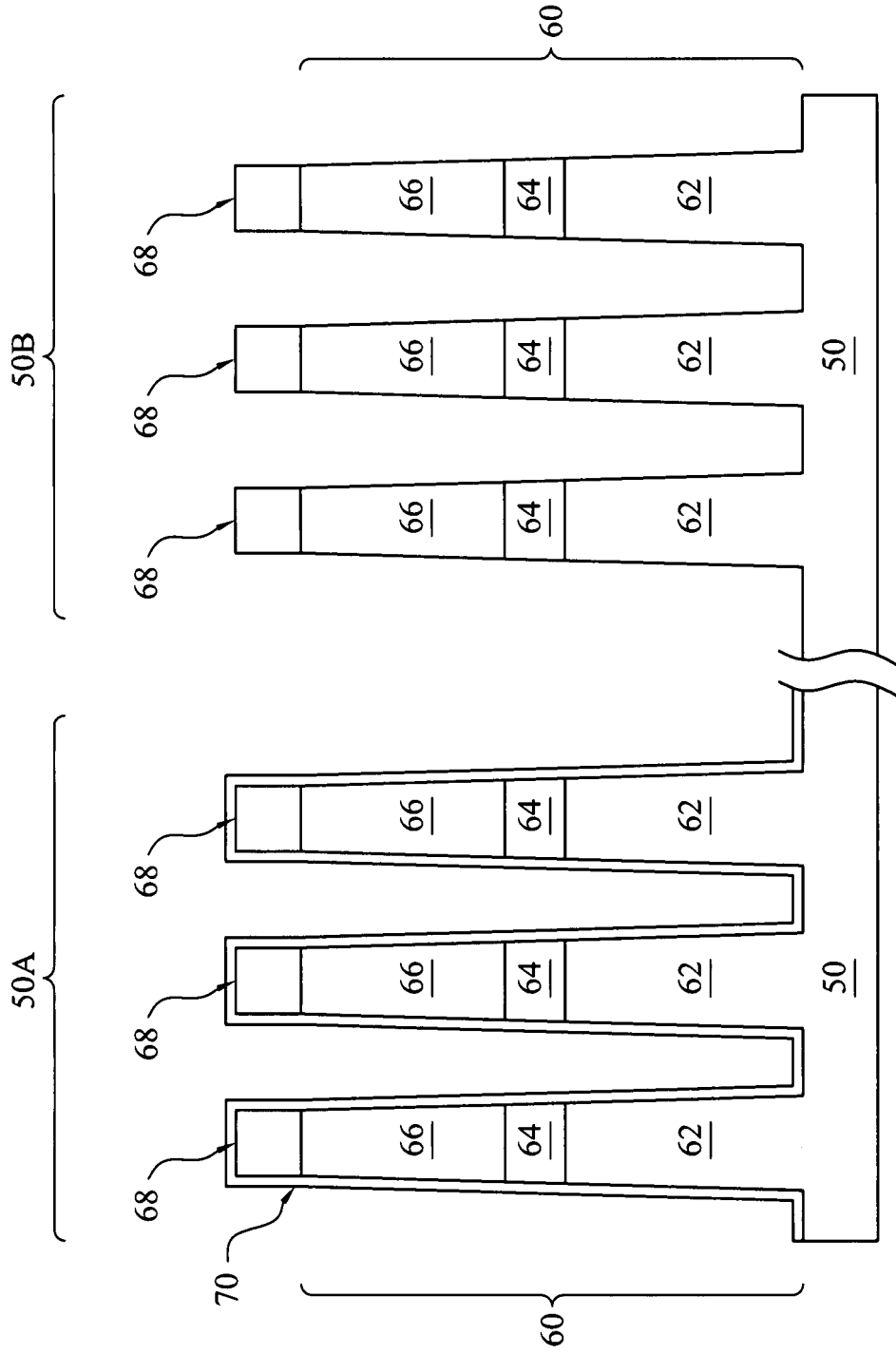


圖 5B

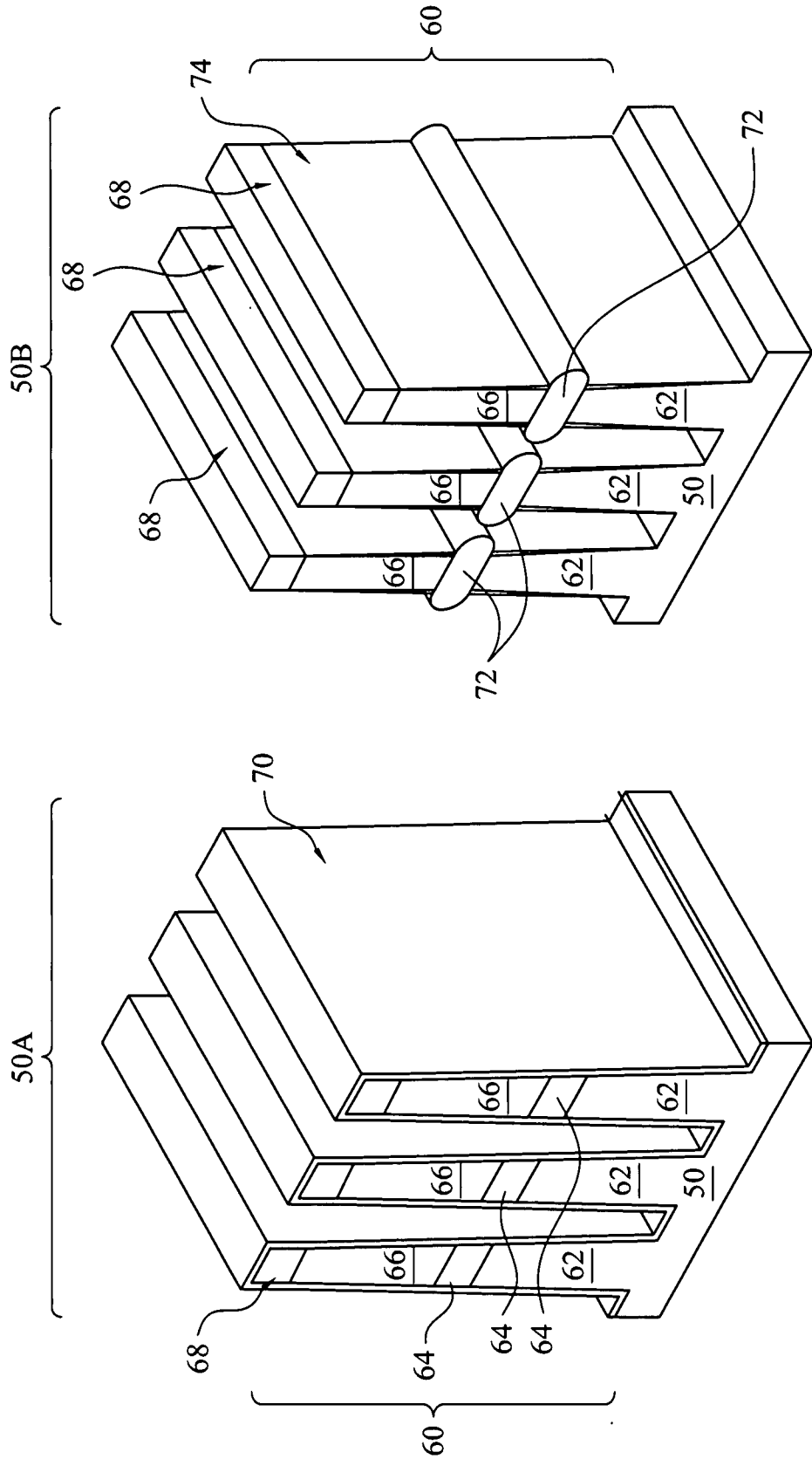


圖 6A

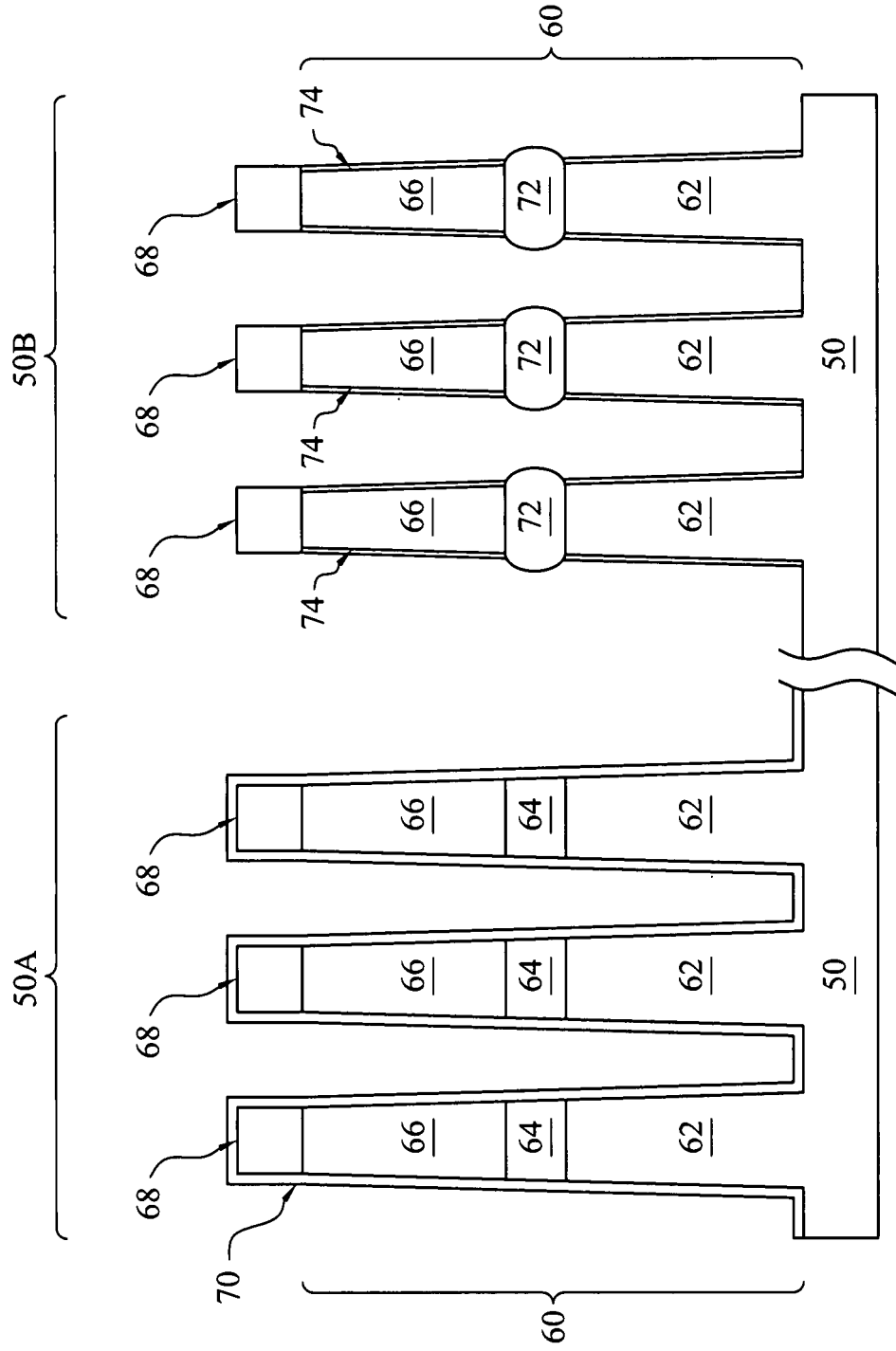


圖 6B

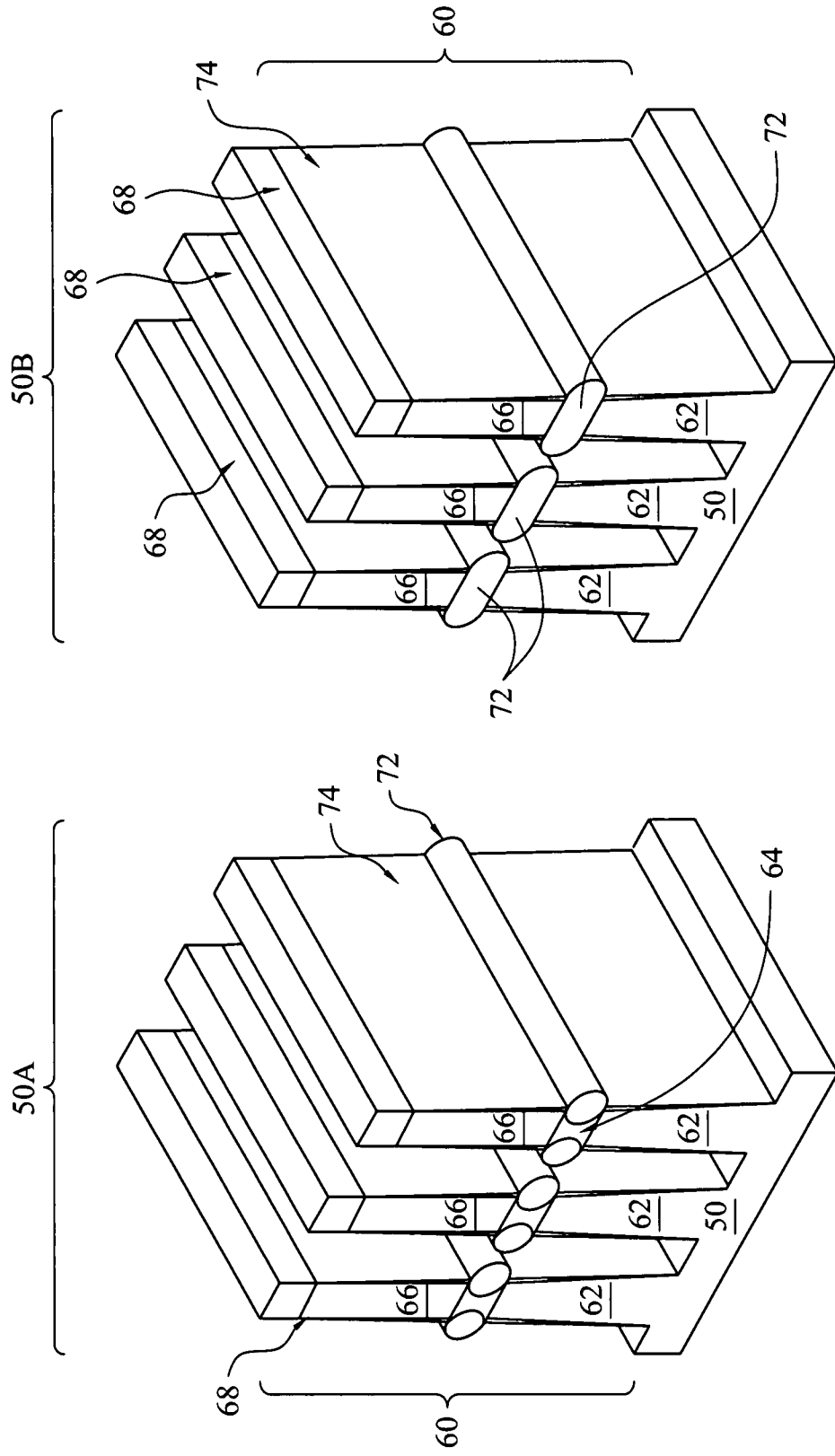


圖 7A

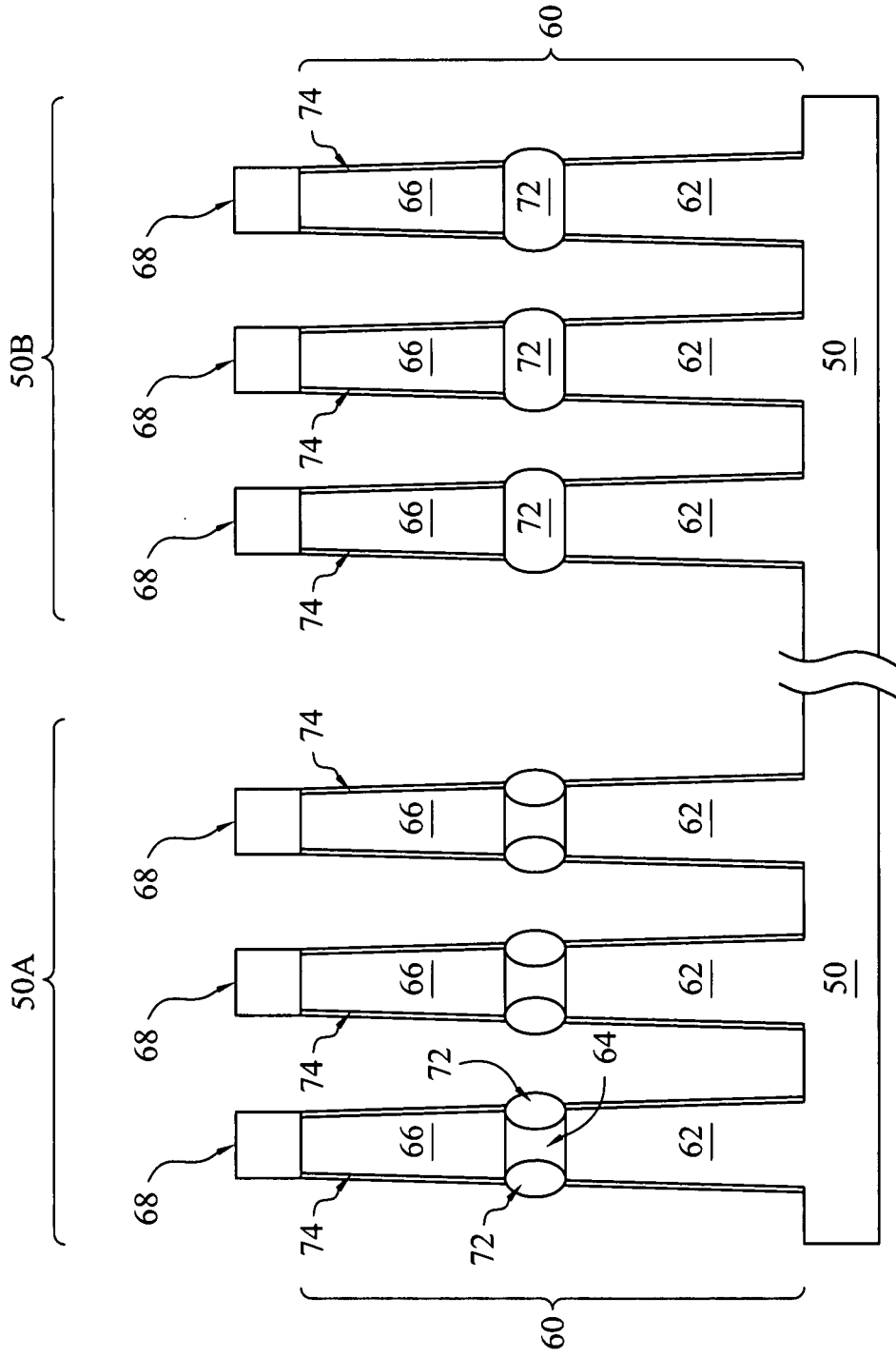


圖 7B

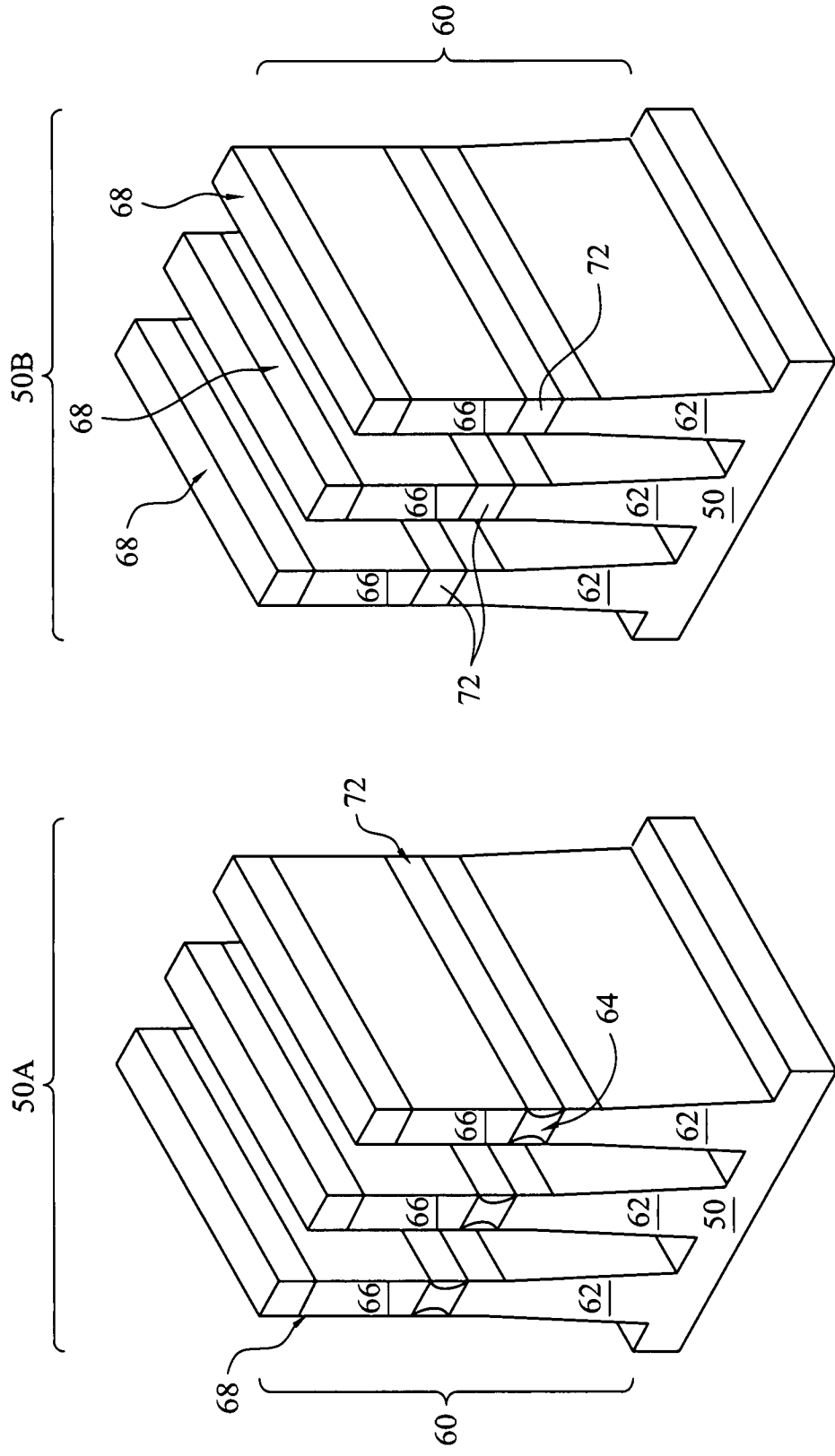


圖 8A

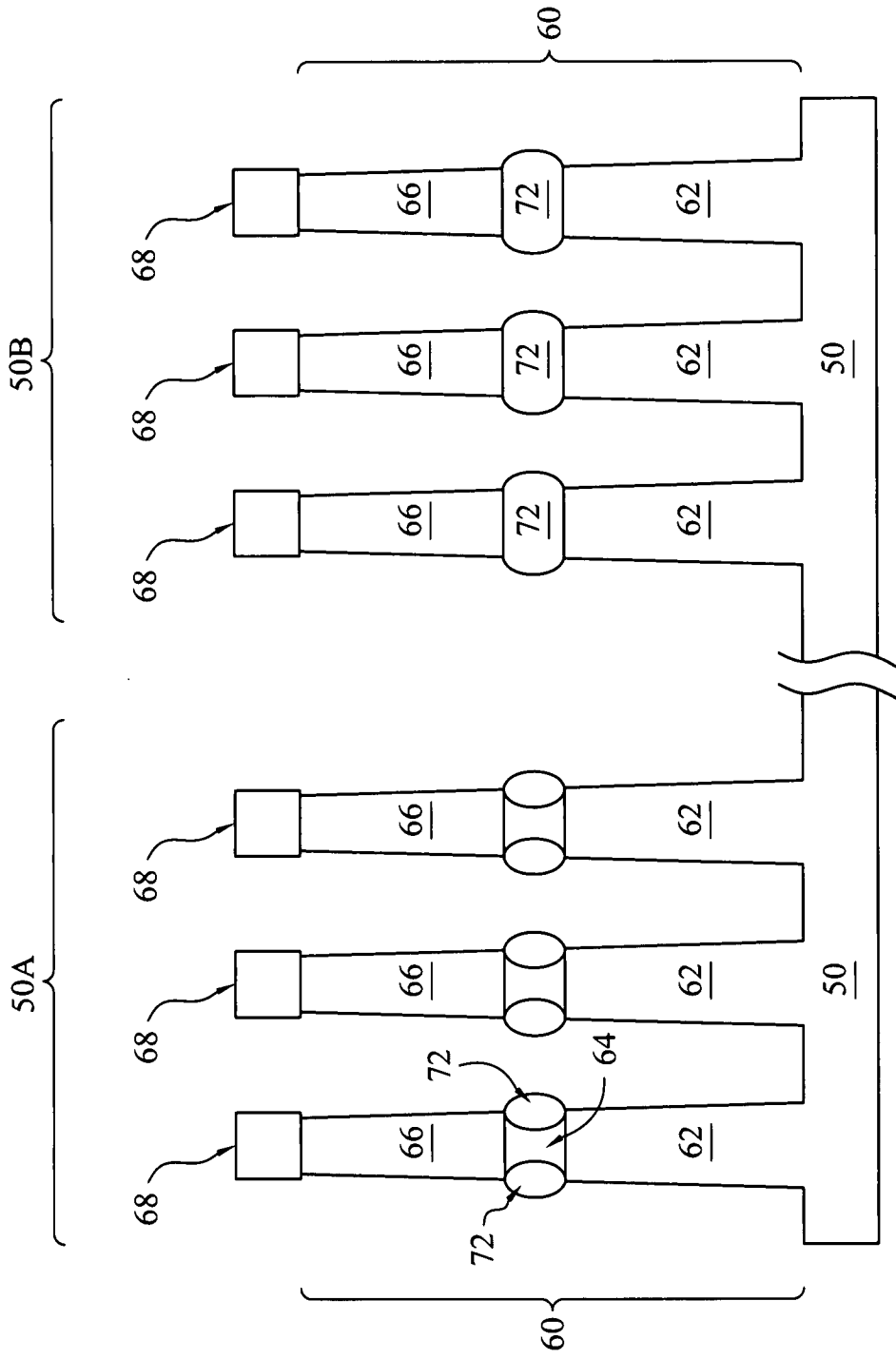


圖 8B

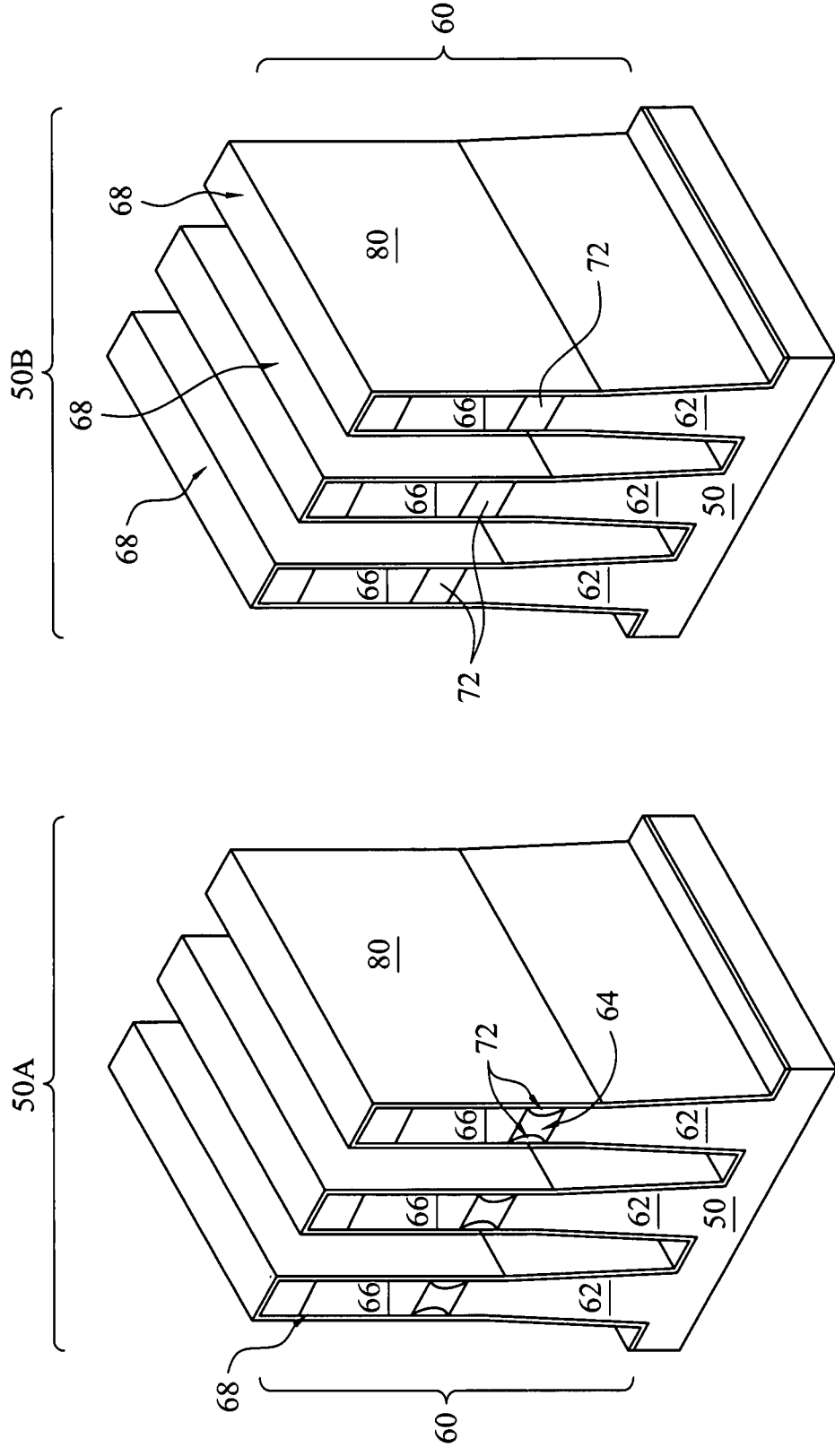


圖 9A

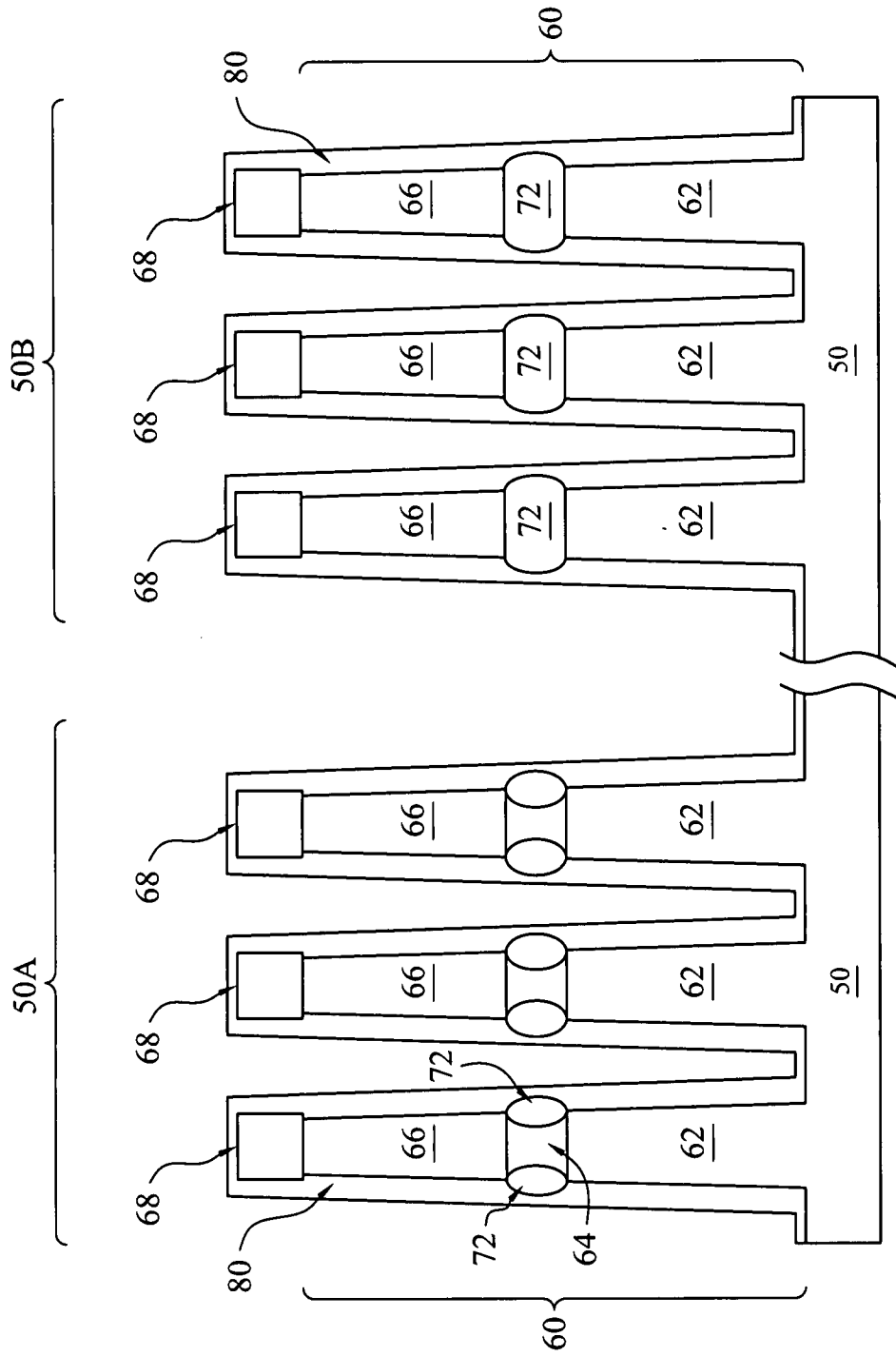


圖 9B

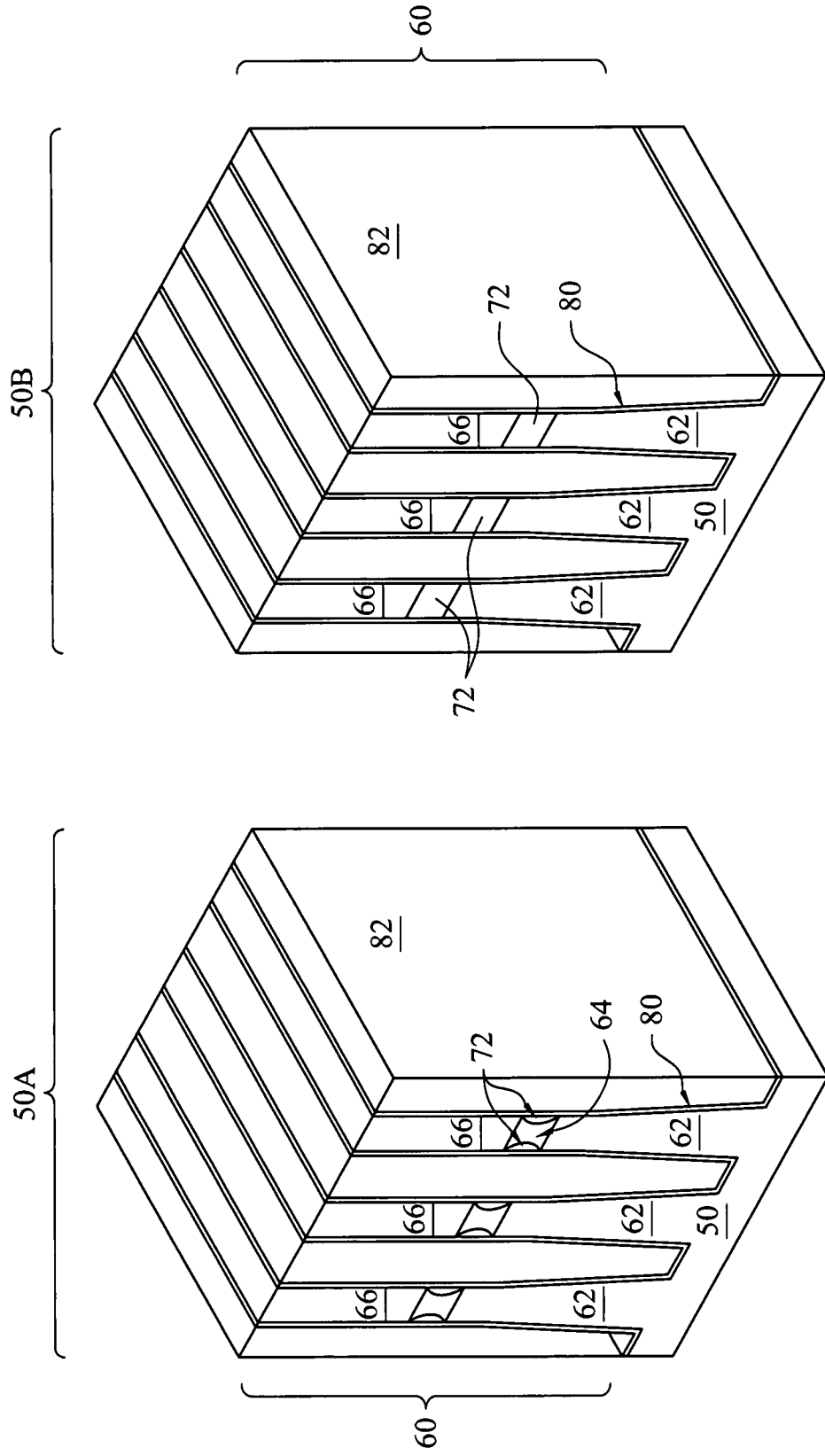


圖 10A

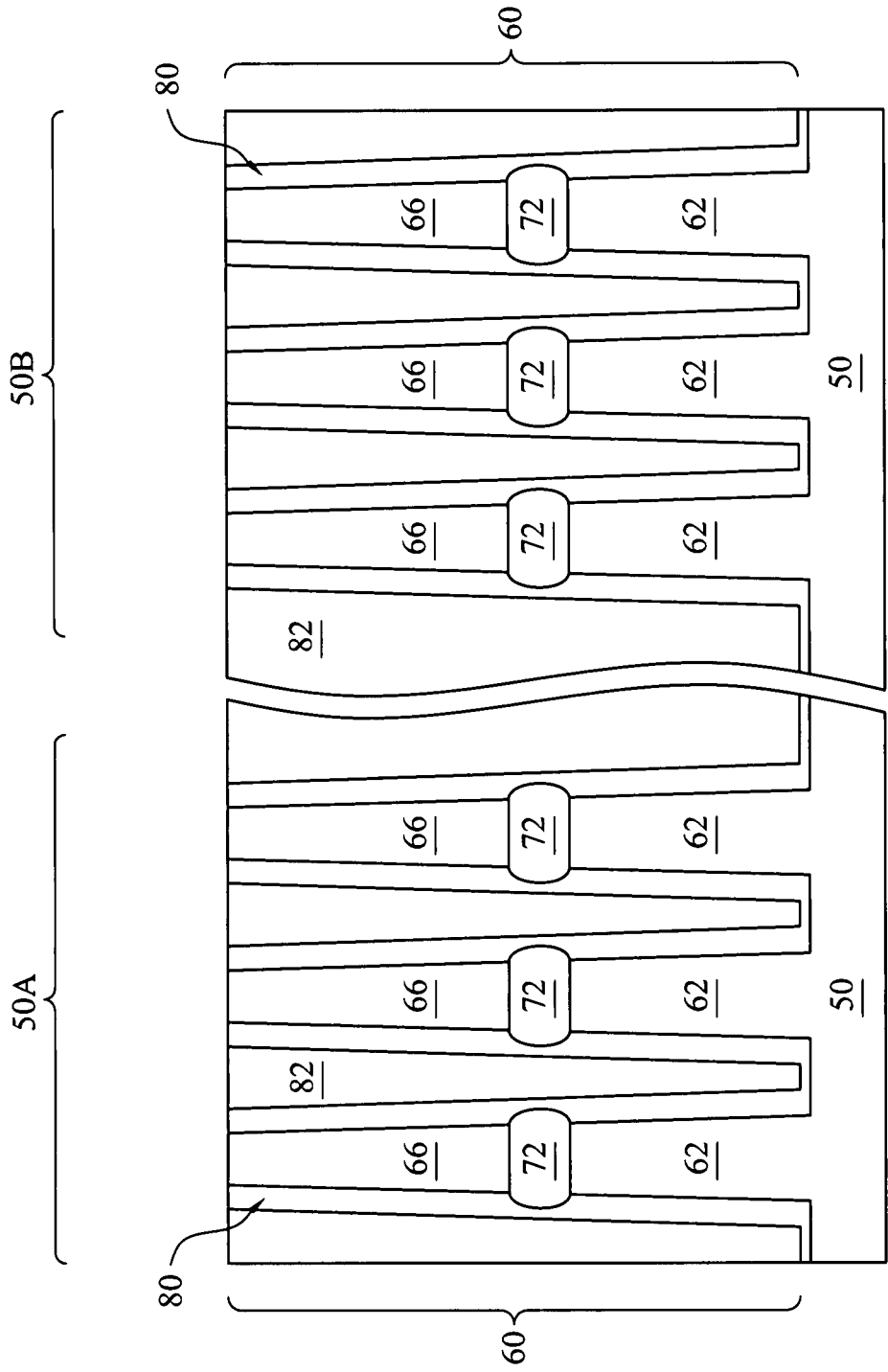


圖 10B

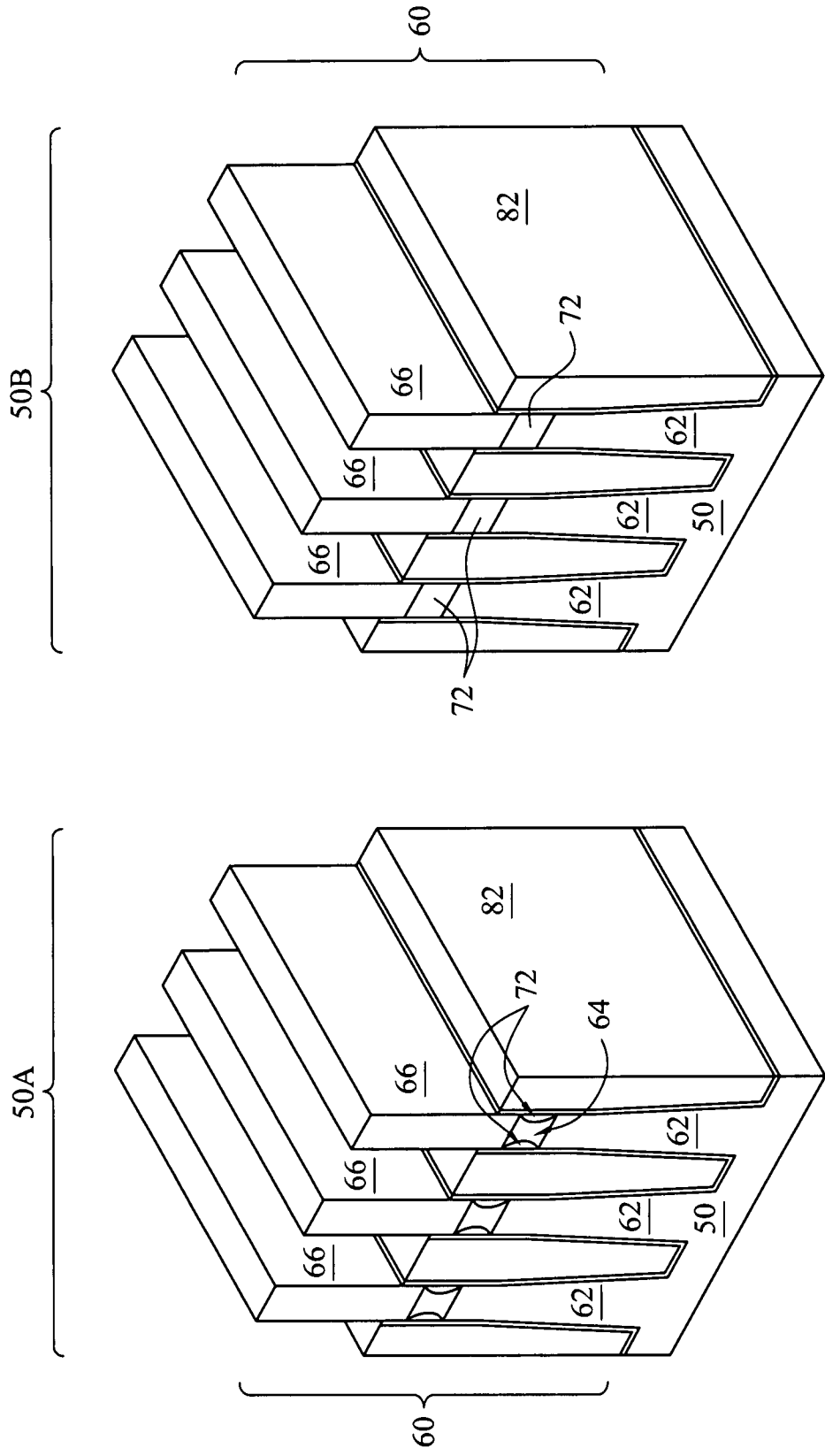


圖 11A

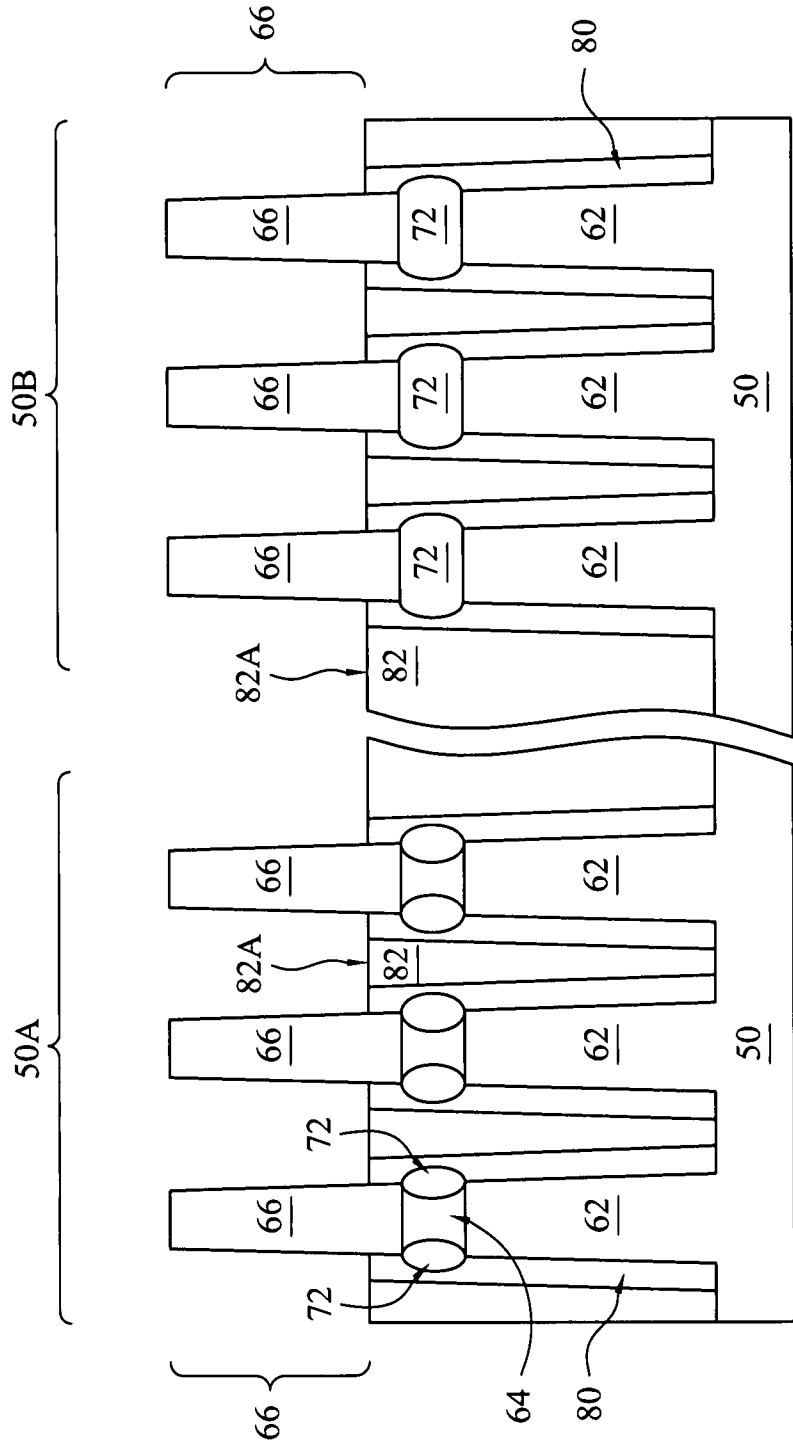


圖 11B

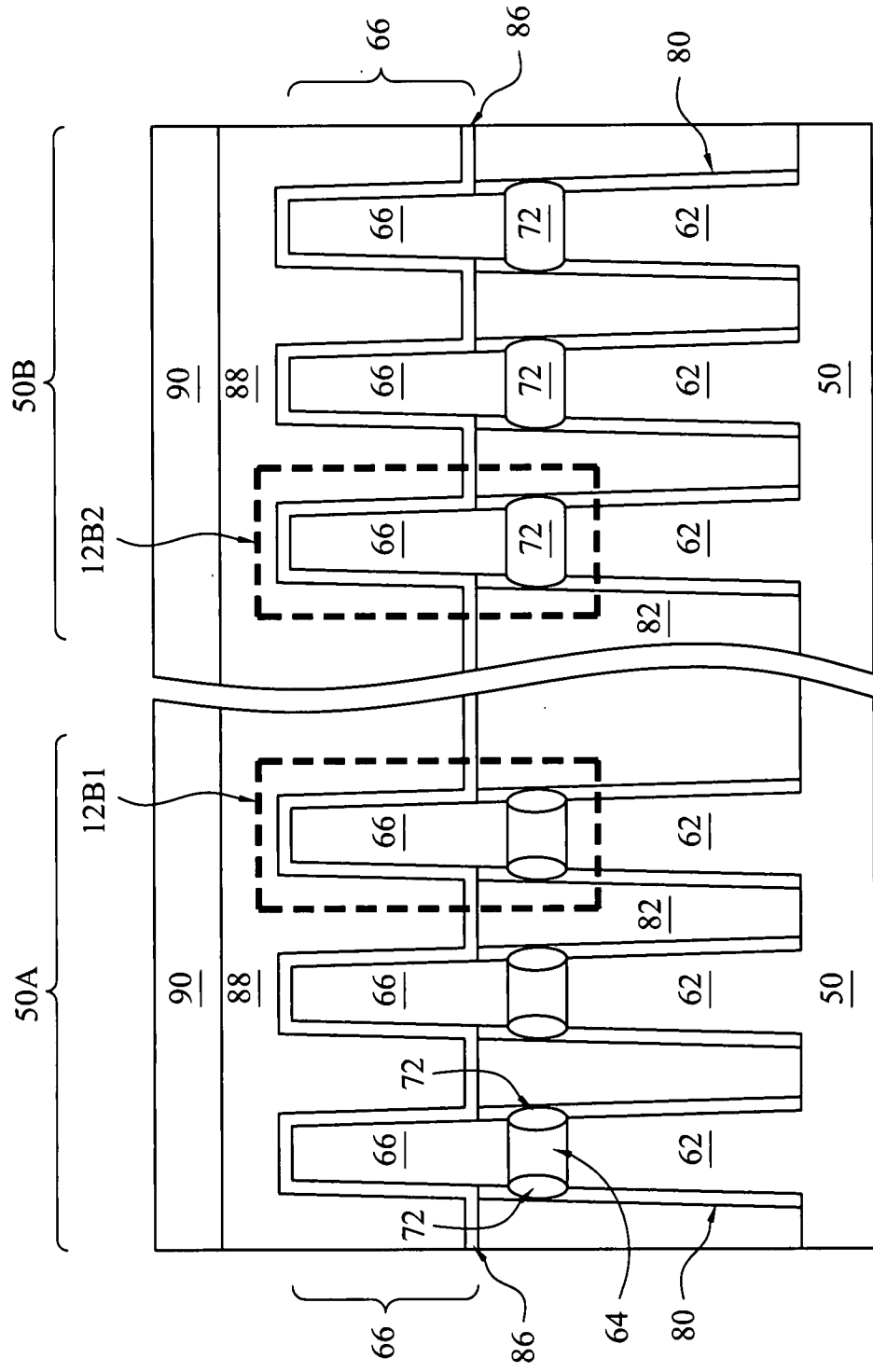


圖 12B

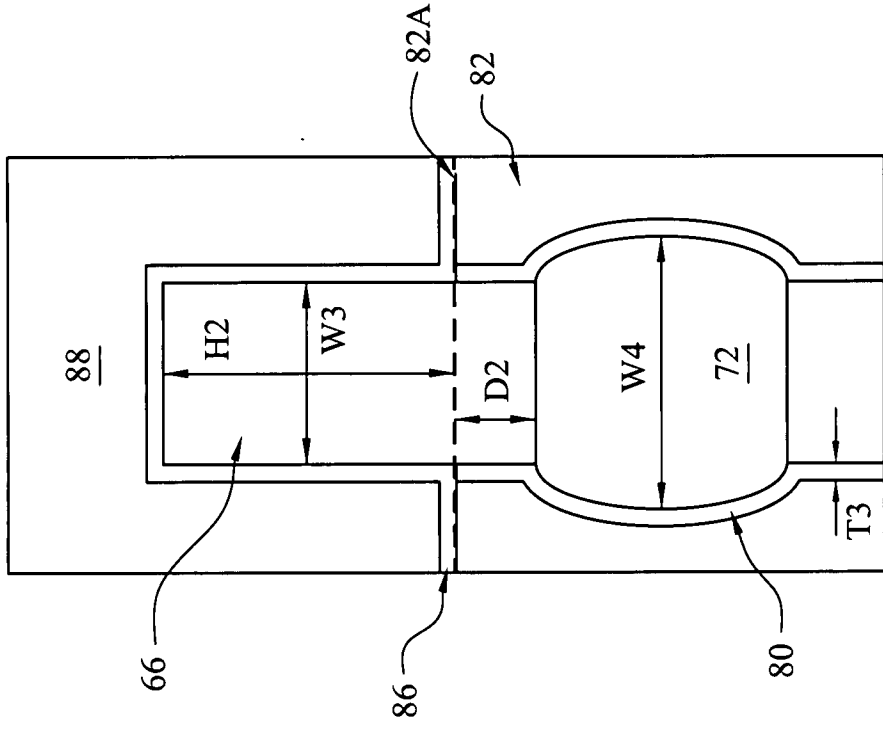


圖 13B2

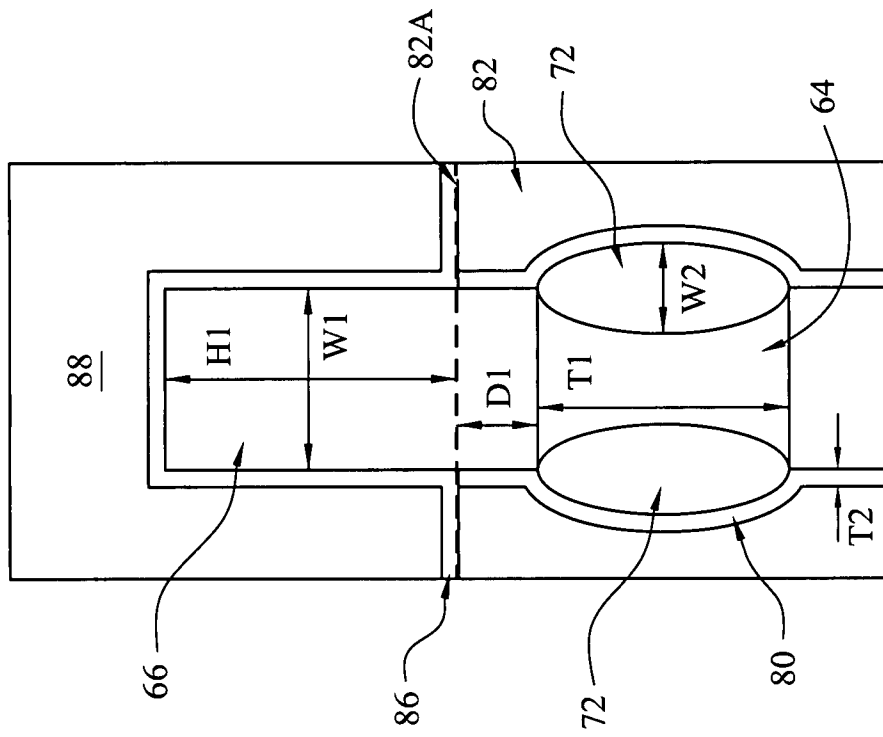


圖 13B1

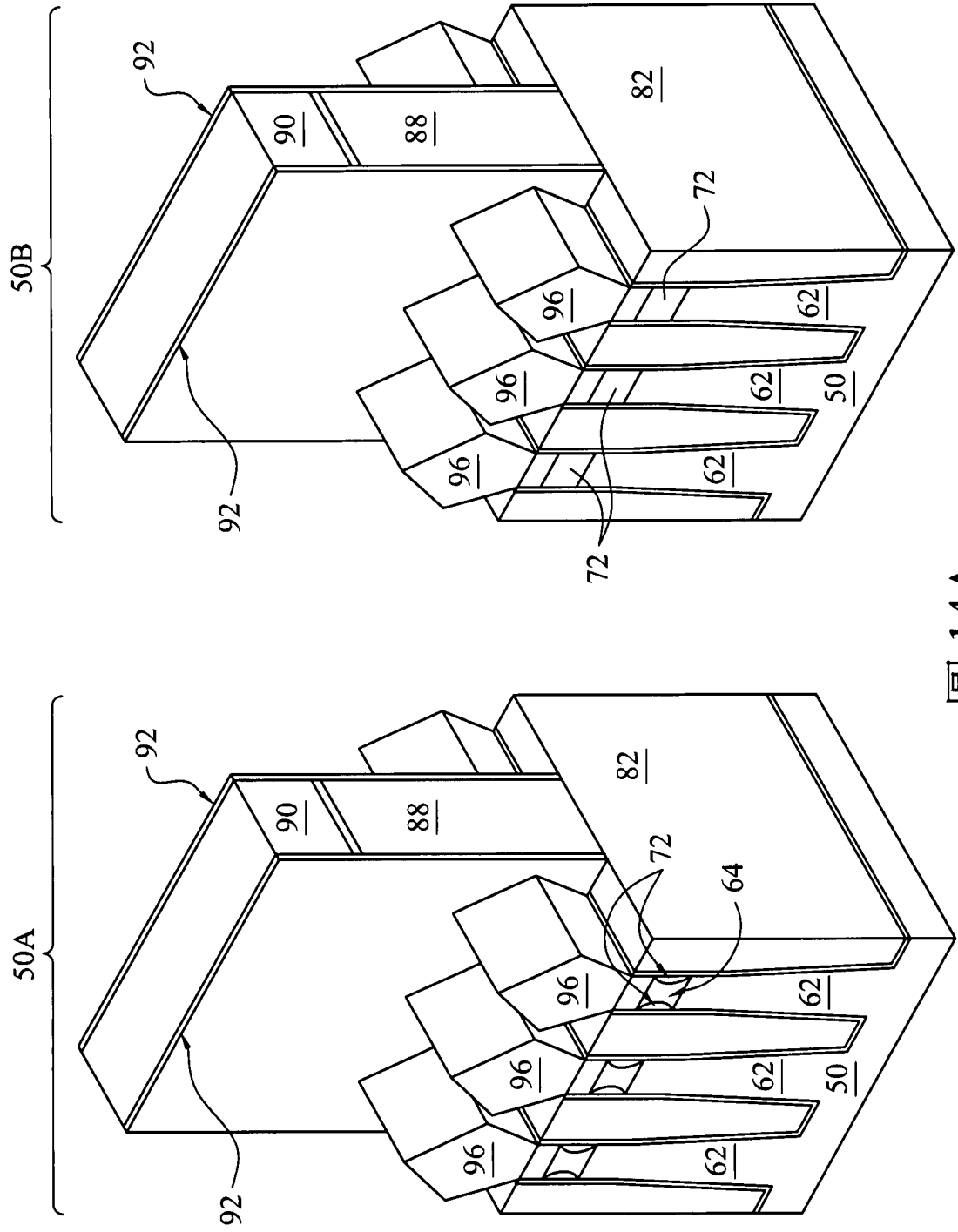


圖 14A

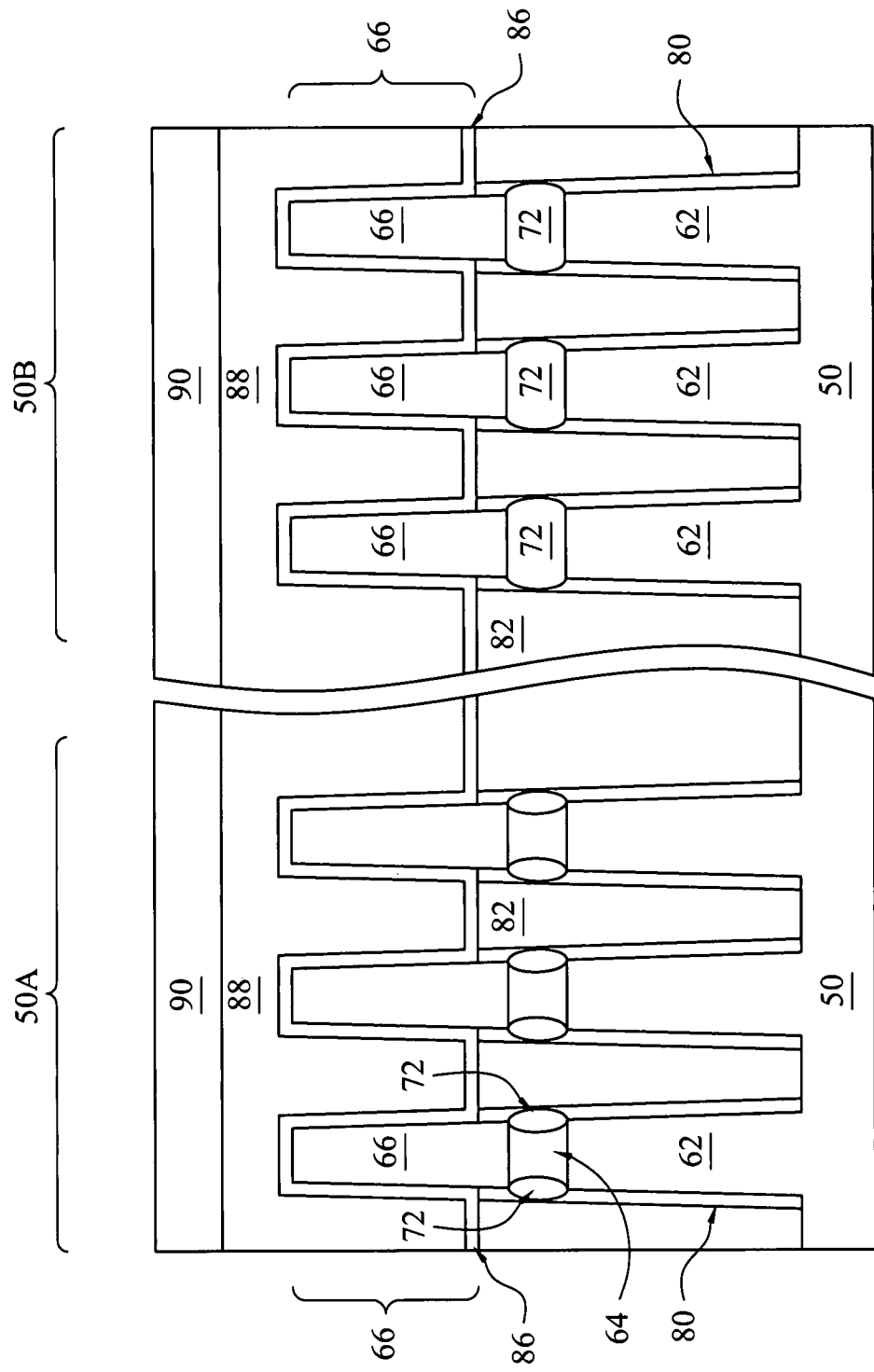


圖 14B

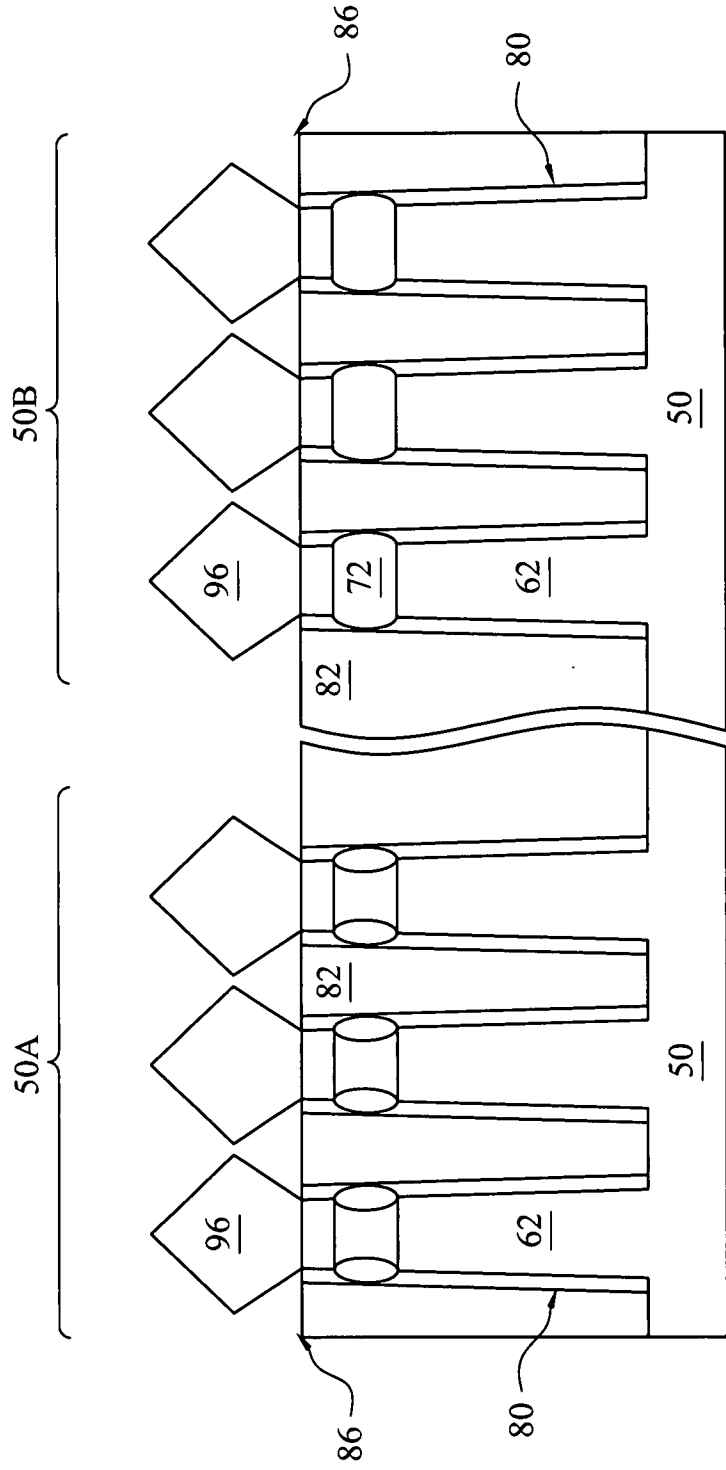


圖 14C

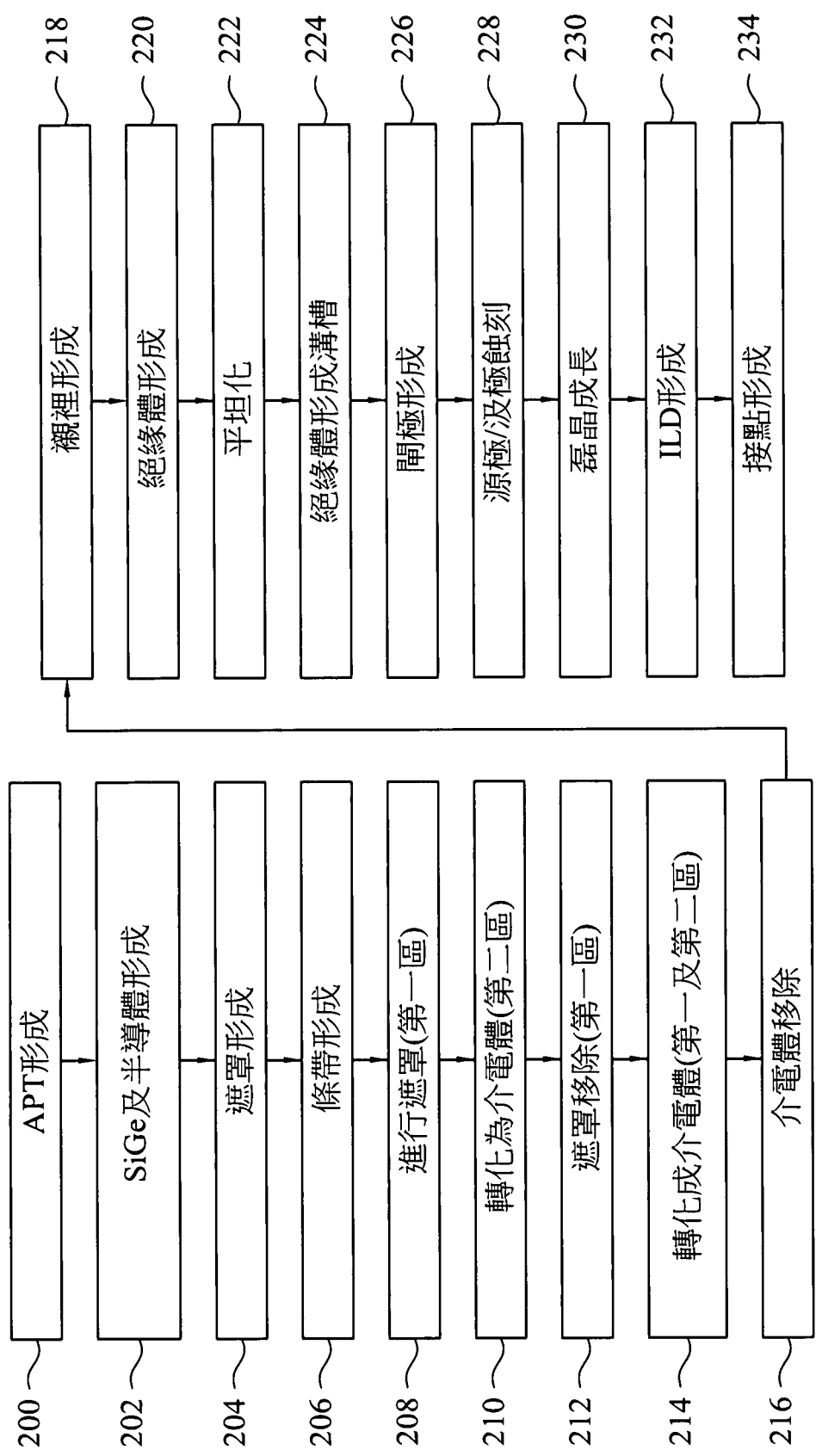


圖 15

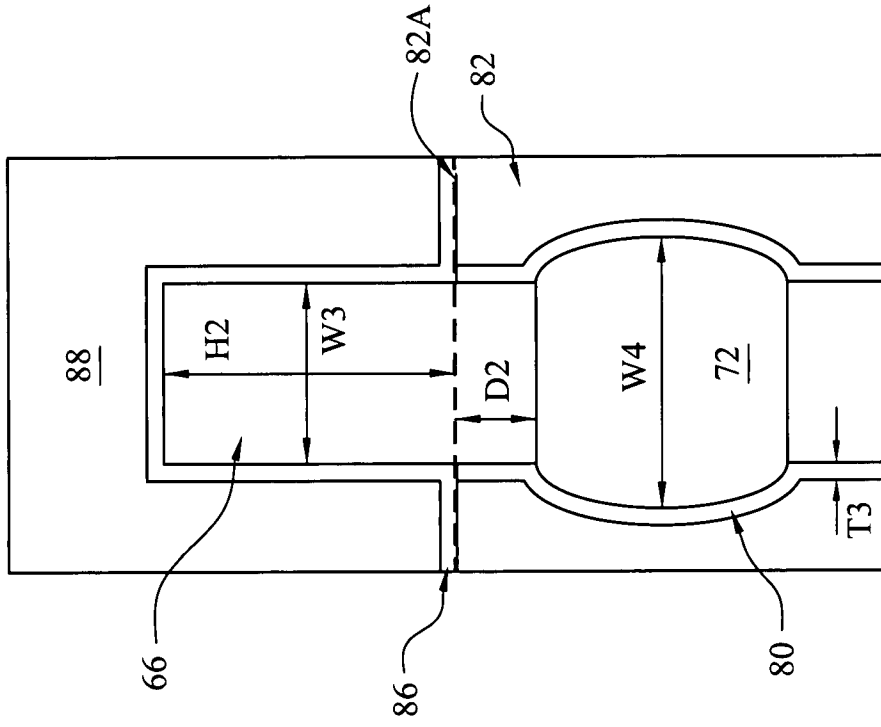


圖 16B2

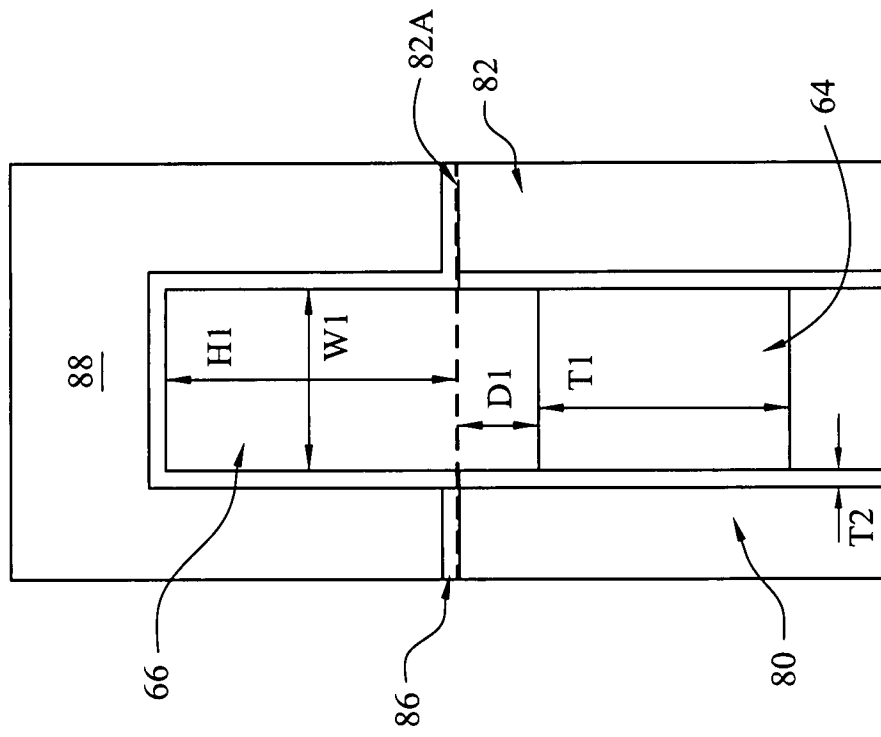


圖 16B1

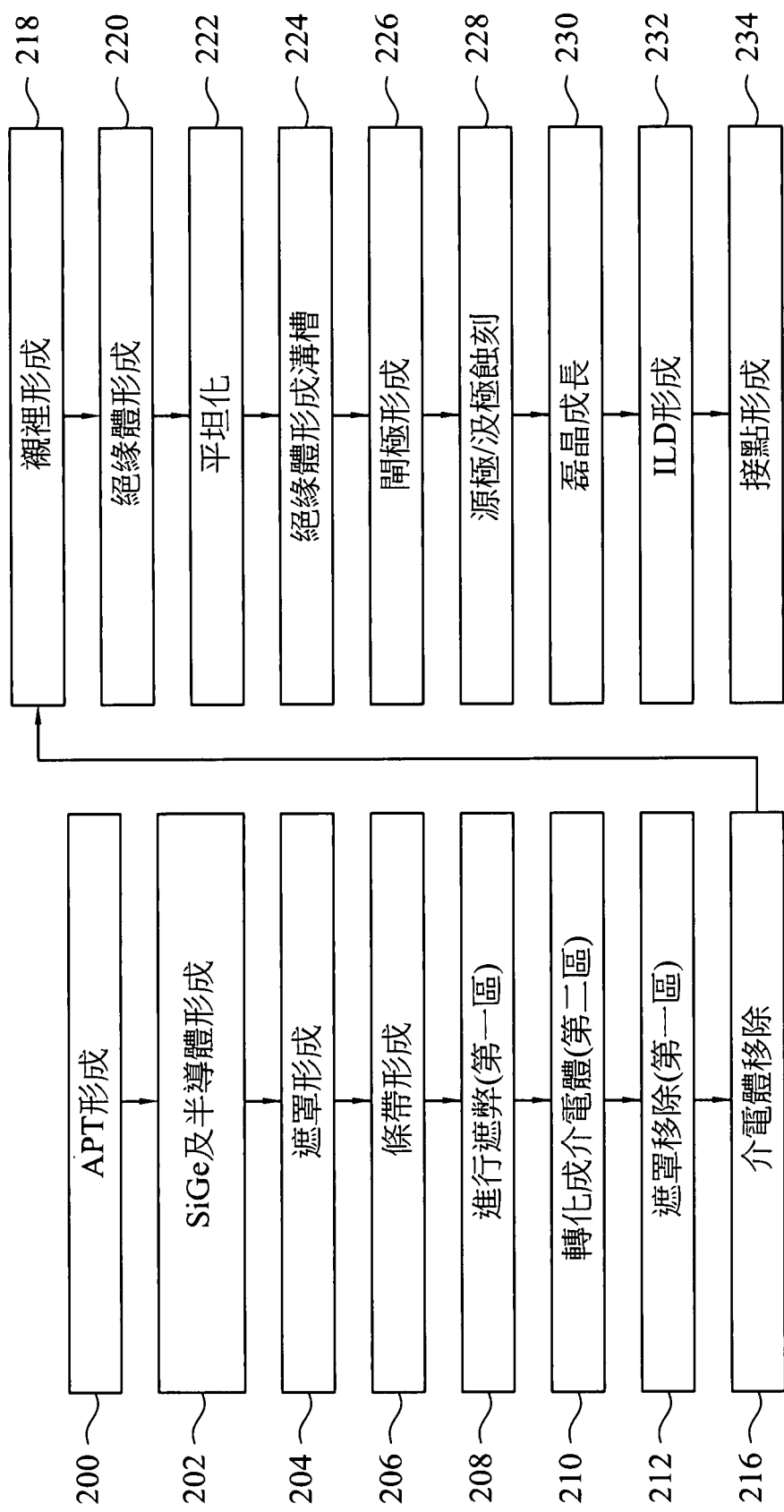


圖 17

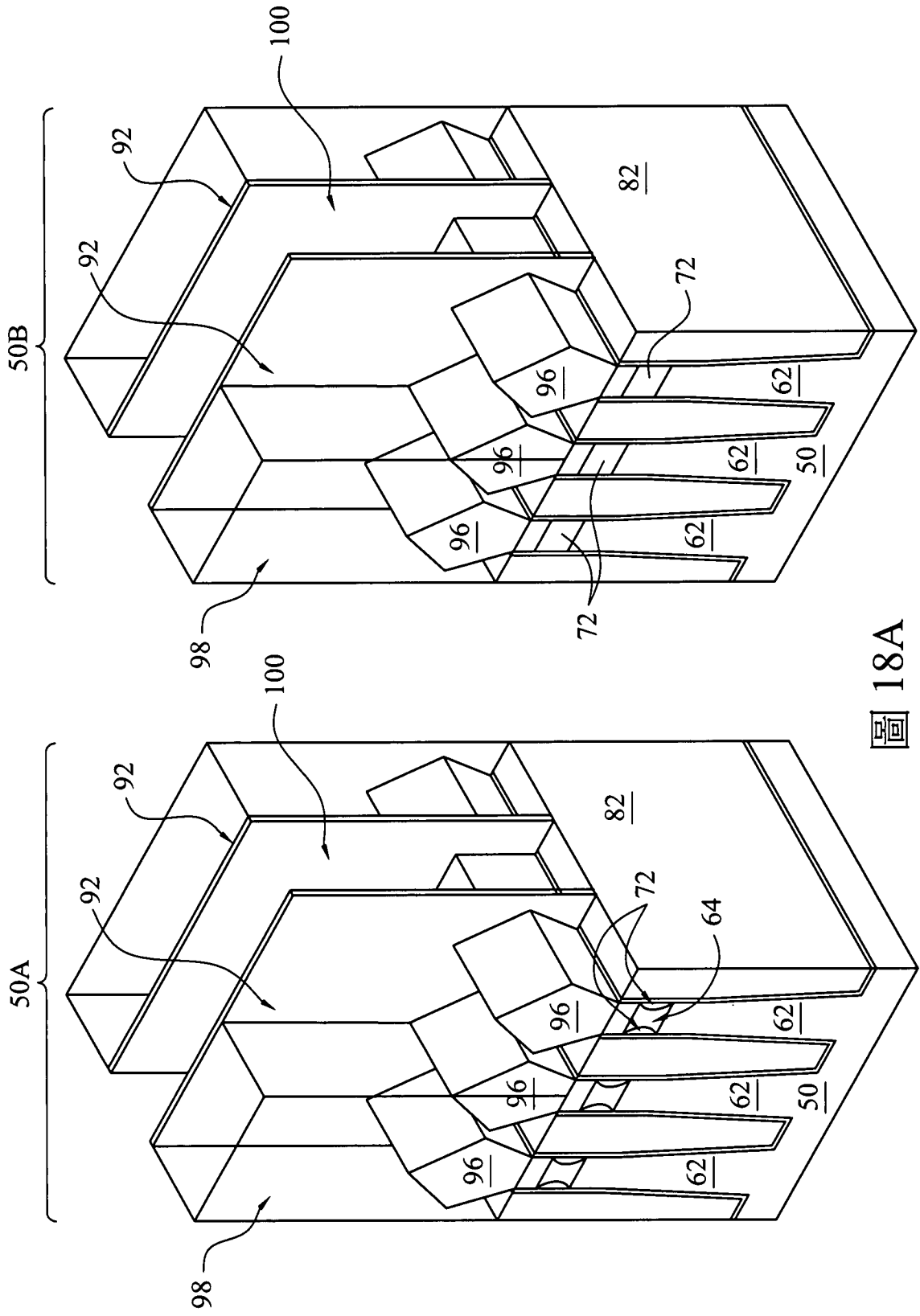


圖 18A

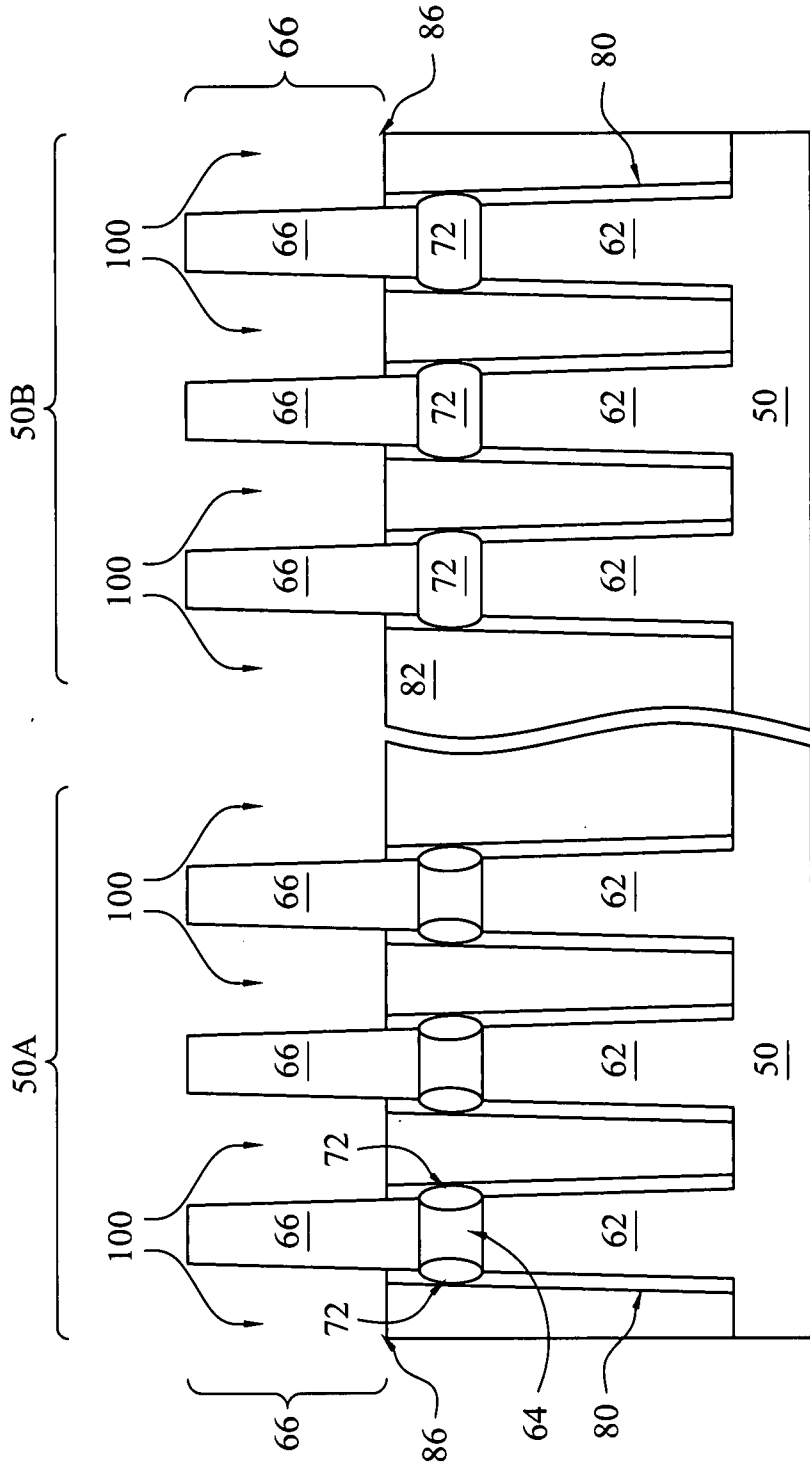


圖 18B

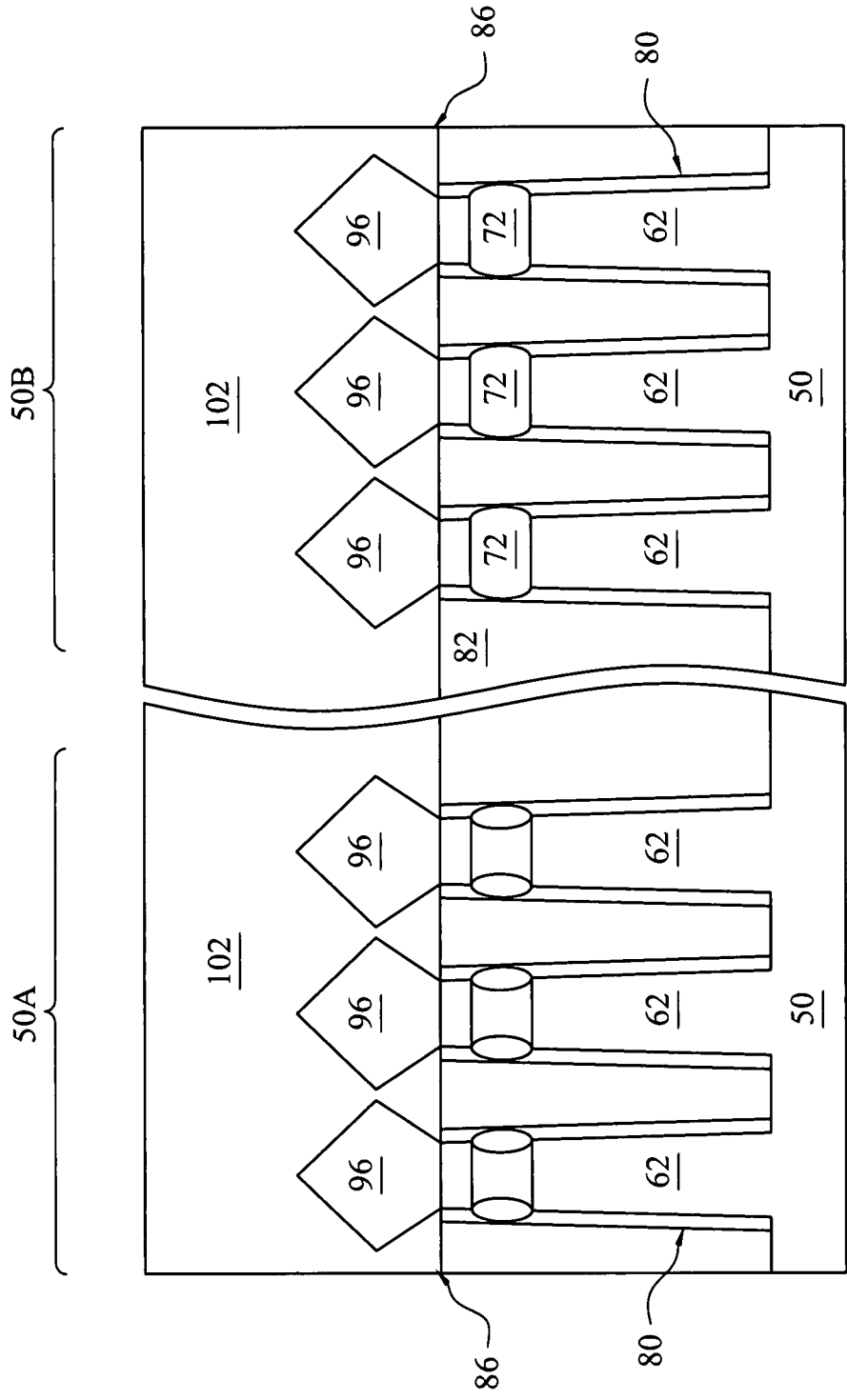


圖 18C

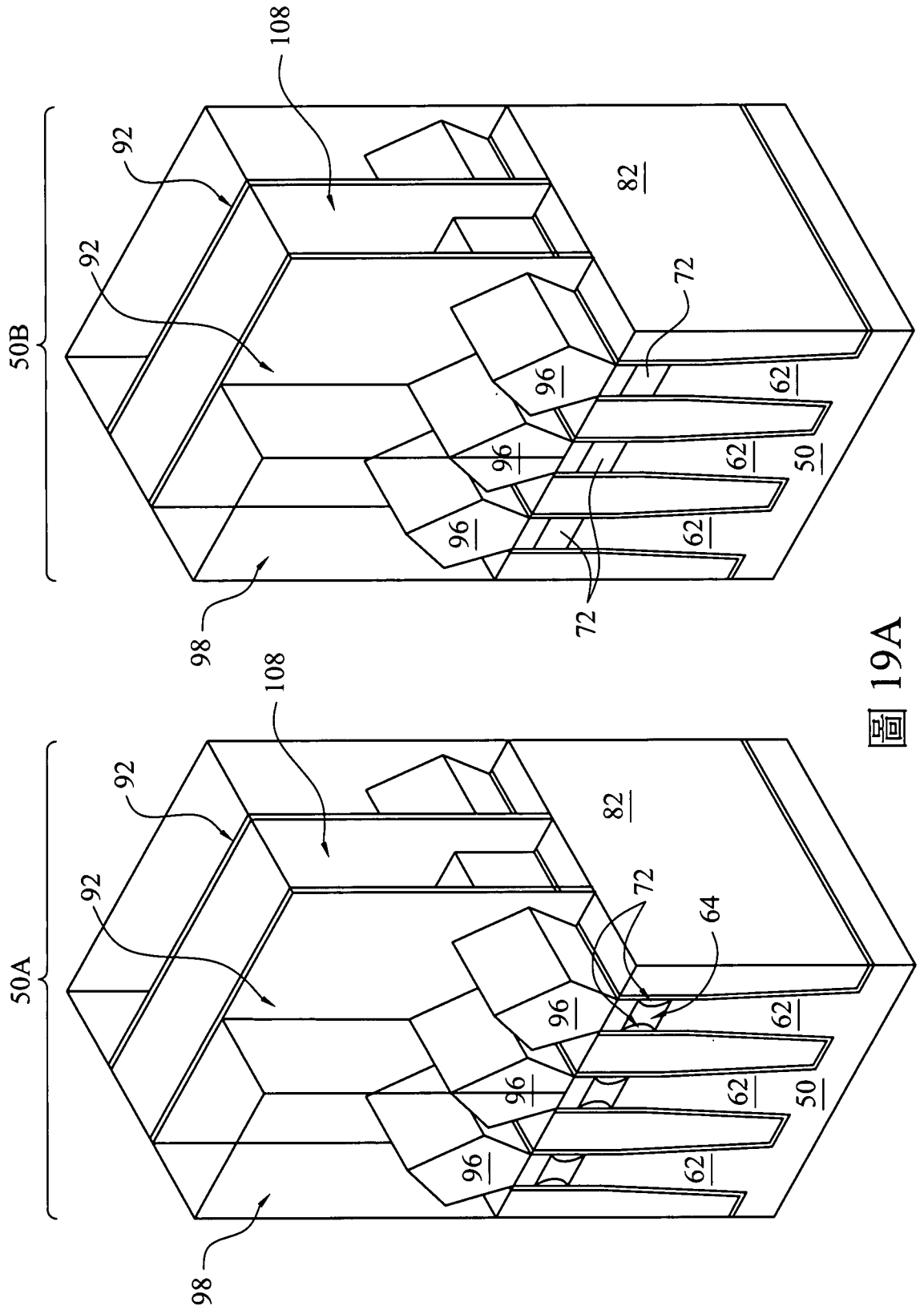


圖 19A

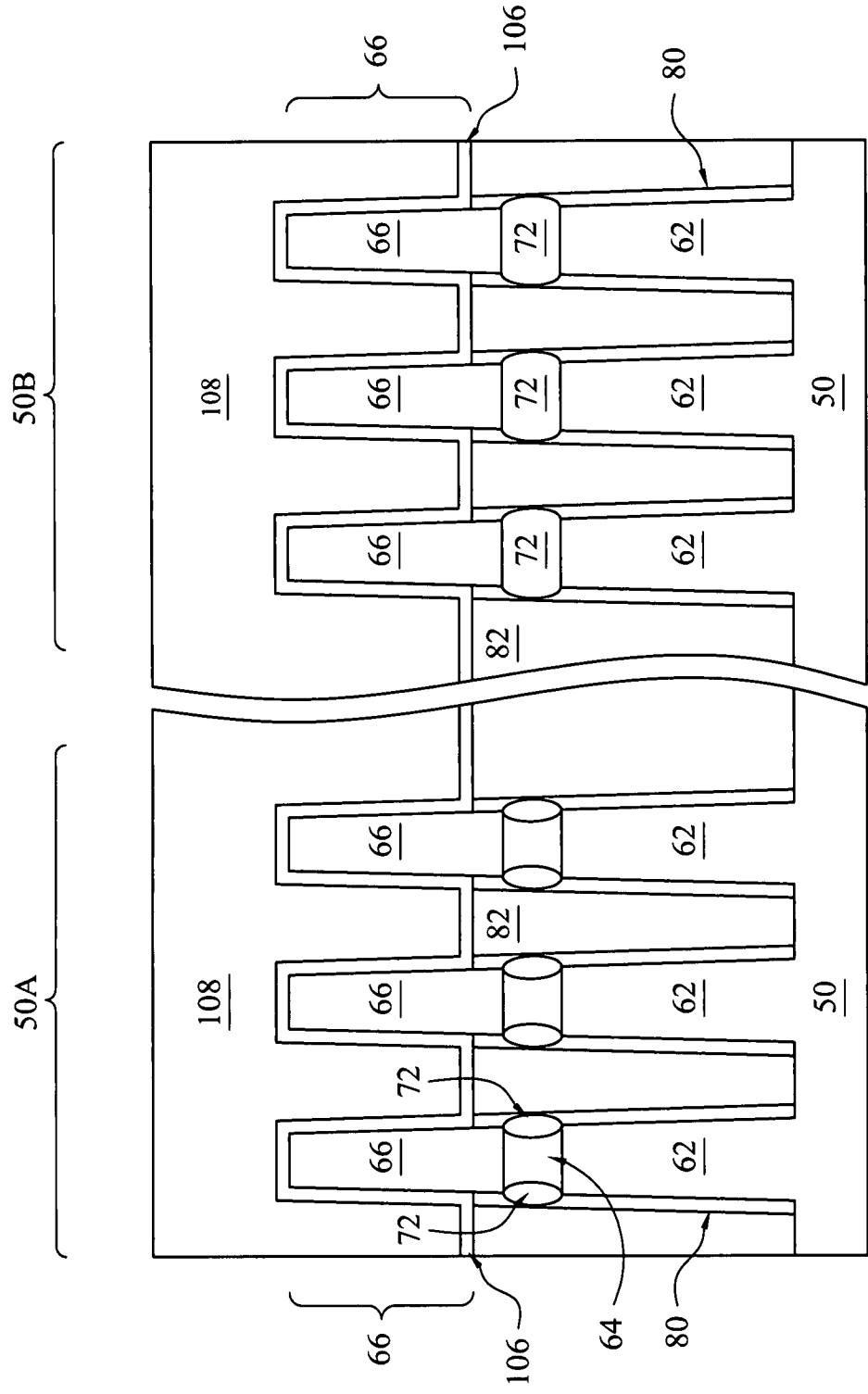


圖 19B

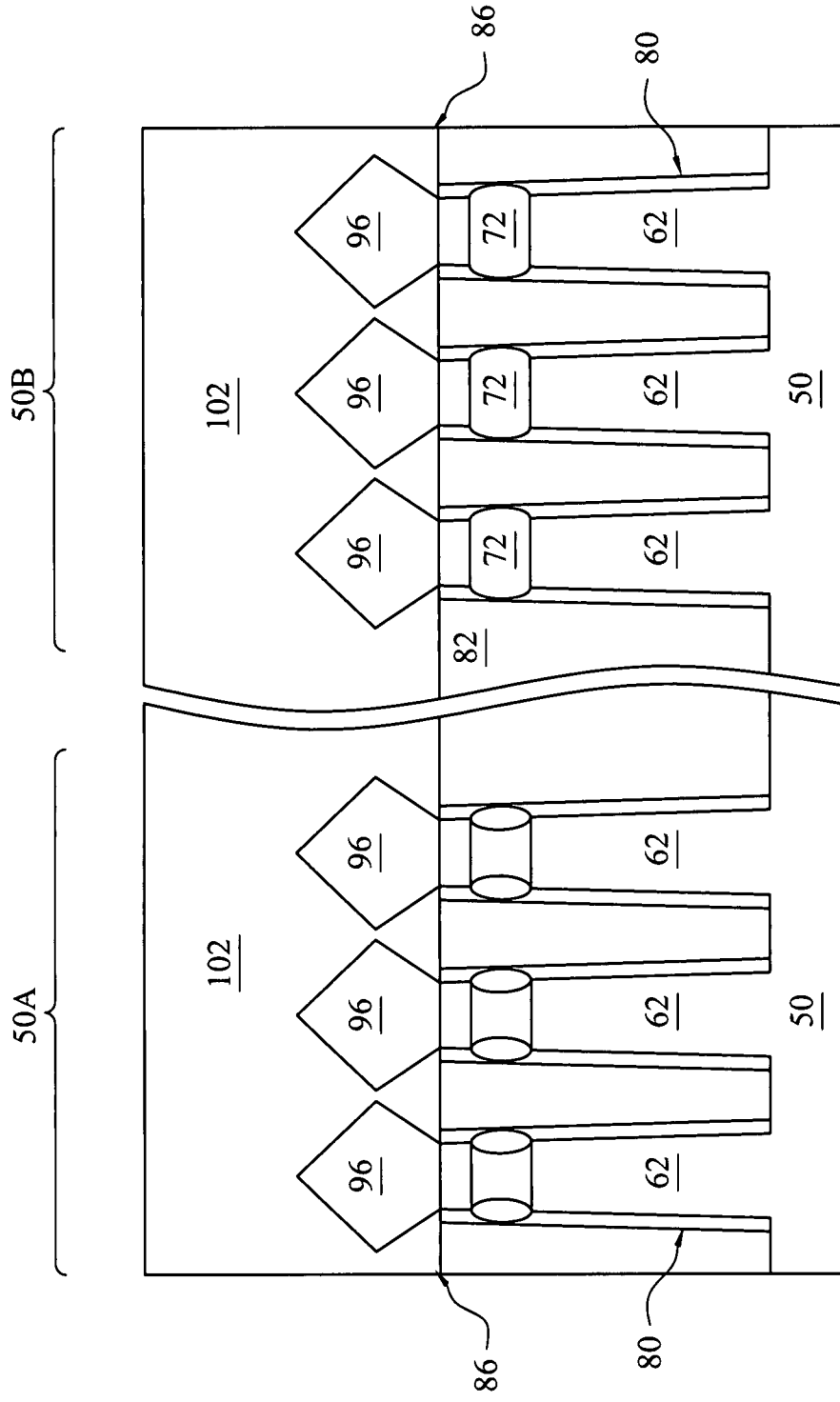


圖 19C

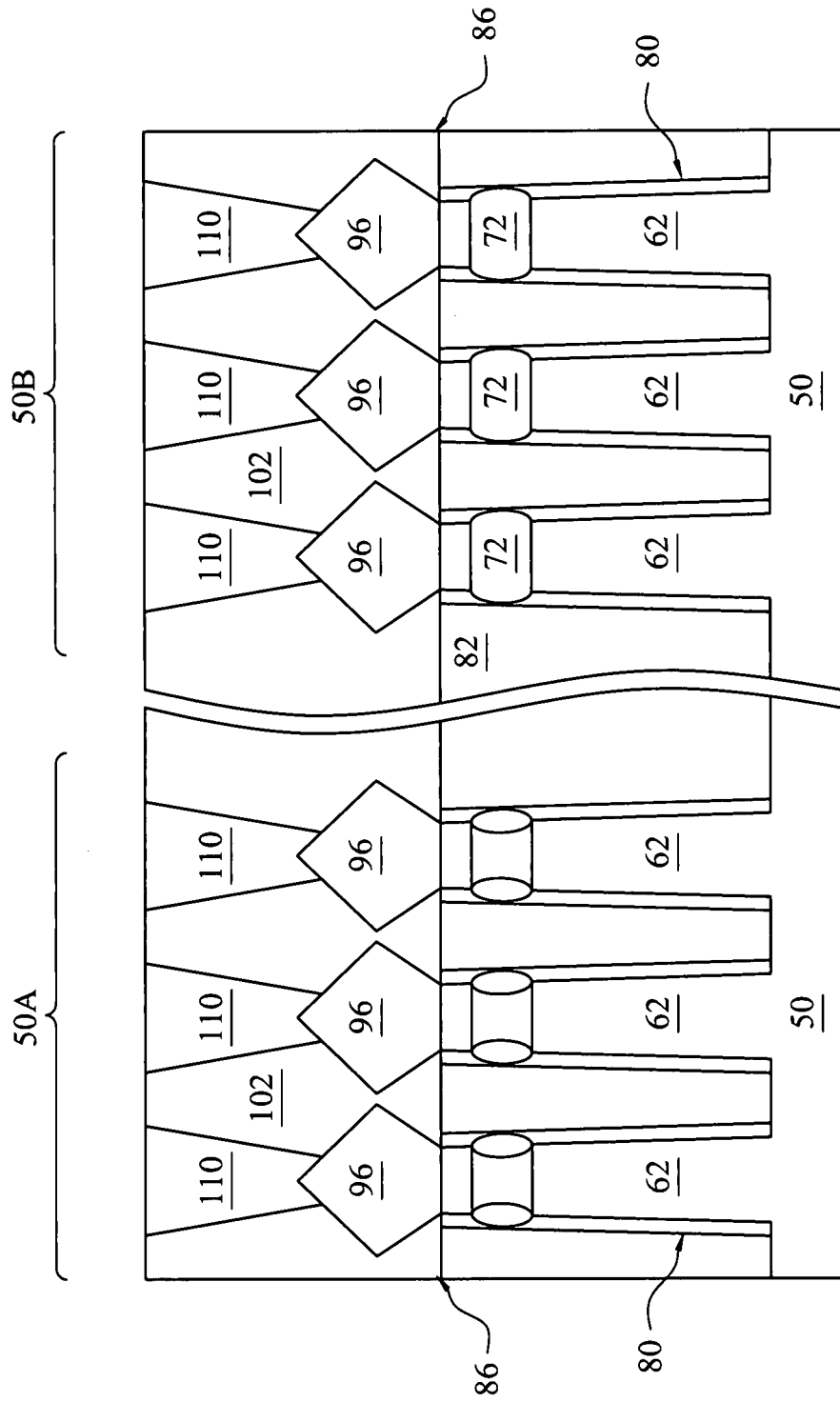


圖 20

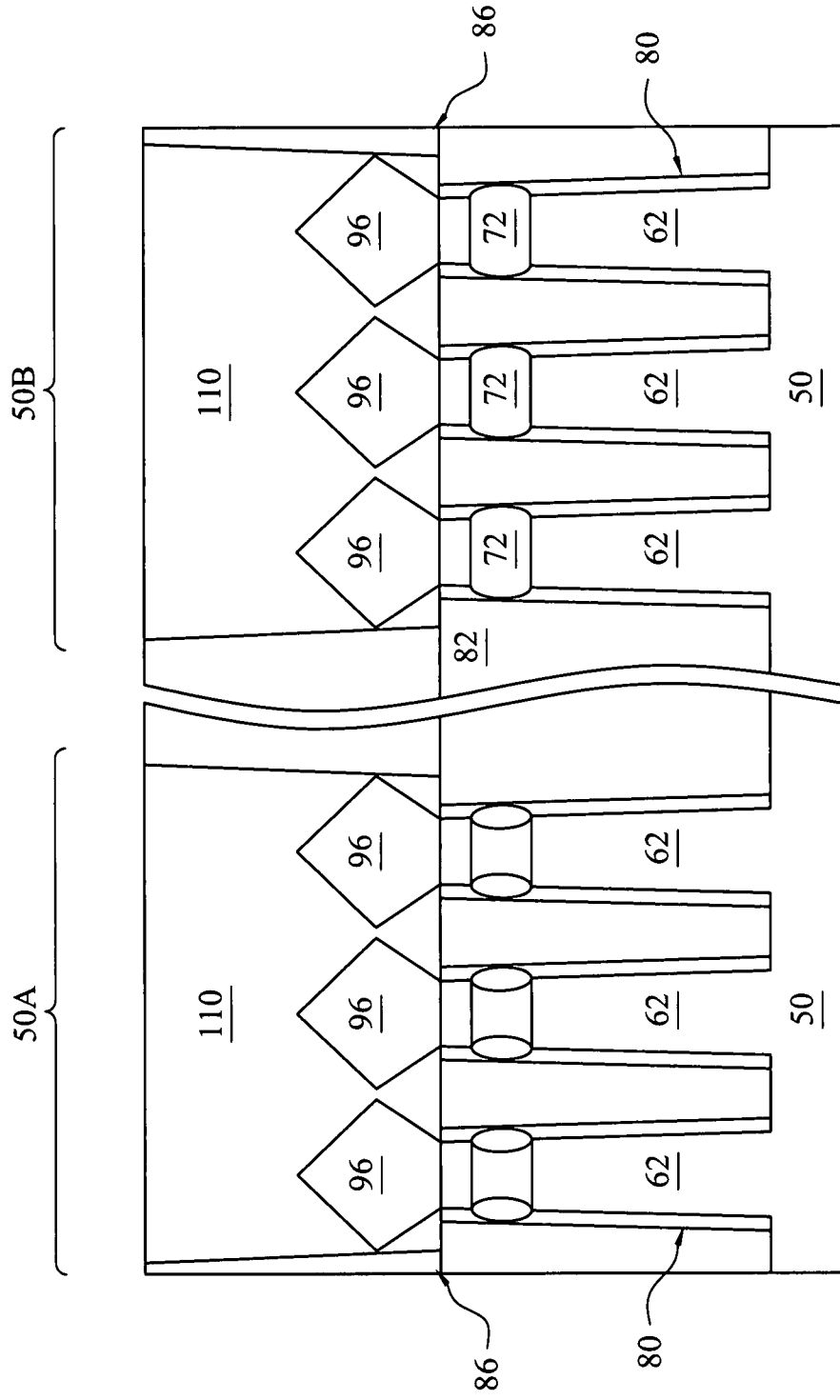


圖 21

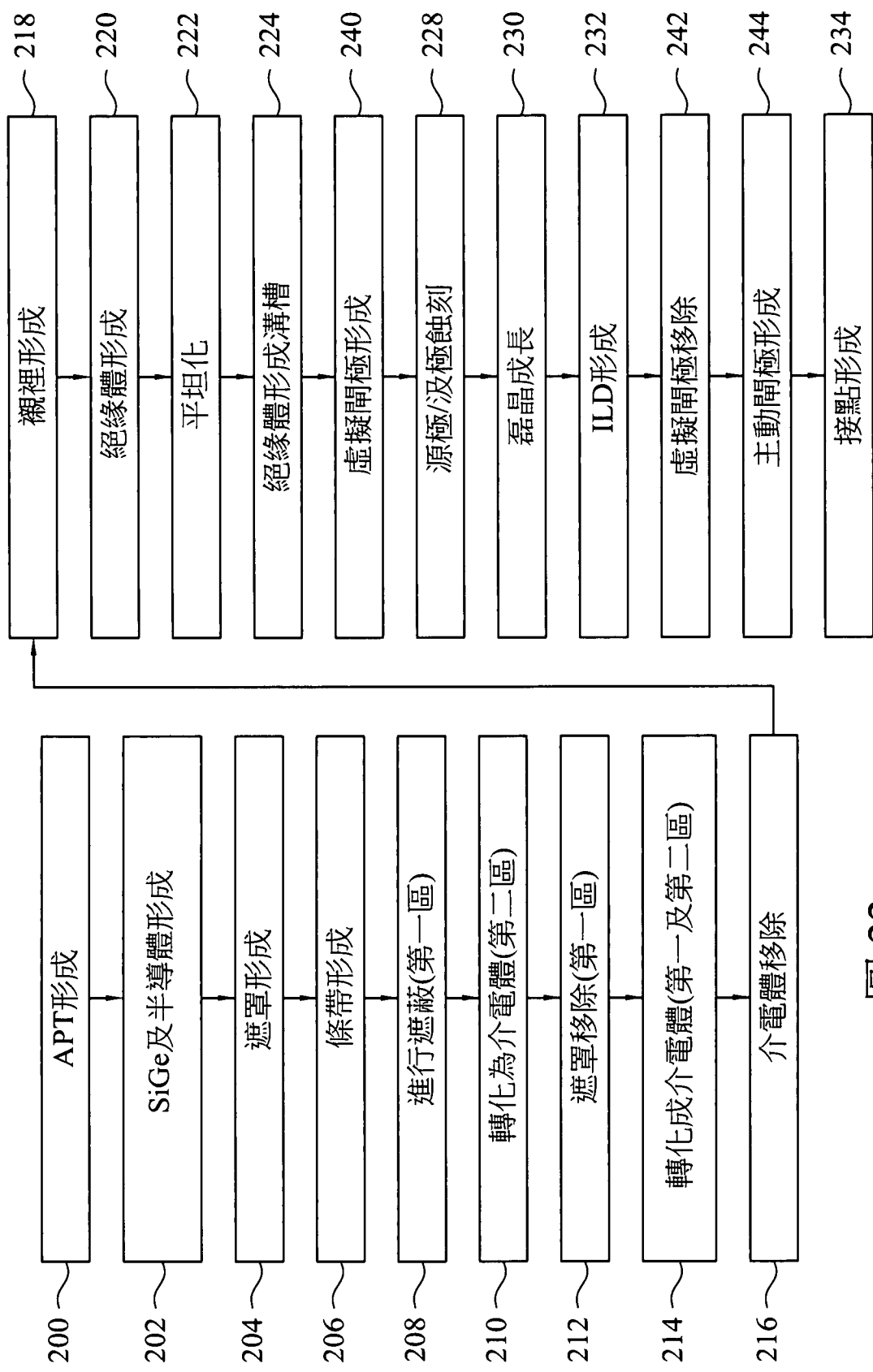


圖 22

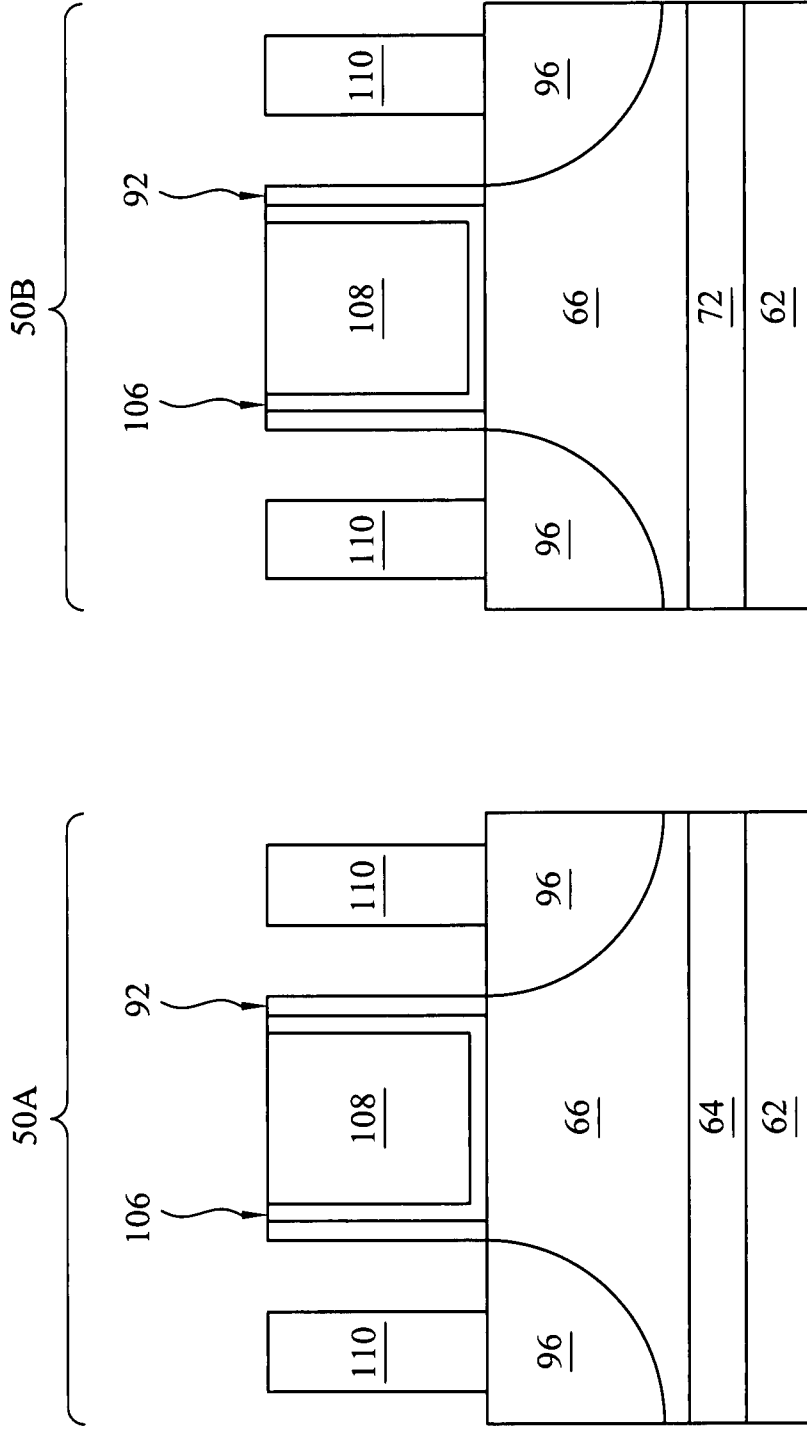


圖 23

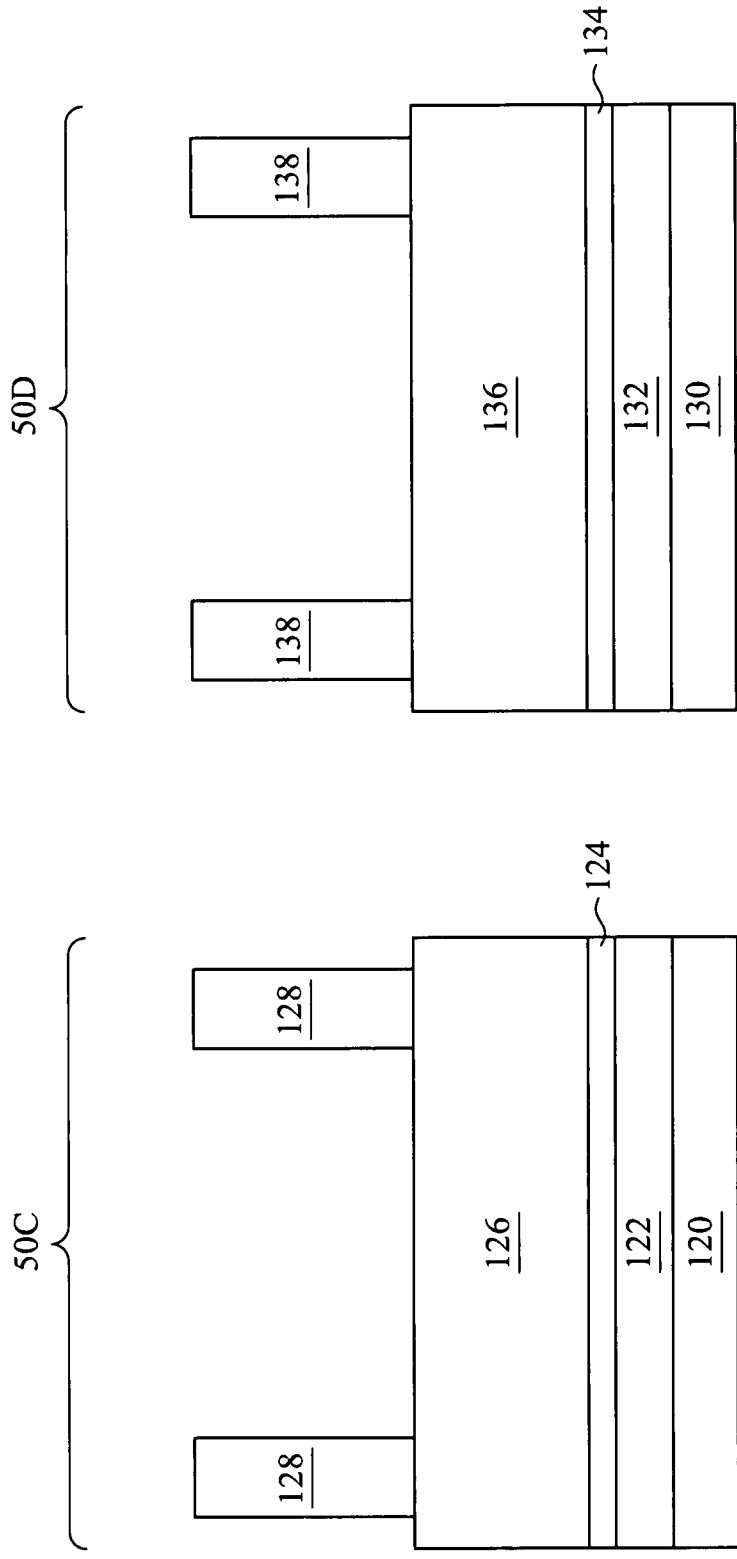


圖 24