



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년10월06일
(11) 등록번호 10-1662733
(24) 등록일자 2016년09월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/78645 (2013.01)
H01L 29/78606 (2013.01)
(21) 출원번호 10-2015-7004151
(22) 출원일자(국제) 2013년07월12일
심사청구일자 2015년10월07일
(85) 번역문제출일자 2015년02월16일
(65) 공개번호 10-2015-0034273
(43) 공개일자 2015년04월02일
(86) 국제출원번호 PCT/US2013/050273
(87) 국제공개번호 WO 2014/018282
국제공개일자 2014년01월30일
(30) 우선권주장
13/557,039 2012년07월24일 미국(US)
(56) 선행기술조사문헌
US06146927 A
US20020009833 A1
US20030194839 A1
WO2007140081 A2

(73) 특허권자
퀄컴 엠이엠에스 테크놀로지스, 인크.
미국 92121-1714 캘리포니아 샌디에고 모어하우스
드라이브 5775
(72) 발명자
홍, 존 현철
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775
김, 천홍
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775
평, 체-칭
미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 21 항

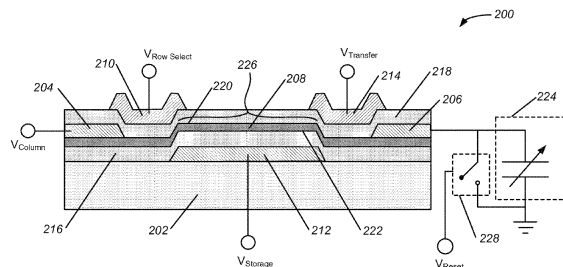
심사관 : 최혜미

(54) 발명의 명칭 멀티-게이트 박막 트랜지스터

(57) 요약

본 개시물은 멀티-게이트 트랜지스터들, 구조들, 디바이스들, 장치, 시스템들, 및 관련 프로세스들의 구현들을 제공한다. 일 양상에서, 디바이스는 기판 위에 배열된 박막 반도체 층을 포함한다. 드레인과 소스는 반도체 층에 결합된다. 디바이스는 또한, 반도체 층에 인접하고 제 1 제어 신호, 제 2 제어 신호, 및 제 3 제어 신호를 각각 수신하도록 구성되는 제 1 게이트, 제 2 게이트 및 제 3 게이트 모두를 포함한다. 유전체 층들은 이 게이트들을 반도체 층으로부터 그리고 서로로부터 절연시킨다. 제 1 모드에서, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극은, 전하가 제 2 게이트에 인접한 반도체 층의 영역 내 전위 우물에 저장되도록 구성된다. 제 2 모드에서, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극은 저장된 전하가 제 3 게이트 전극에 인접한 반도체 층의 영역을 통과하고 소스를 통과하여 로드로 이송되도록 구성된다.

대표도



(52) CPC특허분류

H01L 29/78618 (2013.01)

H01L 29/78648 (2013.01)

H01L 2924/13069 (2013.01)

명세서

청구범위

청구항 1

디바이스로서,

기관;

상기 기관 위의 박막 반도체 층;

상기 반도체 층에 결합되고 그리고 입력 신호를 수신할 수 있는 드레인;

상기 반도체 층에 결합되고 그리고 출력 신호를 제공할 수 있는 소스;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 1 부분에 인접한 제 1 게이트 전극 - 상기 제 1 게이트 전극은 제 1 제어 신호를 수신할 수 있고, 상기 제 1 게이트 전극은 상기 제 1 제어 신호에 응답하여 상기 제 1 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 2 부분에 인접한 제 2 게이트 전극 - 상기 제 2 게이트 전극은 제 2 제어 신호를 수신할 수 있고, 상기 제 2 게이트 전극은 상기 제 2 제어 신호에 응답하여 상기 제 2 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 3 부분에 인접한 제 3 게이트 전극 - 상기 제 3 게이트 전극은 제 3 제어 신호를 수신할 수 있고, 상기 제 3 게이트 전극은 상기 제 3 제어 신호에 응답하여 상기 제 3 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ; 및

상기 제 1 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 2 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 3 게이트 전극을 상기 반도체 층으로부터 절연시키고, 그리고 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 및 상기 제 3 게이트 전극을 서로로부터 절연시키는 하나 또는 그보다 많은 유전체 층들을 포함하고,

상기 제 2 게이트 전극은 상기 반도체 층을 따라서 상기 제 1 게이트 전극과 상기 제 3 게이트 전극 사이에 존재하고, 상기 제 1 게이트 전극과 상기 제 2 게이트 전극의 부분적인 중첩이 있고 그리고 상기 제 2 게이트 전극과 상기 제 3 게이트 전극의 부분적인 중첩이 있고,

상기 반도체 층의 상기 제 1 부분이 상기 제 1 제어 신호에 응답하여 비-도전성이고(non-conducting), 상기 반도체 층의 상기 제 2 부분이 상기 제 2 제어 신호에 응답하여 도전성이고, 그리고 상기 반도체 층의 상기 제 3 부분이 상기 제 3 제어 신호에 응답하여 비-도전성인 동안, 상기 제 1 게이트 전극, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극은 상기 반도체 층의 상기 제 2 부분 내에 전하 캐리어들을 저장할 수 있는,

디바이스.

청구항 2

제 1 항에 있어서,

제 1 동작 모드에서:

상기 반도체 층의 상기 제 3 부분은 상기 제 3 제어 신호에 응답하여 비-도전성이고;

상기 반도체 층의 상기 제 1 부분은 상기 제 1 제어 신호에 응답하여 도전성이고;

상기 반도체 층의 상기 제 2 부분은 상기 제 2 제어 신호에 응답하여 도전성이고,

상기 제 1 부분이 도전성인 동안, 상기 제 2 부분이 도전성인 동안, 그리고 상기 제 3 부분이 비-도전성인 동안 상기 드레인은 상기 입력 신호를 수신하고 그리고 상기 반도체 층의 상기 제 1 부분 내로 전하를 전달하고;

전하가 상기 제 1 부분 내로 전달된 이후, 상기 반도체 층의 상기 제 1 부분은 상기 제 1 제어 신호에 응답하여 비-도전성으로 되고; 그리고

상기 제 1 부분이 비-도전성인 동안, 상기 제 1 부분 내로 전달된 전하는 상기 제 2 제어 신호에 응답하여 상기 제 2 부분에 저장되는,

디바이스.

청구항 3

제 1 항에 있어서,

제 2 동작 모드에서:

상기 반도체 층의 상기 제 3 부분은 상기 제 3 제어 신호에 응답하여 도전성이고;

상기 제 3 부분이 도전성인 동안, 상기 반도체 층의 상기 제 2 부분은 상기 제 2 제어 신호에 응답하여 비-도전성으로 되고; 그리고

상기 제 3 부분이 도전성이고 그리고 상기 제 2 부분이 비-도전성인 동안, 상기 제 2 부분에 저장된 전하는 상기 소스로 상기 제 3 부분을 통과하여 전달되고,

상기 소스는 상기 전달된 전하에 기초하여 상기 출력 신호를 출력하는,

디바이스.

청구항 4

제 1 항에 있어서,

제 1 동작 모드에서, 상기 제 2 게이트 전극은 상기 반도체 층의 상기 제 2 부분 내의 전하의 축적을 용이하게 하기 위해 상기 제 2 제어 신호에 응답하여 고 커패시턴스 상태에 있는,

디바이스.

청구항 5

제 1 항에 있어서,

제 2 동작 모드에서, 상기 제 2 게이트 전극은 상기 반도체 층의 상기 제 2 부분으로부터 상기 반도체 층의 상기 제 3 부분을 통해 그리고 상기 소스 내로의 전하의 전달을 용이하게 하기 위해 저 커패시턴스 상태에 있는,

디바이스.

청구항 6

제 1 항에 있어서,

상기 반도체 층은 상기 기판에 인접한 제 1 면(first side) 및 상기 제 1 면에 대향(opposite)하는 제 2 면(second side)을 가지고, 그리고

상기 제 1 게이트 전극 및 상기 제 3 게이트 전극은 상기 제 1 면에 인접하고 상기 제 2 게이트 전극은 상기 제 2 면에 인접하거나, 또는

상기 제 1 게이트 전극 및 상기 제 3 게이트 전극은 상기 제 2 면에 인접하고 상기 제 2 게이트 전극은 상기 제 1 면에 인접하는,

디바이스.

청구항 7

제 6 항에 있어서,

상기 제 2 게이트 전극이 상기 반도체 층과 상기 기판 사이에 있도록, 상기 제 2 게이트 전극은 상기 제 1 면에 인접하는,

디바이스.

청구항 8

제 1 항에 있어서,

상기 반도체 층은 상기 기판에 인접한 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 가지고, 그리고

상기 제 1 게이트 전극, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극은 모두 상기 제 1 면에 인접하거나, 또는

상기 제 1 게이트 전극, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극은 모두 상기 제 2 면에 인접하는, 디바이스.

청구항 9

제 1 항에 있어서,

상기 반도체 층은, 10 나노미터(nm) 내지 100 nm의 범위 내의 두께를 갖는,

디바이스.

청구항 10

제 1 항에 있어서,

상기 반도체 층의 제 1 부분 및 상기 제 1 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만이고,

상기 반도체 층의 제 2 부분 및 상기 제 2 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만이고,

상기 반도체 층의 제 3 부분 및 상기 제 3 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만인,

디바이스.

청구항 11

제 1 항에 있어서,

상기 반도체 층은 비정질 인듐 갈륨 아연 산화물(IGZO), 비정질 실리콘(Si), 또는 저온 다결정 실리콘(LTPS) 중 적어도 하나를 포함하는,

디바이스.

청구항 12

제 1 항에 있어서,

상기 출력 신호는, 마이크로전기기계 시스템(MEMS)-기반 디바이스 또는 액정 디스플레이(LCD) 픽셀 엘리먼트를 구동하는,

디바이스.

청구항 13

제 1 항에 있어서,

상기 전하 캐리어들은 상기 반도체 층에 관하여 다수(majority) 전하 캐리어들인, 디바이스.

청구항 14

디바이스로서,

기판;

상기 기판 위의 박막 반도체 층;

상기 반도체 층에 결합되고 그리고 입력 신호를 수신할 수 있는 드레인;

상기 반도체 층에 결합되고 그리고 출력 신호를 제공할 수 있는 소스;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 1 부분에 인접한 제 1 게이트 전극 - 상기 제 1 게이트 전극은 제 1 제어 신호를 수신할 수 있고, 상기 제 1 게이트 전극은 상기 제 1 제어 신호에 응답하여 상기 제 1 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 2 부분에 인접한 제 2 게이트 전극 - 상기 제 2 게이트 전극은 제 2 제어 신호를 수신할 수 있고, 상기 제 2 게이트 전극은 상기 제 2 제어 신호에 응답하여 상기 제 2 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 3 부분에 인접한 제 3 게이트 전극 - 상기 제 3 게이트 전극은 제 3 제어 신호를 수신할 수 있고, 상기 제 3 게이트 전극은 상기 제 3 제어 신호에 응답하여 상기 제 3 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ; 및

상기 제 1 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 2 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 3 게이트 전극을 상기 반도체 층으로부터 절연시키고, 그리고 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 및 상기 제 3 게이트 전극을 서로로부터 절연시키는 하나 또는 그보다 많은 유전체 층들을 포함하고,

상기 제 2 게이트 전극은 상기 반도체 층을 따라서 상기 제 1 게이트 전극과 상기 제 3 게이트 전극 사이에 존재하고, 상기 제 1 게이트 전극과 상기 제 2 게이트 전극의 부분적인 중첩이 있고 그리고 상기 제 2 게이트 전극과 상기 제 3 게이트 전극의 부분적인 중첩이 있고, 그리고

상기 디바이스는 상기 제 1 제어 신호, 상기 제 2 제어 신호 및 상기 제 3 제어 신호에 응답하여, 적어도 제 1 동작 모드에서 동작할 수 있고, 상기 제 1 동작 모드에서:

상기 반도체 층의 상기 제 1 부분은 상기 제 1 제어 신호에 응답하여 도전성이고;

상기 반도체 층의 상기 제 2 부분은 상기 제 2 제어 신호에 응답하여 도전성이고;

상기 반도체 층의 상기 제 3 부분은 상기 제 3 제어 신호에 응답하여 비-도전성이고;

상기 제 1 부분이 도전성인 동안, 상기 제 2 부분이 도전성인 동안 그리고 상기 제 3 부분이 비-도전성인 동안, 상기 드레인은 상기 입력 신호를 수신하고 그리고 상기 반도체 층의 상기 제 1 부분 내로 전하를 전달하고;

전하가 상기 제 1 부분 내로 전달된 이후, 상기 반도체 층의 상기 제 1 부분은 상기 제 1 제어 신호에 응답하여 비-도전성으로 되고; 그리고

상기 제 1 부분이 비-도전성인 동안, 상기 제 1 부분으로 전달된 전하는 상기 제 2 제어 신호에 응답하여 상기 제 2 부분에 저장되는,

디바이스.

청구항 15

제 14 항에 있어서,

상기 제 1 동작 모드에서, 상기 제 2 게이트 전극은 상기 반도체 층의 상기 제 2 부분 내의 전하의 축적을 용이하게 하기 위해 상기 제 2 제어 신호에 응답하여 고 커패시턴스 상태에 있는,

디바이스.

청구항 16

제 14 항에 있어서,

상기 디바이스는 상기 제 1 제어 신호, 상기 제 2 제어 신호 및 상기 제 3 제어 신호에 응답하여, 적어도 제 2 동작 모드에서 추가로 동작할 수 있고, 상기 제 2 동작 모드에서:

상기 반도체 층의 상기 제 3 부분은 상기 제 3 제어 신호에 응답하여 도전성이고;

상기 제 3 부분이 도전성인 동안, 상기 반도체 층의 상기 제 2 부분은 상기 제 2 제어 신호에 응답하여 비-도전성으로 되고; 그리고

상기 제 3 부분이 도전성이고 그리고 상기 제 2 부분이 비-도전성인 동안, 상기 제 2 부분에 저장된 전하는 상기 소스로 상기 제 3 부분을 통과하여 전달되고,

상기 소스는 상기 전달된 전하에 기초하여 상기 출력 신호를 출력하는,

디바이스.

청구항 17

제 16 항에 있어서,

상기 제 2 동작 모드에서, 상기 제 2 게이트 전극은 상기 반도체 층의 상기 제 2 부분으로부터 상기 반도체 층의 상기 제 3 부분을 통해 그리고 상기 소스 내로의 전하의 전달을 용이하게 하기 위해 저 커패시턴스 상태에 있는,

디바이스.

청구항 18

시스템으로서,

입력 신호, 제 1 제어 신호, 제 2 제어 신호 및 제 3 제어 신호를 포함하는 복수의 독립적으로 제어 가능한 신호들을 제공할 수 있는 디스플레이 드라이버 - 상기 디스플레이 드라이버는 상기 독립적으로 제어 가능한 신호들 각각에 다른 독립적으로 제어가능한 신호들에 독립적인 값을 제공할 수 있음 - ;

픽셀 엘리먼트들의 어레이를 포함하는 디스플레이; 및

각각이 대응하는 픽셀 엘리먼트와 연결된 멀티-게이트 박막 트랜지스터들의 어레이를 포함하고,

상기 멀티-게이트 박막 트랜지스터들 각각은:

박막 반도체층;

상기 반도체 층에 결합되고 그리고 상기 입력 신호를 수신할 수 있는 드레인;

상기 반도체 층에 결합되고 그리고 출력 신호를 제공할 수 있는 소스;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 1 부분에 인접한 제 1 게이트 전극 - 상기 제 1 게이트 전극은 상기 제 1 제어 신호에 응답하여 상기 제 1 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 2 부분에 인접한 제 2 게이트 전극 - 상기 제 2 게이트 전극은 상기 제 2 제어 신호에 응답하여 상기 제 2 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ;

상기 드레인과 상기 소스 사이의 상기 반도체 층의 제 3 부분에 인접한 제 3 게이트 전극 - 상기 제 3 게이트 전극은 상기 제 3 제어 신호에 응답하여 상기 제 3 부분을 통과하는 전하 캐리어들의 흐름을 제어할 수 있음 - ; 및

상기 제 1 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 2 게이트 전극을 상기 반도체 층으로부터 절연시키고, 상기 제 3 게이트 전극을 상기 반도체 층으로부터 절연시키고, 그리고 상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 및 상기 제 3 게이트 전극을 서로로부터 절연시키는 하나 또는 그보다 많은 유전체 층들을 포함하고,

상기 제 2 게이트 전극은 상기 반도체 층을 따라서 상기 제 1 게이트 전극과 상기 제 3 게이트 전극 사이에 존재하고, 상기 제 1 게이트 전극과 상기 제 2 게이트 전극의 부분적인 중첩이 있고 그리고 상기 제 2 게이트 전극과 상기 제 3 게이트 전극의 부분적인 중첩이 있고,

상기 제 1 게이트 전극, 상기 제 2 게이트 전극 및 상기 제 3 게이트 전극은 상기 제 1 제어 신호, 상기 제 2 제어 신호 및 상기 제 3 제어 신호에 응답하여, 상기 반도체 층의 상기 제 2 부분 내에 전하 캐리어들을 저장할 수 있는,

시스템.

청구항 19

삭제

청구항 20

제 18 항에 있어서,

상기 반도체 층은, 10 나노미터(nm) 내지 100 nm의 범위 내의 두께를 갖는,

시스템.

청구항 21

제 18 항에 있어서,

상기 반도체 층의 제 1 부분 및 상기 제 1 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만이고,

상기 반도체 층의 제 2 부분 및 상기 제 2 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만이고,

상기 반도체 층의 제 3 부분 및 상기 제 3 게이트 전극 사이의 하나 또는 그보다 많은 유전체층들의 전체의 두께는 200nm 미만인,

시스템.

청구항 22

제 18 항에 있어서,

상기 반도체 층은 비정질 인듐 갈륨 아연 산화물(IGZO), 비정질 실리콘(Si), 또는 저온 다결정 실리콘(LTPS) 중 적어도 하나를 포함하는,

시스템.

발명의 설명

기술 분야

[0001] 본 개시물은, 홍(Hong) 등에 의해 2012년 7월 24일에 출원되고 명칭이 "MULTI-GATE THIN-FILM TRANSISTOR"인 공동계류중인 미국 특허 출원 제13/557,039호(대리인 관리 번호 제120304/QUALP134호)를 우선권으로 혜택을 주장하며, 상기 출원은 그 전체가 모든 목적을 위해서 인용에 의해 본원에 포함된다.

배경 기술

[0002] 본 개시물은 일반적으로 전하 저장과 이송 엘리먼트들에 관한 것이며, 보다 구체적으로 전하를 저장하고 전하를 디스플레이 엘리먼트와 같은 전기 또는 전기기계 컴포넌트들로 이송하는데 사용하기에 적합한 멀티 게이트 박막 트랜지스터 구조들에 관한 것이다.

[0003] 전기기계 시스템들(EMS)은 전기 및 기계 엘리먼트들, 트랜스듀서들, 이를 테면, 액추에이터들 및 센서들, 광학 컴포넌트들(미러들을 포함함) 및 전자 기기들을 가지는 디바이스들을 포함한다. EMS는 마이크로스케일(microscale)들 및 나노스케일(nanoscale)들을 포함하는 (그러나, 이에 제한되지 않음) 다양한 스케일들로 제조될 수 있다. 예를 들어, 마이크로전기기계 시스템(MEMS: microelectromechanical systems) 디바이스들은 약 1 마이크로미터 내지 수백 마이크로미터 또는 그 초과와 범위의 크기들을 가지는 구조들을 포함할 수 있다. 나노전기기계 시스템(NEMS: nanoelectromechanical system) 디바이스들은, 예를 들어, 수백 나노미터들보다 더 작은 크기들

을 포함하는, 1마이크론보다 더 작은 크기들을 가지는 구조들을 포함할 수 있다. 전기기계 엘리먼트들은 증착, 에칭, 리소그래피, 또는 증착된 재료 층들 또는 기관들의 일부들을 에칭하거나, 또는 층들을 추가하여 전기, 기계 및 전기기계 디바이스들을 형성하는 다른 마이크로머시닝 프로세스들을 사용하여 생성될 수 있다.

[0004] EMS 디바이스 중 한 타입이 간섭계 변조기(IMOD: interferometric modulator)로 칭해진다. 본원에 사용된 바와 같이, IMOD 또는 간섭계 광 변조기라는 용어는 광학적 간섭의 원리들을 사용하여 광을 선택적으로 흡수 및/또는 반사하는 디바이스를 지칭한다. 일부 구현들에서, IMOD는 한 쌍의 도전성 플레이트들을 포함할 수 있는데, 이들 중 하나 또는 둘 다는, 완전히 또는 부분적으로, 투과성이거나 반사성일 수 있으며, 적절한 전기 신호의 인가 시에 상대적 운동(relative motion)이 가능할 수 있다. 일 구현에서, 하나의 플레이트는 기관 위에 증착된 고정 층을 포함할 수 있고, 다른 플레이트는 에어 갭에 의해 고정 층으로부터 분리되는 반사성 멤브레인(membrane)을 포함할 수 있다. 다른 플레이트에 대한 하나의 플레이트의 위치는 IMOD 상에 입사하는 광의 광학적 간섭을 변경시킬 수 있다. IMOD 디바이스들은 광범위한 애플리케이션들을 가지며, 기존의 제품들을 개선하고, 새로운 제품들, 특히, 디스플레이 능력들을 가지는 제품들을 제조하는데 이용될 것으로 예상된다.

[0005] IMOD 디스플레이 패널들 및 다른 전압/전하 구동식 픽셀 디스플레이들, 이를 테면 액정 디스플레이들(LCD들)에서, 전체 프레임에 대한 디스플레이 엘리먼트들을 동시에 업데이트시키는 것이 종종 바람직하다. 종래의 동기식 프레임 업데이트 방식에서, 각각의 프레임에 대한 픽셀 또는 디스플레이 엘리먼트 데이터가, 한번에 하나의 로우의 픽셀들에, 각각 대응하는 픽셀에서 전하 저장 엘리먼트들(이를 테면, 패시브 캐패시터들)로 기록되거나 스캐닝된다. 후속하여, 저장된 전하가 이후에 하나의 단계에서 저장 엘리먼트들로부터 대응하는 픽셀들로 동시에 이송된다. 이 동작 방법은 일반적으로 많은 캐패시터들과 트랜지스터들을 요구한다. 이는, 콤팩트 폼 팩터와 신뢰성 둘 모두가 설계 관심사인 경우에는 구현을 곤란하게 한다.

발명의 내용

[0006] 본 개시물의 구조, 디바이스, 장치, 시스템들 및 프로세스들 각각은 몇 개의 혁신적인 양상들을 가질 수 있으며, 이들 중 단 하나만이 본원에 개시된 바람직한 속성들을 전적으로 책임지는 것은 아니다.

[0007] 멀티 게이트 박막 트랜지스터들, 디바이스들, 장치, 시스템들 및 관련 제조 프로세스들의 예시적인 구현들이 개시된다. 본 개시물에 설명된 주제의 하나의 혁신적인 양상에 따르면, 디바이스는 기관 위에 배열된 박막 반도체 층을 포함한다. 드레인이 반도체 층에 결합되고 입력 신호를 수신하도록 구성된다. 소스가 반도체 층의 다른 단부에 결합되고 출력 신호를 구동하도록 구성된다. 디바이스는 또한 3개의 게이트 전극들을 포함한다. 제 1 게이트 전극은 반도체 층에 인접하게, 드레인과 소스 사이에 배열되고, 제 1 제어 신호를 수신하도록 구성된다. 제 2 게이트 전극은 반도체 층에 인접하게, 드레인과 소스 사이에 배열되고, 제 2 제어 신호를 수신하도록 구성된다. 제 3 게이트 전극은 반도체 층에 인접하게, 드레인과 소스 사이에 배열되고, 제 3 제어 신호를 수신하도록 구성된다. 제 2 게이트 전극은 제 1 게이트 전극과 제 3 게이트 전극 사이에 배열되어 제 1 게이트 전극과 제 2 게이트 전극의 일부 중첩이 있고 제 2 게이트 전극과 제 3 게이트 전극의 일부 중첩이 있지만, 제 1 게이트 전극과 제 3 게이트 전극의 중첩은 존재하지 않는다. 하나 또는 그보다 많은 유전체 층들은 제 1 게이트 전극을 반도체 층으로부터 절연시키고 제 2 게이트 전극을 반도체 층으로부터 절연시키고, 제 3 게이트 전극을 반도체 층으로부터 절연시키고, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극을 서로로부터 절연시킨다. 일부 구현들에서, 제 1 동작 모드에서, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극은, 전하가 드레인으로부터 이송되고 제 2 게이트 전극에 인접한 반도체 층의 영역 내 전위 우물에 축적되도록 구성된다. 일부 구현들에서, 제 2 동작 모드에서, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극은, 제 2 게이트 전극에 인접한 반도체 층의 영역에 미리 축적되어 있던 전하가 제 3 게이트 전극에 인접한 반도체 층의 영역을 통과하여 이송되고 후속하여 소스를 통하여 이송되고 출력 신호로서 출력되도록 구성된다.

[0008] 일부 구현들에서, 제 1 동작 모드에 있는 동안, 제 3 게이트 전극이 오프되고; 제 1 게이트 전극은 제 1 제어 신호를 수신하고 제 1 제어 신호에 응답하여 턴 온되고; 제 2 게이트 전극은 제 2 제어 신호를 수신하고 제 2 제어 신호에 응답하여 턴 온되고; 그리고 드레인은 입력 신호를 수신하고 입력 신호에 응답하여 전하를 반도체 층으로 전송한다. 일부 구현들에서, 이후, 전하가 반도체 층을 따라 축적된 이후에 제 1 게이트 전극이 턴 오프된다. 그 결과, 반도체 층을 따라 축적된 전하는 제 1 게이트 전극이 턴 오프된 후에 제 2 게이트 전극에 인접한 반도체 층의 영역 내 전위 우물에 축적된다.

[0009] 일부 구현들에서, 제 2 동작 모드에 있는 동안, 제 3 게이트 전극이 제 3 제어 신호를 수신하고 제 3 제어 신호에 응답하여 턴 온되고; 제 2 게이트 전극이 턴 오프되고; 제 3 게이트 전극이 턴 온되고 제 2 게이트 전극이 턴 오프된 후에, 제 2 게이트 전극에 인접한 반도체 층의 영역에 이전에 축적되었던 전하가 소스로 이송되고,

소스는 이후에, 응답으로, 이송된 전하에 기초하여 출력 신호를 산출한다.

- [0010] 일부 구현들에서, 제 1 동작 모드에 있는 동안, 제 2 게이트 전극이 제 2 제어 신호에 응답하여 고 캐패시턴스 상태로 구성되어 제 2 게이트 전극에 인접한 반도체 층의 영역 내에 전하의 이송과 축적을 용이하게 한다. 일부 구현들에서, 제 2 동작 모드에 있는 동안, 제 2 게이트 전극은 저 캐패시턴스 상태로 구성되어 전하가 제 2 게이트 전극에 인접한 반도체 층의 영역으로부터 반도체 층을 통과하여 소스로의 이송을 용이하게 한다.
- [0011] 일부 구현들에서, 제 1 게이트 전극이 반도체 층의 제 1 측면에 인접하게 배열되고, 제 2 게이트 전극이 제 1 측면의 반대쪽인 반도체 층의 제 2 측면에 인접하게 배열되고, 제 3 게이트 전극이 제 1 측면에 인접하게 배열된다. 일부 이러한 구현들에서, 반도체 층의 제 2 측면은, 제 2 게이트 전극이 박막 반도체 층과 기판 사이에 배열되도록 기판에 인접한다. 일부 다른 구현들에서, 3개의 게이트 전극들 모두는 반도체 층의 하나의 측면에 인접하게 배열된다.
- [0012] 일부 구현들에서, 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극 중 임의의 하나 또는 그보다 많은 게이트 전극이 온인 경우, 각각의 게이트 전극에 인접한 반도체 층의 부분이 축적 모드에서 전도성 채널로 거동한다. 일부 구현들에서, 제 1 게이트 전극, 제 2 게이트 전극, 제 3 게이트 전극 중 임의의 하나 또는 그보다 많은 게이트 전극이 오프인 경우, 각각의 게이트 전극에 인접한 반도체 층의 부분이 에너지 장벽을 나타내고 사실상 비전도성이다.
- [0013] 본 개시물에 기술된 주제의 다른 혁신적인 양상에 따르면, 디바이스는 기판 위에 배열된 박막 반도체 수단을 포함한다. 드레인 수단은 반도체 수단에 결합되고 입력 신호를 수신하도록 구성된다. 소스 수단은 반도체 수단의 다른 단부에 결합되고 출력 신호를 구동하도록 구성된다. 디바이스는 또한 3개의 게이팅 수단을 포함한다. 제 1 게이팅 수단은 반도체 수단에 인접하게, 드레인 수단과 소스 수단 사이에 배열되고, 제 1 제어 신호를 수신하도록 구성된다. 제 2 게이팅 수단은 반도체 수단에 인접하게, 드레인 수단과 소스 수단 사이에 배열되고, 제 2 제어 신호를 수신하도록 구성된다. 제 3 게이팅 수단은 반도체 수단에 인접하게, 드레인 수단과 소스 수단 사이에 배열되고, 제 3 제어 신호를 수신하도록 구성된다. 제 2 게이팅 수단은 제 1 게이팅 수단과 제 3 게이팅 수단 사이에 배열되어 제 1 게이팅 수단과 제 2 게이팅 수단의 일부 중첩과 제 2 게이팅 수단과 제 3 게이팅 수단의 일부 중첩이 존재하지만 제 1 게이팅 수단과 제 3 게이팅 수단의 중첩이 존재하지 않는다. 하나 또는 그보다 많은 절연 수단은 제 1 게이팅 수단을 반도체 수단으로부터 절연시키고, 제 2 게이팅 수단을 반도체 수단으로부터 절연시키고, 제 3 게이팅 수단을 반도체 수단으로부터 절연시키고, 제 1 게이팅 수단, 제 2 게이팅 수단 및 제 3 게이팅 수단을 서로로부터 절연시킨다. 일부 구현들에서, 제 1 동작 모드에서, 제 1 게이팅 수단, 제 2 게이팅 수단 및 제 3 게이팅 수단은, 전하가 드레인 수단으로부터 이송되고 제 2 게이팅 수단에 인접한 반도체 수단의 영역 내 전위 우물에 축적되도록 구성된다. 일부 구현들에서, 제 2 동작 모드에서, 제 1 게이팅 수단, 제 2 게이팅 수단 및 제 3 게이팅 수단은 제 2 게이팅 수단에 인접한 반도체 수단의 영역에 이전에 축적되었던 전하가 제 3 게이팅 수단에 인접한 반도체 수단의 영역을 통과하여 이송되고 후속하여 출력 신호로서 소스 수단을 통과하여 이송되도록 구성된다.
- [0014] 일부 구현들에서, 제 1 동작 모드에 있는 동안, 제 3 게이팅 수단이 클로즈되고; 제 1 게이팅 수단이 제 1 제어 신호를 수신하고 제 1 제어 신호에 응답하여 오픈되고; 제 2 게이팅 수단이 제 2 제어 신호를 수신하고 제 2 제어 신호에 응답하여 오픈되고; 드레인 수단은 입력 신호를 수신하고 입력 신호에 응답하여 전하를 반도체 수단에 전송한다. 일부 구현들에서, 이후, 전하가 반도체 수단을 따라 축적된 후에 제 1 게이팅 수단이 클로즈된다. 그 결과, 제 1 게이팅 수단이 클로즈된 후 반도체 수단을 따라 축적된 전하가 제 2 게이팅 수단에 인접한 반도체 수단의 영역 내 전위 우물에 축적된다.
- [0015] 일부 구현들에서, 제 2 동작 모드에 있는 동안, 제 3 게이팅 수단이 제 3 제어 신호를 수신하고 제 3 제어 신호에 응답하여 오픈되고; 제 2 게이팅 수단이 클로즈되고; 제 3 게이팅 수단이 오픈되고 제 2 게이팅 수단이 클로즈된 후, 제 2 게이팅 수단에 인접한 반도체 수단의 영역에 이전에 축적되었던 전하가 소스 수단으로 이송되고, 소스는 이후, 응답으로, 이송된 전하에 기초하여 출력 신호를 산출한다.
- [0016] 일부 구현들에서, 제 1 동작 모드에 있는 동안, 제 2 게이팅 수단이 제 2 제어 신호에 응답하여 고 캐패시턴스 상태 구성되어 제 2 게이팅 수단에 인접한 반도체 수단의 영역 내에 전하의 이송과 축적을 용이하게 한다. 일부 구현들에서, 제 2 동작 모드에 있는 동안, 제 2 게이팅 수단은 저 캐패시턴스 상태로 구성되어 전하가 제 2 게이팅 수단에 인접한 반도체 수단의 영역으로부터 반도체 수단을 통과하고 소스 수단으로 이송되게 한다.
- [0017] 일부 구현들에서, 제 1 게이팅 수단은 반도체 수단의 제 1 측면에 인접하게 배열되고, 제 2 게이팅 수단은 제 1

측면의 반대쪽인 반도체 수단의 제 2 측면에 인접하게 배열되고, 제 3 게이팅 수단은 제 1 측면에 인접하게 배열된다. 일부 이러한 구현들에서, 반도체 수단의 제 2 측면은, 제 2 게이팅 수단이 박막 반도체 수단과 기관 사이에 배열되도록 기관에 인접하다. 일부 다른 구현들에서, 3개의 게이팅 수단 모두는 반도체 수단의 단일 측면에 인접하게 배열된다.

[0018] 일부 구현들에서, 제 1 게이팅 수단, 제 2 게이팅 수단 및 제 3 게이팅 수단 중 임의의 하나 또는 그보다 많은 게이팅 수단이 오픈되는 경우, 각각의 게이팅 수단에 인접한 반도체 수단의 부분이 축적 모드에서 전도성 수단으로서 거동한다. 일부 구현들에서, 제 1 게이팅 수단, 제 2 게이팅 수단 및 제 3 게이팅 수단 중 임의의 하나 또는 그보다 많은 게이팅 수단이 클로즈되는 경우, 각각의 게이팅 수단에 인접한 반도체 수단의 부분이 에너지 장벽을 나타내고 사실상 비전도성이다.

[0019] 본 명세서에 설명된 주제 중 하나 또는 그보다 많은 구현들의 상세들이 첨부된 도면들과 아래의 설명에 제시된다. 본 개시물에 제공된 실시예들이 EMS 및 MEMS-기반 디스플레이들에 관하여 설명될 수 있지만, 본원에 제공된 개념들은 다른 타입들의 디스플레이들, 이를 테면, 액정 디스플레이들(LCD들), 유기 발광 다이오드(OLED) 디스플레이들 및 전계 발광 디스플레이들에 적용될 수 있다. 다른 특징들, 양상들 및 이점들이 상세한 설명, 도면 및 청구범위로부터 명백해질 것이다. 다음의 도면들의 상대적인 차원들은 축적대로 도시되지 않을 수 있다는 것을 주목한다.

도면의 간단한 설명

[0020] 도 1은 예시적인 MOSFET의 횡단면의 측면도 묘사를 도시한다.

도 2는 예시적인 3-게이트 박막 트랜지스터의 횡단면의 측면도 묘사를 도시한다.

도 3은 도 2에 도시된 3-게이트 박막 트랜지스터를 동작시키는 예시적인 방법을 도시하는 타이밍도를 도시한다.

도 4는 도 2의 저장 영역과 저장 게이트 전극 사이의 캐패시턴스의 플롯을 저장 게이트 전극에 인가된 게이트 전압의 함수로서 도시한다.

도 5는 예시적인 3-게이트 박막 트랜지스터의 횡단면의 측면도 묘사를 도시한다.

도 6은 예시적인 3-게이트 박막 트랜지스터의 횡단면의 측면도 묘사를 도시한다.

도 7은 도 2에 도시된 3-게이트 박막 트랜지스터를 형성하기 위해 사용될 수 있는 예시적인 방법을 도시하는 흐름도를 도시한다.

도 8a는 간접계 변조기(IMOD) 디스플레이 디바이스의 디스플레이 엘리먼트들의 시리즈들 또는 어레이에서 2개의 인접한 IMOD 디스플레이 엘리먼트를 도시하는 등각도이다.

도 8b는 IMOD 디스플레이 엘리먼트들의 3개 엘리먼트 × 3개 엘리먼트 어레이를 포함하는 IMOD 기반 디스플레이를 포함하는 전자 디바이스를 나타내는 시스템 블록도이다.

도 9a 및 도 9b는 복수의 IMOD 디스플레이 엘리먼트들을 포함하는 디스플레이 디바이스를 나타내는 시스템 블록도들이다.

다양한 도면들에서 동일한 도면 부호들 및 지시들은 동일한 엘리먼트들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0021] 개시된 구현들은 3-게이트 박막 트랜지스터(TFT)를 비롯하여, 멀티-게이트 박막 트랜지스터들 또는 트랜지스터 디바이스들/구조들(이하 모두 "트랜지스터들"로 지칭함)의 예들을 포함한다. 일부 구현들에서, 3-게이트 TFT는 전하를 저장하고 전하를 디스플레이 엘리먼트, 이를 테면, LCD 픽셀, IMOD 픽셀, 다른 MEMS-기반 디바이스 또는 다른 전기 또는 전기기계 엘리먼트에 이송하는데 사용될 수 있다. 관련 장치, 시스템 및 제조 프로세스들 및 기술들이 또한 개시된다.

[0022] 본 개시물에 설명된 주제의 특정 구현들은 다음의 잠재적인 이점들 중 하나 또는 그보다 많은 것을 실현하기 위해 구현될 수 있다. 일부 구현들에서, TFT는 "액티브 MOS 캐패시터"로서 효과적으로 기능하는 저장 게이트 전극을 포함한다. 제 1 동작 모드에서, 바이어싱 조건들은, 저장 게이트 전극이 저장 게이트 전극에 인접한 TFT의 반도체 층의 저장 영역 내에 전하의 이송 및 축적을 용이하게 하기 위해 고-캐패시턴스 상태가 되도록 구성되는 것이다. 역으로, 제 2 동작 모드에서, 바이어싱 조건들은 저장 게이트 전극이 저장 영역으로부터 디스플

레이 엘리먼트로 전하의 이송을 용이하게 하기 위해 저-캐패시턴스 상태가 되도록 구성되는 것이다. 고 캐패시턴스 상태에 있는 동안, 상대적으로 낮은 컬럼 전압 신호(V_{Column})는 대량의 전류를 저장 게이트 전극에 인접한 저장 영역으로 주입할 수 있다. 저 캐패시턴스 상태에 있는 동안, 저장 영역이 디스플레이 엘리먼트에 전기적으로 결합되는 경우, TFT는 디스플레이 엘리먼트에 대한 고 효율의 전하 전달을 달성한다. 전하를 기록 및 저장하는 고-캐패시턴스 상태로부터, 전하를 디스플레이 엘리먼트로 이송하는 저-캐패시턴스 상태로 스위칭하는 TFT의 능력은 다른 이점들 중에서도, 전력을 상당히 절약시킬 수 있다. 이 캐패시턴스 스위칭 특징은 또한, 디스플레이 엘리먼트의 캐패시턴스 상태가 변할 수 있더라도, 디스플레이 엘리먼트로 정확한 전하 주입을 할 수 있게 한다.

[0023] 배경기술에 의해서, TFT는, 반도체 층뿐만 아니라 하나 또는 그보다 많은 유전체 절연 층들 및 금속 콘택트들이 기판에 걸쳐 증착되는 전계 효과 트랜지스터(FET)의 특정 타입이다. TFT들은 흔히 LCD 디스플레이들과 같은 디스플레이들에 사용된다. TFT FET는 종래의 FET, 이를 테면, 전통적인 금속-산화물 반도체(MOS)FET(MOSFET)와는 다르다. TFT FET와는 대조적으로, MOSFET의 반도체 층은, 내부에 또는 상부에 드레인 및 소스 영역들, 유전체 층들, 게이트 및 금속 콘택트들을 포함하는 다른 전기 컴포넌트들이 증착되거나 다른 방식으로 형성되는 반도체 기판-통상적으로 실리콘(Si) 웨이퍼-의 그 자신의 부분이다.

[0024] 도 1은 예시적인 MOSFET(100)의 횡단면의 측면도 묘사를 도시한다. MOSFET(100)는 비교 또는 참조 목적으로 도시되고, 반도체 기판(102), 드레인 (104), 드레인 콘택트(105), 소스(106), 소스 콘택트(107), 게이트 전극(108) 및 유전체 절연층(110)을 포함한다. MOS의 "금속"은 게이트 전극(108)(실제로 금속성일 수도 있거나 금속성이 아닐 수도 있음-예를 들어, 다결정 Si가 흔히 사용됨)을 의미하고, "산화물"은 유전체 층(110)(실제로 산화물일 수도 있거나 또는 산화물이 아닐 수도 있음- 더 큰 유전 상수들을 갖는 다른 유전체들이 흔히 사용됨)을 의미하고, "반도체"는 반도체 기판(102)을 지칭한다. 일반적으로, 반도체 기판은 p-타입(도시된 바와 같음) 또는 n-타입일 수 있다. 전통적인 MOSFET 규칙에서, 전류 흐름은, 소스(106)를 통하여 디바이스에 진입하는 전자들이 게이트 전극(108)의 게이팅 액션을 거치는 동안 반도체 기판(102) 내 채널 영역(112)을 통해 이동하고 드레인(104)을 통과하여 나가는 것이다. 이 명명법과 일치하여, 전류가 포지티브 전하 캐리어들과 동일한 방향으로 흐르도록 정의되는 종래의 전류 용어에 따르면 "정공"은 이와 반대 방향으로 이동할 것이다.

[0025] 반도체 기판(102), 드레인(104), 소스(106) 및 게이트 전극(108)에 인가된 바이어싱에 의존하여, MOSFET(100)-보다 구체적으로 게이트 전극(108) 아래 소스(106)와 드레인(104) 사이에 있는 채널 영역(112) 내 반도체 물질-는 3개의 물리적으로 구별되는 바이어싱 상태들: 축적, 공핍 또는 반전 중 하나에 존재하는 것으로 여겨질 수 있다. 예를 들어, p-타입 MOSFET(100)가 축적 상태에서 바이어싱되는 경우, 다수(majority) 포지티브 전하 캐리어들-"홀들"-이 반도체-유전체 인터페이스(114) 근처에 축적된다. p-타입 MOSFET(100)가 공핍 상태에서 바이어싱되는 경우, 채널 영역(112)에서 다수 정공들이 공핍된다. 마지막으로, p-타입 MOSFET(100)가 반전 상태에서 바이어싱되는 경우, 소수 네거티브 전하 캐리어들-전자들-이 채널 영역(112)에서 전도성 채널("n-채널")을 형성하는 반도체-유전체 인터페이스(114) 근처에 축적된다. 유사하게, n-타입 MOSFET가 축적 상태에서 바이어싱되는 경우, 다수 전자들이 반도체-유전체 인터페이스(114) 근처에 축적되고; 공핍 상태에서 바이어싱되는 경우, 채널 영역(112)에서 다수 전자들이 공핍되고; 반전 상태에서 바이어싱되는 경우, 소수 정공들이 채널 영역(112)에 전도성 채널("p-채널")을 형성한다.

[0026] 또한 배경기술에 의해서, 디스플레이, 이를 테면, IMOD 디스플레이 또는 LCD 디스플레이는 일반적으로 픽셀들로도 지칭되는 디스플레이 엘리먼트들의 어레이를 포함한다. 일부 이러한 디스플레이들은 수백 또는 수천개의 로우들과 수백 또는 수천개의 컬럼들에서 배열된 수백, 수천 또는 수백만개의 픽셀들의 어레이들을 포함할 수 있다. 예를 들어, 일부 이러한 디스플레이들은 1024×768 개의 어레이들, 1366×768 개의 또는 1920×1080 개의 어레이들을 포함하고, 첫 번째 수치는 디스플레이의 폭을 컬럼들의 수로 나타낸 것이고 두 번째 수치는 디스플레이의 높이를 로우들의 수로 나타낸 것이다. 차례로, 각각의 픽셀은 하나 또는 그 초과 서브-픽셀들을 포함할 수 있다. 예를 들어, 각각의 픽셀은, 각각 적색, 녹색 및 청색 광을 발광하는 적색 서브-픽셀, 청색 서브-픽셀 및 청색 서브-픽셀을 포함할 수 있다. 3개의 컬럼들은 세기들을 변경하여 다양한 컬러들을 생성하고 디스플레이하도록 선택적으로 결합될 수 있다. 예를 들어, 각각의 적색 서브-픽셀, 녹색 서브-픽셀 및 청색 서브-픽셀은 차례로, 픽셀에 의해 발광된 적색, 녹색 및 청색의 성분 색들 각각의 세기를 개별적으로 조정하기 위해 하나 또는 그 초과 서브-서브-픽셀들의 어레이를 더 포함할 수 있다.

[0027] 각각의 픽셀, 서브-픽셀 또는 서브-서브-픽셀이 본 개시물에 설명된 것으로서 멀티-게이트 TFT에 의해 구동될 수 있다. TFT 및 대응하는 픽셀 또는 픽셀 엘리먼트의 조합은 이후 총괄하여 디스플레이 엘리먼트로 지칭될 수

있다. 도 2는 예시적인 3-게이트 TFT(200)의 횡단면적 측면도 묘사를 도시한다. TFT(200)는 기판(202), 드레인(204), 소스(206), 박막 반도체 층(208), 제 1 "기록" 게이트 전극(210), 제 2 "저장" 게이트 전극(212), 제 3 "이송" 게이트 전극(214), 제 1(또는 하부) 유전체 층(216) 및 제 2(또는 상부) 유전체 층(218)을 포함한다. 개시된 구현들에서, "드레인"(204)을 "소스"와 반대인 "드레인"으로 또는 "소스"(206)를 "드레인"과 반대인 "소스"로 지칭함으로써, 고유하거나 제안되는 것으로 제한하려는 것은 아니다. 즉, 2개의 용어-드레인과 소스-는 본 개시물에서 상호교환가능하게 사용된다. 예를 들어, 전자들이, 반도체층(208)에 사용된 반도체 재료의 타입과 게이트 전극들(210, 212 및 214)에 인가된 바이어스들에 의존하여, 드레인(204)에 의해 3-게이트 TFT(200)에 진입하고 소스(206)에 의해 3-게이트 TFT(200)를 나갈 수 있거나 그 반대의 경우도 마찬가지로 가능하다.

[0028] 도 2에 도시된 구현에서, 기록 게이트 전극(210)과 이송 게이트 전극(214)이 박막 반도체층(208)의 한쪽에 인접하게 배열되는 한편, 저장 게이트 전극(212)이 박막 반도체층(208)의 반대쪽에 인접하게 배열된다. 보다 구체적으로, 도 2는, 기록 게이트 전극(210)과 이송 게이트 전극(214)이 박막 반도체층(208)의 상부 표면(220) 위로 배열되는 한편 저장 게이트 전극(212)이 반도체층(208)의 하부 표면(222) 아래에 배열되는 구현을 도시한다. 일부 다른 구현들에서, 이 배열은 반전될 수 있는데; 즉, 저장 게이트 전극(212)이 상부 표면(220) 위로 배열될 수 있는 반면에 기록 게이트 전극(210) 및 이송 게이트 전극(214)이 하부 표면(222) 아래에 배열될 수 있다. 예를 들어, 도 5는 그러한 예시적인 3-게이트 TFT(500)의 횡단면적 측면도 묘사를 도시한다. TFT(500)는 기판(502), 드레인(504), 소스(506), 박막 반도체층(508), 제 1 "기록" 게이트 전극(510), 제 2 "저장" 게이트 전극(512), 제 3 "이송" 게이트 전극(514), 제 1(또는 하부) 유전체 층(516) 및 제 2 (또는 상부) 유전체 층(518)을 포함한다. 도 2에 도시된 TFT(200)와 같이, 도 5에 도시된 TFT(500)는, 기록 게이트 전극(510)과 이송 게이트 전극(514)이 박막 반도체층(508)의 한쪽에 인접하여 배열되는 한편, 저장 게이트 전극(512)은 박막 반도체층(508)의 반대쪽에 인접하여 배열되도록 배열된다. 그러나, 도 2에 도시된 TFT(200)와는 대조적으로, 도 5에 도시된 TFT(500)는, 기록 게이트 전극(510)과 이송 게이트 전극(514)이 박막 반도체층(508)의 하부 표면(522) 아래에 배열되는 한편 저장 게이트 전극(512)이 반도체층(508)의 상부 표면(520) 위로 배열되도록 배열된다.

[0029] 또 다른 구현들에서, 3개의 게이트 전극들 모두-기록 게이트 전극(210), 저장 게이트 전극(212) 및 이송 게이트 전극(214)-가 박막 반도체층(208) 아래 또는 위에, 박막 반도체층(208)의 동일한 쪽에 배열될 수 있다. 예를 들어, 이러한 구현은 도 6에 도시되며 이후에 설명된다.

[0030] 도 2에 도시된 구현에서, 기록 게이트 전극(210)이 상부 유전체층(218)에 의해 드레인(204), 박막 반도체층(208) 및 다른 컴포넌트들로부터 절연된다. 상부 유전체 층(218)은 또한 소스(206), 박막 반도체층(208) 및 다른 컴포넌트들로부터 이송 게이트 전극(214)을 절연시킨다. 저장 게이트 전극(212)은 하부 유전체층(216)에 의해 박막 반도체층(208) 및 다른 컴포넌트들로부터 절연된다.

[0031] 일부 구현들에서, 드레인(204)은 컬럼 전압 신호(V_{Column})를 수신하도록 전기적으로 결합된다. 통상적인 매트릭스 어드레싱 방식에서, 제어 신호가 컬럼 전압 신호의 형태로 디스플레이의 각각의 컬럼으로 그리고 로우 선택 전압 신호의 형태로 디스플레이의 각각의 로우로 전송된다. 이와 같이, $m \times n$ 디스플레이의 경우, 이러한 방식은 m 개의 컬럼 전압 신호들 및 n 개의 로우 선택 전압 신호들을 요구할 수 있다. 각각의 컬럼 전압 신호(V_{Column})가 동시에 디스플레이 엘리먼트들의 전체 컬럼에 인가될 수 있다. 유사하게, 각각의 로우 선택 전압 신호($V_{\text{RowSelect}}$)가 동시에 디스플레이 엘리먼트들의 전체 로우에 인가될 수 있다. 도 2에 도시된 구현에서, 기록 게이트 전극(210)이 로우 선택 전압 신호($V_{\text{RowSelect}}$)를 수신하도록 전기적으로 결합된다. 추가적으로, 저장 게이트 전극(212)은 저장 제어 전압 신호(V_{Storage})를 수신하도록 전기적으로 결합되고, 이송 게이트 전극(214)은 이송 제어 전압 신호(V_{Transfer})를 수신하도록 전기적으로 결합되고, 소스(206)는 부하, 이를 테면 픽셀 또는 픽셀 엘리먼트(224)에 전기적으로 결합된다. 예를 들어, 상술된 바와 같이, 픽셀 엘리먼트(224)는 LCD 픽셀 또는 IMOD 픽셀일 수 있다. 그러나, 다른 구현들에서, 소스(206)가 결합되는 로드는 상이한 MEMS-기반 엘리먼트 또는 다른 전기 또는 전기기계 엘리먼트일 수 있다. 소스(206)는 또한 리셋 전압 신호(V_{Reset})를 수신하도록 전기적으로 결합될 수 있다.

[0032] 일부 구현들에서, 제 1 동작 모드에서, 기록 게이트 전극(210), 저장 게이트 전극(212) 및 이송 게이트 전극(214)은, 전기 전하가 드레인(204)으로부터 이송되고 후속하여 저장 게이트 전극(212)에 인접한 반도체 층(208)의 영역(226) 내 전기 전위 우물에 축적되도록 구성된다. 일부 구현들에서, 제 2 동작 모드에서, 기록 게이트

트 전극(210), 저장 게이트 전극(212) 및 이송 게이트 전극(214)은, 저장 게이트 전극(212)에 인접한 반도체 층(208)의 영역(226)에 사전에 축적된 전기 전하가 반도체 층(208)을 통과하고 이송 게이트 전극(214)에 인접한 반도체층(208)의 영역을 통과하여 이송되고 후속하여 소스(206)를 통과하여 전달되도록 구성된다. 소스(206)로부터, 이송된 전하가 픽셀 엘리먼트(224)로 출력된다.

[0033] 도 3은 도 2에 도시된 3-게이트 TFT(200)를 동작시키는 예시적인 방법을 도시하는 타이밍도를 도시한다. 예시적인 타이밍 다이어그램에서, 반도체 층(208)은 n-타입 반도체 재료이지만, p-타입 반도체 재료 층이 사용되는 다른 구현들에서 전압은 반전될 수 있다. 일부 구현들에서, t_0 에서, 디스플레이 엘리먼트(224)에 기록될 데이터가 컬럼 전압 신호(V_{Column})를 경유하여 드레인(204)에 인가된다. 시간 t_1 에서, 로우 선택 전압 신호($V_{\text{RowSelect}}$)가 로우(예를 들어, 네거티브 또는 낮은 포지티브 전압)로부터 하이(예를 들어, 로우 보다 더 높은 포지티브 전압)로, 기록 게이트 전극(210)을 효과적으로 "터닝 온"하거나 "오프닝"하도록 스위칭되어 기록 게이트 전극(210) 아래의 반도체 층(208)을 통한 전도를 이네이블한다. 또한 시간 t_1 에서, 또는 그 근처에서, 저장 제어 전압 신호(V_{Storage})가 로우로부터 하이로 스위칭된다. 이송 제어 전압 신호(V_{Transfer})는 그 시간 동안 로우 상태에 있어서, 이송 게이트 전극(214)으로 하여금 "턴-오프" 또는 "클로즈드" 상태가 되게 한다.

[0034] 드레인(204), 기록 게이트 전극(210) 및 저장 게이트 전극(212)에 대한 이러한 바이어스들의 결과로서, 드레인(204)에 의해 수신된 다수 전하 캐리어들(예를 들어, 전자들)은 반도체 층(208)을 통과하여 기록 게이트 전극(210)을 향해 흐른다. 이 전하의 일부는 기록 게이트 전극(210)아래에 축적될 수 있다. 저장 게이트 전극(212)에 인가된 바이어스 V_{Storage} 의 결과로서, 전하 대부분이 저장 게이트 전극(212)에 인접한 영역(226)으로 흘러들어간다. 시간 t_3 에서, 로우 선택 전압 신호 $V_{\text{RowSelect}}$ 은 하이에서 로우로 스위칭된다. 그 결과, 기록 게이트 전극(210)아래에 남아있는 전하가 저장 게이트 전극(212)에 인접한 영역(226)으로 흘러들어간다. 컬럼 전압 V_{Column} 이 t_4 에서 스위치 오프된다. 이제 영역(226)에 축적된 전하는 본질적으로, 저장 게이트 전극(212)에 인접한 반도체 층(208)의 영역(226) 내 전기 전하 우물에 포획된다. 사실상, 저장 게이트 전극(210)과 반도체 층(208)의 영역(226)이 하부 유전체 층(216)에 의해 분리된 캐패시터의 플레이트들로서 역할을 한다. 이런 방식으로, 디스플레이 엘리먼트(224)에 기록될 데이터가 영역(226)에 전하로서 효과적으로 저장될 수 있다.

[0035] 일부 구현들에서, 데이터 모두가 디스플레이의 서브-어레이 또는 전체 디스플레이의 대응하는 3-게이트 TFT들(200) 모두에 기록된 후, 전체 디스플레이(또는 서브-어레이)를 위해 저장된 전하가 동시에 3-게이트 TFT들(200)로부터 대응하는 결합 픽셀 엘리먼트들(224)로 이송된다. 예를 들어, 시간 t_5 에서 시작하여, 이송 제어 전압 신호 V_{Transfer} 가 로우에서 하이로 스위칭되어 이송 게이트 전극(214)을 사실상 턴 온한다. 시간 t_6 에서, 저장 제어 전압 신호 V_{Storage} 가 하이에서 로우로 스위칭되어 저장 게이트 전극(212)을 사실상 턴 오프한다. 그 결과, 영역(226)에 이전에 축적된 전하가 이송 게이트 전극(214) 아래의 반도체 층(208)을 통과하여 흐르고 소스(206)를 통하여 나가며, 전하는 이후에 픽셀 엘리먼트(224)로 이송된다. 전하를 픽셀 엘리먼트(224)로 이송할 시간이 주어진 후, 이송 제어 전압 신호 V_{Transfer} 가 이후에 t_7 에서 하이에서 로우로 다시 스위칭되어 이송 게이트 전극(214)을 턴 오프한다. 일부 구현들에서, 리셋 전압 V_{Reset} 이 시간 t_0 에 전에 또는 t_5 전에, 또는 다른 적절한 시각에 픽셀 엘리먼트(224)를 리셋하도록 바이어싱된다. 예를 들어, 픽셀 엘리먼트(224)를 그라운드에 연결하는 스위치(228)(이를 테면 MOSFET 트랜지스터)를 활성화하거나 폐쇄하기 위해서 리셋 전압 V_{Reset} 이 사용될 수 있다.

[0036] 이와 같이, 주어진 게이트 전극이 "턴 온" 또는 "오프"되는 경우, 주어진 게이트 전극에 인접한 반도체 층(208)의 부분은 축적-타입 동작 모드에서 다수 전하 캐리어들(n-타입 반도체 재료 내 전자들)에 대해 전도성이다. 대조적으로, 주어진 게이트 전극이 "턴 오프" 또는 "클로즈드"되는 경우, 주어진 게이트 전극에 인접한 반도체 층(208)의 부분은 이것이 에너지 장벽으로서 역할을 하기 때문에 사실상 비전도성이다.

[0037] 일부 구현들에서, 드레인(204), 기록 게이트 전극(210), 저장 게이트 전극(212), 이송 게이트 전극(214) 및 소스(206)는, 드레인(204)과 기록 게이트 전극(210)의 약간의 "수직" 중첩이, 기록 게이트 전극(210)과 저장 게이트 전극(212)의 약간의 수직 중첩이, 저장 게이트 전극(212)과 이송 게이트 전극(214)의 약간의 수직 중첩이, 그리고 이송 게이트 전극(214)과 소스(206)의 약간의 수직 중첩이 존재하도록 배열된다. 이 중첩은, 고 용량성 결합, 및 게이트 전극에 인가된 바이어스들이 스위칭될 때 전위 우물에서 전위 우물로 반도체 층(208)을 가로지르는 즉, 바이어스들이 스위칭될 때 게이트 전극들 중 소정의 전극 아래에 있는 반도체 층(208)의 부분으로부터

다음 게이트 전극으로 전하의 효율적인 이송을 보장한다.

- [0038] 저장 게이트 전극(212)은 사실상 "활성 MOS 캐패시터"로서 기능한다. 제 1 동작 모드에서, 바이어싱 조건들은, 저장 게이트 전극(212)에 인접한 반도체 층(208)의 영역(226) 내에 전하의 이송과 축적을 용이하게 하기 위해서 고-캐패시턴스 상태가 되도록 저장 게이트 전극(212)이 구성되는 것이다. 반대로, 제 2 동작 모드에서, 바이어싱 조건은, 영역(226)으로부터 소스(206)를 통과하여 픽셀 엘리먼트(224)로 전하의 이송을 용이하게 하기 위해 저-캐패시턴스 상태가 되도록 저장 게이트 전극(212)이 구성되는 것이다. 고 캐패시턴스 상태에 있는 동안, 상대적으로 낮은 컬럼 전압 신호 V_{Column} 은 많은 양의 전류를 저장 게이트 전극(212)에 인접한 영역(226)으로 주입할 수 있다. 낮은 캐패시턴스 상태에 있는 동안, 영역(226)은 이송 게이트 전극(214)을 경유하여 픽셀 엘리먼트(224)로 전기 결합되는 경우, 3-게이트 TFT(200)가 픽셀 엘리먼트(224)로의 고 효율 전하 이송을 달성한다.
- [0039] 특정 구현들에서, 요구된 컬럼 전압 V_{Column} 을 낮추는 데에 있어서 3-게이트 TFT(200)의 캐패시턴스-스위칭 능력이 주된 역할을 하거나, 또는 핵심 인자이다. 캐패시턴스-스위칭 능력은 또한, 반도체 층(208)의 영역(226) 내 저장 게이트 전극(212)에 의해 저장되는 전하 대부분(그렇지 않다면 실질적으로 전부)이 타겟 로드, 예를 들어, 픽셀 엘리먼트(224), 다른 MEMS 엘리먼트 또는 다른 전기 엘리먼트 또는 디바이스로 이송될 수 있다는 것을 보장한다. 보다 구체적으로, 이송 동작 동안 또는 그 전에, 저장 게이트 전극(212) 및 영역(226)의 캐패시턴스를 감소시킴으로써, 사실상 영역(226)에 저장된 전하 전부가 로드 엘리먼트(224)로 신속하게 이송될 수 있다. 이는, 전하의 이송이 종종 각각의 노드에서 제시되는 캐패시턴스 값들에 의존하는 전통적인 버킷 브리게이드(bucket brigade) 캐패시터 어레이들과는 대조적이고; 이는, 디스플레이 엘리먼트에 발생하게 될 상태가 무엇인지에 따라 가변 캐패시턴스를 나타내는 디스플레이 디바이스들에 대해 문제가 될 수 있다.
- [0040] 이는 또한, 기록 동작 동안에 전하를 저장하고 이송하기 위한 연관된 고정 캐패시턴스들을 갖는 패시브 캐패시터들을 사용하는 종래의 디스플레이들과는 상당한 차이가 있다. 이러한 종래의 디바이스들에서, 전하 이송 정도는 픽셀 엘리먼트(224)의 캐패시턴스 및 저장 캐패시터의 캐패시턴스의 크기에 의존한다. 즉, 패시브 캐패시터들을 이용하는 종래의 디스플레이들에서, 캐패시턴스가 고정되기 때문에, 기록 동작 동안 패시브 캐패시터에 저장된 전하가 패시브 캐패시터와 이송 동작 동안에 구동 중인 로드 사이에서 공유될 것이다. 이는, 예를 들어, 액티브 매트릭스 디스플레이에 의해 소모된 전력이 컬럼 전압의 제공에 비교적 큰 기생 캐패시턴스들을 승산한 것과 비례하기 때문에 적어도 부분적으로 불리하다. 일부 구현들에서, 총 기생 캐패시턴스는 트랜지스터 기생 캐패시턴스들(게이트 투 소스 캐패시턴스들로도 지칭됨), 픽셀에 국부적으로 있는 프린징 캐패시턴스들, 및 배선 트레이스 투 그라운드 캐패시턴스, 이를 테면 오버랩부분과 전체 컬럼 드라이브 전극을 따라 집적된 프린징 캐패시턴스들의 합이다. 참고로, 상대적으로 높은 리졸루션(예를 들어, 500개-1000개의 로우들)을 갖는 일부 현대 디스플레이 패널들의 경우, 총 기생 캐패시턴스는 10-100 pF 범위 또는 훨씬 더 높은 범위에 있을 수 있다.
- [0041] 전하를 기록하고 저장하는 고-캐패시턴스 상태로부터 픽셀 엘리먼트(224)로 전하를 이송하기 위한 저-캐패시턴스 상태로 스위칭하는 3-게이트 TFT(200)의 능력은 다른 이점들 중에서도, 전력에 있어서 상당한 절감이 있을 수 있다. 캐패시턴스 스위칭 특징은 또한, 픽셀 엘리먼트(224)의 캐패시턴스 상태가 변할 수 있더라도 픽셀 엘리먼트(224)에 대한 정확한 전하 주입을 가능하게 한다. 보다 구체적으로, 개시된 캐패시턴스 스위칭 특징은, 저 캐패시턴스 상태에 있는 동안 저장 게이트 전극(212)의 캐패시턴스는 충분한 마진을 두고 픽셀 엘리먼트(224)의 최소 캐패시턴스 값보다 더 낮도록 3-게이트 TFT(200)를 설계함으로써 정확한 전하 주입을 가능하게 한다. 이는 또한, 전하 제어 양상이 튜닝 범위를 개선할 수 있게 하기 때문에 픽셀 엘리먼트(224)의 제어 시 중요한 안정성 암시들을 가질 수 있다.
- [0042] 일부 구현들에서, 게이트 전극들(210, 212 및 214) 중 하나 또는 그보다 많은 것은 각각 금속들, 금속들의 합금들, 또는 금속들, 합금들 또는 다른 재료들의 층들 중 하나로부터 형성될 수 있다. 예를 들어, 게이트 전극들(210, 212 및 214)을 형성하는데 적합한 금속은 Al, Mo, Ti, W 또는 Cu를 포함할 수 있다. 일부 구현들에서, 반도체 층(208)은 인듐 갈륨 아연 산화물(IGZO), 비정질 실리콘(Si), 또는 저온 다결정 실리콘(LTPS)으로 형성된다. 그러나, 일부 다른 구현들에서, 반도체 층(208)은 일반적으로 임의의 적절한 산화물 반도체, 이를 테면, 비정질 산화물 반도체로 형성될 수 있다. 예를 들어, 비정질 산화물 반도체 층을 형성하는데 사용될 수 있는 적절한 재료들은 In, Sn, Hf, 및 Ga를 포함할 수 있다. 일부 특정 예들은 InGaZnO, InZnO, InHfZnO, InSnZnO, SnZnO, InSnO, GaZnO 및 ZnO를 포함한다. 일부 구현들에서, 이러한 산화물 반도체 층들은, 예를 들어, 펄스 레이저 증착(PLD), 스퍼터 증착, 전자 빔 PVD(e-빔 PVD) 및 증발 증착 중 하나 또는 그보다 많은 것을 포함하는 물리 기상 증착(PVD) 기술들을 이용하여 형성될 수 있다. 일부 구현들에서, 반도체 층(208)은 약 20 내지 100

nm의 범위의 두께를 갖는다.

[0043] 특정 구현들에서, 3-게이트 TFT(200)는 극도로 낮은 누설을 나타내고, 온인 경우 (반전 모드와는 반대로) 축적 모드에서 단독으로 동작한다. 저장 게이트 전극(212)에 의해 형성된 MOS 캐패시터는 본질적으로, MOS 캐패시터가 축적 모드에 있는 경우 산화물 캐패시터, 저장 게이트 전극(212)과 기록 게이트 전극(210) 간의 중첩 캐패시터, 및 저장 게이트 전극(212)과 이송 게이트 전극(214)간의 중첩 캐패시터의 합(하이)으로부터, MOS 캐패시터가 턴 오프되는 경우 저장 게이트 전극(212)과 기록 게이트 전극(210) 간의 중첩 캐패시터와 저장 게이트 전극(212)과 이송 게이트 전극(214) 간의 중첩 캐패시터의 합(낮음)만으로 변한다. 일부 구현들에서, 3-게이트 TFT(200)는, MOS 접합 물리학으로 인해 구부러진 대역이 저장 게이트 전극(212)에 인가된 전압만큼 오프셋되는 경우 평탄한 대역 게이트 전압을 특징으로 한다. 이 오프셋은 또한, 축적 모드-다수 캐리어들이 반도체-유전체 접점을 향하여 이동할 경우임-와 약한 공핍 레짐(regime)의 시작부 사이의 경계로서 역할을 한다. 예를 들어, IGZO는 n-타입 반도체 재료 층(208)을 형성하기 위해서 사용되는 경우, 전압 $V_{Storage}$ 가 평탄대역 전압 위로 포지티브하게 증가됨에 따라 축적이 더 강해지는 반면, 전압이 평탄대역 전압 아래로 네거티브하게 구동되는 경우 공핍 효과가 나타나기 시작한다.

[0044] 도 4는 저장 게이트 전극(212)에 인가된 게이트 전압 $V_{Storage}$ 의 함수로서 저장 영역(226)과 저장 게이트 전극(212)에 의해 형성된 MOS 캐패시터의 캐패시턴스의 플롯을 저장 게이트 전극(212)에 인가된 게이트 전압 $V_{Storage}$ 의 함수로서 도시한다. 일부 구현들에서, 도 4에 도시된 캐패시턴스-전압(CV) 프로파일 또는 특징이 설명되거나 다음 식으로 근사화된다.

$$\frac{C_{Storage(High)}}{C_{Storage(Low)}} = \frac{C_{oxide} + C_{GS} + C_{GD}}{C_{GS} + C_{GD}}$$

[0045] C_{oxide} 는 게이트-절연체 캐패시턴스이고 $C_{Storage(High)}$ 는 하이 상태 캐패시턴스이고 $C_{Storage(Low)}$ 는 저장 게이트 전극(212)의 저 상태 캐패시턴스이고 C_{GS} 및 C_{GD} 는 각각 게이트 대 소스 및 게이트 대 드레인 중첩 캐패시턴스들이다.

[0047] 도 2 및 도 5에 도시된 것과 같은 일부 구현들에서, 게이트 전극들(210, 212 및 214)의 이 수직 중첩은 반도체 채널의 반대쪽에 제 1 및 제 3 게이트들을 저장 게이트로서 제조함으로써 달성된다. 이 토폴로지는, 이러한 트랜지스터들의 전도성 채널이 반전 층에 의해 제조되고 게이트는 채널의 한쪽에만 형성될 수 있기 때문에 결정질 Si MOSFET 트랜지스터들에 대해 이용가능하지 않고, 채널은 벌크 Si 기판의 일체형 상부 부분이 된다.

[0048] 그러나, 상술된 바와 같이, 일부 다른 구현들에서, 모든 3개의 게이트 전극들-기록 게이트 전극, 저장 게이트 전극 및 이송 게이트 전극-이, 한정 영역(626)이 형성될 수 있는 박막 반도체 층(208) 아래 또는 위에, TFT 토폴로지 내 박막 반도체 층(208)의 동일한 쪽에 배열될 수 있다. 도 6은 예시적인 3-게이트 TFT(600)의 횡단면적 측면도 묘사를 도시한다. 각각 도 2 및 도 5에 도시된 3-게이트 TFT(200)와 3-게이트 TFT(500)에서와는 다르게, 도 6에 도시된 3-게이트 TFT(600)에서, 3개의 게이트 전극들 모두-기록 게이트 전극(610), 저장 게이트 전극(612) 및 이송 게이트 전극(614)-은 박막 반도체 층(608) 위에 배열된다. 3-게이트 TFT(200) 및 3-게이트 TFT(500)를 이용하는 경우와 같이, 일부 구현들에서, 드레인(604), 기록 게이트 전극(610), 저장 게이트 전극(612), 이송 게이트 전극(614) 및 소스(606)는, 드레인(604)과 기록 게이트 전극(610)의 약간의 수직 중첩이, 기록 게이트 전극(610)과 저장 게이트 전극(612)의 약간의 수직 중첩이, 저장 게이트 전극(612)과 이송 게이트 전극(614)의 약간의 수직 중첩이, 그리고 이송 게이트 전극(614)과 소스(606)의 약간의 수직 중첩이 존재하도록 배열된다. 이 중첩은, 고 용량성 결합과 게이트 전극들에 인가된 바이어스들이 스위칭될 때 전위 우물에서 전위 우물로 반도체 층(608)을 가로지르는 전하의 효율적인 이송을 보장한다. 유전체 층(616)은 게이트 전극들을 서로로부터 그리고 3-게이트 TFT(600)의 다른 컴포넌트들로부터 절연시킨다. 3-게이트 TFT(600)는 또한 기판(602) 상에 구성될 수 있다.

[0049] 3-게이트 TFT(200)를 이용하는 경우와 같이, 3-게이트 TFT(600)의 제 1 동작 모드에서, 바이어싱 조건들은, 저장 게이트 전극(612)이 저장 게이트 전극(612)에 인접한 반도체 층(608)의 영역(626) 내에 전하의 이송 및 축적을 용이하게 하기 위해 고-캐패시턴스 상태로 구성되는 것이다. 역으로, 제 2 동작 모드에서, 바이어싱 조건들은 저장 게이트 전극(612)이 영역(626)으로부터 소스(606)를 통과하여 픽셀 엘리먼트(224) 또는 다른 로드로 전하의 이송을 용이하게 하기 위해 저-캐패시턴스 상태로 구성되는 것이다.

- [0050] 도 7은 도 2에 도시된 3-게이트 TFT(200)를 형성하기 위해 사용될 수 있는 예시적인 방법(700)을 도시하는 흐름도를 나타낸다. 도 5에 도시된 3-게이트 TFT(500)와 도 6에 도시된 3-게이트 TFT(600)를 형성하기 위해서 유사한 방법이 사용된다. 일부 구현들에서, 방법(700)은 기판(202)으로 시작한다. 예를 들어, 기판(202)은 유리 기판 또는 웨이퍼 또는 다른 유전체 기판일 수 있다. 블록 702에서, 저장 게이트 전극(212)이, 예를 들어, 물리 기상 증착 프로세스(예를 들어, 스퍼터링, 코-스퍼터링, 반응성 스퍼터링 또는 열 증발) 또는 상술된 다른 프로세스들 중 임의의 것에 의해 그리고 저장 게이트 전극들(210, 212 및 214)을 형성하기 위해 상술된 재료들 중 임의의 것을 이용하여 증착된다. 일부 구현들에서, 저장 게이트 전극(212)은 실질적으로 또는 상당히 더 폭이 넓거나 기록 및 이송 게이트 전극들(210 및 214) 보다 훨씬 길다. 블록 704에서, 제 1 하부 유전체 층(216)이 증착되고, 성장되고, 또는 그렇지 않으면 저장 게이트 전극(212) 및 기판(202)의 다른 부분들 위로 배열된다. 예를 들어, 유전체 층들(216 및 218)이 다른 재료들 중에서 SiO₂, SiO₂ 또는 Al₂O₃와 같은 산화물로 형성될 수 있고, (일부 애플리케이션들에서는 더 얇거나 더 두꺼운 두께들이 적절하거나 적합할 수 있더라도) 대략 200 nm의 두께를 가질 수 있다.
- [0051] 다음으로, 블록 706에서, 박막 반도체 층(208)이 증착된다. 예를 들어, 일부 구현들에서, 반도체 층(208)은, 약 10 나노미터(nm) 내지 약 100 nm의 범위 내의 두께를 갖고, IGZO를 비롯하여 반도체 층(208)을 형성하기 위해 상술된 재료들 중 임의의 재료로 형성될 수 있다. 블록 708에서, 드레인(204) 및 소스(206)가 증착될 수 있다. 일부 구현들에서, 드레인(204) 및 소스(206)는 예를 들어, 몰리브덴과 같은 금속으로 형성될 수 있다. 일부 구현들에서, 이후 제 2 상부 유전체 층(218)이 블록 710에서 증착된다. 최종적으로, 기록 및 이송 게이트 전극들(210 및 214)이 블록 712에서 증착될 수 있다. 추가적으로, 일부 구현들에서, 드레인(204), 소스(206) 및 게이트 전극들(210, 212 및 214) 중 하나 또는 그보다 많은 것이 트레이스들 또는 다른 전도성 수단(유전체 층 또는 다른 엘리먼트들 아래에 매립될 수 있는 부분들)을 경유하여 금속 또는 금속 합금(예를 들어, 몰리브덴(Mo))으로 형성될 수 있고 각각의 엘리먼트를 상술된 전기 신호들 중 대응하는 신호로 결합하는데 사용될 수 있는 디바이스 콘택트들(미도시)로 전기적으로 결합될 수 있다.
- [0052] 상술된 바와 같이, IMOD 디스플레이 패널들 및 다른 전압/전하 구동식 픽셀 엘리먼트들, 이를 태면 액정 디스플레이들(LCD들)에서, 전체 프레임에 대해 디스플레이 엘리먼트들을 동시에 업데이트하는 것이 종종 바람직하다. 본원에 개시된 구현들이 이러한 동시적인 방식들에서 특히 매우 적합하거나 유리할 수 있더라도, 이러한 구현들 또는 유사한 구현들이 또한 전통적으로 한 로우씩 업데이트하는 방식과 같이 다른 프레임 업데이트 방식들에 대해 매우 적합하다.
- [0053] 이 상세한 설명은 본 개시물의 혁신적인 양상들의 설명을 목적으로 하는 특정한 구현들에 관한 것이다. 그러나 당업자는 본원의 교시들이 다수의 상이한 방식으로 적용될 수 있다는 것을 쉽게 인식할 것이다. 설명된 구현들은, 동화상(이를 태면, 비디오) 또는 정지 화상(이를 태면, 스틸 이미지들)이든지 간에, 그리고 텍스트, 그래픽 또는 그림이든지 간에, 이미지를 디스플레이하도록 구성될 수 있는 임의의 디바이스, 장치 또는 시스템에서 구현될 수 있다. 더 구체적으로, 설명된 구현들이, 모바일 전화들, 멀티미디어 인터넷 인에이블 셀룰러 전화들, 모바일 텔레비전 수신기들, 무선 디바이스들, 스마트폰들, 블루투스[®] 디바이스들, 휴대 보조 단말기(PDA)들, 무선 전자 메일 수신기들, 핸드-헬드 또는 휴대용 컴퓨터들, 넷북들, 노트북들, 스마트북들, 태블릿들, 프린터들, 복사기들, 스캐너들, 팩시밀리 디바이스들, GPS(global positioning system) 수신기들/네비게이터들, 카메라들, 디지털 미디어 플레이어들(이를 태면, MP3 플레이어들), 캠코더들, 게임 콘솔들, 손목 시계들, 시계들, 계산기들, 텔레비전 모니터들, 플랫 패널 디스플레이들, 전자 판독 디바이스들(예를 들어, e-리더들), 컴퓨터 모니터들, 오토 디스플레이들(주행기록계 및 속도계 디스플레이들 등을 포함함), 조종석 컨트롤들 및/또는 디스플레이들, 카메라 뷰 디스플레이들(예컨대, 차량의 후방 뷰 카메라의 디스플레이), 전자 사진들, 전자 게시판들 또는 간판(sign)들, 프로젝터들, 건축(architectural) 구조들, 마이크로파들, 냉장고들, 스테레오 시스템들, 카세트 레코더들 또는 플레이어들, DVD 플레이어들, CD 플레이어들, VCR들, 라디오들, 휴대용 메모리 칩들, 세탁기들, 건조기들, 세탁기/건조기들, 주차요금 징수기들(parking meters), (이를 태면, 비-전기기계 시스템(EMS) 애플리케이션들은 물론, 마이크로전기기계 시스템(MEMS) 애플리케이션들을 비롯한 전기기계 시스템(EMS) 애플리케이션들에서의) 패키징, 심미적 구조들(이를 태면, 한점의 보석 또는 의류 상의 이미지들의 디스플레이) 및 다양한 EMS 디바이스들과 같은, (그러나, 이들에 제한되지 않음) 다양한 전자 디바이스들에 포함되거나 또는 이들과 연관될 수 있다는 점이 참작된다. 본원에서의 교시들은 또한, 전자 스위칭 디바이스들, 무선 주파수 필터들, 센서들, 가속도계들, 자이로스코프들, 움직임-감지 디바이스들, 자력계들, 가전제품에 대한 관성 컴포넌트들, 가전제품 물건들의 부품들, 버랙터들, 액정 디바이스들, 전기영동 디바이스들, 구동 방식들, 제조 프로세스들, 및 전자 테스트 장비와 같은 (그러나, 이들에 제한되지 않음) 비-디스플레이 애플리케이션들에서 사용

될 수 있다. 따라서, 교시들은 도면들에 단독으로 도시한 구현들로 제한되는 것으로 의도되는 것이 아니라, 대신에, 당업자에게 쉽게 명백할 바와 같이, 넓은 응용가능성을 가진다

[0054] 도 8a는 간섭계 변조기(IMOD) 디스플레이 디바이스의 디스플레이 엘리먼트들의 시리즈 또는 어레이의 두 인접한 IMOD 디스플레이 엘리먼트들을 도시한 등각도이다. IMOD 디스플레이 디바이스는 하나 또는 그 초과와 간섭계 EMS, 이를 테면, MEMS 디스플레이 엘리먼트들을 포함한다. 이들 디바이스들에서, 간섭계 MEMS 디스플레이 엘리먼트들은 밝은(bright) 상태 또는 어두운(dark) 상태로 구성될 수 있다. 밝은("릴렉스(relaxed)", "개방(open)" 또는 "온(on)" 등) 상태에서, 디스플레이 엘리먼트는 입사 가시광의 상당 부분을 반사한다. 반대로, 어두운("작동(actuated)", "폐쇄(closed)" 또는 "오프(off)" 등) 상태에서, 디스플레이 엘리먼트는 입사 가시광을 거의 반사하지 않는다. MEMS 디스플레이 엘리먼트들은 블랙 앤 화이트(black 및 white) 이외에도 컬러 디스플레이를 가능하게 하는 특정한 광의 파장들에서 대부분 반사하도록 구성될 수 있다. 일부 구현들에서, 다수의 디스플레이 엘리먼트들을 사용함으로써, 회색 색조 및 원색들의 다양한 강도들이 달성될 수 있다.

[0055] IMOD 디스플레이 디바이스는 로우(raw) 및 컬럼(column)으로 배열될 수 있는 IMOD 디스플레이 엘리먼트들의 어레이를 포함할 수 있다. 어레이의 각 디스플레이 엘리먼트는, 에어 갭(또한 광학 갭, 공동 또는 광학 공진 공동으로 지칭됨)을 형성하기 위해, 서로로부터 가변적이고 제어가능한 거리에 위치된 적어도 한 쌍의 반사 및 부분 반사 층들, 이를 테면, 이동가능 반사 층(즉, 기계적 층으로도 지칭되는 이동가능 층) 및 고정된 부분적 반사 층(즉, 고정 층)을 포함할 수 있다. 이동가능 반사 층은 적어도 2개의 위치들 사이에서 이동될 수 있다. 예를 들어, 제 1 위치에서, 즉, 릴렉스 위치에서, 이동가능 반사 층은 고정된 부분적 반사 층으로부터 떨어져서 위치될 수 있다. 제 2 위치, 즉, 작동 위치에서, 이동가능 반사 층은 부분적 반사 층에 더 가깝게 위치될 수 있다. 2개의 층들로부터 반사되는 입사광이 입사광의 파장(들) 및 이동가능 반사 층의 위치에 따라 보강적으로(constructively) 및/또는 상쇄적으로(destructively) 간섭할 수 있어, 각 디스플레이 엘리먼트에 대한 전반사(overall reflective) 또는 무반사(non-reflective) 상태를 생성한다. 일부 구현들에서, 디스플레이 엘리먼트는 비작동일 때 반사 상태에 있을 수 있어 가시 스펙트럼내의 광을 반사하며, 작동일 때 어두운 상태에 있을 수 있어, 가시 범위 내의 광을 흡수하고 그리고/또는 상쇄적으로 간섭한다. 그러나, 일부 다른 구현들에서, IMOD 디스플레이 엘리먼트는 비작동일 때 어두운 상태에 있을 수 있고, 작동일 때 반사 상태에 있을 수도 있다. 일부 구현들에서, 인가 전압의 도입이 디스플레이 엘리먼트들을 구동하여 상태들을 변화시킬 수 있다. 일부 다른 구현들에서, 인가 전하가 디스플레이 엘리먼트들을 구동하여 상태들을 변화시킬 수 있다.

[0056] 도 8a의 어레이의 도시된 부분은 IMOD 디스플레이 엘리먼트들(12)의 형태인 2개의 인접한 간섭계 MEMS 디스플레이 엘리먼트들을 포함한다. (도시된 바와 같이) 우측의 디스플레이 엘리먼트(12)에서, 이동가능 반사 층(14)은 광학 스택(16) 근처의, 이에 인접한 또는 이에 접촉한 작동 위치에 도시된다. 우측의 디스플레이 엘리먼트(12)에 걸리게 인가된 전압(V_{bias})은 작동 위치로 이동가능 반사 층(14)을 이동 및 또한 유지하기에 충분하다. (도시된 바와 같이) 좌측의 디스플레이 엘리먼트(12)에서, 이동가능 반사 층(14)은, 부분적 반사 층을 포함하는 광학 스택(16)으로부터 떨어진 (떨어진 거리는 설계 파라미터에 기반하여 미리결정될 수 있음) 릴렉스 위치에 도시되어 있다. 좌측의 디스플레이 엘리먼트(12)에 걸리게 인가된 전압(V_0)은 우측의 디스플레이 엘리먼트(12)의 이동가능 반사 층(14)과 같이 이동가능 반사 층(14)이 작동 위치로 작동하게 하기에는 불충분하다.

[0057] 도 8a에서, IMOD 디스플레이 엘리먼트들(12)의 반사 특성들은 일반적으로, IMOD 디스플레이 엘리먼트들(12) 상에 입사하는 광(13), 및 좌측의 디스플레이 엘리먼트(12)로부터 반사하는 광(15)을 나타내는 화살표들로 예시된다. 디스플레이 엘리먼트들(12)상에 입사하는 대부분의 광(13)이 투명 기관(20)을 투과해서 광학 스택(16) 쪽으로 향할 수 있다. 광학 스택(16) 상에 입사하는 광의 일부가 광학 스택(16)의 부분적 반사 층을 투과할 것이고, 일부는 투명 기관(20)을 통해 다시 반사될 수 있다. 광학 스택(16)을 투과한 광(13)의 일부는 다시 투명 기관(20)을 향해 (그리고 이를 통해) 이동가능 반사 층(14)으로부터 반사될 수 있다. 광학 스택(16)의 부분적 반사 층으로부터 반사되는 광과 이동가능 반사 층(14)으로부터 반사되는 광 사이의 간섭(보강 및/또는 상쇄)은 디바이스의 뷰잉 또는 기관 측 상의 디스플레이 엘리먼트(12)로부터 반사된 광(15)의 파장(들)의 강도를 부분적으로 결정할 것이다. 일부 구현들에서, 투명 기관(20)은 유리 기관(때때로 유리 플레이트 또는 패널로 지칭됨)일 수 있다. 유리기관은 예를 들어, 붕규산 유리, 소다 석회 유리, 석영, 파이렉스 또는 다른 적절한 유리 재료이거나 이를 포함할 수 있다. 일부 구현들에서, 유리 기관은 0.3, 0.5 또는 0.7 밀리미터의 두께를 가질 수 있지만, 일부 구현들에서 유리 기관은 (수 십 밀리미터 같이) 더 두껍거나 (0.3밀리미터 미만과 같이) 더 얇을 수 있다. 일부 구현들에서, 비유리 기관, 이를 테면 폴리 카보네이트, 아크릴, 폴리에틸렌 테레프탈레이트(PET) 또는 폴리에테르 에테르 케톤(PEEK) 기관이 사용될 수 있다. 이러한 구현에서, 비유리 기관은 아마도 0.7 밀리미터 미만의 두께를 가질 수 있지만, 기관은 설계 고려사항들에 따라 더 두꺼울 수 있다. 일부 구현들

에서, 불투명 기관, 이를 테면, 금속 호일 또는 스테인리스 스틸계 기관이 사용될 수 있다. 예를 들어, 부분적으로 투과적이고 부분적으로 반사적인 이동가능한 층 및 고정 반사 층을 포함하는 리버스-IMOD 기반 디스플레이가 도 8a의 디스플레이 엘리먼트들(12)로서 기관의 대향 측으로부터 뷰잉되도록 구성될 수 있고 불투명 기관에 의해 지지될 수 있다.

[0058] 광학 스택(16)은 단일 층 또는 여러 층들을 포함할 수 있다. 층(들)은 전극 층, 부분적 반사 및 부분적 투과 층 및 투명 유전체 층 중 하나 또는 그 조합을 포함할 수 있다. 일부 구현들에서, 광학 스택(16)은 전기적으로 도전성이고, 부분적으로 투명하고, 부분적으로 반사성이고, 예를 들어, 상기 층들 중 하나 또는 그 조합을 투명 기관(20)상에 증착함으로써 제조될 수 있다. 전극 층은 다양한 재료들, 예컨대 다양한 금속들, 예를 들어, 인듐 주석 산화물(ITO)로부터 형성될 수 있다. 부분적 반사 층은, 다양한 금속들(예를 들어, 크롬 및/또는 몰리브덴), 반도체들 및 유전체들과 같이 부분적으로 반사성인 다양한 재료들로 형성될 수 있다. 부분적 반사 층은 재료들의 하나 또는 그 조합의 층들로 형성될 수 있고, 층들 각각은 단일 재료 또는 재료들의 조합으로 형성될 수 있다. 일부 구현들에서, 광학 스택(16)의 특정 부분들은 부분적 광 흡수기(optical absorber) 및 전기 도체들 다로서 역할을 하는 금속 또는 반도체의 단일 반투명 두께를 포함할 수 있지만, (예를 들어, 광학 스택(16) 또는 디스플레이 엘리먼트의 다른 구조들의) 서로 다른, 전기적으로 더욱 도전성인 층들 또는 부분들이 IMOD 디스플레이 엘리먼트들 사이에서 신호들을 버싱(bus)하는 역할을 할 수 있다. 광학 스택(16)은 또한 하나 또는 그 조합의 도전 층들 또는 전기적으로 도전성/부분적 흡수성인 층을 커버하는 하나 또는 그 조합의 절연 또는 유전체 층들을 포함할 수 있다.

[0059] 일부 구현들에서, 광학 스택(16)의 층(들) 중 적어도 일부는 병렬 스트립들로 패터닝될 수 있고, 아래에 추가로 설명되는 바와 같이, 디스플레이 디바이스에서 로우 전극들을 형성할 수 있다. 당업자에 의해 이해될 바와 같이, 용어 "패터닝(patterned)"은 에칭 프로세스를 뿐만 아니라 마스크를 지칭하는 것으로 본원에서 사용된다. 일부 구현들에서, 알루미늄(Al)과 같은 높은 도전성 및 반사성 재료가 이동가능 반사 층(14)에 사용될 수 있고, 이들 스트립들은 디스플레이 디바이스에서 컬럼 전극들을 형성할 수 있다. 이동가능 반사 층(14)은 증착된 금속 층 또는 금속 층들의 일련의 평행한 스트립들(광학 스택(16)의 로우 전극들에 직교함)로서 형성되어, 지지부들, 이를 테면, 도식된 포스트들(18)의 상부에 증착된 컬럼들 및 포스트들(18) 사이에 위치한 중간 희생 재료를 형성할 수 있다. 희생 재료가 에칭될 때, 이동가능 반사 층(14)과 광학 스택(16) 사이에, 한정된 갭(19), 또는 광학 공동이 형성될 수 있다. 일부 구현들에서, 포스트들(18) 사이의 간격(spacing)은 대략 1 내지 1000 μ m일 수 있지만, 대략적으로 갭(19)은 10,000 옹스트롬($\text{\AA}$) 미만일 수 있다.

[0060] 일부 구현들에서, 작동 상태이든 또는 릴렉스 상태이든 간에, 각각의 IMOD 디스플레이 엘리먼트는 고정 및 이동 반사 층들에 의해 형성된 캐패시터로 간주될 수 있다. 어떠한 전압도 인가되지 않을 때, 이동가능 반사 층(14)은 이동가능 반사 층(14)과 광학 스택(16) 사이에 갭(19)을 가진 채로, 도 8a의 좌측의 디스플레이 엘리먼트(12)에 의해 예시되어 있는 바와 같이, 기계적으로 릴렉스 상태로 유지된다. 그러나, 전위차, 즉, 전압이 선택된 로우 및 컬럼 중 적어도 하나에 인가될 때, 대응하는 디스플레이 엘리먼트에서 로우와 컬럼 전극들의 교차점에 형성된 캐패시터는 충전되고, 정전기력들은 전극들을 서로 끌어당긴다. 인가 전압이 임계치를 초과하면, 이동가능 반사 층(14)은 변형되어 광학 스택(16) 근처로 또는 광학 스택(16)과 맞닿게 이동할 수 있다. 광학 스택(16)내의 유전체 층(미도시)은, 도 8a의 우측의 작동된 디스플레이 엘리먼트(12)에 의해 예시된 바와 같이, 층들(14 및 16) 간의 단락을 방지하고 이들 간의 분리 거리를 제어할 수 있다. 이 거동(behavior)은 인가된 전위차의 극성에 관계없이 동일할 수 있다. 일부 경우들에서, 어레이에서의 일련의 디스플레이 엘리먼트들을 "로우" 또는 "컬럼"으로 칭할 수 있지만, 당업자는 일 방향을 "로우"로 칭하고 다른 방향을 "컬럼"으로 칭하는 것이 임의적이라는 것을 쉽게 이해할 것이다. 다시 말해, 일부 배향들에서, 로우들은 컬럼들로 고려될 수 있고, 컬럼들은 로우들로 고려될 수 있다. 일부 구현들에서, 로우들이 "공통" 라인들로 지칭될 수 있고 컬럼들이 "세그먼트" 라인들로 지칭될 수 있으며, 그 반대도 마찬가지이다. 또한, 디스플레이 엘리먼트들은 직교 로우들 및 컬럼들("어레이")로 균일하게 배열될 수 있거나, 예를 들어, 서로에 관하여 특정한 위치 오프셋들을 갖는 비선형 구성들("모자이크")로 배열될 수 있다. 용어들 "어레이" 및 "모자이크"는 각 구성을 지칭할 수 있다. 따라서, 디스플레이를 "어레이" 또는 "모자이크"를 포함하는 것으로 지칭되더라도, 엘리먼트들 자체가, 어느 경우에 있어서는, 서로 직교로 배열되거나 균일한 분포로 배치되지 않아도 되지만, 비대칭 형상들 및 불균일하게 분포된 엘리먼트들을 갖는 배열들을 포함할 수 있다.

[0061] 도 8b는 IMOD 디스플레이 엘리먼트들의 3개 엘리먼트 $\times$ 3개 엘리먼트 어레이를 포함하는 IMOD 기반 디스플레이를 포함하는 전자 디바이스를 나타내는 시스템 블록도이다. 전자 디바이스는 하나 또는 그 조합의 소프트웨어 모듈들을 실행하도록 구성될 수 있는 프로세서(21)를 포함한다. 운영 시스템의 실행에 부가하여, 프로세서(2

1)는 웹 브라우저, 전화 애플리케이션, 이메일 프로그램, 또는 임의의 다른 소프트웨어 애플리케이션을 포함하는 하나 또는 그 초과 소프트웨어 애플리케이션을 실행하도록 구성될 수 있다.

[0062] 프로세서(21)는 어레이 드라이버(22)와 통신하도록 구성될 수 있다. 어레이 드라이버(22)는 신호들을 예를 들어, 디스플레이 어레이 또는 패널(30)에 제공하는 로우 드라이버 회로(24) 및 컬럼 드라이버 회로(26)를 포함할 수 있다. 도 8a에 예시된 IMOD 디스플레이 디바이스의 단면이 도 8b의 라인 1-1에 의해 도시된다. 도 8b가 명확화를 위해 IMOD 디스플레이 엘리먼트들의 3×3 어레이를 도시하지만, 디스플레이 어레이(30)는 매우 많은 수의 IMOD 디스플레이 엘리먼트들을 포함할 수 있고, 로우들에서, 컬럼들에서와는 상이한 수의 IMOD 디스플레이 엘리먼트들을 가질 수 있고, 그 반대도 마찬가지이다.

[0063] 도 9a 및 도 9b는 복수의 IMOD 디스플레이 엘리먼트들을 포함하는 디스플레이 디바이스(40)를 도시하는 시스템 블록도들이다. 디스플레이 디바이스(40)는, 예를 들어, 스마트 폰, 셀룰러 또는 모바일 전화일 수 있다. 그러나, 디스플레이 디바이스(40)의 동일한 컴포넌트들 또는 이들의 약간의 변형들이 또한, 텔레비전들, 컴퓨터들, 태블릿들, e-리더기들, 핸드-헬드 디바이스들 및 휴대용 미디어 디바이스들과 같은 다양한 타입들의 디스플레이 디바이스들을 예시한다.

[0064] 디스플레이 디바이스(40)는 하우징(41), 디스플레이(30), 안테나(43), 스피커(45), 입력 디바이스(48), 및 마이크로폰(46)을 포함한다. 하우징(41)은 사출 성형(injection molding), 및 진공 성형(vacuum forming)을 포함하는 임의의 다양한 제조 프로세스들로 형성될 수 있다. 또한, 하우징(41)은, 플라스틱, 금속, 유리, 고무, 및 세라믹, 또는 이들의 조합을 포함하지만 이에 제한되지 않는 임의의 다양한 재료들로 만들어질 수 있다. 하우징(41)은, 상이한 컬러의, 또는 상이한 로고들, 그림들 또는 심볼들을 포함하는 다른 제거가능한 부분들과 상호 교환될 수 있는 제거가능한 부분들(도시안됨)을 포함할 수 있다.

[0065] 디스플레이(30)는 본원에 설명하는 바와 같이, 쌍안정 또는 아날로그 디스플레이를 포함하는 다양한 디스플레이들 중 임의의 디스플레이일 수 있다. 디스플레이(30)는 또한 플라스마, EL, OLED, STN LCD, 또는 TFT LCD와 같은 평판 디스플레이, 또는 CRT 또는 다른 튜브 디바이스와 같은 비-평판 디스플레이를 포함하도록 구성될 수 있다. 또한, 디스플레이(30)는 본원에 설명하는 바와 같이, IMOD 기반 디스플레이를 포함할 수 있다.

[0066] 디스플레이 디바이스(40)의 컴포넌트들은 도 9a에 개략적으로 도시되어 있다. 디스플레이 디바이스(40)는 하우징(41)을 포함하고 그 안에 적어도 부분적으로 인클로징된(enclosed) 추가의 컴포넌트들을 포함할 수 있다. 예를 들어, 디스플레이 디바이스(40)는 트랜시버(47)에 커플링될 수 있는 안테나(43)를 포함하는 네트워크 인터페이스(27)를 포함한다. 네트워크 인터페이스(27)는 디스플레이 디바이스(40) 상에 디스플레이될 수 있는 이미지 데이터에 대한 소스일 수 있다. 상응하게, 네트워크 인터페이스(27)는 이미지 소스 모듈의 일레이지만, 프로세서(21) 및 입력 디바이스(48)는 또한 이미지 소스 모듈로서 역할을 할 수 있다. 트랜시버(47)는 컨디셔닝 하드웨어(52)에 연결되는 프로세서(21)에 연결된다. 컨디셔닝 하드웨어(52)는 신호를 컨디셔닝(이를 테면, 신호를 필터링하거나 다른 방식으로 조정)하도록 구성될 수 있다. 컨디셔닝 하드웨어(52)는 스피커(45) 및 마이크로폰(46)에 연결될 수 있다. 프로세서(21)는 또한 입력 디바이스(48) 및 드라이버 제어기(29)에 연결될 수 있다. 드라이버 제어기(29)는 프레임 버퍼(28) 및 어레이 드라이버(22)에 커플링될 수 있고, 어레이 드라이버(22)는 차례로 디스플레이 어레이(30)에 커플링될 수 있다. 도 9a에 구체적으로 도시되지 않은 엘리먼트들을 포함하는 디스플레이 디바이스(40)의 하나 이상의 엘리먼트들은 프로세서(21)와 통신하도록 구성되고 메모리 디바이스로서 기능하도록 구성될 수 있다. 일부 구현들에서, 전력 공급기(50)는 특정 디스플레이 디바이스(40) 설계에 있어 실질적으로 모든 컴포넌트들에 전력을 제공할 수 있다.

[0067] 네트워크 인터페이스(27)는, 디스플레이 디바이스(40)가 하나 또는 그 초과 디바이스들과 네트워크를 통해 통신할 수 있도록, 안테나 (43) 및 트랜시버(47)를 포함한다. 네트워크 인터페이스(27)는 또한 예를 들어, 프로세서(21)의 데이터 프로세싱 요건들을 완화시키기 위한 일부 프로세싱 능력들을 가질 수 있다. 안테나(43)는 신호들을 송신 및 수신할 수 있다. 일부 구현들에서, 안테나(43)는 IEEE 16.11(a), (b), 또는 (g)를 포함하는 IEEE 16.11 표준, 또는 IEEE 802.8A, b, g, n 및 그의 추가의 구현들을 포함하는 IEEE 802.11 표준에 따라 RF 신호들을 송신 및 수신한다. 일부 다른 구현들에서, 안테나(43)는 Bluetooth® 표준에 따라 RF 신호들을 송신 및 수신한다. 셀룰러 전화의 경우에서, 안테나(43)는 코드 분할 다중 액세스(CDMA), 주파수 분할 다중 액세스(FDMA), 시간 분할 다중 액세스(TDMA), 이동 통신을 위한 글로벌 시스템(GSM), GSM/범용 팩킷 무선 서비스(GPRS), 인헨스드 데이터 GSM 환경(EDGE), TETRA(Terrestrial Trunked Radio), 광대역 CDMA(W-CDMA), EV-DO(Evolution Data Optimized), 1xEV-DO, EV-DO Rev A, EV-DO Rev B, 고속 팩킷 액세스(HSPA), 고속 다운링크 팩킷 액세스(HSDPA), 고속 업링크 팩킷 액세스(HSUPA), 이벌브드 고속 팩킷 액세스(HSPA+), 롱 텀 에볼루션

(LTE), AMPS, 또는 3G, 4G 또는 5G 기술을 활용하는 시스템과 같은 무선 네트워크내에서 통신하기 위해 사용되는 다른 공지된 신호들을 수신하도록 설계될 수 있다. 트랜시버(47)는 안테나(43)로부터 수신된 신호들이 프로세서(21)에 의해 수신될 수 있고 프로세서(21)에 의해 추가로 조작될 수 있도록 이들 신호들을 예비-프로세싱할 수 있다. 트랜시버(47)는 또한 프로세서(21)로부터 수신되는 신호들이 안테나(43)를 통해 디스플레이 디바이스(40)로부터 송신될 수 있도록 이들 신호들을 프로세싱할 수 있다.

[0068] 일부 구현들에서, 트랜시버(47)는 수신기로 대체될 수 있다. 또한, 일부 구현들에서, 네트워크 인터페이스(27)는 프로세서(21)로 전송될 이미지 데이터를 저장하거나 생성할 수 있는 이미지 소스로 대체될 수 있다. 프로세서(21)는 디스플레이 디바이스(40)의 전체 동작을 제어할 수 있다. 프로세서(21)는 네트워크 인터페이스(27) 또는 이미지 소스로부터의 압축된 이미지 데이터와 같은 데이터를 수신하고, 이 데이터를 미가공(raw) 이미지 데이터로, 또는 미가공 이미지 데이터로 용이하게 프로세싱될 수 있는 포맷으로 프로세싱한다. 프로세서(21)는 프로세싱된 데이터를 드라이버 제어기(29)에 전송할 수 있거나 또는 저장을 위해 프레임 버퍼(28)에 전송할 수 있다. 미가공 데이터는 통상적으로, 이미지 내의 각 위치에서 이미지 특징들을 식별하는 정보로 지칭한다. 예를 들어, 이러한 이미지 특징들은 컬러, 채도(saturation), 및 그레이-스케일(gray-scale) 레벨을 포함할 수 있다.

[0069] 프로세서(21)는 디스플레이 디바이스(40)의 동작을 제어하기 위한 마이크로제어기, CPU, 또는 로직 유닛을 포함할 수 있다. 컨디셔닝 하드웨어(52)는, 신호들을 스피커(45)에 송신하며, 마이크로폰(46)으로부터 신호들을 수신하기 위한, 증폭기들 및 필터들을 포함할 수 있다. 컨디셔닝 하드웨어(52)는 디스플레이 디바이스(40)내의 개별 컴포넌트들일 수 있거나, 프로세서(21) 또는 다른 컴포넌트들내에 통합될 수 있다.

[0070] 드라이버 제어기(29)는 프로세서(21)에 의해 생성된 미가공 이미지 데이터를 프로세서(21) 또는 프레임 버퍼(28)로부터 직접적으로 취할 수 있고, 어레이 드라이버(22)로의 고속 송신을 위해 미가공 이미지 데이터를 적절하게 재포맷할 수 있다. 일부 구현들에서, 드라이버 제어기(29)는 미가공 이미지 데이터를 래스터형(raster-like) 포맷을 갖는 데이터 흐름으로 재포맷할 수 있어, 이는 디스플레이 어레이(30)에 걸쳐 스캐닝에 적합한 시간 순서를 갖게 된다. 그 후, 드라이버 제어기(29)는 포맷된 정보를 어레이 드라이버(22)에 전송한다. LCD 제어기와 같은 드라이버 제어기(29)가 독립형 집적 회로(IC)로서 시스템 프로세서(21)와 종종 연관되지만, 이러한 제어기들은 다수의 방식으로 구현될 수 있다. 예를 들어, 제어기들은 하드웨어로서 프로세서(21)에 내장될 수 있거나, 소프트웨어로서 프로세서(21)에 내장될 수 있거나, 어레이 드라이버(22)와 함께 하드웨어로 완전히 통합될 수 있다.

[0071] 어레이 드라이버(22)는 드라이버 제어기(29)로부터 포맷된 정보를 수신할 수 있고, 디스플레이 엘리먼트들의 디스플레이의 x-y 매트릭스로부터 오는 수백, 및 종종 수천(또는 그 이상)의 리드(lead)들에 초당 여러번 인가되는 파형들의 병렬 세트로 비디오 데이터를 재포맷할 수 있다.

[0072] 일부 구현들에서, 드라이버 제어기(29), 어레이 드라이버(22), 및 디스플레이 어레이(30)는 본원에 설명된 임의의 타입들의 디스플레이들에 적절하다. 예를 들어, 드라이버 제어기(29)는 종래의 디스플레이 제어기 또는 쌍안정 디스플레이 제어기(이를 테면, IMOD 디스플레이 엘리먼트 제어기)일 수 있다. 추가로, 어레이 드라이버(22)는 종래의 드라이버 또는 쌍안정 디스플레이 드라이버(이를 테면, IMOD 디스플레이 엘리먼트 드라이버)일 수 있다. 더욱이, 디스플레이 어레이(30)는 종래의 디스플레이 어레이 또는 쌍안정 디스플레이 어레이(이를 테면, IMOD 디스플레이 엘리먼트들의 어레이를 포함하는 디스플레이)일 수 있다. 일부 구현들에서, 드라이버 제어기(29)는 어레이 드라이버(22)와 통합될 수 있다. 이러한 구현은 고정적 시스템들, 예를 들어 모바일 전화들, 휴대용 전자 디바이스들, 시계들 또는 소형(small-area) 디스플레이들에서 유용할 수 있다.

[0073] 일부 구현들에서, 입력 디바이스(48)는 예를 들어, 사용자가 디스플레이 디바이스(40)의 동작을 제어하게 하도록 구성될 수 있다. 입력 디바이스(48)는 QWERTY 키보드 또는 전화 키패드와 같은 키패드, 버튼, 스위치, 락커, 터치 감지형 스크린, 디스플레이 어레이(30)와 통합된 터치 감지형 스크린 또는 압력- 또는 열- 감지 멤브레인을 포함할 수 있다. 마이크로폰(46)은 디스플레이 디바이스(40)용 입력 디바이스로서 구성될 수 있다. 일부 구현들에서, 마이크로폰(46)을 통한 음성 커맨드들이 디스플레이 디바이스(40)의 동작들을 제어하기 위해 사용될 수 있다.

[0074] 전력 공급기(50)는 다양한 에너지 저장 디바이스들을 포함할 수 있다. 예를 들어, 전력 공급기(50)는 니켈-카드뮴 배터리 또는 리튬-이온 배터리와 같은 재충전가능한 배터리일 수 있다. 재충전가능한 배터리를 사용하는 구현들에서, 재충전가능한 배터리는 예를 들어, 벽 소켓 또는 광전지 디바이스 또는 어레이로부터 오는 전력을 사용하여 충전가능할 수도 있다. 대안적으로, 재충전가능한 배터리는 무선으로 충전가능할 수 있다. 전력 공

급기(50)는 또한, 재생가능한 에너지 소스, 캐패시터, 또는 플라스틱 태양 전지 또는 태양 전지 페인트를 포함하는 태양 전지일 수 있다. 전력 공급기(50)는 또한 벽 콘센트(wall outlet)로부터 전력을 수신하도록 구성될 수 있다.

[0075] 일부 구현들에서, 제어 프로그램가능성(control programmability)은 전자 디스플레이 시스템의 여러 장소들에 위치될 수 있는 드라이버 제어기(29)에 상주한다. 일부 다른 구현들에서, 제어 프로그램가능성은 어레이 드라이버(22)에 상주한다. 전술된 최적화는, 많은 수의 하드웨어 및/또는 소프트웨어 컴포넌트들로 그리고 다양한 구성들로 구현될 수 있다.

[0076] 본 명세서에서 사용된 바와 같이, 항목들의 리스트 "중 적어도 하나"를 의미하는 문구는 단일 멤버들을 비롯하여 이러한 항목들의 임의의 결합을 의미한다. 일례로, " a , b 또는 c 중 적어도 하나"는 a , b , c , $a-b$, $a-c$, $b-c$ 그리고 $a-b-c$ 를 커버하는 것으로 의도된다.

[0077] 당업자들은 본 명세서에 기재된 예시적인 실시예들과 관련하여 설명된 다양한 예시적인 로직들, 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과된 설계 제한들에 의존한다.

[0078] 본원에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직들, 로직 블록들, 모듈들 및 회로들을 구현하기 위해 사용되는 하드웨어 및 데이터 프로세싱 장치는 범용 단일- 또는 다중-칩 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래머블 게이트 어레이(FPGA) 또는 다른 프로그램가능한 로직 디바이스, 별개의 게이트 또는 트랜지스터 로직, 별개의 하드웨어 컴포넌트들, 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현되거나 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수도 있거나, 임의의 종래의 프로세서, 제어기, 마이크로컨트롤러 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 다수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그보다 많은 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수도 있다. 일부 구현들에서, 특정 단계들 및 방법들은 주어진 기능에 특정되는 회로소자에 의해 수행될 수 있다.

[0079] 하나 또는 그보다 많은 양상들에서, 본 명세서에 개시된 구조들 및 이들의 구조적 등가물들을 비롯하여, 하드웨어, 디지털 전자 회로소자, 컴퓨터 소프트웨어, 펌웨어에서, 또는 이들의 임의의 조합에서 설명된 기능들이 구현될 수 있다. 본 명세서에 설명된 주제의 구현들은 또한, 데이터 프로세싱 장치에 의한 실행을 위해 또는 데이터 프로세싱 장치의 동작을 제어하기 위해 하나 또는 그보다 많은 컴퓨터 프로그램들, 즉, 컴퓨터 저장 매체 상에 인코딩된 컴퓨터 프로그램 명령들의 하나 또는 그보다 많은 모듈들로서 구현될 수 있다.

[0080] 본 개시물에 설명된 구현들에 대한 다양한 변경들이 당업자에게 자명할 수 있으며, 본원에 정의된 일반 원리들은 본 개시물의 정신 또는 범위로부터 벗어나지 않고 다른 구현들에 적용될 수 있다. 이와 같이, 청구항들은 본원에 나타내어진 구현들로 제한되는 것이 아니라 본 개시물, 본원에 개시된 원리들 및 신규한 특징과 일치하는 최광의 범위를 따르도록 의도된다. 추가적으로, 당업자는, 용어 "상부" 및 "하부"는 때때로 도면 설명의 편의를 위해 사용되고, 적절히 배향된 페이지 상에서 도면의 배향에 대응하는 상대적인 위치들을 나타내며, 예를 들어, 구현된 것과 같이 IMOD 디스플레이 엘리먼트의 적절한 배향을 반영하지 않을 수 있다는 것을 용이하게 인식할 것이다.

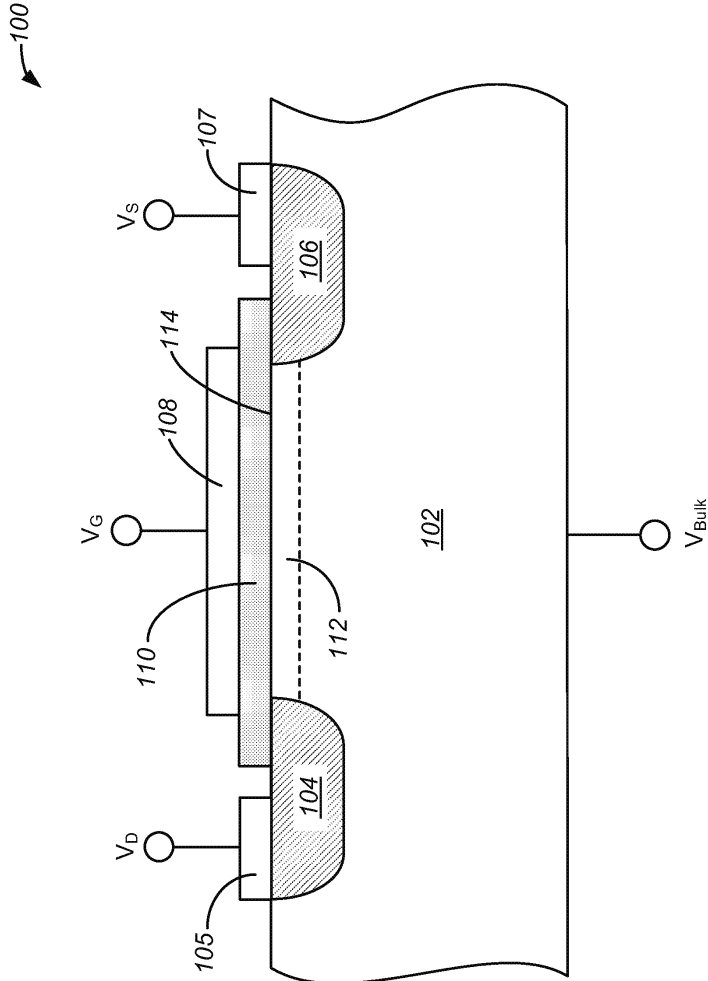
[0081] 별개의 구현들의 맥락에서 본 명세서에 설명되는 특정 특징들은 또한 단일 구현으로 조합하여 구현될 수 있다. 반대로, 단일 구현의 맥락에서 설명되는 다양한 특징들은 또한 다수의 구현들에서 별개로 또는 임의의 적절한 서브조합으로 구현될 수 있다. 더욱이, 특징들이 특정한 조합들로 작용하는 것으로 상술될 수 있고 심지어 그와 같이 최초에 청구항에 기재되더라도, 청구된 조합으로부터의 하나 또는 그보다 많은 특징들이 어떤 경우들에서는 그 조합으로부터 삭제될 수 있고, 청구된 조합은 서브조합 또는 서브조합의 변형에 관한 것일 수 있다.

[0082] 유사하게, 동작들이 특정한 순서로 도면들에서 도시되었지만, 당업자는, 바람직한 결과들을 달성하기 위해서, 이러한 동작들이 도시된 특정한 순서 또는 순차적인 순서로 수행될 필요가 없다는 것, 또는 모든 예시된 동작들이 수행된다는 것을 용이하게 인식할 것이다. 또한, 도면들은 하나 또는 그 초과수의 예시적인 프로세스들을 흐름도의 형태로 개략적으로 도시할 수 있다. 그러나, 도시되지 않은 다른 동작들은 개략적으로 예시되는 예시적인 프로세스들에 포함될 수 있다. 예를 들어, 하나 또는 그 초과수의 추가적인 동작들이 예시된 동작들 중 임의

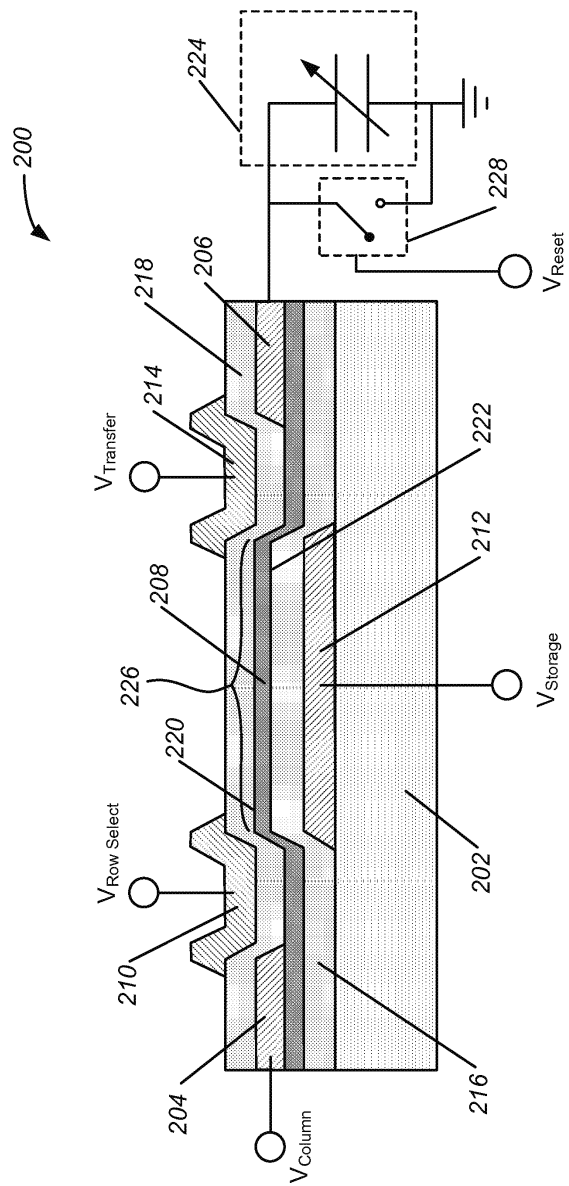
의 동작 전, 후, 동시, 또는 사이에 수행될 수 있다. 특정한 상황들에서, 멀티태스킹 및 병렬 프로세싱이 유리할 수 있다. 더욱이, 상술된 구현들에서 다양한 시스템 컴포넌트들의 구분은 모든 구현들에서 이러한 구분을 요구하는 것으로 이해되지 않아야 하고, 설명된 프로그램 컴포넌트들 및 시스템들이 일반적으로 하나의 소프트웨어 물건으로 함께 통합되거나 또는 다수의 소프트웨어 물건들로 패키징될 수 있다는 것을 이해해야 한다. 추가적으로, 다른 구현들은 다음의 청구범위 내에 있다. 어떤 경우들에서, 청구범위들에서 인용되는 동작들은 상이한 순서로 수행될 수 있고 여전히 바람직한 결과들을 달성한다.

도면

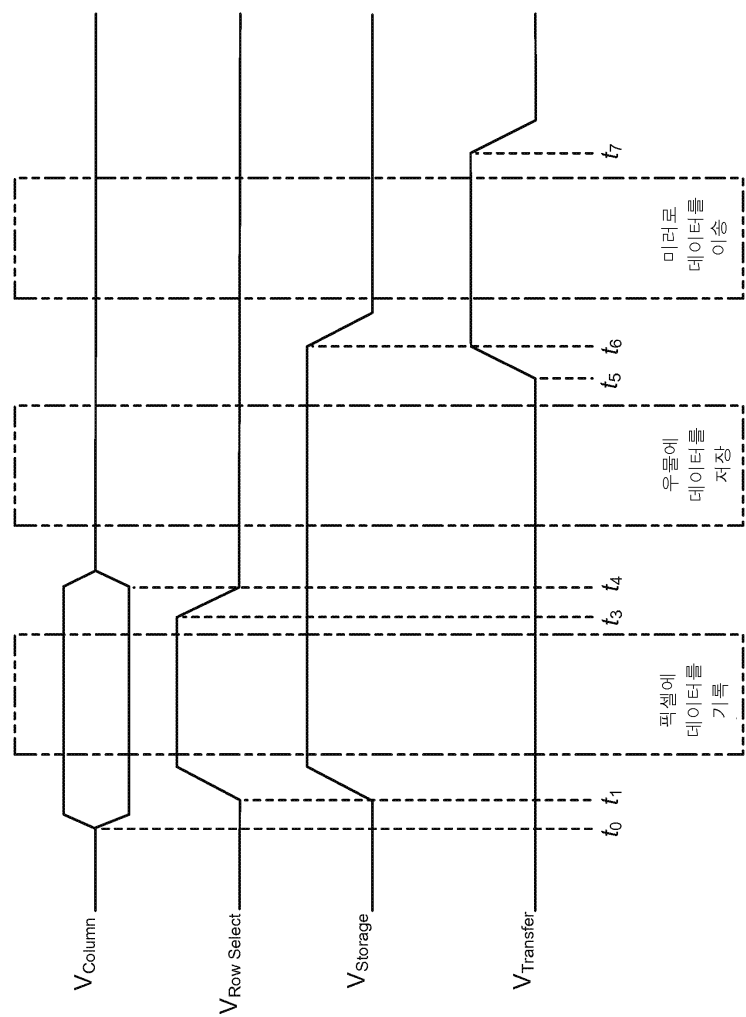
도면1



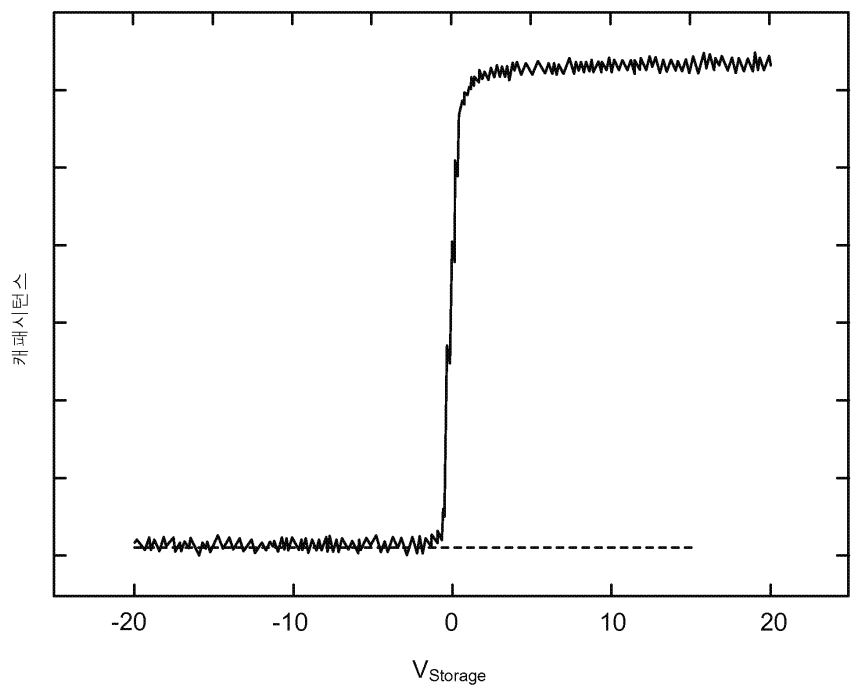
도면2



도면3

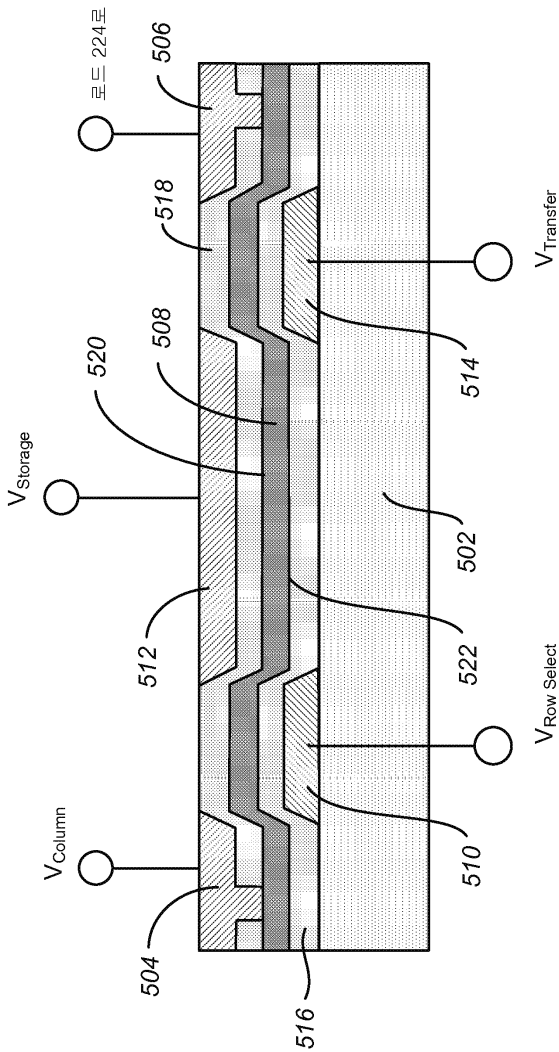


도면4

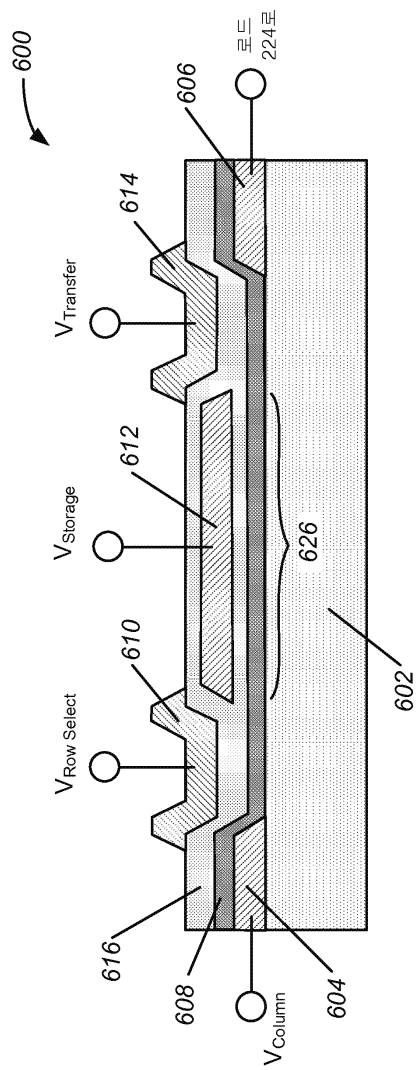


도면5

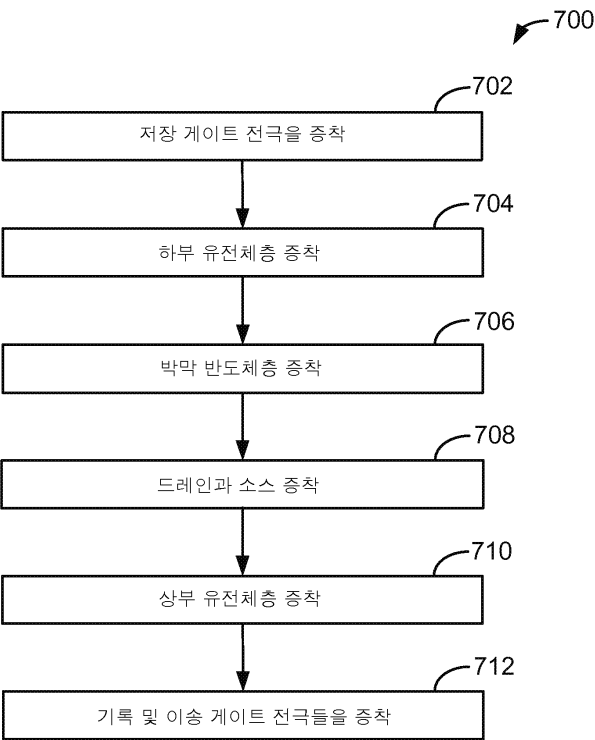
500



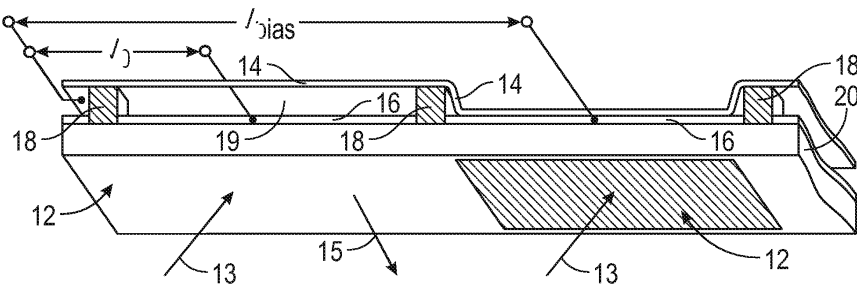
도면6



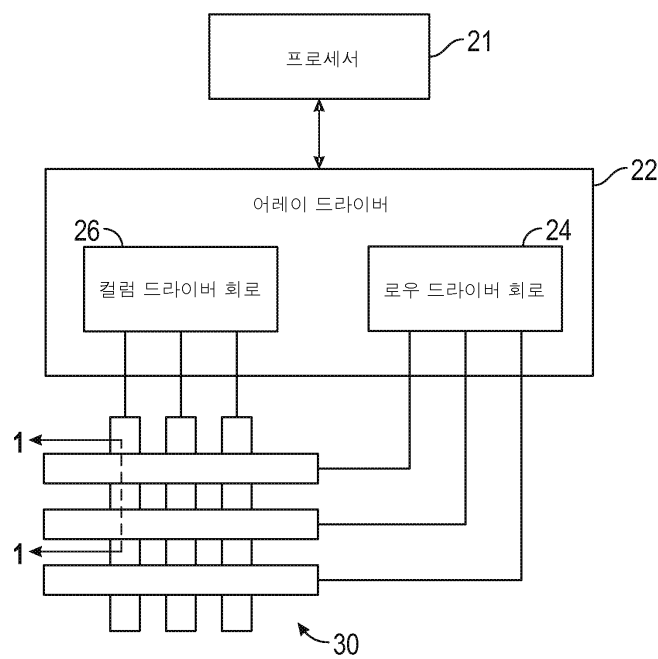
도면7



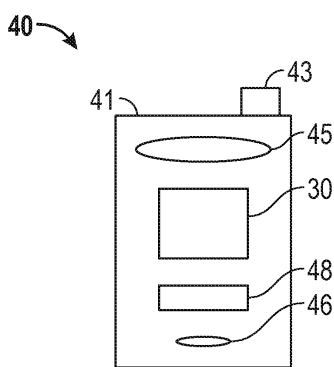
도면8a



도면8b



도면9a



도면9b

