

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4022978号  
(P4022978)

(45) 発行日 平成19年12月19日(2007.12.19)

(24) 登録日 平成19年10月12日(2007.10.12)

(51) Int.C1.

F 1

H03M 1/10 (2006.01)

H03M 1/10

C

請求項の数 3 (全 11 頁)

(21) 出願番号 特願平10-63584  
 (22) 出願日 平成10年3月13日(1998.3.13)  
 (65) 公開番号 特開平11-261417  
 (43) 公開日 平成11年9月24日(1999.9.24)  
 審査請求日 平成16年12月22日(2004.12.22)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100094053  
 弁理士 佐藤 隆久  
 (72) 発明者 源代 裕治  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内

審査官 柳下 勝幸

(56) 参考文献 特開平01-174119 (JP, A)  
 特開平08-149005 (JP, A)

(58) 調査した分野(Int.C1., DB名)  
 H03M1/00-1/88

(54) 【発明の名称】アナログ/デジタル変換回路測定装置

## (57) 【特許請求の範囲】

## 【請求項 1】

入力されたアナログ信号に応じて所定のデジタルコードを出力するアナログ/デジタル変換回路のリニアリティ特性を測定するアナログ/デジタル変換回路測定装置であつて、

所定の波形を有する測定信号を発生し、発生した上記測定信号をアナログ入力信号として上記測定の対象となるアナログ/デジタル変換回路に供給する信号発生回路と、

クロック信号に応じて計数動作を行い、カウント値を出力するカウンタと、

上記測定信号に応じて上記アナログ/デジタル変換回路から出力される複数の上記デジタルコードを、上記カウンタからのカウント値により指定されたアドレスに、アドレスの順番で記憶するメモリと、

上記メモリに記憶された複数の上記デジタルコードの出力回数を計数し、各デジタルコードの値未満、若しくは当該デジタルコードの値以上の値を持つデジタルコードの出現した回数の総和により、それぞれのデジタルコード値の遷移点を算出し、算出された上記各遷移点および上記測定信号の傾きに応じて、上記アナログ/デジタル変換回路のリニアリティ特性を求め、デジタルコード値の各遷移点の前後において、低い側のデジタルコード値より大きい値をもつデジタルコードと、高い側のデジタルコード値より小さい値をもつデジタルコードに対し、それぞれ、デジタルコードのアドレスと上記デジタルコード値の遷移点との距離を求め、当該距離の総和を2倍にし、当該総和の2倍値の平方根を求ることにより、遷移点バラツキを上記デジタルコード値の遷

移点ごとに算出する演算回路と

を有するアナログ／デジタル変換回路測定装置。

## 【請求項 2】

上記演算回路は、算出された上記各デジタルコードの各遷移点のバラツキおよび上記信号発生回路により発生された上記測定信号の傾きに応じて、上記アナログ／デジタル変換回路の入力換算ノイズを求める

請求項1に記載のアナログ／デジタル変換回路測定装置。

## 【請求項 3】

上記信号発生回路により発生された上記測定信号は、三角波若しくはのこぎり波である  
請求項1に記載のアナログ／デジタル変換回路測定装置。

10

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、アナログ／デジタル変換回路の特性、特に直流リニアリティ特性を測定する測定装置に関するものである。

## 【0002】

## 【従来の技術】

アナログ／デジタル変換回路（A D C）の直流リニアリティ特性（以下、単にリニアリティ特性という）は、アナログ／デジタル変換回路の精度を示す重要な仕様の一つである。このため、各々のアナログ／デジタル変換回路に対して、それぞれのリニアリティ特性を正確に測定する必要がある。

20

## 【0003】

一般的に、アナログ／デジタル変換回路のリニアリティ特性を測定するには、サーボ法とランプ波形入力法などがある。

サーボ法は入力換算ノイズの影響を受けにくいが、スパークルコードがあると破綻する。またアナログ入力に方式的に不可避のリップルがあるため、測定精度の見積もりが困難な欠点がある。極端な場合に、電圧計への配線の取り回しを少し変更するだけで、リニアリティ測定の結果が1割のオーダーで変わってしまうことがある。また、リップルを平均するという原理上、測定時間を短くすることが困難である。

30

## 【0004】

ランプ波形入力法は、通常極めて精度の高い高解像度のデジタル／アナログ変換回路（D A C）を用い、その入力コードと測定対象であるアナログ／デジタル変換回路の出力の関係から、当該測定対象アナログ／デジタル変換回路のリニアリティを求める。この場合に、精度が高い、且つ高解像度のデジタル／アナログ変換装置は高価で入手もしにくい。一方、原理的な問題として、測定対象であるアナログ／デジタル変換回路には、入力電圧が固定でも、出力するデジタルコードが安定しない現象がある。これをどのように処理するかによって、この類の測定方法には幾つかの変形がある。

## 【0005】

図7は、ランプ波形入力法の一つの変形であるTally and Weight法の測定装置全体の構成を示している。図示のように、信号発生回路10により発生された測定信号S<sub>c</sub>を測定対象アナログ／デジタル変換回路（A D C）20に入力し、測定信号S<sub>c</sub>に応じてアナログ／デジタル変換回路20から、例えば、NビットのデジタルコードD<sub>i</sub>が得られる。測定装置100において、デジタルコードD<sub>i</sub>に応じてそれぞれのデジタルコードの発生回数を記憶するテリーメモリ（Tally memory）110およびそれぞれのデジタルコードの重みを記憶する重みメモリ（Weight memory）120が設けられている。演算回路180は、アナログ／デジタル変換回路からの出力コードD<sub>i</sub>およびそれぞれのメモリに記憶されたデータに応じて、測定対象アナログ／デジタル変換回路20のリニアリティ特性を求める。

40

## 【0006】

上述したTally and Weight法の他、アナログ／デジタル変換出力の最初の遷移点のみで

50

決める方法、最初の遷移点と最後の遷移点の中間点を採用する方法などがある。

【0007】

【発明が解決しようとする課題】

ところで、上述した従来のアナログ／デジタル変換回路の測定方法においては、そのど  
れもが、理論的な裏付けはなく、測定過程において瞬時に現れた一個または複数個の以上  
サンプル、即ち、期待値から大きく離れた値を持つサンプルにより測定結果が大きく変わ  
ってしまう不利益がある。また、図7に示すTally and Weight法に基づく測定装置では、  
測定対象となるアナログ／デジタル変換回路の出力コードを単純に時系列として記録す  
るだけでは測定後の処理時間が長いため、専用のハードウェアを考えている。しかし、そ  
のために、測定対象のアナログ／デジタル変換回路の最高動作クロック周波数で測定す  
ることが困難になっている。また、出力コードに含まれているリニアリティの測定誤差情  
報が有効に活用できず、捨て去ってしまっているという原理的な不利益がある。

10

【0008】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、簡単な回路構成により  
、アナログ／デジタル変換回路のリニアリティ特性を高精度に測定でき、測定対象アナ  
ログ／デジタル変換回路の最高動作速度に追従でき、且つアナログ／デジタル変換回  
路出力コードがストレートバイナリ、2の補数若しくはグレイコードなど種々の変形に容  
易に対応できるアナログ／デジタル変換回路測定装置を提供することにある。

【0009】

【課題を解決するための手段】

20

上記目的を達成するため、本発明のアナログ／デジタル変換回路測定装置は、入力さ  
れたアナログ信号に応じて所定のデジタルコードを出力するアナログ／デジタル変換  
回路のリニアリティ特性を測定するアナログ／デジタル変換回路測定装置であって、所  
定の波形を有する測定信号を発生し、発生した上記測定信号をアナログ入力信号として上  
記測定の対象となるアナログ／デジタル変換回路に供給する信号発生回路と、クロック  
信号に応じて計数動作を行い、カウント値を出力するカウンタと、上記測定信号に応じて上  
記アナログ／デジタル変換回路から出力される複数の上記デジタルコードを、上記カウンタ  
からのカウント値により指定されたアドレスに所定の順番で記憶するメモリと、  
上記メモリに記憶された複数の上記デジタルコードの出力回数を計数し、各デジタル  
コードの値未満、若しくは当該デジタルコードの値以上の値を持つデジタルコードの  
出現した回数の総和により、それぞれのデジタルコード値の遷移点を算出し、算出され  
た上記各遷移点および上記測定信号の傾きに応じて、上記アナログ／デジタル変換回路  
のリニアリティ特性を求め、デジタルコード値の各遷移点の前後において、低い側のデ  
ジタルコード値より大きい値をもつデジタルコードと、高い側のデジタルコード値  
より小さい値をもつデジタルコードに対し、それぞれ、デジタルコードのアドレスと  
上記デジタルコード値の遷移点との距離を求め、当該距離の総和を2倍にし、当該総和  
の2倍値の平方根を求ることにより、遷移点バラツキを上記デジタルコード値の遷移  
点ごとに算出する演算回路とを有する。

30

【0012】

さらに、本発明では、好適には上記演算回路は、上記演算回路は、算出された上記各デ  
ジタルコードの各遷移点のバラツキおよび上記信号発生回路により発生された上記測定  
信号の傾きに応じて、上記アナログ／デジタル変換回路の入力換算ノイズを求める。

40

【0013】

本発明によれば、アナログ／デジタル変換回路のリニアリティ特性などを測定するため  
に、信号発生回路により、例えば、三角波を発生し、当該三角波を測定信号としてアナロ  
グ／デジタル変換回路に入力する。アナログ／デジタル変換回路が入力された測定信  
号に応じて出力されたデジタルコードが、例えば、メモリからなる記録回路により記録  
される。所望の測定精度などに応じて複数回の測定が行われ、各回の測定により得られた  
デジタルコードが所定の順番でメモリに記録される。

【0014】

50

演算回路において、メモリに記録されたデジタルコードに応じて測定対象のアナログ／デジタル変換回路のリニアリティ特性などが求められる。例えば、まず、各デジタルコードの出現回数が計数され、それぞれのデジタルコードの遷移点が、そのデジタルコードの値未満若しくはそれ以上の値を持つデジタルコードの出現回数の総和により決定される。さらに、上記算出した遷移点において、その前後のデジタルコードによりそれぞれの遷移点のバラツキが算出できる。算出された各遷移点のバラツキおよび入力測定信号、例えば、三角波の傾きにより、入力換算ノイズを求めることができる。また、各デジタルコードの遷移点および測定信号の傾きに応じて、測定対象となるアナログ／デジタル変換回路のリニアリティ特性、例えば、微分リニアリティ特性および積分リニアリティ特性をそれぞれ求まる。

10

## 【0015】

## 【発明の実施の形態】

図1は本発明に係るアナログ／デジタル変換回路測定装置の一の実施形態を示す回路構成図である。

図示のように、本実施形態において、信号発生回路10により発生された測定信号 $S_c$ が測定対象であるアナログ／デジタル変換回路20に入力される。アナログ／デジタル変換回路20は、クロック信号CLKにより動作タイミングが制御される。例えば、アナログ／デジタル変換回路20はクロック信号CLKのパルス毎に変換動作を行い、入力した測定信号 $S_c$ のレベルに応じたデジタルコード $D_i$  ( $i = 1, 2, \dots, M$ 、Mはサンプル数)を出力する。なお、ここで、アナログ／デジタル変換回路の出力コードを、 $N$  ( $N$ は整数、且つ $N \geq 1$ )ビットのデジタルコードとする。

20

## 【0016】

測定装置200において、アナログ／デジタル変換回路20の動作タイミングを制御するクロック信号CLKのパルスを計数するカウンタ40が設けられている。カウンタ40のカウント値 $C_i$ は、メモリ30のアドレス信号としてメモリ30に供給される。通常 $C_i = i$ と考えて良い。

## 【0017】

メモリ30は、アナログ／デジタル変換回路20からのデジタルコード $D_i$ をアドレス $C_i$ により指定した番地に記憶する。このため、アナログ／デジタル変換回路20により出力された、例えば、M個のデジタルコード $D_i$ がメモリ30に順次記憶される。

30

## 【0018】

演算回路50は、メモリ30に記録されたM個のデジタルコードに基づき、測定対象のアナログ／デジタル変換回路20のリニアリティ特性などを求める。まず、各デジタルコードの出力回数を計数し、コード順にそれを加えてゆくことにより、それぞれのデジタルコードの遷移点を算出する。ここで、測定対象のアナログ／デジタル変換回路の出力コードをNビットとすると、出力コードは、0から $2^N - 1$ までの $2^N$ 種類がある。一例として、アナログ／デジタル変換回路の出力コードが6ビットの場合、その出力コードは“000000”から“111111”までの64種類がある。

## 【0019】

演算回路50は、上記により算出された各デジタルコードの遷移点の理想位置からのずれに応じて、測定対象のアナログ／デジタル変換回路のリニアリティを算出することができる。そして、出力コード列の遷移点まわりの振動と測定信号 $S_c$ の傾きにより、測定対象のアナログ／デジタル変換回路の入力換算ノイズを求める。

40

## 【0020】

以下、図2、3および4を参照しつつ、演算回路50の演算処理をさらに詳細に説明し、本発明のアナログ／デジタル変換回路測定装置の原理および測定動作をより明白にする。

図2において、信号発生回路10により発生された測定信号 $S_c$ の波形例を示している。図示のように、本実施形態の信号発生回路10により発生された測定信号 $S_c$ は、三角波である。また、このような波形を有する測定信号はランプ波とも呼ばれる。以下の説明は

50

、上昇と下降で傾きが異なる三角波、いわゆるのこぎり波を用いてもほぼ同様に成り立つ。測定信号  $S_c$  は周期  $T$  を有する線型信号である。即ち、信号  $S_c$  は最小レベル  $V_L$  から最大レベル(ピーク)  $V_H$  まで、また最大レベル  $V_H$  から最小レベル  $V_L$  まで直線的にレベルが変化する。信号  $S_c$  は周期  $T$  毎に繰り返す。

#### 【0021】

図3は、図2に示す測定信号  $S_c$  に応じて、測定対象のアナログ/デジタル変換回路20から出力されたデジタルコードの一例を示している。なお、ここで、図2に示す測定信号  $S_c$  の一部分、例えば、時間  $t_a$  から  $t_b$  までの範囲内、即ち、三角波の半周期の信号に対してアナログ/デジタル変換回路20から得られたデジタルコードを示している。なお、本例においては、測定対象のアナログ/デジタル変換回路は、入力した測定信号  $S_c$  のレベルに応じて6ビットのデジタルコードを出力する。即ち、アナログ/デジタル変換回路20は、測定信号  $S_c$  が図2に示すレベル  $V'_L$  以下にあるとき、デジタルコード“000000”を出力し、測定信号  $S_c$  がレベル  $V'_H$  以上にあるとき、デジタルコード“111111”を出力する、いわゆるストレートバイナリ(オフセットバイナリともいう)型のアナログ/デジタル変換回路である。なお、二進数のデジタルコード“111111”は、10進数の  $63 (2^6 - 1)$  に対応する。

10

#### 【0022】

なお、ここで、実際の測定において、アナログ/デジタル変換回路20に供給されたクロック信号  $C_{LK}$  の周波数  $f_c$  は、アナログ/デジタル変換回路20の設計動作速度の  $100\text{MHz}$  であり、測定信号  $S_c$  の周波数  $f_T$  は、例えば、 $2.5\text{kHz}$  で、アナログ/デジタル変換回路20の最大変換レンジをカバーするために、測定信号  $S_c$  はアナログ/デジタル変換回路のフルスケールを上下少しづつ越える振幅に設定されている。この条件で、三角波の片側の時間は  $0.2\text{ms}$  になる。測定信号  $S_c$  の片側、例えば、図2における時間  $t_a$  から時間  $t_b$  までの信号上昇側のみに対して行われる一回の測定のサンプル数は、クロック信号  $C_{LK}$  の周期との比から、 $20\text{k}$  個弱となる。

20

#### 【0023】

図3に示すように、この例では、アンダフローとオーバーフロー期間分を除いて、有効な測定データとして、およそ2000番目から14000番目までの約12000(12k)個のデジタルコードが得られる。入力された測定信号  $S_c$  のレベル変化に応じて、アナログ/デジタル変換回路20の出力コードが階段状に変化していく。即ち、図3の拡大部分に示すように、入力した測定信号  $S_c$  があるレベルにあるとき、アナログ/デジタル変換回路によりデジタルコード  $D_i = j$  が出力され、信号  $S_c$  のレベルが上昇すると、出力コードがある程度の幅を持ってコード  $j$  と  $j + 1$  との間を数回振動した後、コード  $j + 1$  に安定する。さらに、信号  $S_c$  のレベルが上昇すると、出力コードがある程度の幅を持ってコード  $j + 1$  と  $j + 2$  との間を数回振動した後、コード  $j + 2$  に安定する。なお、ここで、デジタルコード例  $D_i$  は1以上の変化、例えば  $j \rightarrow j + 2 \rightarrow j$  などを生じる事もあり得る。

30

#### 【0024】

この現象は、アナログ/デジタル変換回路の内部にあるコンパレータにおいて、入力信号がその参照電圧に近いとき、微妙なノイズによりクロック毎に出力が異なるために生じた現象である。入力信号が参照電圧から離れているときには発生頻度が落ち、近いときはわずかなノイズが拡大されて見えてくることになる。一般にはアナログ/デジタル変換器の入力に“入力変換ノイズ”を置くことでモデル化できる。なお、この現象はフラッシュ型のアナログ/デジタル変換回路に限らず、直並列型、二重積分型でも発生する。

40

#### 【0025】

即ち、図3に示すように、アナログ/デジタル変換回路20は、入力信号  $S_c$  のレベル変化に伴い、出力コードが変化する。しかし、一つのコードから次のコードへの変換点、即ちコードの遷移は一回ずつではなく、ある程度のランダム性を有する。このため、本実施形態では、演算回路50により、複数の測定データから、統計的な処理により、各デジタルコードの遷移点を算出する。そして、算出された各デジタルコードの遷移点前後

50

のディジタルコードに応じて、それぞれのディジタルコードの遷移点のバラツキが求められる。遷移点のバラツキおよび測定信号  $S_c$  の傾きに基づき、測定対象のアナログ／ディジタル変換回路の入力換算ノイズおよびリニアリティ特性が算出される。

## 【0026】

以下、演算回路50における演算処理について、数式を用いてさらに詳細に説明する。本実施形態では、最尤推定によりディジタルコードの遷移点の求め方を導き出す。入力された測定信号  $S_c$  (ランプ信号) には正規ノイズがのっている場合には、 $i$  番目の出力コードがある特定値を越える確率  $p_i$  は、次式に示す正規分布の累積分布関数により与えられる。

## 【0027】

## 【数1】

$$P_i = \frac{1}{\sqrt{2\pi}\sigma} \int_{-\infty}^i e^{-\frac{(x-\mu)^2}{2\sigma^2}} dx \quad (1)$$

## 【0028】

正規ノイズを仮定する事は多くの場合に妥当であるが、計算上の便利を図るために、正規分布を次式に示すようにロジスティック分布で近似することが考えられる。 20

## 【0029】

## 【数2】

$$P_i = \frac{1}{\sqrt{2\pi}\sigma} \int_{-\infty}^i e^{-\frac{(x-\mu)^2}{2\sigma^2}} dx \approx \frac{e^{(i-\mu)/k}}{1+e^{(i-\mu)/k}} = f(i) \quad (2)$$

30

## 【0030】

ここで、 $k = 3^{1/2} / \sigma$  とおくと式(1)と式(2)の分散が一致する。測定データ列に最も良く当てはまるパラメータ  $\mu$  が遷移点位置を、また  $k$  が遷移点バラツキを表わす。式(2)に対する最尤法でその条件を求める。

## 【0031】

## 【数3】

$$\sum_i n_i = \sum_i p_i \quad (3)$$

$$\sum_i i n_i = \sum_i i p_i$$

となる。ここで、 $n_i$  は、注目するコード  $j$  に対し、 $D_i = j$  のとき 1、 $D_i < j$  のとき 0 になる変数である。

最初の式から近似的に出力コード  $j$  の出現回数が微分直線性 + 1 に比例することが導かれる。 50

40

## 【0032】

さらに、測定対象のアナログ／デジタル変換回路の出力コードに対して、各コードの発生頻度をカウントし、それを累積することにより測定対象のアナログ／デジタル変換回路のリニアリティ特性が求められる。図4は、デジタルコードに基づき、アナログ／デジタル変換回路のリニアリティ特性を計算する手順を示すフローチャートである。以下、図4を参照しつつ、演算回路50におけるリニアリティ特性の計算を示す。

## 【0033】

まず、ステップS1に示すように、演算回路50は、メモリ40から記録されたデジタルコードD<sub>i</sub>を順次読み出す。そして、ステップS2に示すように、読み出したデジタルコードD<sub>i</sub>の値をjとすると、値jに応じて設けられたカウンタCNjに“1”を加算する。

10

## 【0034】

上述したステップS1とステップS2の処理をサンプル数Mだけ繰り返して行われると、一回の測定により得られたM個のサンプルに対して、各デジタルコードの出現回数が求められる。即ち、各カウンタCNj(j=0, 1, ..., 2<sup>N</sup>-1)には、それぞれのデジタルコードの出現回数が記憶される。

## 【0035】

次いで、コード1から(2<sup>N</sup>-2)までの発生回数の合計値SUMを求める。この演算は、各カウンタCNjの値を集計することにより行われる。得られた合計値SUMに対して、デジタルコードの数で平均MSが求められる。即ち、(MS=SUM/(2<sup>N</sup>-2))である。

20

## 【0036】

以上の計算で得られた結果に応じて、ステップS5とステップS6に示すように、アナログ／デジタル変換回路の微分リニアリティ特性DNL(Differential Non-Linearity)と積分リニアリティ特性INL(Integral Non-Linearity)がそれぞれ算出される。

## 【0037】

ステップS5に示すように、デジタルコードjにおいて、その微分リニアリティ特性DNLjは、(DNLj=CNj/MS-1.0)により求められる。そして、ステップS6に示すように、デジタルコードjにおいて、その積分リニアリティ特性INLjは、(INLj=PSUMj/MS-j+1.0)により求められる。なお、PSUMjは、デジタルコードjまでの各コード、即ちコード1, 2, ..., jの出現回数の合計である。

30

## 【0038】

以上に示す演算処理により、アナログ／デジタル変換回路のリニアリティ特性における微分リニアリティと積分リニアリティ特性がそれぞれ求められる。

図5は、実際の6ビットのアナログ／デジタル変換回路において測定した結果に基づき算出されたリニアリティ特性DNLおよびINLを示している。図示のように、何れの特性でも、およそ±0.1 LSBの範囲内にある。また、図6には、二回の測定データに基づき算出された二つの積分リニアリティ特性DNLを比較して表示している。なお、厳審には図5および図6は上に述べたリニアリティの定義からX軸を少しずれてプロットした。図示のように、二回の測定データにより算出された二つのリニアリティ特性DNLは、ある程度のバラツキが持っている。このバラツキは、アナログ／デジタル変換回路の入力換算ノイズによるものと推定できる。

40

## 【0039】

さらに、演算回路50において、デジタルコードに基づき、測定対象となるアナログ／デジタル変換回路20の入力換算ノイズが求められる。例えば、一例として、各デジタルコードの前後各200点のコードを用いて計算し、さらに測定信号S<sub>c</sub>の傾きを用いて各デジタルコードにおける入力換算ノイズを算出できる。

## 【0040】

デジタルコードの分散 $\sigma^2$ を求めるために、各デジタルコードの遷移点の前後にお

50

いて、大きさが反対のデジタルコード、例えば、測定信号  $S_c$  の上昇側において、遷移点以前では当該デジタルコードの値以上のデジタルコード、遷移点以降では当該デジタルコードの値未満のデジタルコードに対して、そのデジタルコードのサンプル番号と当該デジタルコードの遷移点の距離の総和を2倍にし、その平方根を求めるにより、当該デジタルコードの遷移点のバラツキ（分散  $c^2$  の平方根） $c$  が算出される。算出されたデジタルコードの遷移点の分散  $c^2$  と測定信号  $S_c$  の傾きとの掛算の結果、測定対象のアナログ／デジタル変換回路の入力換算ノイズを求められる。

#### 【0041】

さらに、上述のように算出された各デジタルコードの遷移点のバラツキ  $c$  をおよそ 1.128 倍 ( $2 / 1^{1/2}$  倍) にし、その平方根に測定信号  $S_c$  の傾きを掛けることにより、微分リニアリティ特性 DNL の測定バラツキが得られる。

#### 【0042】

以上説明したように、本実施形態によれば、信号発生回路により、所定の傾きを有するランプ信号を発生し、測定対象となるアナログ／デジタル変換回路に入力し、アナログ／デジタル変換回路により得られた複数のデジタルコードをメモリに順次記録する。演算回路により、メモリに記憶されたデジタルコードに応じて、それぞれのデジタルコードにおける遷移点を算出し、これに基づき各遷移点のバラツキを求め、算出した各遷移点のバラツキおよびランプ信号の傾きに基づき、入力換算ノイズを算出し、さらに上記算出した各遷移点のバラツキおよびランプ信号の傾きに応じて、アナログ／デジタル変換回路のリニアリティ特性の測定結果のバラツキを算出できる。

#### 【0043】

なお、以上の説明においては、測定対象のアナログ／デジタル変換回路から得られたデジタルコードをメモリに記録する方法を提示したが、本発明はこれに限定されるものではなく、例えば、一定のデータ記憶容量を持つロジックアナライザを用いて、測定対象のアナログ／デジタル変換回路からのデジタルコードをロジックアナライザに取り込み、その後ロジックアナライザから記録データを読み出し、上述した演算処理を行うことにより図1に示す実施形態と同様に測定対象のアナログ／デジタル変換回路の入力変換ノイズおよびリニアリティ特性を求めることが可能である。

#### 【0044】

また、測定信号、例えばランプ信号  $S_c$  での測定結果は、同じ測定を繰り返し出力コードの発生頻度を積算することにより精度の向上が図れる。さらに、理論上、何回測定を繰り返せば所望の測定精度を達成できるかは容易に推定できる。

#### 【0045】

##### 【発明の効果】

以上説明したように、本発明のアナログ／デジタル変換回路測定装置によれば、アナログ／デジタル変換回路のリニアリティ特性の測定結果から、入力換算ノイズを合わせて求めることができる。また、本発明のアナログ／デジタル変換回路測定装置には、高価なデジタル／アナログ変換回路を必要とせず、安価なランプ信号発生回路、メモリ回路および演算回路のみを用いてアナログ／デジタル変換回路のリニアリティ特性を求められるので、高精度、安価且つ簡単なアナログ／デジタル変換回路測定装置を構築でき、理論上の精度限界は、測定信号を発生する信号発生回路の直線精度のみで決まるという利点がある。

#### 【0046】

さらに、本発明によれば、高速の専用メモリとCPUなどからなる演算装置を設けることにより、アナログ／デジタル変換回路の特性を高速に、例えば、理想的に測定対象のアナログ／デジタル変換回路の最高動作速度でリニアリティ特性を計測することができ、且つ測定時間の短縮を実現できる。

##### 【図面の簡単な説明】

【図1】本発明に係るアナログ／デジタル変換回路測定装置の一実施形態を示す回路図である。

10

20

30

40

50

【図2】測定信号の波形を示す波形図である。

【図3】アナログ／デジタル変換回路の出力コードを示す図である。

【図4】演算回路の信号処理の手順を示すフローチャートである。

【図5】アナログ／デジタル変換回路のリニアリティ特性を示す図である。

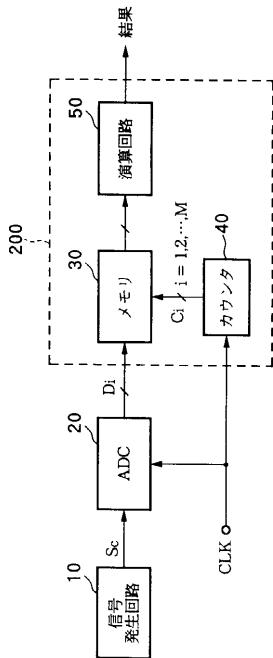
【図6】アナログ／デジタル変換回路のDNL安定性を示す図である。

【図7】従来のランプ波形入力法によるアナログ／デジタル変換回路測定装置の一例を示す回路図である。

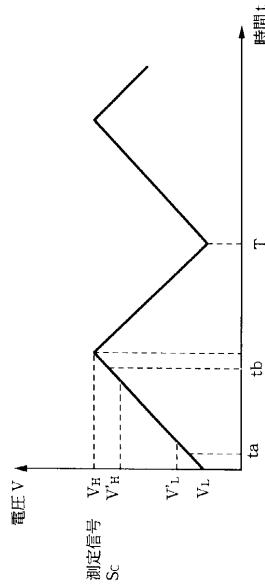
【符号の説明】

10 ... 信号発生回路、20 ... アナログ／デジタル変換回路、30 ... メモリ、40 ... カウント、50 ... 演算回路、100, 200 ... 測定装置。

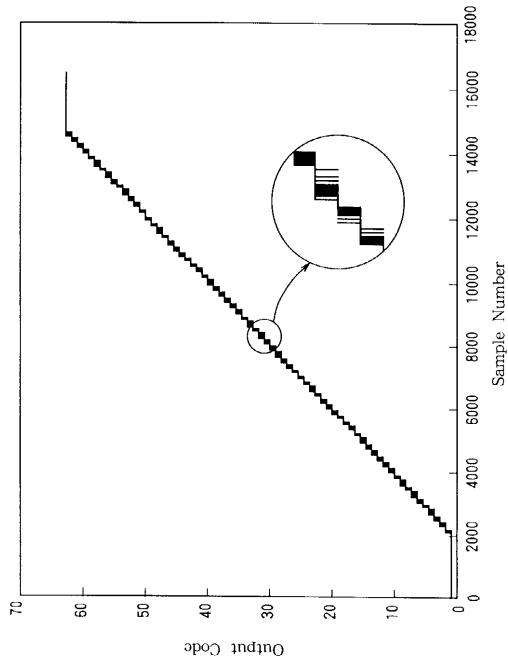
【図1】



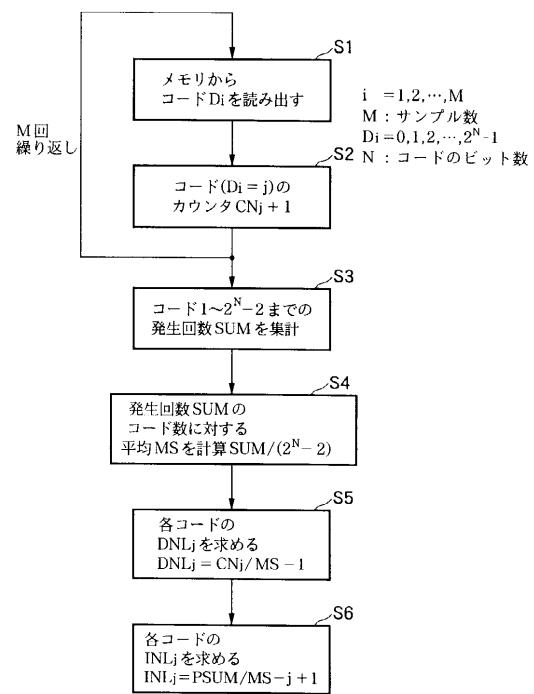
【図2】



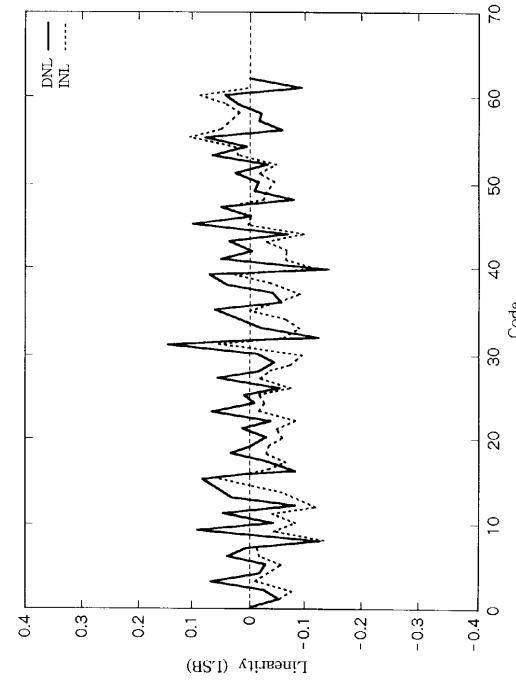
【図3】



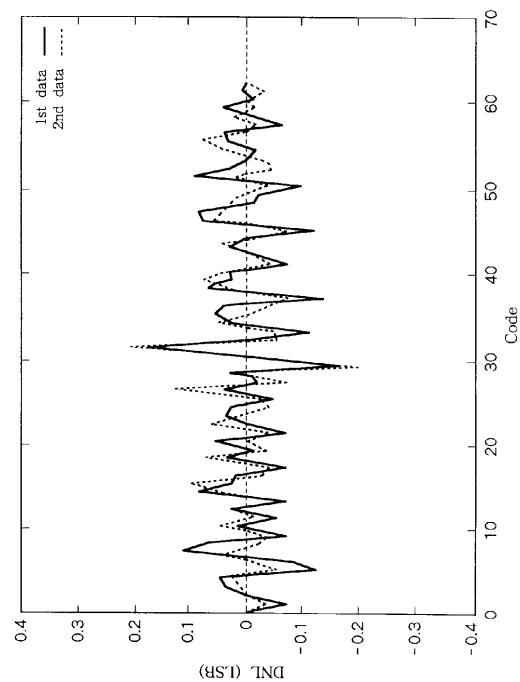
【図4】



【図5】



【図6】



【図7】

