(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월09일
(11) 등록번호 10-0962947
(24) 등록일자 2010년05월31일

(51) Int. Cl.
H01L 29/76 (2006.01)
(21) 출원번호 10-2006-7025935
(22) 출원일자(국제출원일자) 2005년06월20일
심사청구일자 2008년03월31일
(85) 번역문제출일자 2006년12월08일
(65) 공개번호 10-2007-0020288
(43) 공개일자 2007년02월20일
(86) 국제출원번호 PCT/US2005/021674
(87) 국제공개번호 WO 2005/124871
국제공개일자 2005년12월29일
(30) 우선권주장
10/872,605 2004년06월21일 미국(US)
(56) 선행기술조사문헌
US6204098 B1
US6870226 B2
전체 청구항 수 : 총 10 항

(73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
도리스, 부르스, 비.
미국 10509 뉴욕주 브루스터 레이크 쇼어 드라이브 350
이에옹, 메이케이
미국 12590 뉴욕주 워핑거스 폴스 써머린 코트 31
(뒷면에 계속)
(74) 대리인
윤여원, 허정훈

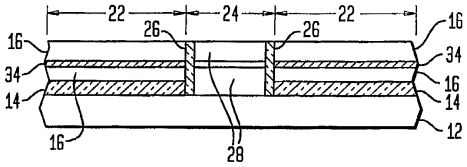
심사관 : 정두한

(54) 고이동도 평면 및 다중-게이트 MOSFETs을 위한 혼성기판 기술

(57) 요 약

평면 및/또는 다중-게이트 MOSFETs(metal oxide semiconductor field effect transistors)에 이용되는 고이동도 표면을 갖는 혼성 기판이 제공된다. 혼성 기판은 n형 소자에 대하여 최적인 제1 표면 부분 및 p형 소자에 대하여 최적인 제2 표면 부분을 갖는다. 혼성 기판의 각 반도체층에서 적절한 표면과 웨이퍼 배향으로 인해, 소자의 모든 게이트는 같은 방향으로 배향되고 모든 채널은 고이동도 표면에 위치한다. 또한, 본 발명은 적어도 하나의 평면 또는 다중-게이트 MOSFET을 집적하는 방법뿐만 아니라 혼성 기판을 제조하는 방법도 제공한다.

대 표 도 - 도2i



(72) 발명자

노워크, 에드워드 제이.

미국 05452 버몬트주 에섹스 정션 윈드릿지 로드 8

양, 민

미국 10598 뉴욕주 요크타운 헤이츠 고머 스트리트 2970

특허청구의 범위

청구항 1

표면에서 고이동도 결정학적 배향(orientation)을 갖는 혼성 기판으로서,

제2 반도체층 및 재성장된 반도체층을 포함한 표면-상기 제2 반도체층은 제2 결정학적 배향을 갖고, 상기 재성장된 반도체층은 제2 결정학적 배향과 다른 제1 결정학적 배향을 가짐-;

적어도 상기 제2 반도체층과 상기 재성장된 반도체층을 분리하는 라이너(liner) 또는 스페이서;

상기 제2 반도체층 아래에 위치한 절연층; 및

상기 절연층과 상기 재성장된 반도체층 아래에 위치한 제1 반도체층-상기 제1 반도체층은 상기 재성장된 반도체층과 접촉하고, 상기 재성장된 반도체층과 같은 결정학적 배향을 가지며, 상기 제1 반도체층과 상기 제2 반도체층은 서로에 대하여 정렬되는 웨이퍼 플랫(flat)을 각각 포함함-

을 포함하는 혼성 기판.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 반도체층은 Si로 이루어지고, 상기 제1 결정학적 배향은 <110> 방향으로 상기 웨이퍼 플랫을 갖는 (110)이고, 상기 제2 반도체층은 Si를 포함하고, 상기 제2 결정학적 배향은 <100> 방향으로 상기 웨이퍼 플랫을 갖는 (100)이거나,

또는,

상기 제1 반도체층은 Si로 이루어지고, 상기 제1 결정학적 배향은 <100> 방향으로 상기 웨이퍼 플랫을 갖는 (100)이고, 상기 제2 반도체층은 Si를 포함하고, 상기 제2 결정학적 배향은 <110> 방향으로 상기 웨이퍼 플랫을 갖는 (110)인,

혼성 기판.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 재성장된 반도체층은 (100) 결정학적 배향 또는 (110) 결정학적 배향을 갖는 Si를 포함하는 혼성 기판.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제1항에 있어서,

상기 제2 반도체층 또는 상기 재성장된 반도체층 중 적어도 하나 내에 매설된 산화물 영역을 더 포함하는 혼성 기판.

청구항 13

제1항에 있어서,

상기 표면은 적어도 2개의 소자 영역을 포함하는 혼성 기판.

청구항 14

제1항에 있어서,

상기 표면은 (100) 결정학적 배향 및 (110) 결정학적 배향을 포함하는 혼성 기판.

청구항 15

제14항에 있어서,

상기 (100) 결정학적 배향의 상기 표면은 n형 평면 또는 다중-게이트 MOSFET 소자를 포함하고, 상기 (110) 결정학적 배향의 상기 표면은 p형 평면 또는 다중-게이트 MOSFET 소자를 포함하는 혼성 기판.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

혼성 기판을 형성하는 방법으로서,

제1 웨이퍼 플랫을 갖는 제1 결정학적 배향의 제1 반도체층 및 절연층에 의해 분리된 제2 웨이퍼 플랫을 갖는 제2 결정학적 배향의 제2 반도체층을 포함한 구조를 형성하는 단계-상기 제1 결정학적 배향은 상기 제2 결정학적 배향과 다르고, 제2 반도체층은 상기 제1 반도체층 위에 위치하고 각 반도체층 상의 웨이퍼 플랫은 표면과 같은 결정학적 방향임-;

상기 구조의 제2 부분을 보호되지 않은 상태로 유지하면서, 제1 소자 영역을 정의하기 위해 구조의 제1 부분을 보호하는 단계-상기 구조의 보호되지 않은 부분은 제2 소자 영역을 정의함-;

상기 제1 반도체층의 표면을 노출하기 위해 상기 구조의 보호되지 않은 부분을 에칭하는 단계;

상기 제1 반도체층의 상기 노출된 표면에 반도체 재료를 재성장시키는 단계-상기 반도체 재료는 상기 제1 결정학적 배향과 같은 결정학적 배향을 가짐-; 및

상기 제2 반도체층의 상부 표면이 반도체 재료의 상부 표면과 평면이 되도록 반도체 재료를 포함한 구조를 평탄화하는 단계

를 포함하는 방법.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

제31항에 있어서,

상기 보호하는 단계 전, 구조 위에 패드 스택이 형성되는 방법.

청구항 37

삭제

청구항 38

삭제

청구항 39

제31항에 있어서,

상기 구조의 보호되지 않은 부분의 상기 에칭 단계 동안 형성된 개구부 내의 측벽 상에 라이너 또는 스페이서를 형성하는 단계

를 더 포함하는 방법.

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 CMOS(complementary metal oxide semiconductor) 소자 기술에 관한 것으로, 더욱 상세하게는, 고성능 CMOS 응용에 이용되는 CMOS 구조와 공정에 관한 것이다. 특히, 본 발명은 평면 및 다중 게이트 MOSFETs(metal oxide semiconductor field effect transistors)에 이용되는 고이동도 표면을 갖는 혼성 기판을 제공한다.

배 경 기 술

[0002] CMOS 소자 성능은 게이트 길이를 줄이거나, 및/또는 캐리어 이동도를 증가시킴으로써 향상될 수 있다. 게이트 길이를 줄이기 위해, 소자 구조는 좋은 정전 무결성을 가져야 한다. 단일-게이트 초박체 MOSFETs과 FinFET 및 3중-게이트 구조와 같은 다중-게이트 MOSFETs은 종래 벌크 CMOS 소자에 비해 나은 정전 특성을 갖는 것으로 알려져 있다.

[0003] 미국 공보 제2004 0266076A1호는 평면 초박체 SOI MOSFET과 FinFET 소자 모두를 같은 웨이퍼 상에 집적하는 공정을 개시한다. 상기 개시 내용에 따르면, 상기 구조는, 매설된 절연층 상에 위치하고, 상기 구조의 FinFET 영역에 위치한 적어도 하나의 패터닝된 하드 마스크 및 상기 구조의 FET 영역에 위치한 적어도 하나의 패터닝된

하드 마스크를 갖는 적어도 상부 반도체층을 포함한 SOI 구조를 제공하는 단계, FET 영역을 보호하고 FinFET 영역에서 적어도 하나의 패터닝된 하드 마스크를 트리밍(trimming)하는 단계, FET 활성 소자 영역과 FET 활성 소자 영역에 수직인 FinFET 활성 소자 영역을 정의하는, 매설된 절연층 상에 정지하는 하드 마스크로 보호되지 않는 상부 반도체의 노출된 부분을 에칭하는 단계, FET 소자 영역이 FinFET 활성 소자 영역의 높이보다 낮은 높이를 갖도록 FinFET 활성 소자 영역을 보호하고 FET 활성 소자 영역을 얇게 하는 단계, FET 소자 영역의 노출된 수평 표면에 게이트 유전체를 형성하면서 FinFET 활성 소자 영역의 각 노출된 수직 표면에 게이트 유전체를 형성하는 단계, 및 게이트 유전체의 각 노출된 표면에 패터닝된 게이트 전극을 형성하는 단계를 포함하는 방법에 의해 제조된다.

[0004] 본 명세서에서, "초박"이란 용어는 약 30 ㎚ 이하의 두께를 나타내는데 이용된다. 본 명세서에서, "3중-게이트"란 용어는, 3개의 전도성 채널, 즉, Fin의 1개의 상부 표면과 2개의 수직 표면을 포함한 3중-게이트 소자를 나타내는데 이용된다. 본 명세서에서, "FinFET"이란 용어는, 크지만 얇은 수직 채널 영역을 포함한 2중 게이트 소자를 나타내는데 이용된다.

[0005] 당해 기술분야에서는, 캐리어 이동도가 표면 배향에 의존하는 것으로 알려져 있다. 예를 들어, 전자는 (100) 표면 배향에 대하여 고이동도를 갖는 것으로 알려져 있지만, 정공은 (110) 표면 배향에 대하여 고이동도를 갖는 것으로 알려져 있다. 즉, (100) 표면의 정공 이동도 값은 상기 결정학적 배향에 대하여 대응하는 전자 정공 이동도보다 약 2배 내지 4배 낮다. 미국 공보 제20040256700A1호는, 평면 MOSFETs이 고이동도 표면에 형성되도록, 이들 2개의 표면을 같은 웨이퍼 상에 집적하는 방법을 개시한다. 즉, nFETs은 (100) 표면에 형성되고 pFETs은 (110) 표면에 형성된다. 상기 개시 내용에 따르면, 서로 다른 결정 배향의 표면을 갖는 혼성 기판은, 서로 다른 결정학적 배향을 갖는 2개의 웨이퍼를 웨이퍼 본딩하고, 그 표면을 노출하기 위해 한 기판을 통하여 다른 기판까지 에칭하고 노출된 표면과 같은 결정학적 배향을 갖는 반도체 재료의 재성장에 의해 제공된다.

[0006] 3중-게이트가 <110> 방향에 평행한 정렬 웨이퍼 플랫(flat)을 갖는 표준 (100) 웨이퍼 상에 제조될 때, 게이트가 웨이퍼 플랫에 평행하게 배향되면, 채널에 대하여 혼합된 표면 배향이 형성된다. 예를 들어, 도 1a를 참조하자. 상기 3중-게이트 소자 구조는 n형 또는 p형 MOSFETs에 최적 이동도를 제공할 수 없다. 최적 n형 3중-게이트 FET은 <110> 방향에 평행한 정렬 웨이퍼 플랫을 갖는 표준 (100) 웨이퍼 상에 n형 3중-게이트 FET을 제조함으로써 얻을 수 있고, 게이트는 정렬 웨이퍼 플랫에서 45도로 배향된다. 예를 들어, 도 1b를 참조하자. 다른 방법으로는, 최적 n형 3중-게이트 FET은 <100> 방향에 평행한 정렬 웨이퍼 플랫을 갖는 (100) 웨이퍼 상에 n형 3중-게이트 FET을 제조함으로써 얻을 수 있고, 게이트는 웨이퍼 플랫에 평행하게 배향된다. 예를 들어, 도 1c를 참조하자. 최적 p형 3중-게이트 FET은 <110> 방향에 평행한 정렬 웨이퍼 플랫을 갖는 (110) 웨이퍼 상에 p형 3중-게이트 FET을 제조함으로써 얻을 수 있다. 예를 들어, 도 1d를 참조하자.

[0007] 현재, 고이동도 nFETs과 pFETs을 얻기 위해, (100) 표면 배향된 웨이퍼 상에 45° 각도로 n형 FinFET과 p형 FinFET을 레이아웃하는 것이 가능하지만, 상기 레이아웃은 현재 리소그래피 기술을 이용할 때 바람직하지 않다. 또한, 상기 접근법은 고이동도 평면/다중-게이트 nFETs과 pFETs을 모두 동시에 제공할 수 없다. 그 대신, nFET과 pFET 소자의 게이트가 모두 같은 방향으로 배향되지만 모든 채널이 nFET과 pFET에 대하여 고이동도로 되는 방법을 제공하는 것이 바람직하다. 현재 상기 요구 조건을 달성할 수 있는 어떤 공지된 종래 기술도 없다.

[0008] 따라서, 모든 채널이 같은 방향으로 게이트를 갖는 고이동도 표면에 배향되는, FinFETS과 3중-게이트 MOSFETs과 같은, 평면 및/또는 다중-게이트 MOSFETs을 제조하기 위해, 기판 구조 및 이를 제조하는 방법을 필요로 한다.

발명의 상세한 설명

[0009] 본 발명은, 평면 및/다중-게이트 MOSFETs의 모든 채널과 게이트가 같은 방향으로 배향되도록 서로 다른 결정학적 배향의 영역을 갖는 상부 표면을 갖는 혼성 기판으로서, n형 소자는 이들 타입의 소자의 성능을 향상시키는 표면 배향 상에 위치하고, p형 소자는 이들 타입의 소자의 성능을 향상시키는 표면 배향 상에 위치하는, 상기 혼성 기판을 제공한다. 즉, 본 발명은, 고이동도 표면에 위치하도록 평면 및/또는 다중-게이트 MOSFETs이 집적되는 서로 다른 결정학적 배향의 상부 표면을 갖는 혼성 기판을 제공한다. 통상, n형 소자는 최적 소자 성능을 위해 (100) 반도체 표면에 형성되고, p형 소자는 최적 소자 성능을 위해 (110) 반도체 표면에 형성된다.

[0010] 모든 여러 소자의 채널과 게이트가 같은 방향으로 배향될 수 있는 서로 다른 결정학적 배향을 갖는 혼성 기판은 모두 SOI 등가물이거나, 다른 방법으로는, 표면 중 한 표면은 벌크 등가물이고 다른 표면은 SOI 등가물일 수 있다.

[0011] 넓은 의미로, 본 발명은 그 표면에서 고이동도 결정학적 배향을 갖는 혼성 기판을 제공하며, 상기 기판은,

[0012] 제2 반도체층 및 재성장된 반도체층을 포함한 표면 -상기 제2 반도체층은 제2 결정학적 배향을 갖고, 재성장된 반도체층은 제2 결정학적 배향과 다른 제1 결정학적 배향을 가짐-;

[0013] 적어도 상기 제2 반도체층과 상기 재성장된 반도체층을 분리하는 라이너 또는 스페이서;

[0014] 상기 제2 반도체층 아래에 위치한 절연층; 및

[0015] 상기 절연층과 상기 재성장된 반도체층 아래에 위치한 제1 반도체층을 포함하고,

[0016] 상기 제1 반도체층은 재성장된 반도체층과 접촉하고, 재성장된 반도체층과 같은 결정학적 배향을 갖고, 상기 제1 반도체층과 상기 제2 반도체층은 서로에 대하여 정렬되는 웨이퍼 플랫을 각각 포함한다.

[0017] 상술한 혼성 기판에 더하여, 본 발명은 고이동도 구조에 관한 것이며, 상기 구조는,

[0018] 제2 반도체층 및 재성장된 반도체층을 포함한 표면 -상기 제2 반도체층은 제2 결정학적 배향을 갖고 재성장된 반도체층은 제2 결정학적 배향과 다른 제1 결정학적 배향을 갖고, 상기 제1 반도체층은 재성장된 반도체층과 접촉하고, 재성장된 반도체층과 같은 결정학적 배향을 가짐-; 적어도 상기 제2 반도체층과 상기 재성장된 반도체층을 분리하는 라이너 또는 스페이서; 상기 제2 반도체층 아래에 위치한 절연층; 상기 절연층과 상기 재성장된 반도체층 아래에 위치한 제1 반도체층 -상기 제1 반도체층은 상기 재성장된 반도체층과 접촉하고, 상기 재성장된 반도체층과 같은 결정학적 배향을 가짐-; 및

[0019] 상기 제2 반도체층과 상기 재성장된 반도체층 상에 존재하는 평면 또는 다중-게이트 MOSFET 소자-상기 소자는, 같은 방향으로 배향되고 상기 MOSFET 소자에 대하여 최적인 표면에 존재하는 채널과 게이트를 가짐-를 포함한다.

[0020] 또한, 본 발명은 혼성 기판 상에 평면 및/또는 다중-게이트 MOSFETs을 집적하기 위한 방법뿐만 아니라 상술한 혼성 기판을 형성하는 방법을 제공한다.

[0021] 혼성 기판은,

[0022] 제1 웨이퍼 플랫을 갖는 제1 결정학적 배향의 제1 반도체층 및 절연층에 의해 분리된 제2 웨이퍼 플랫을 갖는 제2 결정학적 배향의 제2 반도체층을 포함한 구조를 형성하는 단계-상기 제1 결정학적 배향은 제2 결정학적 배향과 다르고, 제2 반도체층은 상기 제1 반도체층 위에 위치하고 각 반도체층 상의 웨이퍼 플랫은 표면과 같은 결정학적 방향임-;

[0023] 구조의 제2 부분을 보호되지 않은 상태로 유지하면서, 제1 소자 영역을 정의하기 위해 구조의 제1 부분을 보호하는 단계-상기 구조의 보호되지 않은 부분은 제2 소자 영역을 정의함-;

[0024] 제1 반도체층의 표면을 노출하기 위해 상기 구조의 보호되지 않은 부분을 에칭하는 단계;

[0025] 상기 제1 반도체층의 상기 노출된 표면에 반도체 재료를 재성장시키는 단계-상기 반도체 재료는 제1 결정학적 배향과 같은 결정학적 배향을 가짐-; 및

[0026] 제2 반도체층의 상부 표면이 반도체 재료의 상부 표면과 거의 평면이 되도록 반도체 재료를 포함한 구조를 평탄화하는 단계를 포함하는 방법에 의해 제공된다.

[0027] <110> 방향에 평행한 웨이퍼 플랫을 갖는 표준 (100) 웨이퍼의 경우, 웨이퍼 플랫이 45° 로 <110> 방향에 평행한 웨이퍼 플랫을 갖는 (110) 웨이퍼에 정렬되도록 웨이퍼를 45° 회전시킨다. 대안적으로는, <100> 방향에 평행한 웨이퍼 플랫을 갖는 (100) 웨이퍼는 <110> 방향에 평행한 웨이퍼 플랫을 갖는 (110) 웨이퍼에 정렬된다.

[0028] 본 발명의 일부 실시예에서, 매설된 산화물 영역은, 상기 평탄화 단계를 수행한 후, 이온 주입과 어닐링에 의해 형성된다.

[0029] 그 다음에, 평면 및/또는 다중-게이트 MOSFETs은 제2 및 재성장된 반도체 재료의 상부 표면에 형성된다. 특히, 제2 반도체층 및 재성장된 반도체층을 포함하는 표면-상기 제2 반도체층은 제2 결정학적 배향을 갖고 재성장된 반도체층은 제2 결정학적 배향과 다른 제1 결정학적 배향을 가짐-; 적어도 상기 제2 반도체층과 상기 재성장된 반도체층을 분리하는 라이너 또는 스페이서; 상기 제2 반도체층 아래에 위치한 절연층; 및 상기 절연층과 상기 재성장된 반도체층 아래에 위치한 제1 반도체층-상기 제1 반도체층은 재성장된 반도체층과 접촉하고, 재성장된 반도체층과 같은 결정학적 배향을 가짐-을 포함한 혼성 기판을 제공하는 단계; 및

[0030] 상기 제2 반도체층과 상기 재성장된 반도체층 상에 평면 또는 다중-게이트 MOSFET 소자를 형성하는 단계-상기 평면 또는 다중-게이트 MOSFETs은, 같은 방향으로 배향되고 상기 MOSFET에 대하여 최적인 표면에 존재하는 채널과 게이트를 가짐-를 포함하는 고이동도 반도체 구조를 형성하는 방법이 제공된다.

실 시 예

[0035] 이하, 본 명세서에 수반되는 도면을 참조하여, 고이동도 평면 및/또는 다중-게이트 MOSFETs을 위한 혼성 기판과 그 소자뿐만 아니라 혼성 기판을 형성하는 방법을 제공하는 본 발명을 상세히 설명한다.

[0036] 도 2a는 본 발명에서 채용되는 초기 기판을 도시한다. 도시된 바와 같이, 본 발명의 초기 기판(10)은 제1(즉, 하부) 반도체층(12), 절연층(14) 및 제2(즉, 상부) 반도체층(16)을 포함한다. 초기 기판은, 제1(즉, 하부) 반도체층 아래에 위치하는 선택적인 반도체층(도시되지 않음)을 더 포함할 수도 있다. 상기 선택적인 초기 기판에서, 다른 절연층은 제1(즉, 하부) 반도체층을 선택적인 반도체층으로부터 분리한다.

[0037] 제1 반도체층(12)은, 예를 들어, 다른 3족/5족 또는 2족/6족 화합물 반도체뿐만 아니라 Si, SiC, SiGe, SiGeC, Ge, Ge 합금, GaAs, InAs, InP도 포함하는 임의의 반도체 재료로 이루어진다. 또한, 제1 반도체층(12)은, 예를 들어, Si/SiGe와 같은 층상 구조 반도체 또는 기형성된 SOI(silicon-on-insulator) 기판의 SOI층을 포함할 수도 있다. 또한, 제1 반도체층(12)은 (100) 또는 (110) 일 수 있는 제1 결정학적 배향을 갖는 것을 특징으로 한다. 제1 반도체층(12)이 (110) 배향을 갖는 경우, 정렬 웨이퍼 플랫은 <110> 방향으로 제공된다. 제1 반도체층(12)이 (100) 결정 배향을 갖는 경우, 정렬 웨이퍼 플랫은 <100> 방향으로 제공된다. 제1 반도체층은 변형층 또는 비변형층일 수도 있고, 또는 변형층/비변형층의 조합을 포함할 수도 있다. 바람직한 실시예에서, 제1 반도체층(12)은 <110> 방향으로 웨이퍼 플랫을 갖는 (110) 배향을 갖는 Si-함유 기판이다. 웨이퍼 플랫은 당해 기술분야의 당업자에게 널리 공지된 표준 기술을 이용하여 반도체층에 형성된다.

[0038] 제1 반동체층(12)의 두께는 도 2a에 도시된 기판을 형성하는데 이용된 초기 시작 웨이퍼에 따라 달라질 수도 있다. 통상, 그러나, 제1 반도체층(12)은 약 5 ㎚ 내지 약 200 ㎛의 두께를 갖고, 더욱 일반적으로는, 약 5 내지 100 ㎚의 두께를 갖는다.

[0039] 제1 반도체층(12)과 제2 반도체층(16) 간에 존재하는 절연층(14)은 산화물, 질화물, 산화질화물 또는 그 임의의 조합일 수 있다. 바람직하게는, 절연층(14)은 산화물이다. 또한, 절연층(14)의 두께도 도 2a에 도시된 기판을 형성하는데 이용된 초기 웨이퍼에 따라 다를 수도 있다. 통상, 그러나, 절연층(14)은 약 1 내지 약 500 ㎚의 두께를 갖고, 더욱 일반적으로는, 약 5 내지 약 100 ㎚의 두께를 갖는다.

[0040] 제2 반도체층(16)은, 예를 들어, 다른 3족/5족 또는 2족/6족 화합물 반도체뿐만 아니라 Si, SiC, SiGe, SiGeC, Ge, Ge 합금, GaAs, InAs, InP도 포함하는 임의의 반도체 재료로 이루어진다. 또한, 제2 반도체층(16)은, 예를 들어, Si/SiGe와 같은 층 구조 반도체 또는 미리 형성된 SOI(silicon-on-insulator) 기판의 SOI층을 포함할 수도 있다. 제2 반도체층(16)은, 제2 반도체층(16)이 제1 반도체층(12)과 다른 제2 결정학적 배향을 갖는 것을 조건으로, 제1 반도체층(12)과 같은 반도체 재료로 이루어질 수 있다. 이와 같이, 제2 반도체층(16)은, 제1 반도체층(12)의 결정학적 배향과 다른 (100) 또는 (110) 일 수 있는 제2 결정학적 배향을 갖는다.

[0041] 제1 반도체층(12)이 (110) 배향을 갖는 경우, 제2 반도체층(16)은 (100) 배향을 갖게 된다. 또한, 제1 반도체층(12)이 (100) 결정 배향을 갖는 경우, 제2 반도체층(16)은 (110) 결정학적 배향을 갖는다. 제2 반도체층(16)은 변형층이나 비변형층일 수도 있고, 또는 변형층/비변형층의 조합을 포함할 수도 있다. 바람직하게는, 제2 반도체층(16)은 <100> 방향으로 정렬 웨이퍼 플랫을 갖는 (100) 결정 배향을 갖는 Si-함유층이다.

[0042] 제2 반도체층(16)의 두께는 도 2a에 도시된 기판을 형성하는데 이용된 초기 시작 웨이퍼에 따라 달라질 수 있다. 그러나, 통상, 제2 반도체층(16)은 약 5 내지 500 ㎚의 두께를 갖고, 더욱 일반적으로는, 약 5 내지 약 100 ㎚의 두께를 갖는다.

[0043] 도 2a에 도시된 기판(10)은, 2개의 웨이퍼와 열 접착을 채용한 층 전달 공정에 의해 얻어진다. 특히, 층 전달은, 2개의 웨이퍼를 서로 밀접하게 접촉시키고, 접촉된 웨이퍼에 외력을 선택적으로 인가한 후, 2개의 웨이퍼를 접착할 수 있는 조건하에서 2개의 접촉된 웨이퍼를 가열함으로써, 수행된다.

[0044] 본 발명에 따르면, 웨이퍼 중 한 웨이퍼는 적어도 제1 반도체층(12)을 포함하고, 다른 웨이퍼는 적어도 제2 반도체층(16)을 포함한다. 또한, 웨이퍼 중 적어도 한 웨이퍼는 도 2a에 도시된 절연층(14)으로 되는 절연층을 포함한다. 몇몇 실시예에서, 양쪽 웨이퍼는 절연층을 포함할 수 있다. 본 발명에서, 층 전달은 반도체/절연 접합 또는 절연/절연 접합에 의해 달성된다. 벌크 반도체 웨이퍼를 이용할 수 있고, SOI 웨이퍼를 이용하거나

벌크와 SOI의 조합을 채용할 수 있다. 일 부 실시예에서, 층 전달에 이용된 웨이퍼 중 한 웨이퍼는, 층 전달 공정 동안 웨이퍼 중 적어도 한 웨이퍼의 일부를 쪼개는데 이용될 수 있는, 수소 주입 영역과 같은 주입 영역을 포함한다.

[0045] 상술한 접촉 단계는, 반도체층(16)을 포함한 웨이퍼가 정상 웨이퍼 구성(정상 (100) 웨이퍼 구성은 <110> 방향에 평행한 웨이퍼 플랫을 갖는다)으로부터 45° 회전된다는 점에서, 층 전달에 이용된 종래 접촉 단계와 다르다. 상기 회전은, 제2 반도체층(16)의 정렬 웨이퍼 플랫이 적당한 회전으로 제1 반도체층의 정렬 웨이퍼 플랫에 정렬되는 것을 보장한다. 예를 들어, 도 3a를 참조하자. 다른 방법으로는, (100) 웨이퍼를 위한 웨이퍼 플랫은 <100> 방향에 평행하게 위치하고 <110> 방향에 평행한 웨이퍼 플랫을 갖는 (110) 웨이퍼에 정렬되어야 한다. 예를 들어, 도 3b를 참조하자. 상기 단계는, 평면 및 다중-게이트 FETs을 포함하고 상기 혼성 기판 상에 제조되는 MOSFETs이, 항상 고이동도 평면 상에 위치한 채널을 갖게 되는 것을 보장한다.

[0046] 층 전달 동안 이용된 가열 단계는 외력의 존재 또는 부재시 수행될 수도 있다. 통상, 가열 단계는 약 2 내지 20 시간 동안 약 200℃ 내지 약 1050℃의 온도로 불활성 환경에서 수행된다. 더욱 상세하게는, 접착은 약 200℃ 내지 약 400℃의 온도로 수행된다. "불활성 환경"이란 용어는, 어떤 반도체 웨이퍼와도 반응하지 않는 대기를 지시한다. 불활성 환경의 예시적인 예는, 예를 들어, He, Ar, N_2, Xe, Kr을 포함하거나 그 혼합물을 채용할 수 있다. 접착에 이용된 바람직한 환경은 N_2이다.

[0047] 층 전달 공정 다음으로, 평탄화 공정(도시되지 않음)를 채용하여 반도체 웨이퍼 중 한 웨이퍼로부터 일부 재료를 제거할 수 있다. 특히, 층 전달 공정에서 2개의 SOI 웨이퍼를 이용하는 경우, 평탄화 단계를 채용한다.

[0048] 다음으로, 적어도 하나의 절연 재료를 포함한 패드 스택(pad stack; 18)은 도 2b에 도시된 구조를 제공하는 도 2a에 도시된 제2 반도체층(16) 위에 형성된다. 패드 스택(18)은 산화물, 질화물, 산화질화물 또는 그 임의의 조합으로 이루어질 수 있다. 일 실시예에서, 예를 들어, 패드 스택(18)은 SiO_2층 위에 형성된 Si_3N_4층일 수 있다. 패드 스택(18)은 증착 공정 및/또는 열 성장 공정에 의해 형성된다. 증착 공정은, 예를 들어, CVD(chemical vapor deposition)나, PECVD(plasma-enhanced chemical vapor deposition), 원자 층 증착, 화학 용액 증착 등의 증착 공정을 포함한다. 열 성장 공정은 산화, 질화, 산화질화 또는 그 조합을 포함한다. 상술한 바람직한 패드 스택(18)에서, SiO_2층은 산화 공정에 의해 형성되고, Si_3N_4는 증착을 통하여 형성된다.

[0049] 패드 스택(18)은 스택 내에 다수의 절연층 뿐만 아니라 채용된 절연층의 유형에 따라 다른 가변 두께를 가질 수 있다. 통상, 일 예로서, 패드 스택(18)은 약 1 내지 200 ㎚의 두께를 갖고, 더욱 일반적으로는, 약 5 내지 약 50 ㎚의 두께를 갖는다.

[0050] 그 다음에, 구조의 제2 부분을 보호되지 않은 상태로 유지하면서, 구조의 제1 부분을 보호하기 위해, 도 2b에 도시된 구조의 소정의 부분 상에 마스크(도시되지 않음)를 형성한다. 구조 중 보호된 부분은 제1 소자 영역(22)을 정의하지만, 구조 중 보호되지 않은 부분은 제2 소자 영역(24)을 정의한다. 여러 소자 영역은, 예를 들어, 도 2c에 도시되어 있다.

[0051] 본 발명의 일 실시예에서는, 우선, 구조의 전체 표면에 포토레지스트 마스크를 적용함으로써 패드 스택(18)의 소정의 부분에 마스크를 형성한다. 포토레지스트 마스크의 적용 후, 방사 패턴에 포토레지스트를 노출하는 단계 및 레지스트 현상액을 이용하여 패턴을 현상하는 단계를 포함하는 리소그래피에 의해 마스크를 패터닝한다. 대안적으로는, 패드 스택(18)이, 그 상부층이 질화물 또는 산화질화물인 다수의 절연체를 포함하는 경우, 상부층은 서로 다른 소자 영역을 정의하는데 이용된 마스크로서 기능을 한다. 일 실시예에서, 패드 스택(18)의 상부 질화 또는 산화질화층은 리소그래피와 에칭에 의해 패터닝된다. 일부 경우에 있어서, 패드 스택(18)의 상부 질화 또는 산화질화층은 제2 소자 영역을 정의한 후 제거될 수도 있다.

[0052] 도 2b에 도시된 구조에 마스크(도시되지 않음)를 제공한 후, 구조에 대하여 하나 이상의 에칭 단계를 수행하여, 밑에 있는 제1 반도체층(12)의 표면을 노출한다. 하나 이상의 에칭 단계를 수행하고 마스크를 제거한 후, 형성되는 결과로서 생기는 구조는, 예를 들어, 도 2c에 도시되어 있다. 특히, 이 경우, 본 발명에서 이용된 하나 이상의 에칭 단계는, 제2 반도체층(16)의 밑에 있는 부분뿐만 아니라 패드 스택(18)의 보호되지 않은 부분과, 제2 반도체층(16)에서 제1 반도체층(12)을 분리하는 절연층(14)의 부분을 제거한다.

[0053] 에칭은 단일 에칭 공정을 이용하여 수행되거나 다수의 에칭 단계를 채용할 수도 있다. 이 경우, 본 발명에서 이용된 에칭은 반응-이온 에칭, 이온 빔 에칭, 플라스마 에칭 또는 레이저 에칭과 같은 건식 에칭 공정, 화학 에칭액을 채용하는 습식 에칭 공정 또는 그 임의의 조합을 포함할 수도 있다. 본 발명의 바람직한 실시예에서,

반응성-이온 에칭(reactive-ion etching; RIE)은 제2 반도체 소자 영역(24)에서 패드 스택(18)의 보호되지 않은 부분, 제2 반도체층(16) 및 절연층(14)을 선택적으로 제거하는데 이용된다. 에칭 단계는 측벽(21)을 갖는 개구부(20)를 제공한다. 하나의 개구부를 갖는 구조를 도시하지만, 본 발명은 복수의 상기 개구부가 형성되는 다른 구조도 고려한다. 상기 실시예에서는, 다수의 제2 소자 영역과 다수의 제1 소자 영역이 형성될 수 있다.

[0054] 에칭 후, 종래의 레지스트 스트리핑(stripping) 공정을 이용하여 구조에서 마스크를 제거한 후, 노출된 측벽(21) 상에 라이너 또는 스페이서(26)를 형성한다. 라이너 또는 스페이서(26)는 증착과 에칭에 의해 형성된다. 라이너 또는 스페이서(26)는 예를 들어, 산화물, 질화물 산화질화물 또는 그 임의의 조합과 같은 절연 재료로 이루어진다. 개구부(20)의 각 측벽(21)에 형성된 라이너 또는 스페이서(26)를 포함한 구조는 도 2d에 도시되어 있다.

[0055] 라이너 또는 스페이서(26)를 형성한 후, 반도체 재료(28)는 제1 반도체층(12)의 노출된 표면에 형성된다. 본 발명에 따르면, 반도체 재료(28)는 제1 반도체층(12)의 결정학적 배향과 같은 결정학적 배향을 갖는다. 결과로서 생기는 구조는 예를 들어, 도 2e에 도시되어 있다.

[0056] 반도체 재료(28)는, 선택적인 에피택셜 성장 방법을 이용하여 형성될 수 있는 Si, SiGe, SiC, SiGeC 또는 그 조합과 같은 임의의 Si-함유 반도체를 포함할 수도 있다. 일부 바람직한 실시예에서, 반도체 재료(28)는 Si로 이루어진다. 다른 바람직한 실시예에서, 반도체 재료는 이완된 SiGe 합금층 위에 위치하는 변형된 Si층이다. 본 발명에 있어서, 반도체 재료(28)는 재성장된 반도체 재료 또는 층으로서 지칭될 수도 있다.

[0057] 다음으로, 도 2e에 도시된 구조에 대하여 CMP(chemical mechanical polishing)나 연마와 같은 평탄화 공정을 수행하여, 반도체 재료(28)의 상부 표면이 패드 스택(18)의 상부 표면과 대체로 평면을 이루도록 한다. 제1 평탄화 공정을 수행한 후 형성된 결과로서 생기는 구조는 예를 들어, 도 2f에 도시되어 있다.

[0058] 제1 평탄화 단계 후, 제2 평탄화 단계를 수행하여 도 2g에 도시된 평면 구조를 제공한다. 도 2g에 도시된 구조에서, 제2 평탄화 공정은 구조에서 패드 스택(18)을 제거한다. 도 2g에 도시된 예시적인 구조에서, 재성장된 반도체 재료(28)는 제1 반도체층(16)의 상부 표면과 동일 평면인 상부 표면을 갖는다. 따라서, 이들 평탄화 단계는, 평면 및/또는 다중-게이트 MOSFETs을 형성할 수 있는 활성 소자 영역(22, 24)을 노출한다.

[0059] 도 2h는, 구조 내에 산소 이온이 충분한 주입 영역(32)을 형성하기 위해, 산소 이온(30)을 구조에 주입하는, 본 발명의 선택적이지만 상당히 바람직한 단계를 나타낸다. 선택적인 주입은 약 10^{15} 내지 약 5×10^{17} 원자/㎠의 산소 이온 주입량을 이용한 이온 주입에 의해 수행된다. 본 발명에서 채용된 이온 주입량은, 다음 고온 어닐링 단계 동안 매설된 산화물 영역으로 변환될 수 있는 충분한 산소 이온 농도를 갖는 주입 영역(32)을 형성하기에 충분해야 한다. 통상, 주입 영역(32)은 제2 반도체층(16)과 재성장된 반도체층(28) 모두에 형성된다. 일부 실시예에서는, 산소 이온이 제2 반도체층(16)이나 재성장된 반도체층(28)으로 주입되도록, 마스크된 이온 주입 공정을 이용할 수 있다. 후자의 실시예는 구조 내에 선택적인 매설된 산화물 영역(34)을 제공하기 위한 수단을 제공할 수 있다. 산소 이온을 설명하고 나타내지만, 매설된 절연 영역으로의 다음 변환을 위해 이온 주입 충분 영역을 형성하는데 이용될 수 있는 다른 이온을 채용할 수 있다.

[0060] 도 2i는 고온 어닐링 단계를 수행한 후 형성되는 구조를 도시한다. 도 2i에 도시된 구조에서, 참조 부호 "34"는 형성되는 매설된 산화물 영역을 나타낸다. 매설된 산화물 영역(34)의 존재는 양쪽 소자 영역(22 및 24)이 SOI 등가물인 것을 보장한다는 것에 주목하자. 고온 어닐링 단계는, He, Ar, N_2, Xe, Kr, Ne 또는 그 혼합물과 같은 비활성 환경, 예를 들어, O_2, NO, N_2O, 오존, 공기와 같은 적어도 하나의 산소-함유 가스를 포함한 산화 환경 또는 다른 산소-함유 환경에서 실행될 수도 있다. 다른 방법으로는, 고온 어닐링 단계에서 이용된 환경은 산소-함유 가스와 비활성 가스의 혼합물을 포함할 수 있다. 환경이 산소-함유 가스를 포함하는 경우, 매설된 산화물 영역(34)은, 통상 노출된 구조 표면 위에서 벗겨지는 표면 산화물 및 열 산화물 영역을 포함할 수도 있다.

[0061] 매설된 산화물 영역(34)을 형성하는데 이용된 고온 어닐링 단계는 약 1000℃ 내지 약 1400℃의 온도에서 수행되고, 더 바람직하게는, 약 1200℃ 내지 약 1300℃의 온도에서 수행된다. 어닐링 단계는, 통상 약 60분 내지 약 3000분의 범위를 갖는 가변 시간 주기 동안 실행될 수 있다. 어닐링 단계는 단일 목표 온도에서 수행되거나, 여러 램프 및 담금 온도와 횟수를 이용한 여러 램프 및 담금 사이클을 채용할 수 있다. 여기서, 어닐링 단계는 RTA(rapid thermal anneal) 또는 레이저 어닐링이거나, 전자 빔과 같은 다른 에너지원도 고려할 수 있다. 다른 방법으로는, 노 어닐링을 이용할 수 있다. 노 어닐링을 채용하는 경우, 통상, 어닐링 횟수는 RTA보다 많다.

[0062] 본 발명에서는 도 2g나 도 2i에 도시된 혼성 기판을 이용할 수 있다는 것에 주목해야 한다. 도 2g와 비교할 때, 양쪽 소자 영역이 SOI 등가물이고 최상부 소자 영역이 초박 반도체층(16 또는 28)을 포함하기 때문에, 도 2i에 도시된 혼성 기판은 도 2g에 도시된 혼성 기판보다 바람직하다.

[0063] 도 4는, 본 발명의 혼성 기판 상에, 3중-게이트 MOSFET 및/또는 FinFET과 같은 평면 및/또는 다중-게이트 MOSFET을 제조한 후 형성되는 결과로서 생기는 구조를 도시한다. 도 4에서, 참조 부호 "50"은 각 소자의 게이트를 나타내고, 참조 부호 "52"는 평면 및/또는 다중-게이트 소자를 나타낸다. 본 발명에 따르면, n형 소자는 (100) 표면 배향을 갖는 반도체 표면(16, 28) 상에 형성되고, p형 소자는 (110) 표면 배향을 갖는 반도체 표면(16, 28) 상에 형성된다. 또한, nFET과 pFET 양쪽의 게이트는 같은 방향을 향해 배향된다. 혼성 배향 기판은, 모든 채널이 (Fin의 상부와 2개 측면에) (100) 표면에 존재하도록 n형 소자가 <100> 방향으로 배향되고, 모든 채널이 (Fin의 상부와 2개의 측면에) (110) 표면에 존재하도록 p형 소자가 <110> 방향으로 배향되도록, 준비되었다. 상기 공정에 따르면, 모든 소자 채널이 고이동도 평면에 존재하고 게이트가 같은 방향으로 배향되도록, 고이동도 소자를 형성하는 것이 가능하다. 평면 및/또는 다중-게이트 MOSFETs은 당해 기술분야에서 널리 공지되어 있는 기술을 이용하여 제조된다.

[0064] 예를 들어, 여러 소자는, 미국 공보 번호 2004 026607A1에서 개시된 공정을 이용하여 제조될 수 있다. 여기서 이용될 수 있는 상기 공보에서 설명된 공정은, 혼성 기판의 FinFET 영역에 위치한 적어도 하나의 패터닝된 하드마스크 및 혼성 기판의 3중-게이트 영역에 위치한 적어도 하나의 패터닝된 하드마스크를 제공하는 단계; 3중-게이트 영역을 보호하고 상기 FinFET 영역에서 적어도 하나의 패터닝된 하드마스크를 트리밍하는 단계; 매설된 절연층(14) 또는 매설된 산화물 영역(34)의 표면에 정지한 하드마스크로 보호되지 않는 상부 반도체층(16, 28)의 노출된 부분을 에칭하는 단계; 3중-게이트 소자 영역이 FinFET 활성 소자 영역의 높이보다 낮은 높이를 갖도록 FinFET 활성 소자 영역을 보호하고 3중-게이트 활성 소자 영역을 얇게 하는 단계; 3중-게이트 소자 영역의 노출된 수평 표면에 게이트 유전체를 형성하면서 FinFET 활성 소자 영역의 각 노출된 수직 표면에 게이트 유전체를 형성하는 단계; 및 게이트 유전체의 각 노출된 표면에 패터닝된 게이트 전극을 형성하는 단계를 포함하고, 상기 에칭하는 단계는 FinFET 활성 소자 영역과 3중-게이트 활성 소자 영역을 정의하고, 상기 FinFET 활성 소자 영역은 3중-게이트 활성 소자 영역에 수직이다.

[0065] 또한, FinFET과 3중-게이트 소자 영역에 존재하는 여러 재료와 구성 요소는 널리 공지되어 있으므로, 여기서는, 동일한 것에 관한 상세한 설명을 제공하지 않는다. 예를 들어, 각 소자는, 산화물, 질화물, 산화질화물 또는 그 임의의 조합을 포함할 수도 있는 게이트 유전체를 포함한다. 바람직하게는, 게이트 유전체는 SiO_2, Al_2O_2, 페로브스카이트 산화물, 또는 다른 등가 산화물과 같은 산화물이지만, 이에 한정되지는 않는다. 게이트 유전체는 열 산화, 질화 또는 산화질화 공정을 이용하여 형성될 수 있다. 필요에 따라, 다중-게이트 소자가 다중 게이트 유전체를 가지면서, FinFET 활성 소자는 반도체층(즉, 16 또는 38) 중 하나의 노출된 수직 표면에 형성된 2개의 게이트 유전체를 포함하게 된다는 것에 주목하자.

[0066] 또한, 게이트 전도체는 각 종류의 소자에 존재한다. 게이트 전도체는, 예를 들어, CVD(chemical vapor deposition), 플라스마-지원 CVD, 증착, 스퍼터링, 화학 용액 증착 또는 원자 층 증착과 같은 종래 증착 공정을 이용하여 형성될 수 있다. 게이트 전도체는, 폴리-Si; W와 같은 기본 금속; 하나 이상의 기본 금속을 포함한 합금; 규화물; 또는 예를 들어, 폴리-Si/W 또는 규화물과 같은 그 스택 조합을 포함할 수도 있다.

[0067] 기판 구조 및 이를 제조하는 방법은, 모든 채널이 같은 방향으로 게이트를 갖는 고이동도 표면에 배향되는, FinFETs과 3중-게이트 MOSFETs과 같은 평면 및/또는 다중-게이트 MOSFETs을 만들기 위해, 설명되었다.

[0068] 여러 주입은, 예를 들어, 우물 주입, 소스/드레인 확장 주입, 할로 주입, 소스/드레인 확산 주입, 게이트 주입 등을 포함한 게이트 형성 전이나 형성 후에 수행될 수 있다. 또한, 본 발명의 구조는 종래 수단에 의해 형성되는 상승한 소스/드레인 영역을 포함할 수 있다. 또한, 이 경우, 본 발명은 예를 들어, BEOL(back-end-of-line) 처리와 같은 추가 처리를 채용할 수 있다.

[0069] 이상, 바람직한 실시예를 참조하여 본 발명을 상세히 도시하고 설명하였지만, 당해 기술분야의 당업자는, 형태 및 상세에서 상기 및 다른 변화는 본 발명의 사상과 범위로부터 벗어나지 않고 이루어질 수도 있음을 알 수 있다. 따라서, 본 발명은 설명되고 나타낸 정확한 형태 및 상세사항에 한정되지 않고, 첨부된 청구항의 범위와 일치한다.

도면의 간단한 설명

[0031] 도 1a 내지 도 1d는 표준 반도체 웨이퍼 상에 제조된 3중-게이트 구조를 나타낸 도면.

[0032] 도 2a 내지 도 2i는 평면 및/또는 다중-게이트 MOSFETs이 형성되는 고이동도 표면을 갖는 혼성 기판을 제조하기 위해 본 발명에서 이용된 기본 처리 단계를 도시한 (단면도를 통한) 도면.

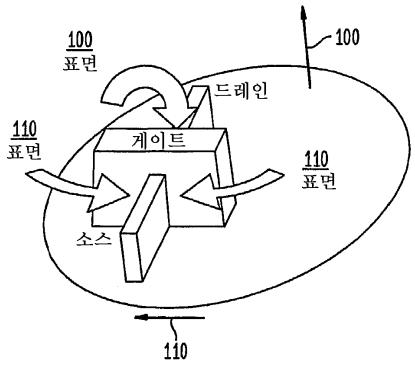
[0033] 도 3a 및 도 3b는 본 발명에서 채용될 수 있는 초기 기판의 (3D 측면도를 통한) 도면.

[0034] 도 4는 본 발명의 혼성 기판의 평면 및/또는 다중-게이트 MOSFETs을 제조한 후 형성되는 구조를 도시한 (하향식 도면을 통한) 도면.

도면

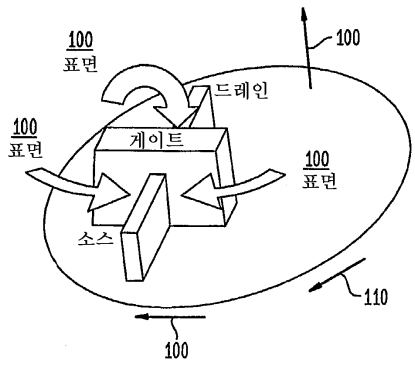
도면1a

(종래 기술)



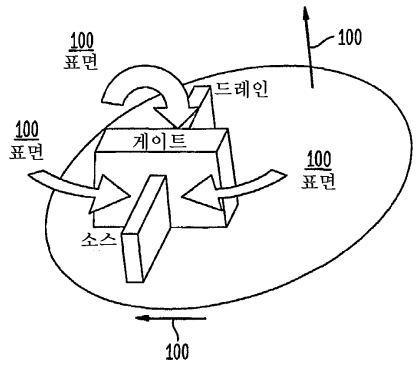
도면1b

(종래 기술)



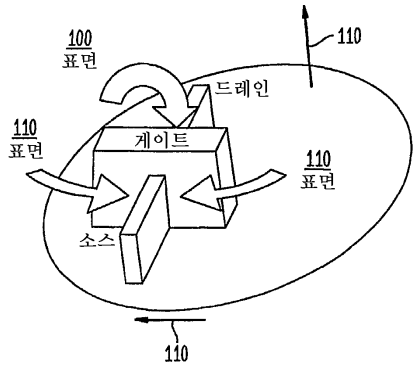
도면1c

(종래 기술)

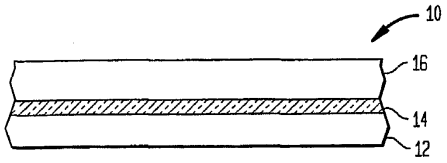


도면1d

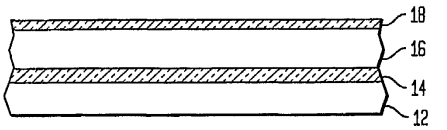
(종래 기술)



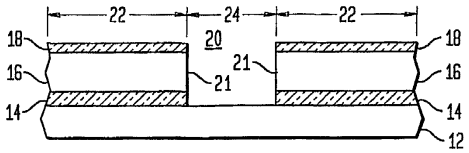
도면2a



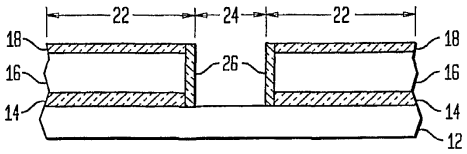
도면2b



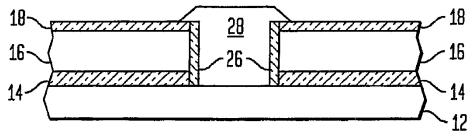
도면2c



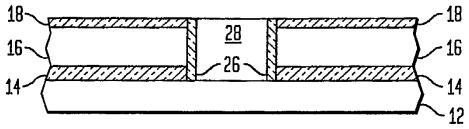
도면2d



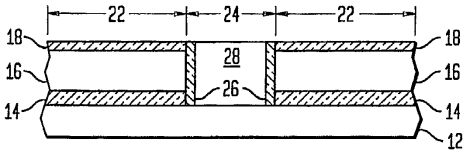
도면2e



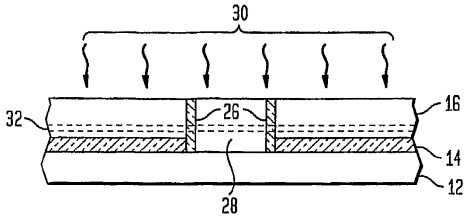
도면2f



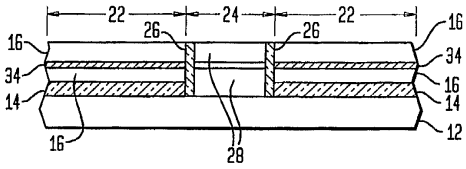
도면2g



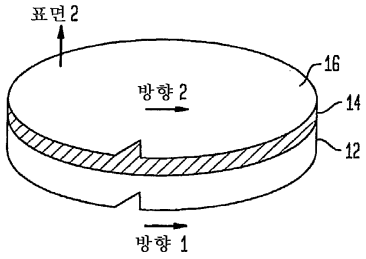
도면2h



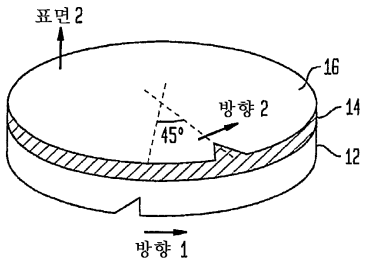
도면2i



도면3a



도면3b



도면4

