

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-503692
(P2020-503692A)

(43) 公表日 令和2年1月30日(2020.1.30)

(51) Int.Cl.

HO 1 G	4/38	(2006.01)
HO 1 G	4/30	(2006.01)
HO 1 G	2/10	(2006.01)
HO 1 G	2/02	(2006.01)
HO 1 G	2/06	(2006.01)

F 1

HO 1 G	4/38
HO 1 G	4/30
HO 1 G	2/10
HO 1 G	2/02
HO 1 G	2/06

テーマコード(参考)

A	5 E 0 0 1
5 1 5	5 E 0 8 2
K	5 E 3 1 9
1 0 1 E	
HO 1 G	2/06

審査請求 未請求 予備審査請求 未請求 (全 62 頁) 最終頁に続く

(21) 出願番号 特願2019-535838 (P2019-535838)
 (86) (22) 出願日 平成29年12月28日 (2017.12.28)
 (85) 翻訳文提出日 令和1年8月2日 (2019.8.2)
 (86) 国際出願番号 PCT/US2017/068788
 (87) 国際公開番号 WO2018/126052
 (87) 国際公開日 平成30年7月5日 (2018.7.5)
 (31) 優先権主張番号 62/440,161
 (32) 優先日 平成28年12月29日 (2016.12.29)
 (33) 優先権主張国・地域又は機関
 米国(US)
 (31) 優先権主張番号 62/518,472
 (32) 優先日 平成29年6月12日 (2017.6.12)
 (33) 優先権主張国・地域又は機関
 米国(US)

(71) 出願人 518065991
 インヴェンサンス ボンディング テクノロジーズ インコーポレイテッド
 アメリカ合衆国 カリフォルニア州 95
 134 サンノゼ オーチャード パーク
 ウェイ 3025
 (74) 代理人 100094569
 弁理士 田中 伸一郎
 (74) 代理人 100103610
 弁理士 ▲吉▼田 和彦
 (74) 代理人 100109070
 弁理士 須田 洋之
 (74) 代理人 100067013
 弁理士 大塚 文昭

最終頁に続く

(54) 【発明の名称】集積された受動部品を有する接合構造物

(57) 【要約】

様々な実施形態において、接合構造物が開示される。接合構造物は、要素と、要素に接合された第1の表面及び第1の表面と反対側の第2の表面を有する受動電子部品と、を含むことができる。受動電子部品は、要素の対応する第2のアノード端子に接合された第1のアノード端子と、要素の対応する第2のカソード端子に接合された第1のカソード端子と、を備えることができる。第1のアノード端子及び第1のカソード端子を、受動電子部品の第1の表面上に配設することができる。

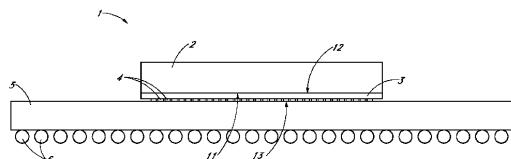


FIG. 1A

【特許請求の範囲】**【請求項 1】**

マイクロ電子デバイスであって、
第1の絶縁基板と、
第1の表面と前記第1の表面と反対側の第2の表面とを有するキャパシタであって、前記キャパシタの前記第1の表面が前記第1の絶縁基板に機械的に結合された、キャパシタと、
第2の絶縁基板であって、前記キャパシタが前記第1の絶縁基板と前記第2の絶縁基板との間に配設されるように、前記キャパシタの前記第2の表面が前記第2の絶縁基板に機械的に結合された、第2の絶縁基板と、

10

前記第1の絶縁基板と前記第2の絶縁基板との間に配設された絶縁要素と、

前記キャパシタの第1の端子に電気的に接続するように前記第1の絶縁基板を貫いて延在する第1の相互接続部と、を備える、マイクロ電子デバイス。

【請求項 2】

前記キャパシタの前記第1の表面が、第1の接着材によって前記第1の絶縁基板に機械的に結合されている、請求項1に記載のマイクロ電子デバイス。

【請求項 3】

前記キャパシタの前記第2の表面が、第2の接着材によって前記第2の絶縁基板に機械的に結合されており、前記絶縁要素が前記第2の接着材を更に備える、請求項2に記載のマイクロ電子デバイス。

20

【請求項 4】

前記第1の接着材がはんだを備える、請求項2に記載のマイクロ電子デバイス。

【請求項 5】

前記絶縁要素が、前記キャパシタの部分の周りに配設された成形コンパウンドを備える、請求項1に記載のマイクロ電子デバイス。

【請求項 6】

前記絶縁要素が、前記第1の絶縁基板と前記第2の絶縁基板との間の前記キャパシタの周りに配設された第3の中間絶縁基板を備える、請求項1に記載のマイクロ電子デバイス。

30

【請求項 7】

前記第1の絶縁基板及び前記第2の絶縁基板のうちの1つ以上の熱膨張係数(CTE)が、5 ppm/以下である、請求項1に記載のマイクロ電子デバイス。

【請求項 8】

前記マイクロ電子デバイスの全実効熱膨張係数(CTE)が、7 ppm/以下である、請求項1に記載のマイクロ電子デバイス。

【請求項 9】

前記第1の絶縁基板を貫いて延在する第2の相互接続部を更に備え、前記第1の相互接続部が、前記キャパシタの第1の側において前記キャパシタの第1の端子に接続されており、前記第2の相互接続部が前記第1の側の第2の端子に接続されており、前記第1の端子が前記第2の端子とは異なる種類である、請求項1に記載のマイクロ電子デバイス。

40

【請求項 10】

前記キャパシタの第2の側の第3の端子と前記第2の側の第4の端子とを更に備え、前記第3の端子が前記第4の端子とは異なる種類である、請求項9に記載のマイクロ電子デバイス。

【請求項 11】

請求項1に記載のマイクロ電子デバイスと要素とを備え、前記要素が、介在する接着材を使用せずに前記マイクロ電子デバイスに直接接合されている、接合構造物。

【請求項 12】

マイクロ電子デバイスであって、
第1の表面及び前記第1の表面と反対側の第2の表面を有する絶縁材料と、

50

前記第1の表面と前記第2の表面との間ににおいて、前記絶縁材料内に少なくとも部分的に埋め込まれたキャパシタと、

前記第1の表面上に配設されており、前記キャパシタの1つ以上の端子を、前記絶縁材料の前記第1の表面にある又は前記第1の表面を貫いて延在する1つ以上の相互接続部に電気的に結合するように構成された相互接続層と、を備える、マイクロ電子デバイス。

【請求項13】

前記キャパシタが前記絶縁材料内に完全に埋め込まれている、請求項12に記載のマイクロ電子デバイス。

【請求項14】

第1の絶縁基板を更に備え、前記キャパシタの第1の表面が第1の接着材によって前記第1の絶縁基板に機械的に結合されており、前記絶縁材料が前記第1の接着材を備える、請求項12に記載のマイクロ電子デバイス。 10

【請求項15】

第2の絶縁基板を更に備え、前記キャパシタの前記第2の表面が第2の接着材によって前記第2の絶縁基板に機械的に結合されており、前記絶縁材料が前記第2の接着材を更に備える、請求項14に記載のマイクロ電子デバイス。

【請求項16】

前記キャパシタの部分の周りに配設された成形コンパウンドを更に備え、前記絶縁材料が前記成形コンパウンドを更に備える、請求項12に記載のマイクロ電子デバイス。

【請求項17】

接合構造物であって、

要素と、

前記要素に接合された第1の表面と、前記第1の表面と反対側の第2の表面と、を有する受動電子部品と、を備え、前記受動電子部品が、前記要素の対応する第2のアノード端子に接合された第1のアノード端子と、前記要素の対応する第2のカソード端子に接合された第1のカソード端子と、を備え、前記第1のアノード端子及び前記第1のカソード端子が、前記受動電子部品の前記第1の表面上に配設されている、接合構造物。

【請求項18】

前記受動電子部品が、介在する接着材を使用せずに前記要素に直接接合されている、請求項17に記載の接合構造物。 30

【請求項19】

前記受動電子部品がキャパシタを備える、請求項17に記載の接合構造物。

【請求項20】

前記キャパシタの誘電材料が高K誘電体を備える、請求項19に記載の接合構造物。

【請求項21】

前記キャパシタが、前記受動電子部品を貫いて延在する蛇行パターンを備える、請求項19に記載の接合構造物。

【請求項22】

前記受動電子部品が、前記受動電子部品を貫いて延在する貫通信号導体を備える、請求項19に記載の接合構造物。 40

【請求項23】

接合構造物であって、

要素と、

介在する接着材を使用せずに前記要素に直接接合された受動電子部品と、を備える接合構造物。

【請求項24】

前記受動電子部品がキャパシタを備える、請求項23に記載の接合構造物。

【請求項25】

前記キャパシタが、複数の誘電体層によって離間した3つ以上の金属層を備える、請求項24に記載の接合構造物。 50

【請求項 2 6】

前記受動電子部品が、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間の誘電材料と、を備え、前記誘電材料が高K誘電体を備える、請求項23に記載の接合構造物。

【請求項 2 7】

前記高K誘電体が、チタン酸塩($Ba_xSr_1-xTiO_3$ 、 $Bi_4Ti_3O_12$ 、 $PbZr_xTi_1-xO_3$)、ニオブ酸塩($LiNbO_3$)及び/又はジルコン酸塩($BaZrO_3$ 、 $CaZrO_3$)を備える、請求項26に記載の接合構造物。

【請求項 2 8】

前記受動電子部品が、前記受動電子部品を貫いて延在する貫通信号導体を備える、請求項23に記載の接合構造物。 10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この分野は、集積された受動部品を有する接合構造物に関する。

【0 0 0 2】

(関連出願の相互参照)

本出願は、2016年12月29日に出願された米国仮特許出願第62/440,161号、及び2017年6月12日に出願された米国仮特許出願第62/518,472号に対する優先権を主張するものであり、当該出願の各々の全内容は、参照によりそのまま及びあらゆる目的で本明細書に組み込まれる。 20

【0 0 0 3】

本出願はまた、2017年2月7日に出願された米国特許出願第15/426,942号にも関連し、当該出願は参照によりそのまま及びあらゆる目的で本明細書に組み込まれる。

【背景技術】

【0 0 0 4】

キャパシタ、抵抗器及びインダクタなどの受動電子部品は、電子システムにおいて重要な役割を果たす。例えば、受動部品は、平滑な信号に寄与し、システムの能動デバイスの性能を向上させる。受動部品を効率的に組み込むことは、受動部品が、集積されたデバイスダイ、パッケージ及び/又はシステムボード上の貴重な空間を占めるため、困難であり得る。したがって、電子システムへの受動電子部品の組み込みを改善する継続的な必要性が依然として存在する。 30

【図面の簡単な説明】

【0 0 0 5】

【図1A】様々な実施形態による、パッケージ基板などのキャリアに実装された接合構造物の概略側面図である。

【図1B】接合構造物を形成する前の要素及び受動電子部品の概略側面図である。

【図2】図1Aに示される接合構造物の部分の概略拡大側断面図である。

【図3A】比較的低速の接続用に構成された受動電子部品の一部分の概略側断面図である。 40

【図3B】図3Aの受動電子部品の概略回路図である。

【図4A】比較的高速の接続用に構成された受動電子部品の一部分の概略側断面図である。

【図4B】図4Aの受動電子部品の概略回路図である。

【図5A】容量性シートを画定する高K誘電材料を組み込んだ受動電子部品の概略側断面図である。

【図5B】パターン化された電極の上に接合層が設けられた、図5Aの受動電子部品の概略側断面図である。

【図5C】接合前の半導体要素の一部分の概略側断面図である。 50

【図 5 D】半導体要素が、高 K 誘電材料を含む受動部品に直接接合された接合構造物の概略側断面図である。

【図 5 E】犠牲基部の除去後の、図 5 D の接合構造物の概略側断面図である。

【図 5 F】集積された電源電極及びグランド電極を有する受動電子部品の概略側断面図である。

【図 5 G】図 5 F の受動電子部品の平面図である。

【図 5 H】別の実施形態による受動電子部品の概略側断面図である。

【図 5 I】図 5 H の受動電子部品の平面図である。

【図 6】異なる受動電子部品を有する様々なデバイスに対する周波数の関数としての伝達インピーダンスのプロットである。

10

【図 7 A】別の実施形態による、受動電子部品の概略側断面図である。

【図 7 B】更に別の実施形態による、受動電子部品の概略側断面図である。

【図 7 C】別の実施形態による、受動電子部品の概略側断面図である。

【図 7 D】整列した纖維によってキャパシタを画定することができる受動電子部品の概略側断面図である。

【図 8 A】受動電子部品を形成する前の第 1 の絶縁層と、複数のキャパシタと、第 2 の絶縁層との概略側断面図である。

【図 8 B】受動電子部品を形成する前の、第 1 の絶縁層と、複数のキャパシタと、第 2 の絶縁層と、第 1 の絶縁層と第 2 の絶縁層との間に配設された中間の第 3 の絶縁層との概略側断面図である。

20

【図 8 C】受動電子部品を形成する前の、絶縁層に埋め込まれたキャパシタの概略側断面図である。

【図 8 D】図 8 A ~ 図 8 C に示された技術のいずれかを使用して形成された受動電子部品の概略断面図である。

【図 8 E】受動電子部品に 1 つ以上の再配線層 (redistribution layer、RDL) が被着された、図 8 D に示される受動電子部品の概略側断面図である。

【図 9 A】様々な実施形態による、受動電子部品の形成に使用される絶縁層の概略側断面図である。

【図 9 B】内部に 1 つ以上の空洞が形成された、図 9 A の絶縁層の概略側断面図である。

30

【図 9 C】空洞内に 1 つ以上のキャパシタが設けられている概略側断面図である。

【図 9 D】絶縁層上に第 1 の RDL を設けた後の、図 9 C のデバイスの概略側断面図である。

【図 9 E】絶縁層の反対側に第 2 の RDL を設けた後の受動電子部品の概略側断面図である。

【図 10 A】別の実施形態による、受動電子部品を形成するために使用される第 1 の絶縁キャリアの概略側断面図である。

【図 10 B】上に第 1 の接着材が堆積された第 1 の絶縁キャリアの概略側断面図である。

【図 10 C】第 1 の接着材によって第 1 の絶縁キャリアに複数のキャパシタが接合された第 1 の絶縁キャリアの概略側断面図である。

【図 10 D】第 2 の接着材層によって第 1 の接着材層に第 2 の絶縁キャリア層が接着された、部分的に画定された構成要素の概略側断面図である。

40

【図 10 E】外部要素との電気的導通用に内部に画定された様々な相互接続部及びトレースを有する受動電子部品の概略側断面図である。

【図 10 F】複数の接着材及び成形コンパウンドを備える絶縁層内に埋め込まれたキャパシタを備える、部分的に作製された受動電子部品の概略側断面図である。

【図 10 G】様々な実施形態による、受動電子部品の概略側断面図である。

【図 11 A】別の実施形態による、受動電子部品を形成するために使用される第 1 の絶縁キャリアの概略側断面図である。

【図 11 B】上に第 1 の接着材が堆積された第 1 の絶縁キャリアの概略側断面図である。

【図 11 C】複数のキャパシタを有する第 1 の絶縁キャリアと、第 1 の接着材によって第

50

1の絶縁キャリアに接合された第3の絶縁キャリアと、の概略側断面図である。

【図11D】第2の接着材層によって第1の接着材層及び第3のキャリアに第2の絶縁キャリア層が接着された、部分的に画定された構成要素の概略側断面図である。

【図11E】外部要素との電気的導通用に内部に画定された様々な相互接続部及びトレースを有する受動電子部品の概略側断面図である。

【図11F】複数の接着材及び成形コンパウンドを備える絶縁層内に埋め込まれたキャパシタを備える、部分的に作製された受動電子部品の概略側断面図である。

【図11G】様々な実施形態による、受動電子部品の概略側断面図である。

【図11H】更なる絶縁キャリア層を有する受動電子部品の概略側断面図である。

【図11I】受動部品の上に更なる絶縁キャリア層及び成形コンパウンドを有する受動電子部品の概略側断面図である。

10

【図12A】別の実施形態による、上に複数の接触パッドを有し、受動電子部品を形成するために使用される第1の絶縁キャリアの概略側断面図である。

【図12B】第1の絶縁キャリアにキャパシタを電気的及び機械的に接続するはんだを備える第1の接着材を有する第1の絶縁キャリアの概略側断面図である。

【図12C】複数のキャパシタとキャパシタの周りに配設された成形コンパウンドとを有する第1の絶縁キャリアの概略側断面図である。

【図12D】第2の接着材層によって第1の接着材層及び成形コンパウンドに第2の絶縁キャリア層が接着された、部分的に画定された構成要素の概略側断面図である。

【図12E】外部要素との電気的導通用に内部に画定された様々な相互接続部及びトレースを有する受動電子部品の概略側断面図である。

20

【図13A】別の実施形態による、上に複数の接触パッドを有し、受動電子部品を形成するために使用される第1の絶縁キャリアの概略側断面図である。

【図13B】第1の絶縁キャリアにキャパシタを電気的及び機械的に接続するはんだを備える第1の接着材を有する第1の絶縁キャリアの概略側断面図である。

【図13C】絶縁キャリアが第1の絶縁キャリアに接着されキャパシタの周りに配設された、第1の絶縁キャリアの概略側断面図である。

【図13D】キャパシタの周りに成形コンパウンドが被着された、図13Cの部分的に画定された構成要素の概略側断面図である。

【図13E】第2の絶縁キャリアがキャパシタの上に設けられた、部分的に画定された構成要素の概略側断面図である。

30

【図13F】外部要素との電気的導通用に内部に画定された様々な相互接続部及びトレースを有する受動電子部品の概略側断面図である。

【図14A】接着材層によって実装された複数のキャパシタを有するキャリアの概略側断面図である。

【図14B】様々な実施形態による受動電子部品の概略側断面図である。

【図15】様々な実施形態による、接合構造物を形成する方法を示すフローチャートである。

【図16】様々な実施形態による、1つ以上の接合構造物を組み込んだ電子システムの概略システム図である。

40

【発明を実施するための形態】

【0006】

本明細書に開示された様々な実施形態は、半導体要素と、介在する接着材を使用せずに半導体要素に直接接合された受動電子部品と、を備える接合構造物に関する。様々な実施形態では、受動電子部品はキャパシタを備える。他の実施形態では、受動電子部品は、インダクタ、抵抗器、電圧レギュレータ、フィルタ及び/又は共振器などの他のデバイスを備えることができる。有益には、受動電子部品を、半導体要素(集積されたデバイスダイなど)に直接接合される受動部品の層に組み込むことができる。例示された実施形態では、例えば、受動部品の層を、半導体要素と、インターポーラ、システム基板などの別のシステム構成要素と、の間に配設することができる。それによって、本明細書に記載された

50

受動電子部品を、集積されたデバイスにおいて、パッケージにおいて及び／又はシステムボードにおいて受動部品によって占有される空間を低減することができる。更に、受動電子部品を半導体要素の能動構成要素により近く位置決めすることで、全インダクタンスを有益に低減し、これにより、パッケージ基板又はシステムボードに実装された受動デバイスと比較して、半導体要素の帯域幅及び信号完全性を改善することができる。加えて、開示された実施形態によって提供される全キャパシタンスにより、ダイに実装されたディスクリートの受動品と比較して、キャパシタンスを著しく高めること（及びインダクタンスを低減すること）が可能になる。

【0007】

様々な実施形態では、受動部品は、大容量を有する層状キャパシタ構造物を備えることができる。いくつかの実施形態では、例えば、層状キャパシタを用いて高誘電率（高K）ウエハ又はシートを作ることができる。第1の半導体要素又は第1のウエハ（例えば、複数のプロセッサを備えるプロセッサウエハ）などの第1の要素上と、第2の半導体要素又は第2のウエハ（例えば、1つ又は複数のキャパシタを画定するキャパシタウエハ）などの第2の要素上とに、ウエハ-ウエハ接合層を設けることができる。本明細書に開示された第1の要素及び第2の要素は、半導体材料から形成された半導体要素を備えることができ、又は様々な種類の光学デバイス（例えば、レンズ、フィルタ、導波路など）などの他の非半導体要素を備えることができる。様々な実施形態では、キャパシタウエハ及びプロセッサウエハの両方に直接接合するために、更なる直接接合層を追加及び調製することができる。本明細書に開示された層状キャパシタ構造物は、信号経路に直列に接続された交流（alternating current、AC）結合キャパシタとして使用されて、平衡高速信号伝達のために信号の直流（direct current、DC）成分をフィルタ除去することができる。層状キャパシタ構造物はまた、システム電源分配回路網（power delivery network、PDN）インピーダンスを低減するための、高容量と極低寄生のインダクタンス及び抵抗とを有するデカップリングキャパシタとして使用されてもよい。結果は、キャパシタ構造物が、ダイ又はパッケージ基板に実装されたディスクリートのキャパシタの使用と比較して、1000倍を超えて低減されたPDNインピーダンスを有する全ての周波数範囲の動作を可能にすることを示す。

【0008】

半導体要素と受動部品との間の直接接合は、介在する接着材を使用しない、半導体要素（例えば、プロセッサダイ又はウエハ）の対応する導電性特徴部と受動部品（例えば、半導体要素の接合パッド及び受動部品の対応する接触パッド）との間の直接接合を含むことができ、これに限定されない。いくつかの実施形態では、導電性特徴部は、非導電性フィールド領域によって囲まれてもよい。直接接合を達成するために、いくつかの実施形態では、導電性特徴部及び非導電性フィールド領域のそれぞれの接合表面を、接合のために調製することができる。調製は、金属ボンドパッド又はコンタクトなどの露出した導電性特徴部を有する、酸化シリコンなどの非導電層を設けることを含むことができる。導電性特徴部及び非導電性フィールド領域の接合表面を、非常に高い平滑度（例えば、20nm未満の表面粗さ又はより具体的には5nm未満の表面粗さ）に研磨することができる。いくつかの実施形態では、接合される表面を、好適な種で終端し、接合前に能動化してもよい。例えば、いくつかの実施形態では、酸化シリコン材料などの、接合される接合層の非導電性表面（例えば、フィールド領域）を、能動化のために非常にわずかにエッチングし、窒素含有溶液に暴露し、窒素含有種で終端してもよい。一実施例として、接合される表面（例えば、フィールド領域）を、非常にわずかなエッチング後のアンモニア浸漬、及び／又は窒素含有プラズマ（別個のエッチングを伴うか又は伴わない）に暴露してもよい。直接接合相互接続（direct bond interconnect、DBI）プロセスでは、ダイ及び受動部品層の非導電性特徴部は、室温であっても、外部圧力を印加することなく、互いに直接接合することができる一方、ダイ及び受動部品層の導電性特徴部も、介在する接着材層を全く伴わずに互いに直接接合することができる。DBIによる接合は、対象表面間の有意な共有結合を含む、ファンデルワールス結合よりも強い結合を形成する。

10

20

30

40

50

【0009】

いくつかの実施形態では、それぞれの導電性特徴部を、半導体要素及び受動部品の外面（例えば、フィールド領域）と同一面上とすることができる。他の実施形態では、導電性特徴部は、外面の上方に延在してもよい。更に他の実施形態では、半導体要素及び受動部品層の一方又は両方の導電性特徴部は、半導体要素及び受動部品の外面（例えば、非導電性フィールド領域）に対して凹んでいる。例えば、導電性特徴部は、20nm未満、例えば、10nm未満だけ、フィールド領域に対して凹んでいることが可能である。

【0010】

それぞれの表面を調製すると、半導体要素の非導電性フィールド領域（酸化シリコンなど）を、受動部品の対応する非導電性領域と接触させることができる。能動化された表面の相互作用により、半導体要素の非導電性領域を、介在する接着材を使用せずに、外部圧力を印加することなく、電圧を印加することなく、かつ室温で、受動部品の対応する非導電性領域と直接接合させることができる。様々な実施形態では、非導電性領域の結合力は、ファンデルワールス結合よりも大きい共有結合を含むことができ、導電性特徴部間に著しい力を及ぼすことができる。任意の熱処理の前に、誘電体-誘電体表面の結合エネルギーは、150～300mJ/m²の範囲内にあることが可能であり、これは、熱処理の期間後に1500～4000mJ/m²に増加することが可能である。導電性特徴部が非導電性領域と同一面上にあるか又は凹んでいるかにかかわらず、非導電性領域の直接接合は、導電性特徴部間の直接金属-金属結合を容易にすることができる。様々な実施形態では、半導体要素及び受動部品を、少なくとも非導電性領域を接合した後に加熱してもよい。上述したように、このような熱処理は、非導電性特徴部間、導電性特徴部間及び/又は対向する導電性領域と非導電性領域との間の接合を強化することができる。導電性特徴部の一方又は両方が凹んでいる実施形態では、半導体要素の導電性特徴部と受動部品層との間に初期隙が存在してもよく、非導電性領域を最初に接合した後の加熱によって、導電性要素を拡張して隙間を閉じることができる。初期隙が存在したかどうかにかかわらず、加熱によって、対向する一部の導電性要素間の圧力を発生又は増加させ、導電性特徴部の接合を補助し、直接電気的及び機械的接続を形成することができる。

10

20

30

40

【0011】

いくつかの実施形態では、キャパシタンスを、概して要素（例えば、半導体要素）の主横方向表面に対して非平行な（例えば、概して垂直な）方向に沿って配設された電極表面を有するキャパシタを設けることによって、改善することができる。増加した表面を提供する起伏を、横方向に延在するフィンを製造するための複数の層及びマスクと比較して、比較的単純にパターン化することができる。キャパシタは、非平行方向に沿って延在した、かつ介在する誘電体によって離間した主表面を含む第1の電極及び第2の電極を備えることができる。キャパシタの縦方向に配設された起伏（例えば、トレンチ）は、高アスペクト比を有することができ、例えば、非平行方向に沿った第1の電極の第1の高さは、主横方向表面に沿ったキャパシタの幅よりも長いことが可能である。アスペクト比は、第1の高さを幅で除することによって定義されることができ、5:1より大きいことが可能である。このような実施形態では、半導体要素に対して主に縦方向にキャパシタを設けることで、電極の全表面積を有益に増加させ、他の構成と比較してキャパシタンスを改善することができる。

【0012】

開示された実施形態の各々と併せて使用される直接接合プロセスの更なる詳細は、米国特許第7,126,212号、同第8,153,505号、同第7,622,324号、同第7,602,070号、同第8,163,373号、同第8,389,378号及び同第8,735,219号を通して、並びに米国特許出願第14/835,379号、同第62/278,354号、同第62/303,930号及び同第15/137,930号を通して見出すことができ、それらの各々の内容は、参照によりそのままあらゆる目的で本明細書に援用される。

【0013】

50

図 1 A は、様々な実施形態による、パッケージ基板 5 などのキャリアに実装された接合構造物 1 の概略側面図である。例示されたキャリアはパッケージ基板を備えるが、他の実施形態では、キャリアは、集積されたデバイスダイ又は任意の他の好適な要素を備えることができる。パッケージ基板 5 は、システムマザーボードに実装されるように構成された任意の好適な基板を備えることができる。例えば、様々な実施形態において、パッケージ基板 5 は、プリント回路基板 (printed circuit board、PCB)、インターポーザ、リードフレーム、セラミック基板、ポリマー基板又は任意の他の好適なキャリアを備えることができる。図 1 A に示すように、パッケージ基板 5 は、システムマザーボード (図示せず) との電気的接続を提供する複数のはんだボール 6 を備えることができる。他の実施形態では、パッケージ基板 5 は、他の方法でシステムマザーボードに電気的に接続することができる。

10

【 0 0 1 4 】

図 1 A では、接合構造物 1 は、要素 (例えば、半導体要素 2) と、要素 2 と直接電気的及び機械的に接続された受動電子部品 3 と、を備える。図 1 A に例示された要素 2 は、プロセッサダイなどの半導体要素を備えるが、他の種類の集積されたデバイスダイ又は半導体要素を使用することができる。例えば、他の実施形態では、要素 2 として、メモリダイ、微小電気機械システム (microelectromechanical system、MEMS) ダイ、光学デバイス若しくはダイ、インターポーザ、再構成ダイ若しくはウエハ、又は任意の他の好適なデバイス若しくは要素を挙げることができる。様々な実施形態では、本明細書に例示された要素 2 として、代わりに、受動電子部品 3 を、半導体材料を備えても備えなくてもよい光学要素 (例えば、光学レンズ、導波路、フィルタなど) などの他の種類の要素に機械的及び電気的に接続することができる、非半導体要素を挙げることができる。

20

【 0 0 1 5 】

本明細書で説明するように、様々な用途 (高速通信又は電力ダイなど) において、全インピーダンス及び / 又はインダクタンスを低減するために、半導体要素 2 の能動回路の近くに受動電子部品 (キャパシタなど) を設けることが重要である可能性があり、これにより、信号完全性を改善し、スイッチングノイズを低減することができる。したがって、図 1 A に示すように、受動電子部品 3 を、半導体要素 2 の能動表面 1 1 に接合することができる、すなわち、能動電子回路を、半導体要素 2 の能動表面 1 1 又は能動表面 1 1 の近くに画定することができる。例示された実施形態では、受動電子部品 3 を、介在する接着材を使用せずに、半導体要素 2 の能動表面 1 1 に直接接合する。しかしながら、他の実施形態では、受動電子部品 3 を、例えば、リフロー、導電性ピラーを有するマイクロバンプアレイによって又は熱圧着によって、半導体要素 2 に接着することができる。有益には、受動電子部品 3 を半導体要素 2 の前面又は能動表面 1 1 に接合することで、システムボード又はパッケージ基板に受動デバイスを実装するシステムと比較して、信号線の長さ及び全インピーダンス及び / 又はインダクタンスを低減することができる。受動部品 3 は、受動部品 3 中のノイズ成分を静かに作用させることによって、半導体要素 2 の電圧要件を低減することができる。更に、受動電子部品 3 を半導体要素 2 に接合することで、半導体要素 2 に接合された薄層を受動品が占有することから、パッケージの全体寸法を低減することができる。しかしながら、当業者であれば、例えば半導体要素の裏側の貫通シリコンビア (through silicon via、TSV) による、キャリアと半導体要素との間における受動電子部品の直接接合を理解するであろう。

30

【 0 0 1 6 】

図 1 A に示すように、受動電子部品 3 は、半導体要素 2 に直接接合された第 1 の表面 1 2 と、受動電子部品 3 の第 1 の表面 1 2 と反対側の第 2 の外面 1 3 と、を備えることができる。受動電子部品 3 の第 2 の外面 1 3 上に、複数の電気接点 4 (例えば、はんだボール) を設けることができる。複数の電気接点 4 を、図 1 A に示されたパッケージ基板 5 (例えば、プリント回路基板、インターポーザなど) などの外部の半導体要素と電気的に接続するように構成することができる。これに代えて、第 2 の表面 1 3 は、別の半導体要素 (例えば、ダイ又はインターポーザ) などの、接合構造物のためのキャリアとして供される

40

50

別の要素への直接接合接続のために構成された露出した接点又はパッドを有することができる。

【0017】

図1Aに示すように、受動電子部品3は、半導体要素2の能動表面11の大部分、例えば、処理又は他の能動タスクに使用される半導体要素2の表面の大部分を覆うことができる（例えば、当該大部分の上に配設されることが可能である）。例えば、様々な実施形態では、受動電子部品3は、半導体要素2の能動表面11の少なくとも55%、少なくとも65%、少なくとも75%、少なくとも85%、少なくとも95%、少なくとも99%又は少なくとも100%を覆うことができる。図1Aでは、半導体要素2の能動表面11全体を実質的に覆うものとして、単一の一体型受動部品3が示されているが、他の実施形態では、受動部品3は、要素2の能動表面11の大部分を覆うように接合された、複数のディスクリート又は別個の受動部品を備えることができる。加えて、他の実施形態では、受動電子部品3を、半導体要素2の裏側、すなわち、能動表面11と反対側の表面に機械的及び電気的に接続してもよい。このような構成では、受動部品3が要素2の裏側に実装されているとしても、要素2内の導体の長さは、パッケージング基板上の別個の表面実装された受動品までの経路指定に対するインピーダンスを十分に低減するように十分に短くてもよい。更に、図1Aに示すように、受動電子部品3は、半導体要素2に接合された（例えば、介在する接着材を使用せずに直接接合された）シートを備えることができ、すなわち、受動電子部品3を、受動電子部品3の厚さよりも著しく大きい横方向の幅を有するように寸法設定することができる。例えば、受動電子部品3は、部品3の（例えば、要素2の能動表面11に垂直な方向に沿って画定されるような）部品3の厚さの少なくとも3倍、少なくとも5倍、少なくとも10倍又は少なくとも50倍である、（例えば、要素2の能動表面11に平行な方向に沿って画定されるような）横方向の幅を有することができる。

10

20

30

40

【0018】

受動電子部品3を、犠牲ウエハ（例えば、シリコン又はガラス）上に設けることができ、半導体要素2もウエハ上に設けることができる。2つのウエハを、複数の受動部品3が対応する複数の半導体要素2に接合されることが可能であり、それにより製造スループットを改善することができるよう、ウエハレベルで互いに直接接合する（例えば、ウエハ-ウエハ又はW2W(wafer-to-wafer)）ことができる。接合後、ウエハの基料を、ダイシングの前又は後に薄化又は除去することができる。他の実施形態では、受動電子部品3を、ピックして半導体要素2上に配置することができ、又は他の処理技術を用いて半導体要素2に接合することができる。

【0019】

図1Bは、バルク材料部分37（例えば、バルク半導体材料）及び能動表面11を備える半導体要素2と、接合構造物1を形成する前の受動電子部品3との概略側面図である。特に断らない限り、図1Bの特徴は、図1Aの同様の番号の特徴と同じであってもよく又は概して同様であってもよい。上記で説明したように、受動部品3及び半導体要素2は、それぞれの接合層8a、8bを備えることができる（図2も参照）。例示された実施形態では、受動電子部品3の接合層8aは、非導電性フィールド領域（図2を参照）によって囲まれた、金属などの1つ又は複数の導電性特徴部9a、9a'を備えることができる。同様に、接合層8bは、酸化シリコンなどの非導電性フィールド領域（図2を参照）によって囲まれた、金属などの1つ又は複数の導電性特徴部9b、9b'を備えることができる。導電性特徴部9a、9a'、9b、9b'は、電気相互接続部として作用して、半導体要素2と受動部品3との間の電気的導通を提供することができる。導電性特徴部9a、9a'、9b、9b'は、銅などの任意の好適な金属又は導体を備えることができる。上記で説明したように、導電性特徴部9a、9a'、9b、9b'は、下方に凹んでいることが可能であるか、非導電性フィールド領域の外面の上方に突出することができるか又は当該外面と同一平面上にあることが可能である。

【0020】

50

図 1 B の実施形態では、導電性特徴部 9 a は、第 1 の端子（例えば、容量性デバイスのアノード）を備えることができ、他方の導電性特徴部 9 a' は、第 1 の端子とは異なる種類の第 2 の端子（例えば、容量性デバイスのカソード）を備えることができる。同様に、導電性特徴部 9 b は、要素 2 の第 1 の端子（例えば、アノード）を備えることができ、他方の導電性特徴部 9 a' は、第 1 の端子とは異なる種類の要素 2 の第 2 の端子（例えば、カソード）を備えることができる。有益には、本明細書に開示された様々な実施形態は、受動電子部品 3 の同じ第 1 の表面 12 上にアノード及びカソード（例えば、導電性特徴部 9 a、9 a'）の両方を含むことができる。したがって、半導体要素 2 のそれぞれのアノード端子 9 b は、第 1 の表面 12 上に配設された受動電子部品 3 の対応するそれぞれのアノード端子 9 a に接合し、電気的に接続することができる。半導体要素 2 のそれぞれのカソード端子 9 b' は、第 1 の表面 12 上に配設された受動電子部品 3 の対応するそれぞれのカソード端子 9 a' に接合し、電気的に接続することができる。

10

【0021】

有利には、受動電子部品 3 の同じ第 1 の表面 12 上にアノード端子 9 a 及びカソード端子 9 a' を設けることで、受動部品 3 の同じ側に沿った 2 つの構造物のウエハレベルの接合（例えば、半導体要素 2 と受動部品 3 との接合）を可能にすることができます。したがって、本明細書に開示された実施形態では、受動部品 3 の対向する各側は、1 つ又は複数のアノードと 1 つ又は複数のカソードと（例えば、異なる種類の端子）を備えることができる。様々な実施形態において、部品 3 の一方側又は両側は、1 つ以上のダミー端子を備えることができる。要素（半導体要素 2 など）は、受動部品の一方側（例えば、第 1 の側）の対応するアノード端子及びカソード端子に接続された（例えば、接合された）接点を有することができます。第 2 の要素（別の半導体要素、パッケージ基板など）は、受動部品 3 の反対側（例えば、第 2 の側）の対応する第 2 のアノード及びカソード端子に接続された（例えば、接合された）接点を有することができます。図 1 B の例示された実施形態では、例えば、要素 2 を、受動部品 3 の第 1 の側の異なる種類（例えば、アノード端子及びカソード端子）の対応する第 1 の端子及び第 2 の端子に接続することができる。パッケージ基板などの別の要素（図示せず）は、例えば、相互接続部 4（はんだボールを備えてもよい）によって、受動部品 3 の反対の第 2 の側の異なる種類の対応する第 1 の端子及び第 2 の端子（例えば、アノード端子及びカソード端子）に接続することができる。

20

【0022】

30

様々な実施形態において、アノード端子 9 a、9 b を、介在する接着材を使用せずに互いに直接接合する。同様に、カソード端子 9 a'、9 b' を、介在する接着材を使用せずに互いに直接接合することもできる。様々な実施形態では、それぞれのアノード端子 9 a、9 b 及びカソード端子 9 a'、9 b' を、熱圧着によって接続することができる。他の実施形態では、それぞれのアノード端子 9 a、9 b 及びカソード端子 9 a'、9 b' を、他の方法で、例えば、はんだ、異方性導電膜などの導電性接着材によって接続することができる。更に、図 1 B に示すように、受動部品 3 の様々な部分は、異なる種類の相互接続部及び／又は受動部品を有することができる。例えば、受動電子部品 3 の一部分は、図 2 に例示された部分と同様の、多層容量性部分を備えることができ、受動電子部品 3 の別の部分は、図 4 A に示されたものと同様の直列容量相互接続部を備えることができる。受動電子部品の更に他の部分に、図 3 A に示されたような低抵抗電気経路（例えば、貫通相互接続部）を設けてもよい。更に、図 7 A～図 7 C に示されたような受動電子部品はまた、部品の同じ面上にアノード端子 9 a 及びカソード端子 9 a' を含んでもよい。

40

【0023】

50

図 2 は、直接接合の直前の、図 1 A～図 1 B に示された半導体要素 2 及び受動電子部品 3 の部分の概略拡大側断面図である。上記で説明したように、受動部品 3 は接合層 8 a を備えることができ、半導体要素 2 は接合層 8 b を備えることができる。例示された実施形態では、接合層 8 a は、酸化シリコン材料の形態などの非導電性フィールド領域 7 a によって囲まれた、金属などの 1 つ又は複数の導電性特徴部 9 a、9 a' を備えることができる。同様に、接合層 8 b は、酸化シリコンなどの非導電性フィールド領域 7 b によって囲

まれた、金属などの1つ又は複数の導電性特徴部9b、9b'を備えることができる。導電性特徴部9a、9a'、9b、9b'は、電気相互接続部として作用して、半導体要素2と受動部品3との間の電気的導通を提供することができる。導電性特徴部9a、9a'、9b、9b'は、銅などの任意の好適な金属又は導体を備えることができる。上記で説明したように、導電性特徴部9a、9a'、9b、9b'は、下方に凹んでいることが可能であるか、非導電性フィールド領域7a、7bの外面の上方に突出することが可能であるか又は当該外面と同一平面上にあることが可能である。非導電性フィールド領域7a、7bは、直接接合のために調製されることが可能である、酸化シリコン、ドープされていない又は非常に軽くドープされたシリコン、窒化ケイ素などの任意の好適な非導電材料を備えることができる。

10

【0024】

上記で説明したように、接合層8a、8bを、(例えば、化学的機械研磨、又はCMP(chemical mechanical polishing)によって)非常に低い表面粗さ(例えば、20nm未満又はより具体的には5nm未満のRMS粗さ)に研磨することができる。上記で説明したように、接合層8a、8b(例えば、非導電性フィールド領域7a、7b)を、(例えば、反応性イオンエッティングで)窒素含有プラズマへの暴露によって、又はごくわずかにエッティングし、続いて窒素含有(例えば、アンモニア)溶液に暴露することによって、窒素などの好適な種で能動化及び終端することができる。接合層8a、8bを、いくつかの実施形態において、室温で一緒にして、フィールド領域7a、7b間の直接接合を形成することができる。半導体要素2及び受動部品3を加熱して、フィールド領域7a、7b間の接合を強化する、及び/又は導電性特徴部9a及び9b並びに9a'及び9b'を膨張させて電気的接続を形成させることができる。有益には、直接接合を使用することで、半導体要素2と受動部品3との間の低インピーダンス及び低インダクタンスの電気経路を提供することができ、これにより、電源完全性又は信号完全性を改善することができる。

20

【0025】

図2に示すように、半導体要素2は、半導体要素2内及び/又は半導体要素2と受動電子部品3との間で電気信号を経路指定するための内部導電トレース14及びピア15を備えることができる。電気信号は、導電性特徴部9a、9a'及び9b、9b'(それぞれ、互いに直接接合されてもよい)を、通過して受動電子部品3に至る及び/又は受動電子部品3から通過することができる。導電性特徴部9a、9a'は、受動電子部品3の第1の表面12又は第1の表面12の近くの接触パッド21を画定することができるか、接触パッド21として作用することができるか又は接触パッド21に接続することができる。図2に示すように、様々な実施形態では、受動電子部品3は、1つ又は複数の誘電体又は非導電層10によって離間した複数の(例えば、2つ以上又は3つ以上の)導電層16を備えることができる。図2に示すように、接合構造物1は、接触パッド21と、半導体要素2と受動電子部品3の第2の表面13上の電気接点4との間の電気経路又は相互接続部18と、を含む相互接続構造物17を画定する導電特徴部9a、9a'、9b、9b'を含むことができる。図2では、接合層8a、8bの各々の上に複数の導電性特徴部9a、9a'、9b、9b'が示されており、これによって凹みを低減し得る。しかしながら、他の実施形態では、接触パッド21を、処理中の凹みの影響を回避するように十分に小さく画定してもよい。このような構成では、各接触パッド21は、1つの導電性特徴部を備えることができる。

30

【0026】

図2は、3つの接触パッド21及び3つの相互接続部4を例示しているが、様々な実施形態では、接触パッド21及び相互接続部4の数は異なってもよい。例えば、いくつかの実施形態では、半導体要素2及び/又は受動部品3上の接触パッド21のピッチは、相互接続部4のピッチよりも小さくてもよい。様々な実装形態では、例えば、相互接続部4のピッチは、接触パッド21のピッチよりも著しく大きくてよく、例えば、相互接続部4のピッチは、接触パッド21のピッチの少なくとも10倍、少なくとも20倍、少なくとも30倍であってもよい。一例として、相互接続部4のピッチは、100ミクロン~30

40

50

0ミクロンの範囲又は100ミクロン～200ミクロン（例えば、約150ミクロン）の範囲内にあることが可能である。接触パッド21のピッチは、0.5ミクロン～50ミクロンの範囲、0.5ミクロン～20ミクロンの範囲又は1ミクロン～10ミクロン（例えば、約5ミクロン）の範囲内にあることが可能である。

【0027】

いくつかの実施形態では、第1の導電相互接続部18aは、第1の表面12（又は接触パッド21）から、受動電子部品3の第2の表面13の対応する電気接点4まで延在する。第2の導電相互接続部18b及び第3の導電相互接続部18cもまた、接触パッド21から第2の表面13の対応する電気接点4まで延在することができる。図2では、例えば、導電電気相互接続部18a～18cの各々は、第1の表面12又は第1の表面12の近くの対応する接触パッド21から対応する電気接点4まで延在する、長手方向導電部分19を備えることができる。図2に示すように、長手方向部分19は、受動電子部品3の厚さを貫いて縦方向に（例えば、半導体要素2の能動表面11を横断して）延在することができる。導電相互接続部18a～18cは、長手方向導電部分19から横方向外側に延在する1つ以上の横方向導電部分20を含むことができる。長手方向導電部分19は抵抗性電気経路を画定することができ、1つ以上の横方向導電部分20は、抵抗性電気経路と並列の容量性電気経路を画定することができる。図2に示すように、第1の相互接続部18aの1つ以上の横方向導電部分20を、第2の相互接続部18bの横方向部分20と交互配置することができ、介在する誘電体層10によって分離することができる。同様に、第2の相互接続部18bの横方向導電部分20を、第3の相互接続部18cの横方向部分20と交互配置することができ、介在する誘電体層10によって分離することができる。それぞれの相互接続部18a～18cの横方向部分20の交互配置は、各横方向部分20がキャパシタの電極として作用して介在する誘電体層10がキャパシタ誘電体として作用するように、それぞれの容量性電気経路を少なくとも部分的に画定することができる。様々な実施形態において、誘電体層10は、チタン酸塩（Ba_x Sr_{1-x} TiO₃、Bi₄ Ti₃O₁₂、PbZr_x Ti_{1-x}O₃）、ニオブ酸塩（LiNbO₃）及び/又はジルコン酸塩（BaZrO₃、CaZrO₃など）などの高K誘電材体層を備えることができる。他の実施形態では、誘電体層10は、酸化ケイ素、窒化ケイ素などの任意の好適な誘電材料を備えてもよい。いくつかの実施形態では、誘電体層は、1～1000の範囲の誘電率を有することができる。いくつかの実施形態では、誘電体層は、1～10の範囲内にある誘電率を有することができる。図1Bに関連して上記で説明したように、例示された実施形態では、受動部品3のアノード端子及びカソード端子を、部品3の同じ側に沿って配設してもよい。

【0028】

様々な実施形態では、第1の相互接続構造物18a及び第3の相互接続構造物18cを電源に接続するように構成することができ、第2の相互接続構造物18bを、電気グランドに接続するように構成することができ、又はその逆も可能である。図2の受動電子部品3は、電源とグランドとの間に並列接続された多層デカップリングキャパシタとして有益に作用して電源分配回路網（PDN）インピーダンスを低減し、これにより電源完全性を改善することができる。更に、デカップリングキャパシタ（例えば、相互接続構造物18a～18cによって画定されたキャパシタ）を半導体要素2の能動表面11の近く（例えば、加工ダイのスイッチの近く）に設けることで、接合構造物1の電源完全性を更に改善することができる。ダイのコア領域内のデカップリングキャパシタンス（開示された実施形態によって提供されるものなど）は、電子デバイス内の計算エンジンに安定した電源を提供することができる。このデカップリングキャパシタンスを増加させることで、電圧スイギングの安定性が高まり、電圧不定を考慮するためにタイミング分析に適応される付加的なマージン量を低減する。対照的に、平行なプレート構造物にデカップリングキャパシタンスを追加することは、比較的小さいキャパシタンス値を呈する。深いトレンチキャパシタは、より高いキャパシタンスを提供し得るが、電子デバイスに面積及びコストを追加し得る貴重なフットプリントを占有し得る。

10

20

30

40

50

【0029】

図3Aは、比較的低速の接続用に構成された受動電子部品3の一部分の概略側断面図である。図3Bは、図3Aの受動電子部品3の概略回路図である。図3Aに示すように、受動部品3は、受動部品3の第1の表面12と第2の表面13との間に低抵抗及び低キャパシタンスを有する電気経路18を備えることができる。例えば、図3Aでは、経路18は、接触パッド21と電気接点4とを直接接続する長手方向導電部分19を含むことができる。長手方向導電部分19は、接触パッド21と接点4との間の信号を短絡させるように作用する。加えて、図3Aに示すように、横方向導電部分20を、長手方向導電部分19からオフセットして配設することができる。横方向導電部分20は、受動部品3の厚さに沿って互いに離間することが可能であり、介在する誘電体層10によって分離されることが可能である。図3A～図3Bの受動部品3内に画定された電気経路18は、長手方向導電部分19が接触パッド21と電気接点4との間の接続を短絡させることから、比較的低速の接続に好適であり得る。

10

【0030】

図4Aは、高速直列リンク信号伝達用に構成された受動電子部品3の一部分の概略側断面図である。図4Bは、図4Aの受動電子部品3の概略回路図である。直列リンクでは、受動電子部品3は、様々な目的を果たすことができるDC遮断キャパシタとして作用することができる。例えば、受動電子部品3は、平均DCバイアスレベルを調節する（例えば、DC成分をフィルタ除去する）ことができ、不十分なパワーアップシーケンシングに起因する可能性がある破壊的な過負荷イベントからトランスマッタ/レシーバを保護することができ、及び/又は配線が切断されたときを検出する回路の一部として機能することができる。これらの用途では、DC遮断キャパシタは、DC遮断キャパシタを通過する信号の高周波成分を歪ませない。様々な実施形態では、信号のDC成分を除く全ての高周波成分は、いかなる歪みも伴わずに通過することができる。それゆえ、低い接続寄生抵抗及び/又はインダクタンスを有する大きなキャパシタンス値を提供することができる。図4A～図4Bの実施形態は、500MHz以上の周波数に対して有益であることが可能であるが、他の実施形態では、開示された実施形態と併せてより低い周波数範囲が使用されてもよい。図4Aに示すように、受動電子部品3は、接触パッド21と電気接点4との間に配設された多層キャパシタを含む電気経路を備えることができる。実際に、図3Aの実施形態とは異なり、図4Aでは、接触パッド21と接点4との間の経路18は、受動電子部品3の厚さにわたる介在する誘電体層10によって離間した複数の横方向導電部分20によって画定された容量性電気経路である。図4Aに示された複数の層は、電気的に直列に接続された複数のキャパシタとして電気的に機能することができる。図4Aの経路18によって提供される実効キャパシタンスは、 $10\text{ nF/mm}^2 \sim 1\mu\text{F/mm}^2$ の範囲内にあることが可能である。有益には、例示された実施形態では、電気経路18に沿って画定されたキャパシタは、信号のDC成分をフィルタ除去して、平衡高速信号を提供することができる（例えば、経路18は、ハイパスフィルタとして作用することができる）。更に、受動部品3を半導体要素2の能動回路のより近くに位置決めすることで、接合構造物1の性能を更に改善することができ、反射雑音を低減することができる。

20

30

【0031】

図5A～図5Iは、受動電子部品3が半導体要素2に接合される（例えば、直接接合される）別の実施形態を例示している。図1Bに関連して上記に説明したように、図5A～図5Iでは、受動電子部品3のアノード端子及びカソード端子を、部品3の同じ側又は表面に沿って配設することができる。様々な構成において、受動部品3は、プロセッサなどの他の部品との直接接合及び集積のための集積された相互接続部を有する、高誘電率（高K）薄膜キャパシタ層を備えることができる。例えば、図5A～図5Iの実施形態では、受動部品3は、5より大きい、10より大きい、20より大きい又は100より大きい誘電率を有する誘電材料を備えることができる。このような高K材料は製造することが困難である場合があり、他の種類のデバイス（例えば、プロセッサ又は他の半導体製造）を露出させるのに不適切である場合があり、そのため、従来の半導体デバイスにこのような材

40

50

料を統合することが困難である。したがって、本明細書に開示される実施形態では、半導体要素2を、1つの設備（例えば、相補的金属酸化物半導体又はC M O Sの設備）で製造することができ、受動部品3を、高K材料の処理パラメータに適応することができる別の設備で製造することができる。半導体要素2と受動部品3とは、接合層を備えることが可能であり、半導体要素2と受動部品3とを接続するように直接接合されることが可能である。したがって、本明細書に開示される実施形態は、薄膜、高K誘電材料を、任意の好適な種類の半導体又は光学要素との別個の製造及びその後の集積を可能にすることができる。

【0032】

図5Aは、容量性シートを画定するために高K誘電材料を組み込む受動電子部品3の概略側面図である。受動電子部品3は、キャパシタンス性シートを画定することができるベース122を備えることができる。ベース122は、受動部品3を半導体要素2に接合する前にベース122を除去することができるよう、犠牲的であってもよい。様々な実施形態において、ベース122は、シリコンなどの半導体材料を備えることができる。任意の好適な方法でベース122上に第1の電極120を形成することができる。例えば、第1の電極120は、有機金属化学蒸着（metal organic chemical vapor deposition、M O C V D）プロセス、物理蒸着（physical vapor deposition、P V D）若しくはスパッタリングプロセス又はゾル・ゲルプロセス（スピノン及び硬化）を使用してベース122上に堆積させることができる。第1の電極120は、白金（P t）又はルテニウム（R u）などの高融点金属を備えることができる。図示された実施形態では、第1の電極120は、ベース122の上に連続又はブランケットフィルムとして堆積させることができ、複数のキャパシタの共通電極として供されることが可能である。

10

20

30

40

【0033】

第1の電極120上に高K誘電体層110を堆積するか又は別 の方法で形成することができる。例えば、様々な実施形態では、誘電体層110は、C V D、P V D、粉末焼結又は他の好適な技術を使用して堆積させることができる。有益には、誘電体層110は、5より大きい、10より大きい、20より大きい、100より大きい又は200より大きい（例えば、約300）又は1000より大きい誘電率を有することができる。様々な実施形態において、例えば、誘電体層は、三元酸化バリウムストロンチウムチタン酸塩（B a S r T i O₃又はB S T）、他のチタン酸塩（B a x S r 1 - x T i O₃、B i 4 T i 3 O₁₂、P b Z r x T i 1 - x O₃）、ニオブ酸塩（L i N b O₃）及び/又はジルコン酸塩（B a Z r O₃、C a Z r O₃など）の複合酸化物高K材料を備えることができる。したがって、図2～図4Bの実施形態とは異なり、受動部品3と共に、（導電体を有する交互の多層ではなく）単一の薄い誘電体層のみが使用されてもよい。いくつかの実施形態では、誘電体層110を形成するために、複数層の誘電材料が設けられてもよい。

【0034】

誘電体層110上に第2の電極121を堆積することができる。第2の電極121は、高融点金属及び特に貴金属（例えば、P t又はR u）などの、任意の好適な導電材料であることが可能である。第1の電極120及び第2の電極121（例えば、P t）の一方又は両方の高融点金属又は貴金属は、（オーム接触とは対照的に）ショットキーバリアを有益に形成することができ、これにより、キャパシタの性能を改善することができる。したがって、例示された実施形態では、電極120、121の高融点金属又は貴金属は、最終の接合構造物1内に残存して、改善された性能を提供することができる。いくつかの実施形態では、第1の電極120及び/又は第2の電極121の貴金属又は高融点金属を、抵抗を低減するために別の金属（例えば、銅）でめっきすることができる。しかしながら、他の実施形態では、第1の電極120及び/又は第2の電極121を、受動部品3の形成後に除去し、第1の電極120及び第2の電極121として供される別の金属（例えば、銅）と置き換えてよい。

【0035】

第2の電極121をパターン化して、第2の電極121の部分間に多数の間隙123を

50

画定することができる。電極を複数の部分にパターン化することで、受動電子部品3によって提供される全キャパシタンスを画定することができる。例えば、第2の電極121の大きい部分ほど、増大した面積及び増大したキャパシタンスを提供し得るが、第2の電極121の小さい部分ほど、低減された面積及び低減されたキャパシタンスを提供し得る。様々な実施形態では、受動部品3は、セルが図5Aに例示されたものと同様である容量性セルのアレイを備えることができる。いくつかの実施形態では、受動部品3は、少なくとも5nF/mm²、少なくとも10nF/mm²、少なくとも20nF/mm²、少なくとも50nF/mm²、少なくとも100nF/mm²又は少なくとも200nF/mm²の単位面積当たりの実効キャパシタンスを有するセルを含むことができる。例えば、様々な実施形態では、受動部品3は、5nF/mm²~400nF/mm²の範囲、10nF/mm²~300nF/mm²の範囲、10nF/mm²~250nF/mm²の範囲、10nF/mm²~150nF/mm²の範囲又は10nF/mm²~100nF/mm²の範囲内にある単位面積当たりの実効キャパシタンスを有するセルを含むことができる。いくつかの実施形態では、例えば、受動部品3は、1nF/mm²~10nF/mm²の範囲、10nF/mm²~100nF/mm²の範囲、100nF/mm²~400nF/mm²の範囲内にある又は400nF/mm²より大きい(例えば、400nF/mm²~1000nF/mm²の範囲)単位面積当たりの実効キャパシタンスを有するセルを含むことができる。有益には、高K材料と直列に低K材料が存在しないように、高K誘電材料のみを使用してもよい。高K材料のみを使用することにより、受動部品3の全キャパシタンスを改善することができる。

10

20

30

【0036】

図5Bは、パターン化された第2の電極121の上に設けられた接合層8aを有する、図5Aの受動電子部品3の概略側断面図である。接合層8aは、再配線層(RDL)などの相互接続層として作用して、受動電子部品3を要素2などの他の構造物に接合することができる。例えば、上記で説明したように、接合層8aは、接触パッドに接続されるか又は接触パッドを画定し非導電性フィールド領域7aを囲む導電性特徴部9aを備えることができる。導電性特徴部9aは、銅などの任意の好適な金属を備えることができる。フィールド領域7aは、酸化ケイ素などの任意の好適な非導電材料を備えることができる。図5Bに示すように、非導電性フィールド領域7aを、第2の電極121のパターン化された部分を電気的に分離していくつかの実施形態における別個の容量性セルを画定するように、図5Aの間隙123内に配設することができる。有利には、受動電子部品3上に(例えば、銅などの金属を使用して)接合層8aを設けることで、低温アニール(例えば、150未満)の使用を可能にして、直接接合を改善し、異なる熱膨張係数(coefficient of thermal expansion, CTE)に起因する材料の熱的不整合を低減又は排除することができる。図5Cは、接合前の半導体要素2の一部分の概略側断面図である。半導体要素2は、図2に示された半導体要素2と同じ又は概して同様であることが可能であり、トレス14及びビア15は、導電性特徴部9bと能動回路との間の要素2との電気的導通を提供する。

30

40

【0037】

図5Dは、高K誘電材料を含む受動部品3に半導体要素2が直接接合された接合構造物1の概略側断面図である。上記で説明したように、受動部品3及び半導体要素2の接合層8a、8bを、非常に低い表面粗さに研磨することができる。研磨面を、所望の種(窒素など)で能動化及び終端することができる。接合層8a、8bを(例えば、室温で)直接接触させて、酸化物材料などのそれぞれのフィールド領域7a、7b間に強い接合を形成することができる。構造物1を加熱して、接合強度を増加させ、導電性特徴部9a、9b間の電気接続部を生じさせることができる。したがって、図5Dに示すように、受動電子部品3を、介在する接着材を使用せずに直接接合界面24に沿って半導体要素2に直接接合することができる。有益には、直接結合を使用することで、半導体要素2と受動部品3との間に低インピーダンス及び低インダクタンスの電気経路を設けることができ、これにより、電源完全性又は信号完全性を改善することができる。しかしながら、他の実施

50

形態では、導電性特徴部 9 a、9 b を、導電性接着材（例えば、はんだ）で互いに接着することができ、又は熱圧着技術を使用して接合することができる。

【0038】

図 5 E に示すように、基部 122 を、受動電子部品 3 の裏側から（例えば、研削、研磨、エッティングなどによって）除去することができる。いくつかの実施形態では、第 1 の電極 120 もパターン化して、部品 3 のキャパシタンスを更に画定してもよい。例えば、処理中に貴金属又は高融点金属を使用して、受動電子部品 3 を画定することができる。いくつかの構成では、高融点金属上に更なる金属電極を追加又は堆積して、パッド抵抗を低減する又は特定の集積要件を満たすことが望ましい場合がある。しかしながら、他の実施形態では、第 1 の電極 120 及び第 2 の電極 121 として供される貴金属又は高融点金属は、除去されなくてもよく、したがって、結果として得られる接合構造物 1 内に残存してもよい。これらの貴金属又は高融点金属を、更なる離散的な電極領域を生成するようにパターン化してもよいし、しなくてもよい。他の実施形態では、第 1 の電極 120 及び / 又は第 2 の電極 121 は、除去され他の金属によって置き換えられることが可能である犠牲材料を備えることができる。図 5 E では、受動電子部品 3 は、半導体要素 2 よりも横方向に幅広であるものとして例示されている。しかしながら、受動電子部品 3 は、半導体要素 2 の一部分のみを覆ってもよいことを理解されたい。例えば、上記で説明したように、受動部品 3 は、半導体要素 2 の能動表面 11 の少なくとも 55%、少なくとも 65%、少なくとも 75%、少なくとも 85%、少なくとも 95%、少なくとも 99% 又は少なくとも 100% を覆うことができる。

10

20

30

【0039】

図 5 F は、集積された電源電極 126（又は信号電極）及びグランド電極 125 を有する受動電子部品 3 の概略側断面図である。図 5 G は、図 5 F の受動電子部品 3 の平面図である。図 5 F に示すように、グランド電極 125 は、第 1 の表面 12 からフィールド領域 7a 及び誘電体層 110 を貫いて延在することができ、第 1 の電極 120 に接触することができる。様々な実施形態において、第 1 の電極 120 を電気グランドに接続することができ、電気グランドは、半導体要素 2 と接続されたときにグランドピン又はグランド端子を提供することができる。図 5 A 及び図 5 B に示された電源電極 126 は、第 1 の表面 12 と第 1 の電極 120 との間に容量性電気経路を備えることができる。したがって、半導体要素 2 に接続されると、（導電性特徴部 9a 及び / 又は接触パッド 21 によって）第 1 の表面 12 と第 1 の電極 120 の部分との間で電力を伝達することができ、第 1 の電極 120 は次にパッケージ基板 5 などの別の構造物に接続することができる。例示しないが、予め画定された電気経路に沿って電力を提供するために、第 1 の電極 120 を、パターン化することができ、又は相互接続層（配線金属層の後端など）によって除去及び置換することができる。

40

【0040】

図 5 H は、別の実施形態による受動電子部品 3 の概略側断面図である。図 5 I は、図 5 H の受動電子部品 3 の平面図である。図 5 F 及び図 5 G の実施形態とは異なり、図 5 H 及び図 5 I では、受動電子部品 3 は、図 5 F 及び図 5 G に示された電源電極 126 及びグランド電極 125 に加えて、短絡電源電極 127 を含むことができる。図 5 H に示すように、例えば、いくつかの電源電極 127 は、直接導電相互接続部によって部品 3 の第 2 の表面 13 に接続されてもよい。したがって、図 5 H 及び図 5 I では、電源電極 126 は、導電性特徴部 9a（又は接触パッド 21）と第 2 の表面 13 との間に容量性電気経路を備えてもよい一方、短絡電源電極 127 は、導電性特徴部 9a（又は接触パッド 21）と第 2 の表面 13 との間に導電性又は抵抗性の電気経路を備えてもよい。

50

【0041】

したがって、図 5 A ~ 図 5 I の実施形態では、高 K、薄膜誘電材料を使用して、受動電子部品 3 を画定することができる。いくつかの実施形態では、高 K 材料と電極（高 K 材料との接触に好適な貴金属又は高融点金属を備えてもよい）とを形成するために、受動部品 3 を 1 つの設備で製造してもよく、半導体要素 2 を別の設備で形成して要素 2 の能動部品

50

及び相互接続部を形成することができる。有益には、高温処理を可能にするために、貴金属又は高融点金属を提供することができる。上記で説明したように、いくつかの実施形態では、貴金属又は高融点金属を、銅などの他の金属によって、又は他のメタライゼーション層若しくは経路指定層によって除去及び置換することができる。他の実施形態では、貴金属又は高融点金属を、最終的な接合構造物1に保持することができる。受動部品3を半導体要素2に接合する(例えば、直接接合する)ことができ、これにより低インピーダンス及び低インダクタンス接続を提供して接合構造物1の信号完全性及び/又は電源完全性を改善することができる。

【0042】

図6は、容量要素を有さないプロセッサダイ(プロットA)、上に100nFのディスクリートのキャパシタが実装されたプロセッサダイ(プロットB)、パッケージ基板に100nFのキャパシタが実装されたプロセッサダイ(プロットC)、図1～図5Iの実施形態に開示されたものと同様の100nFの容量性シートを有するプロセッサダイ(プロットD)、図1～図5Iの実施形態に開示されたものと同様の10nF容量性シートを有するプロセッサダイ(プロットE)及び図1～図5Iの実施形態に開示されたものと同様の1nFの容量性シートを有するプロセッサダイ(プロットF)を含む、信号周波数の関数としての様々なデバイスの伝達インピーダンスのプロットである。図6に示すように、プロットA、B及びCに反映された従来のデバイスは、500MHzより高い及び/又は1GHzより高い周波数で比較的高い伝達インピーダンス値を有する。500MHz又は1GHzより高いところでのこののような高インピーダンスは、プロセッサダイの電源完全性又は信号完全性を低減する場合がある。対照的に、プロットD、E及びFに反映されているように、本明細書に開示された実施形態は、500MHzより高い、例えば、1GHz以上の周波数でのインピーダンスを著しく低減することを可能にし、このことは、これらのより高い周波数において改善された信号完全性又は電源完全性を提供することができる。例えば、本明細書に開示された実施形態は、プロットA～Cに示された従来のデバイスのインピーダンスよりも少なくとも10倍、例えば、少なくとも100倍小さい、1GHzでのインピーダンスを提供することができる。同じキャパシタンスレベルでは、直接接合されたキャパシタンスシートは、プロセッサダイ又はパッケージ基板のいずれかに実装されたディスクリートのキャパシタに対して改善された性能を示す。更に、図6に示すように、本明細書に開示された実施形態は、著しく低い実効キャパシタンス(例えば、約1nF又は10nFの低いキャパシタンス)であっても、低減されたインピーダンスを提供することができる。したがって、本明細書に開示された実施形態は、有利にも、約0.5nF～10mFの範囲、約0.5nF～1mFの範囲、約0.5nF～1μFの範囲、約0.5nF～150nFの範囲、約1nF～100nFの範囲又は約1nF～10nFの範囲内にある実効キャパシタンス値を有する低減されたインピーダンスを提供することができる。

【0043】

図7Aは、別の実施形態による、受動電子部品3の概略側断面図である。特に断らない限り、図7Aの受動電子部品3を、本明細書に記載された要素2(半導体要素又は非半導体要素を備えてよい)に接合することができる。様々な実施形態では、受動電子部品は、介在する接着材を使用せずに要素2(図7Aに示さず)に直接接合された第1の表面12を備えることができる。第2の表面13が、パッケージ基板(基板5など)又は他のパッケージング若しくはシステム構造に電気的に接続することができる。図7Aに示された受動部品3は、有益には、電極表面の大部分が、要素2及び表面12、13と非平行に(例えば、概して垂直に)配設されたキャパシタを備える。例えば、図7Aに示すように、電極表面の大部分が概して受動要素3(例えば、x-y平面)の主表面、例えば、表面12、13に対して非平行又は垂直であることが可能であるz軸に平行に延在する、1つ以上のキャパシタ220を画定することができる。

【0044】

図7Aに示された実施形態では、キャパシタ220は、第1の電極221a(アノード

10

20

30

40

50

及びカソードのうちの一方を備えてよい)と、介在する誘電体210によって互いに離間した第2の電極221b(アノード及びカソードのうちの他方を備えてよい)と、を備えることができる。図1Bに関連して上記で説明したように、図7Aでは、受動電子部品3のアノード端子及びカソード端子を、部品3の同じ側又は表面に沿って配設してもよい。キャパシタ220を、シリコン、酸化ケイ素などの絶縁材料又は誘電材料を備えることができる基部205内に画定することができる。電極221a、221b及び誘電体210は、図7Aのz軸に対応する表面12、13に対して非平行な方向に沿って主に延在する主表面を含むことができる。様々な実施形態において、キャパシタ220は、x軸に沿って延在する蛇行プロファイルを有することができる。例えば、図7Aに示すように、電極221a、221b及び誘電体210は、例えば第1の表面12及び第2の表面13に非平行又は垂直なz軸に沿って延在する、概して縦方向であるそれぞれの縦方向部分225を有することができる。縦方向部分225及び横方向部分226が受動要素3内に概して蛇行したキャパシタを画定するように、縦方向部分225を、電極221a、221b及び誘電体210の対応する横方向部分226によって接続することができる。図7Aに示すように、蛇行キャパシタ220の全体に沿って2つの電極221a、221b間にキャパシタンスCを設けることができる。様々な実施形態では、キャパシタ220に沿った全キャパシタンスCは、 $100\text{nF/mm}^2 \sim 20\mu\text{F/mm}^2$ の範囲又は $100\text{nF/mm}^2 \sim 10\mu\text{F/mm}^2$ の範囲内にあることが可能である。有益には、キャパシタ220の支配的な表面が縦方向のz軸に対して平行な(又は平行に近い)平面に沿って位置する蛇行キャパシタを使用することで、電極221a、221bの全表面積を著しく増加させることができ、したがって、受動要素2によって提供される全キャパシタンスを相応に増加させることができる。電極221a、221bは、アルミニウム、シリコン、ドープシリコン、ニッケル又は他の材料などの任意の好適な種類の導体を備えることができる。誘電体210は、酸化アルミニウム、酸化ケイ素などの任意の好適な誘電材料を備えることができる。いくつかの実施形態では、 HfO_2 、 ZrO_2 、 BST 、 SBT などの高誘電材料(例えば、 $k > 10$)を使用することによって、増加したキャパシタンスを提供することができる。

【0045】

キャパシタ220を、上部端子231a、231bによって要素2(図示せず)に、及び下部端子232a、232bによってパッケージ基板5(図示せず)又は別の要素に、電気的に接続することができる。図7Aに示すように、第1の端子231aは、第1の電極221aへの電気的導通を提供することができる。第2の端子231bは、第1の端子231aとは異なる種類であってもよい第2の電極221bへの電気的導通を提供することができる。例えば、図7Aに示すように、第1の端子231aは、絶縁基部205を貫いて延在して、第1の電極221aの上部に接触し、受動部品3の第1の表面12で露出することができる。第2の端子231bは、絶縁基部205を貫いて延在することができ、第2の電極221bの延長部分236と接触することができる。図7Aに示すように、例えば、第2の電極221bの延長部分236は、第1の電極221aの材料を貫いて延在することができ、誘電体210が、第1の電極221aと第2の電極221bの延長部分236との間に介在する。キャパシタ220に電気的に接続するための更に他の方法が好適であり得る。

【0046】

更に、図7Aに示すように、第1の下部端子232aは、第1の電極221aへの電気的導通を提供することができる。第2の下部端子232bは、第2の電極221bへの電気的導通を提供することができる。したがって、様々な実施形態では、第1の表面12において、第1の電極221a(例えば、アノード又はカソードの一方)に上部端子231aが電気的に接続することができ、第2の電極221b(例えば、アノード及びカソードのうちの他方)に上部端子231bが電気的に接続することができる。第2の表面13において、第1の電極221a(例えば、アノード又はカソードの一方)に下部端子232aが電気的に接続することができ、第2の電極221b(例えば、アノード及びカソード

10

20

30

40

50

のうちの他方)に下部端子 232b が電気的に接続することができる。したがって、各表面 12、13 は、アノード端子及びカソード端子(例えば、異なる種類の端子)を備えることができる。

【0047】

受動電子部品 3 はまた、受動電子部品 3 の厚さを貫いて延在する貫通信号コネクタ 235 を有することができる。貫通信号コネクタ 235 は、第 1 の表面 12 上の第 1 の貫通信号端子 234 と、第 2 の表面 13 上の第 2 の貫通信号端子 233 と、の間に導電経路を提供する導体を備えることができる。上部端子 231a、231b、下部端子 232a、232b 及び貫通信号端子 234、233 のいずれか又は全てを、要素 2 及び / 又はシステムボードに直接接合するように構成することができる。したがって、図 7A に示された受動電子部品 3 は、有益にも、信号経路を通して容量性経路及び導電性経路を提供することができる。したがって、比較的高いキャパシタンスを有する受動デバイスを、直接信号接続部と干渉することなく、システムの別個のリアルエステートを占有することなく、集積回路と一列に設けることができる。電極表面の大部分が縦方向に沿った(又は縦方向と平行に近い)キャパシタ 220 を配設することで、電極 221a、221b の実効表面積を著しく増加させることにより、キャパシタンスを有益に改善することができる。

10

【0048】

図 7A に示すように、上部端子 231a、231b 及び貫通信号端子 234 を、下部端子 232a、232b 及び貫通信号端子 233 よりも微細なピッチで横方向に離間させることができる。例えば、様々な実施形態では、第 1 の表面 12 上の端子の上部ピッチ p_1 (例えば、端子 231a、231b 及び 234) を、50 ミクロン未満又は 40 ミクロン未満のピッチで離間させることができる。様々な実施形態において、上部ピッチ p_1 は、0.5 ミクロン ~ 50 ミクロンの範囲、0.5 ミクロン ~ 40 ミクロンの範囲、0.5 ミクロン ~ 20 ミクロンの範囲、0.5 ミクロン ~ 10 ミクロンの範囲又は 1 ミクロン ~ 10 ミクロンの範囲内にあることが可能である。上部端子 231a、231b 及び端子 234 の微細ピッチにより、要素 2 への接続のための比較的多数のチャネルを提供することができる。対照的に、システムマザーボードへの好適な接続のために、下部端子 232a、232b 及び端子 233 の下部ピッチ p_2 を選択することができる。下部ピッチ p_2 は、200 ミクロン未満又は 150 ミクロン未満であることが可能である。例えば、下部ピッチ p_2 は、50 ミクロン ~ 200 ミクロンの範囲又は 50 ミクロン ~ 150 ミクロンの範囲内にあることが可能である。したがって、受動部品は、高キャパシタンス受動デバイスを提供するように供されると共に、別個のリアルエステートを占有することなくインター ポーラとして供される。

20

【0049】

縦方向キャパシタ 220 を、任意の好適な方法で画定することができる。例えば、第 2 の電極 221b を、多孔質シリコン、多孔質アルミニウムなどの最初の平面シートから画定することができる。第 2 の電極 221b 材料のシート内にチャネルをエッチングすることができるよう、平面シートの上面をマスクしてエッティングすることができる。誘電体 210 を、多孔質アルミニウム又は多孔質シリコンのエッティングされた表面の上のチャネル内にコンフォーマルに堆積することができる。例えば、誘電体 210 を、物理蒸着(PVD)、化学蒸着(chemical vapor deposition、CVD)又は原子層堆積(atomic layer deposition、ALD)によって堆積することができる。誘電体 210 の上に更なる導電材料(例えば、アルミニウム)を堆積、コーティング又は他の方法で被着して、第 1 の電極 221a を画定することができる。いくつかの実施形態では、第 1 の電極 221a 及び第 2 の電極 221b は、同じ材料を備えることができる。他の実施形態では、第 1 の電極 221a 及び第 2 の電極 221b は、異なる材料を備えることができる。有利には、縦方向のチャネル又はフィンを有する例示された構造物を、水平のフィンと比較してより少ないマスキング工程で容易に画定することができる。

30

【0050】

40

図 7B は、別の実施形態による受動電子部品 3 の概略側断面図である。特に断らない限

50

り、図 7 B の参照番号は、図 7 A の類似の番号が付された構成要素と同じ又は同様の特徴を指す。例えば、図 7 A と同じように、図 7 B の受動電子部品 3 は、電極表面の大部分が縦方向に位置決めされた、x 軸に沿って蛇行パターンを画定するキャパシタ 220 を備えることができる。第 1 の電極 221 a 及び第 2 の電極 221 b と介在する誘電体 210 との主表面は、主に、第 1 の表面 12 及び第 2 の表面 13 に非平行又は垂直に延在することができる。図 7 A と同じように、第 1 の上部端子 231 a は、第 1 の表面 12 又は第 1 の表面 12 の近くで第 1 の電極 221 a に電気的に接続することができる。更に、図 7 A と同じように、図 7 B では、受動部品 3 の各表面 12、13 は、アノード端子及びカソード端子を備えることができ、アノード端子及びカソード端子を部品 3 の同じ側又は表面（例えば、表面 12 の端子 231、231 b 及び表面 13 の端子 232 a、232 b）に沿って配設することができるようになっている。しかしながら、図 7 A とは異なり、第 2 の電極 221 b の延長部分 236 は、図 7 B の対応する第 2 の上部端子 221 b に接触し、別個の縦方向コネクタ 237 は、受動要素 3 内へ下向きに延在して、第 2 の上部端子 231 b を第 2 の電極 221 b と電気的に接続することができる。

10

【0051】

図 7 C は、第 2 の電極 221 b の両側に沿って 1 つ以上の蛇行キャパシタが画定され得る受動電子部品 3 の概略側断面図である。様々な実施形態では、受動電子部品 3 内に複数の別個のキャパシが画定されてもよい。特に断らない限り、図 7 C の参照番号は、図 7 A 及び 7 B の類似の番号が付された構成要素と同じ又は同様の特徴を指す。図 7 A ~ 図 7 B と同じように、第 1 の表面 12 及び第 2 の表面 13 に対して概して縦方向かつ非平行に延在することができる電極表面の大部分を有する図 7 C の受動電子部品 3。更に、図 7 A ~ 図 7 B と同じように、図 7 C では、受動部品 3 の各表面 12、13 は、アノード端子及びカソード端子を備えることができ、アノード端子及びカソード端子を部品 3 の同じ側又は表面（例えば、表面 12 の端子 231、231 b 及び表面 13 の端子 232 a、232 b）に沿って配設することができるようになっている。しかしながら、図 7 A ~ 図 7 B の実施形態とは異なり、図 7 C では、受動部品 3 の上部部分 240 a 内に上部キャパシタ 220 a を画定することができ、受動部品 3 の下部部分 240 b 内に下部キャパシタ 220 b を画定することができる。図 7 C の実施形態では、アルミニウム又はシリコンの最初の平面シートの両側をマスクし、同時にエッティングして、第 2 の電極 221 b 内にチャネルを画定することができる。上部部分 240 a 及び下部部分 240 b の両側に誘電体 210 を堆積することができる。同様に、上部部分 240 a 及び下部部分 240 b 上の誘電体 210 の上に導電材料を堆積して、第 1 の電極 221 a を画定することができる。図 7 C の実施形態は、有益にも、電極 221 a、221 b の全表面積、したがって受動電子部品 3 の全キャパシタンスを更に増加させることができる。

20

【0052】

図 7 D は、非平行方向 z に沿って延在する整列された纖維（例えば、炭素纖維）によってキャパシタ 220 が画定されることが可能である、受動電子部品 3 の概略側断面図である。特に断らない限り、図 7 D の参照番号は、図 7 A ~ 図 7 C の類似の番号が付された構成要素と同じ又は同様の特徴を指す。図 7 A ~ 図 7 C と同じように、図 7 D の受動電子部品 3 は、第 1 の表面 12 及び第 2 の表面 13 に対して概して縦方向かつ非平行に延在することができる電極表面の大部分を有することができる。更に、図 7 A ~ 図 7 C と同じように、図 7 D では、受動部品 3 の各表面 12、13 は、アノード端子及びカソード端子を備えることができ、アノード端子及びカソード端子を部品 3 の同じ側又は表面（例えば、表面 12 の端子 231 a、231 b 及び表面 13 の端子 232 a、232 b）に沿って配設することができるようになっている。このような実施形態では、纖維（長尺の炭素纖維など）は、第 2 の電極 221 b として作用することができる。纖維を非導電材料でコーティングして誘電体 210 を画定することができ、続いて、導電材料でコーティングして第 1 の電極 221 a を画定することができる。縦方向キャパシタ 220 を形成する更に他の方法が好適であり得る。

30

【0053】

40

50

図7A～図7Dに示されたキャパシタ220は、長尺であることが可能であり、例えば、非平行方向zに沿ったキャパシタ220の電極表面の高さ1（例えば、電極221a、221bの長さによって画定されてもよい）は、主横方向表面x-yに沿ったキャパシタ220の起伏の対応する幅wよりも長くてもよい。図7A～図7Dに示すように、幅wを、キャパシタ220のピッチ、例えば、キャパシタの単一の起伏の幅、に従って画定することができる。1をwで除することによってキャパシタ220のアスペクト比を定義することができる。様々な構成において、アスペクト比は5:1より大きいことが可能である。有益にも、図7A～図7Dに例示された長尺のキャパシタ220は、より大規模のマスキング工程を伴うことなく、他の受動デバイスと比較して、増加した電極表面積を提供することができる。増加した表面積によって、低誘電率材料と共に使用される場合であっても、全キャパシタンスを著しく増加させることができる。

10

20

30

40

50

【0054】

本明細書で説明するように、ダイ又はウエハなどの様々な種類の要素を、様々なマイクロ電子パッケージング方式の一部として三次元構成でスタックしてもよい。このことは、より大きな基部ダイ又はウエハ上に1つ以上のダイ又はウエハの層をスタックすることと、複数のダイ又はウエハを縦方向構成でスタックすることと、両方の様々な組み合わせと、を含むことができる。スタック内のダイは、メモリデバイス、論理デバイス、プロセッサ、ディスクリートのデバイスなどを含むことができる。本明細書に開示された様々な実施形態では、非常に小さい又は薄いプロファイルのキャパシタを絶縁材料内に埋め込むことができ、例えば、隣接する接合されたデバイスを分離するために、スタックドダイ構成に含めることができる。

【0055】

ダイ又はウエハは、直接接合を含む様々な接合技術を使用してスタックド構成で接合されてもよい（例えば、参照によりそのまま本明細書に援用される米国特許第7,485,968号を参照）。直接接合技術を使用してスタックドダイを接合するとき、接合されるダイの表面は、極めて平坦かつ平滑であることが望ましい。例えば、上記で説明したように、表面が緊密に嵌合して持続する接合を形成することができるよう、表面の表面トポロジー変動は非常に小さいべきである。表面は清浄であり、不純物、粒子又は他の残留物がないことも望ましい。

【0056】

本明細書に開示された様々な実施形態によれば、キャパシタ（例えば、多層キャパシタ又は他の受動部品）を、セラミック又はポリマーなどの絶縁材料内に埋め込んで、ウエハレベルスタック可能キャパシタ又は他の受動デバイスを形成することができる。様々な実施形態において、セラミック、ポリマーなどを使用することで、いくつかの他の従来の絶縁材料で可能であり得るより平滑な接合表面を有するように平坦化され得るデバイスがもたらされる。例えば、共焼成セラミック、液晶ポリマー（liquid crystal polymer、LCP）、ガラス、シリコン又は他の半導体などの材料を、様々な実施形態で使用してもよい。いくつかの実施態様では、セラミックはプレキャストである、又はペースト又は液体を使用してデバイスのための自己平坦化接合表面を形成してもよい。キャパシタデバイスの接合表面を、接合のための調製において焼成後に平坦化することができる。

【0057】

埋め込まれるキャパシタは、キャパシタの端子を電気的に結合するために、（所望のキャパシタンスを提供するための）単層又は多層の構成要素を備えることができる。キャパシタのうちの1つ以上を、様々な技術を使用して、絶縁材料（図に例示された「グリーンシート」など）内に埋め込むことができる。第1の実施形態では、キャパシタを、絶縁材料の層（例えば、予め共焼成されたセラミック）上に堆積することができ、絶縁材料の別の層を、キャパシタの上に配置又は堆積することができる。絶縁材料の2つの層を一緒に押圧してキャパシタを挟むことができ、この組み合わせを焼成することができる。絶縁材料層を焼成中につなぎ合わせ、キャパシタが内部に埋め込まれた一体化デバイスを形成することができる。したがって、様々な実施形態において、キャパシタの誘電材料を、絶縁

材料の層とモノリシックに集積することができる。

【0058】

多層キャパシタがより厚い実施形態では、絶縁材料の更なる層を、上部絶縁層と底部絶縁層との間及びキャパシタの周囲に配置する（キャパシタを含む中間層を形成する）ことができる。この組み合わせが焼成されると、絶縁材料層の全てがつなぎ合わされて、一体化デバイスを形成することができる。様々な実施形態では、任意の数の絶縁層を、任意の数のキャパシタ又はキャパシタの層と共に使用して、デバイスを形成してもよい。これに代えて、絶縁材料を固化させ埋め込みデバイスを形成するために焼成又は硬化されることが可能である液体又はペースト絶縁材料でキャパシタをコーティングすることができる。

【0059】

様々な実施形態では、絶縁材料を、低い熱膨張係数（CTE）を有するように、又は容量性デバイスに接合されることとなるダイ（いくつかの実施例ではシリコンで作製されてもよい）のCTE値に近いCTEを有するように、選択することができる。例えば、容量性デバイスのCTEを、容量性デバイスに接合される論理デバイス、プロセッサなどのCTEと同様であるように選択することができ、それにより、所望すれば、デバイスの組み合わせを一緒に（例えば、スタックド構成で）パッケージ化することができる。

【0060】

容量性デバイス内に絶縁材料を通してビアを形成して、容量性デバイスを通して又は埋め込みキャパシタに、信号伝達又は電源伝達を可能にしてもよい。様々な実装形態では、ビアを、容量性デバイスの焼成前又は焼成後に形成してもよい。いくつかの実施形態では、再配線層を、所望すればビアに結合されてもよい、容量性デバイスの一方又は両方の表面上に形成してもよい。

【0061】

更に、キャパシタのエッジコネクタに導電トレースを結合して、容量性デバイスの一方又は両方の表面上にキャパシタ用の外部端子を形成することができる。例えば、キャパシタ用の端子を、容量性デバイスの各表面上に1つ位置させることができ（例えば、アノード端子及びカソード端子は、容量性デバイスの対向する両側にあることが可能である）、両方とも容量性デバイスの単一の表面上にあり（例えば、アノード端子及びカソード端子は、容量性デバイスの同じ側又は表面上にあることが可能である）、又は容量性デバイスの各側のエッジコネクタの各々用の端子が存在してもよい（例えば、容量性デバイスの各表面は、アノード端子及びカソード端子の両方を備えることができる）。したがって、例えば、2つの端子は、キャパシタの1つのエッジコネクタに接続されやすく、容量性デバイスの一方側から他方に電源信号を伝送するように構成されてもよい。2つの他の端子は、キャパシタの第2のエッジコネクタに接続されてもよく、容量性デバイスの一方側から他方にグランドを提供するように構成されてもよい。このような構成では、キャパシタの一方側が電源信号に結合され、キャパシタの他方側がグランドに結合される。所望すれば、端子は、ビアの1つ以上又は（一方又は両方の表面上の）再配線層（RDL）に結合されてもよい。直接接合技術を使用して容量性デバイスを接合するときに、端子、ビア及び/又はRDL接続部を、容量性デバイスの1つ以上の表面上の直接接合相互接続部として形成することができる。このような場合、相互接続部の少なくともいくつかは、1ミクロンの範囲内のピッチを有することができ、ビアは10~15ミクロンの範囲内のサイズを有してもよい。一実施形態では、直接接合相互接続部を、1つの表面上のキャパシタ用の端子と共に、容量性デバイスの当該1つの表面上でのみ使用してもよい。

【0062】

[0123]別の実施形態では、予め焼成された絶縁材料層の表面内に1つ以上の空洞を形成してもよい。各空洞内にキャパシタを堆積することができ、絶縁層内に（任意の順序で）ビアを形成することができる。層及びキャパシタの上に再配線層を形成し、デバイス内にキャパシタを埋め込むことができる。反対側の表面を平坦化し、所望すれば平坦化表面上に別のRDLを形成することができる。

【0063】

10

20

30

40

50

記載された技術は、より少ない加工工程、より高い製造スループット及び改善された歩留まりをもたらすことができる。開示された技術の他の利点も、当業者には明らかであろう。

【0064】

図8A～図8Cは、様々な実施形態による、絶縁層にキャパシタ220を埋め込む様々な技術を例示している。図8D～図8Eは、図8A～図8Cに示された技術のいずれかを使用して形成することができる受動電子部品3の概略側断面図である。図8Aは、受動電子部品を形成する前の、第1の絶縁層260a、複数のキャパシタ220及び第2の絶縁層260bの概略側断面図である。図8A～図8Cに示された実施形態は、ウエハレベル処理で使用されてもよい複数のキャパシタ220を例示している。他の実施形態では、1つのキャパシタ220のみが設けられてもよい。キャパシタ220は、例えば、2つの導電性電極層間に単一の誘電体層を有する単層キャパシタ又は複数の導電性電極層間に複数の誘電体層を有する多層キャパシタを含む、任意の好適な種類のキャパシタを備えることができる。キャパシタ220はまた、水平又は縦方向に配向されたキャパシタを含む、本明細書に開示された容量性構造物のいずれかと同様であるか又は同じであってもよい。第1の絶縁層260a及び第2の絶縁層260bは、セラミック、ガラス又はポリマーなどの任意の好適な種類の絶縁材料又は非導電材料を備えることができる。様々な実施形態では、第1の絶縁層260a及び第2の絶縁層260bは、酸化アルミニウムなどのセラミックを備えることができる。他の実施形態では、第1の絶縁層260a及び第2の絶縁層260bは、液晶ポリマー(LCP)などのポリマーを備えることができる。

10

20

30

40

50

【0065】

様々な実施形態において、第1の絶縁層260a及び第2の絶縁層260bは、軟質又は可撓性のセラミックグリーンシート、例えば、好適な焼成温度以上で加熱又は焼成されると硬化してより硬いセラミック材料を形成するセラミックシートを備えることができる。このような実施形態では、キャパシタ220を第1の絶縁層260a上に設けることができる。第2の絶縁層260bを、キャパシタ220上に設ける(例えば、堆積する)ことができる。第1の層260a及び第2の層260bを一緒に押圧して、第1の層260aと第2の層260bとが、間隙262内でかつキャパシタ220の縁部261の周囲で、互いに接触するようにすることができる。様々な実施形態において、第1の層260a及び第2の層260bは、キャパシタ262の周囲に相応にコンフォームすることができ、プレスされると互いに接触することができる。押圧後、第1の層260a及び第2の層260bと埋め込みキャパシタ220とを、セラミック焼成温度以上の温度で焼成又は共焼成して、第1の層260a及び第2の層260bを、互いに溶融又はブレンドして、より硬質の又はより硬い構造物を生じさせるようにすることができる。

【0066】

第1の層260a及び第2の層260bは、様々な実施形態において同じ材料を備えることができる。他の実施形態では、第1の層260a及び第2の層260bは異なる材料を備えることができる。第1の層260a及び第2の層260bが異なる材料を備える構成では、材料が同じ焼成温度若しくは共焼成温度で又は当該同じ焼成温度付近若しくは共焼成温度付近で、例えば、第1の層260a及び第2の層260bが十分に硬化される温度又は温度範囲で、硬化するように、材料を選択することができる。例えば、いくつかの材料は、高温セラミック(例えば、1000以上、例えは、1000以上の焼成温度を有する)又は低温セラミック(例えば、500以上、又は600以上、例えは、500～1200又は550～1100の焼成温度を有する低温セラミックを備えてよい。得られた受動電子部品3は図8Dに例示されており、これについて以下により詳細に記載する。

【0067】

図8Bは、受動電子部品を形成する前の、第1の絶縁層260aと、複数のキャパシタ220と、第2の絶縁層260bと、第1の絶縁層260aと第2の絶縁層260bとの間に配設された中間の第3の絶縁層260cと、の概略側断面図である。特に断らない限り、図8Bの実施形態は、図8Aの実施形態と概して同様であるか又は同じである。例え

ば、図 8 A のように、図 8 B の受動部品を形成する方法も、図 8 D に示された受動部品 3 を形成してもよい。しかしながら、図 8 A とは異なり、図 8 B では、中間の第 3 の絶縁層 260c を、焼成前にキャパシタ 220 の側縁部 261 の周囲に堆積することができる。有益には、第 1 の層 260a 及び第 2 の層 260b が、印加圧力をほとんど又は全く伴わずに中間層 260c に接触することができるよう、第 3 の中間層 260c は選択された厚さを有することができる。他の構成では、第 1 の層 260a を第 3 の層 260c に接触させ、第 3 の層 260c を第 2 の層 260b に接触させるように、圧力を印加してもよい。第 1 の層 260a 及び第 2 の層 260b を一緒に（第 3 の層 260c がそれらの間に介在する状態で）押圧した後、第 1 の層 260a、第 2 の層 260b、第 3 の層 260c 及びキャパシタ 220 を、層 260a～260c を溶融又はその他の方法でつなぎ合わせるのに十分な温度で共焼成して、統一型又は一体型のデバイス、例えば、図 8 D に示された一体型受動部品 3 を形成することができる。

10

【0068】

図 8 C は、受動電子部品を形成する前の、絶縁層 260 内に埋め込まれたキャパシタ 220 の概略側断面図である。特に断らない限り、図 8 C の実施形態は、図 8 A～図 8 B の実施形態と概して同様であるか又は同じである。例えば、図 8 A～図 8 B のように、図 8 B の受動部品を形成する方法も、図 8 D に示された受動部品 3 を形成してもよい。しかしながら、図 8 A～図 8 B の実施形態では、第 1、第 2 及び第 3 の絶縁層 260a～260c を、キャパシタ 220 に堆積又は接続する前に形成してもよい。図 8 A～図 8 B の実施形態とは異なり、図 8 C の実施形態では、粉末又は他の固体混合物をキャリア 263 上に設けることができる。キャパシタ 220 を電源又は混合物の上に設けることができ、粉末又は混合物に溶液を添加することができる。溶液は、粉末又は混合物を軟質の可撓性絶縁層 260（例えば、軟質セラミック又はポリマー）に増粘させることができる。得られる軟質の可撓性層 260 を、キャパシタ 220 の上及び周囲に成形するか又は他の方法で形成して、絶縁層 260 内にキャパシタ 220 を埋め込むことができる。キャパシタ 220 の上に絶縁層 260 を成形又は形成した後、絶縁層 260 及びキャパシタ 220 を、層 260 を溶融、混合又はその他の方法でつなぎ合わせるのに十分な温度で共焼成して、統一型又は一体型のデバイス、例えば、図 8 D に示された一体型受動部品 3 を形成することができる。キャリア 263 を、共焼成後に除去することができる。図 8 C の実施形態は、図 8 A～図 8 B に示されたものなどの複数の堆積プロセスを利用することなく、受動部品の形成を有益に可能にすることができます。むしろ、基部絶縁層 260 をキャパシタ 220 の周りに形成し共焼成して、比較的少ないプロセス工程で受動部品 3 を形成することができます。

20

【0069】

図 8 D は、図 8 A～図 8 C に示された技術のいずれかを使用して形成された受動電子部品 3 の概略断面図である。受動電子部品 3 は、図 7 A～図 7 D に示されたものと同様又は同じ特徴を含んでもよく、図 8 D の参照番号は、注記する場合を除いて、図 7 A～図 7 D の類似の参照番号と同様の構成要素を表す場合がある。図 8 A～図 8 C の構造物を共焼成した後、キャパシタ 220 を絶縁材料の層 250 内に埋め込むことができる。例示された実施形態では、例えば、絶縁材料の層 250 がキャパシタ 220 の側縁部 261 に沿って、並びにキャパシタ 220 の上面 264a 及び下面 264b に沿って配設されるように、キャパシタ 220 を層 250 内に完全に埋め込むことができる。図 8 D では、絶縁材料の層 250 は、図 8 A～図 8 C に示された組立品を焼成又は共焼成することによって形成された第 1 の絶縁体 210a を備えることができる。したがって、第 1 の絶縁体 210a は、硬化したセラミック、ポリマー、ガラスなどを備えることができる。

30

【0070】

図 7 A～図 7 D と同じように、図 8 D に示されたキャパシタ 220 を、第 1 の電極 221a と、第 2 の電極 221b と、第 1 の電極 221a と第 2 の電極 221b との間に介在する第 2 の絶縁体 210b と、によって少なくとも部分的に画定することができる。第 1 の絶縁体 210a 及び第 2 の絶縁体 210b を、同様の共焼成温度を有するように及び /

40

50

又は受動電子部品3が接合される構成要素(例えば、シリコンを備えてもよい半導体要素2)と合致する比較的低いCTEを有して、選択することができる。様々な実施形態において、絶縁体210a、210bは、同じ材料を備える。他の実施形態では、絶縁体210a、210bは、層210a、210bが両方とも互いに硬化及び融合又は溶融する焼成温度を各々が有する異なる材料を備える。したがって、図8A～図8Cのいずれかに示された組立品を共焼成した後、第1の絶縁体210a及び第2の絶縁体210bは、互いに融合又は混合して、モノリシックに集積された一体型構造又は統一型構造を形成することができる。例えば、第1の絶縁体210a及び第2の絶縁体210bを共焼成することで、第1の絶縁体210aの部分を、例えば、2つの絶縁体210a、210b間の境界で、第2の絶縁体210bの部分と融合又は混合させることができる。したがって、図8Dの実施形態では、層250のモノリシックに集積された絶縁体210aは、キャパシタ220の絶縁体210bとシームレスに集積化してもよい。上記で説明したように、様々な実施形態では、絶縁体210a、210bは、様々な実施形態の誘電体、例えば、セラミック誘電体を備えることができる。他の実施形態では、絶縁体210a及び/又は210bは、ポリマー、ガラスなどを備えてよい。

10

【0071】

様々な実施形態において、図7A～図7Dの実施形態と同じように、キャパシタ220は、対応する第1の電極221aに接続された第1の端子232aを備えることができる。第2の端子232bを、キャパシタ220の対応する第2の電極221bに接続することができる。第1の端子232a及び第2の端子232bの各々を、電極221a、221bのそれぞれの最外層(例えば、キャパシタ220のそれぞれの上面264a及び下面264bに又は当該上面264a及び下面264bの近くに配設されたそれらの電極221a、221b)によって、及びそれぞれの交流電極221a、221bを電気的に接続するエッジコネクタ251a、251bによって、少なくとも部分的に画定することができる。例えば、図8Dに示すように、第1のエッジコネクタ251aを、縦方向に、例えば、電極221aに対して非平行に、配設することができ、電極221aのそれぞれの端部を電気的に接続することができる。同様に、第2のエッジコネクタ251bを、縦方向に、例えば、電極221bに対して非平行に、配設することができ、電極221bのそれぞれの端部を電気的に接続することができる。上記で説明したように、電極221a、221bは異なる種類であってもよく、例えば、一方の電極221aはアノードを備えててもよく、他方の電極221bはカソードを備えててもよく、又はその逆であってもよい。

20

【0072】

更に、図7A～図7Bの実施形態と同じように、1つ以上の貫通信号コネクタ235(例えば、導電ビア)は、受動電子部品3の厚さを貫いて、絶縁層250の第1の表面265aから絶縁層250の第2の表面265bまで延在することができる。いくつかの実施形態では、貫通信号コネクタ235を、共焼成と受動部品3の形成との後に形成することができる。例えば、いくつかの実施形態では、絶縁層260a、260b及び/又は260cとキャパシタ220とを共焼成して受動部品を形成することができる。続いて、絶縁層250を貫いて孔を設ける(例えば、穿孔する、エッチングするなど)ことができ、及び貫通信号コネクタ235を当該孔内に設けるか又は堆積することができる。焼成後に信号コネクタ235が形成されるこのような構成では、コネクタ235用の導電材料は、焼成又は共焼成プロセス中に使用される高温に耐えることができない場合がある。しかしながら、他の実施形態では、コネクタ235は、構造物を焼成するために使用される高温に耐えるように構成された材料特性を有する導体を備えることができる。このような構成では、コネクタ235を、キャパシタ220及び絶縁層260a～260cと共に共焼成してもよい。

30

【0073】

図8Eは、受動電子部品3に被着された1つ以上の再配線層(RDL)252a、252b(例えば、相互接続層)を有する、図8Dに示された受動電子部品3の概略側断面図である。RDL252a、252bを、絶縁層250の第1の表面265a及び第2の表

40

50

面 2 6 5 b のうちの少なくとも一方上に設けることができる。RDL 2 5 2 a、2 5 2 b を、部品 3 上に設ける前に、いくつかの実施形態では予め形成することができる。例えば、いくつかの実施形態では、RDL 2 5 2 a、2 5 2 b を、予め形成し、介在する接着材を使用せずに部品 3 に直接接合することができる。他の構成では、RDL 2 5 2 a、2 5 2 b を、絶縁層 2 5 0 の上の層にビルドアップすることができる。RDL 2 5 2 a、2 5 2 b を、キャパシタ 2 2 0 の選択された端子と受動電子部品 3 が接続される要素の対応する端子又は接触パッドとの間で電気信号を経路指定するように構成することができる。例えば、図 8 E の実施形態では、絶縁層 2 5 0 の第 1 の表面 2 6 5 a の上に第 1 の RDL 2 5 2 a を設けることができる。絶縁層 2 5 0 の第 2 の表面 2 6 5 b の上に第 2 の RDL 2 5 2 b を設けることができる。RDL 2 5 2 a、2 5 2 b は、対応する RDL 絶縁層 2 6 6 a、2 6 6 b に少なくとも部分的に埋め込まれた複数の金属トレースを備えることができる。受動部品 3 の第 1 の表面 1 2 を RDL 2 5 2 a の上面において画定することができる、受動部品 3 の第 2 の表面 1 3 を RDL 2 5 2 b の下面において画定することができる。

【 0 0 7 4 】

図 8 E に示すように、それぞれの RDL 2 5 2 a、2 5 2 b の第 1 の導電トレース 2 5 3 a 又は導電ビアを、第 1 の端子 2 3 2 a において又は第 1 の端子 2 3 2 a によって、キャパシタの第 1 の電極又は端子 2 2 1 a に電気的に接続することができる。図示のように、トレース 2 5 3 a 又はビア（相互接続部とも称する）は、絶縁材料の少なくとも一部分又はキャパシタのそれぞれの端子に接続する絶縁体 2 1 0 b を貫いて延在することができる。同様に、それぞれの RDL 2 5 2 a、2 5 2 b の第 2 の導電トレース 2 5 3 b を、第 2 の端子 2 3 2 b において又は第 2 の端子 2 3 2 b によって第 2 の電極 2 2 1 b に電気的に接続することができる。例示された実施形態では、端子 2 3 2 a、2 3 2 b を、エッジコネクタ 2 5 1 a、2 5 2 b のそれぞれの部分（交互配置電極 2 2 1 a、2 2 1 b を接続する）によって及び最外電極 2 2 1 a、2 2 1 b（例えば、キャパシタ 2 2 0 のそれぞれの第 1 の表面 2 6 5 a 又は第 2 の表面 2 6 5 b における又は当該第 1 の表面 2 6 5 a 又は第 2 の表面 2 6 5 b の近くの電極 2 2 1 a、2 2 1 b）によって、少なくとも部分的に画定することができる。したがって、それぞれの電極 2 2 1 a、2 2 2 b への電気的接続を、表面 2 6 5 a、2 6 5 b におけるエッジコネクタ 2 5 1 a、2 5 1 b 及び / 又は最外電極 2 2 1 a、2 2 1 b に対して形成することができる。

【 0 0 7 5 】

トレース 2 5 3 a、2 5 3 b は、端子 2 3 2 a、2 3 2 b を絶縁材料層 2 5 0 の第 1 の表面 2 6 5 a 又は第 2 の表面 2 6 5 b のそれぞれの相互接続部 2 5 4 a、2 5 4 b に電気的に接続することができる。図 8 E に示すように、相互接続部 2 5 4 a、2 5 4 b は、RDL 絶縁体 2 6 6 a、2 6 6 b を貫いて延在することができ、第 1 の表面 1 2 及び第 2 の表面 1 3 において露出することができる。様々な実施形態において、以下に説明するように、絶縁層 2 6 6 a、2 6 6 b は、相互接続部（又はその一部）がキャパシタに接続するように貫いて延在することができる、それぞれの層又は基板として作用することができる。相互接続部 2 5 4 a、2 5 4 b の露出面を、要素 2（例えば、集積されたデバイスダイなどの半導体要素）、パッケージ基板、インターポーラなどの他の要素に電気的に接続するように構成することができる。本明細書で説明するように、表面 1 2、1 3 における RDL 絶縁層 2 6 6 a、2 6 6 b と相互接続部 2 5 4 a、2 5 4 b の露出表面とを、様々な実施形態において、直接接合のために研磨及び調製することができる。絶縁層 2 6 6 a、2 6 6 b 及び露出した相互接続部 2 5 4 a、2 5 4 b を、介在する接着材を使用せずに、他の要素の対応する絶縁性特徴部及び / 又は導電性特徴部に直接接合することができる。いくつかの実施形態では、部品 3 の両方の表面 1 2、1 3 に要素を接合してもよい。他の実施形態では、受動部品 3 の一方の表面 1 2 又は 1 3 のみに要素を接合してもよい。更に他の実施形態では、絶縁層 2 6 6 a、2 6 6 b 及び / 又は相互接続部 2 5 4 a、2 5 4 b を、様々な接着材で他の要素に接合することができる。

【 0 0 7 6 】

上述の実施形態と同じように、いくつかの構成では、受動部品 3 の各表面 1 2、1 3 は

10

20

30

40

50

、キャパシタ220の各側の異なる種類の端子232a、232bに接続する、それぞれの第1の相互接続部254a及び第2の相互接続部254bを備えることができる。例えば、絶縁材料250の表面265a、265bの各々は、アノード端子及びカソード端子を備えることができる。しかしながら、他の実施形態では一方の表面265aはアノード端子を備えることができ、他方の表面265bはカソード端子を備えることができる。端子の更に他の組み合わせを、例えば、RDL252a、252bの構造及びRDL252a、252bが電気信号をどのように経路指定するかに基づいて、本明細書で提供することができる。例えば、本明細書に開示された実施形態では、いくつかの端子232aは電源に接続してもよく、他の端子232bは電気グランドに接続してもよく、又はその逆であってもよい。

10

【0077】

図9A～図9Eは、様々な実施形態による、受動電子部品3を形成するプロセスを示す。特に断らない限り、図9A～図9Eの構成要素は、図7A～図8Eの類似の番号が付された構成要素と同様であるか又は同じであることが可能である。図9Aは、絶縁層250の概略側断面図である。絶縁層250は、セラミック、ポリマー、ガラス、半導体（例えば、シリコン）などの任意の好適な種類の絶縁体を備えることができる。図9Aを参照すると、例えば、エッチング、穿孔などによって、絶縁層250内に1つ以上の空洞267を形成することができる。また、貫通信号相互接続部235（又は導電ビア）を、絶縁層250の厚さの少なくとも一部分を貫いて設けることができる。例えば、いくつかの実施形態では、孔を形成する（例えば、穿孔する、エッチングするなど）ことができ、当該孔内に導電材料を設けてビア又は相互接続部235を形成することができる。図9Cでは、空洞267内に1つ以上のキャパシタ220を設けることができる。いくつかの実施形態において、キャパシタ220に対する応力を支持、安定化及び/又は低減するために、空洞267内のキャパシタ220の上及び/又は周囲に低CTE絶縁充填材268を設けることができる。

20

【0078】

図9Dに示すように、第1のRDL252aを絶縁層250の第1の表面265aの上に設けることができる。第1のRDL252a内の相互接続部254aは、キャパシタ220の対応する端子232aに接続することができ、第1のRDL252a内の他の相互接続部254b（図示せず）は、キャパシタ220の対応する端子232bに接続することができる。例えば、相互接続部254a、254bの部分は、RDL252a、252bの絶縁層266a、266b（絶縁層又は基板として作用することができる）を貫いて延在してキャパシタに接続することができる。図9Eでは、絶縁材料250の裏側を部分的に除去して（例えば、研磨する、研削する、エッチングするなど）、キャパシタ220の表面264b及びビア235の端部を露出させることができる。第2のRLD252bを、絶縁材料250の表面265b及びキャパシタ220の表面264bの上に設けることができる。上記で説明したように、RDL252a、252bを、絶縁層250及びキャパシタ220に接合する（例えば、いくつかの構成では直接接合する）ことができる。他の実施形態では、RDL252a、252bを、他の方法で、例えば接着材を使用して、接合することができる。更に他の実施形態では、RDL252a、252bを、層ごとにビルトアップすることができる。

30

【0079】

図8D～図8Eの実施形態と同じように、図9Eでは、キャパシタ3を、絶縁層266a、266b間に絶縁要素として作用することができる絶縁層250内に埋め込むことができる。例えば、図9Eに示すように、絶縁層250をキャパシタ220の側縁部261に沿って配置することができ、絶縁層250は側縁部261の大部分、例えば、側縁部261の全て又は実質的に全体を覆ってもよい。図9Eの実施形態では、RDL252a、252bを、キャパシタ220の上面264a及び下面264bの上に設けることができる。しかしながら、図8D～図8Eとは異なり、図9Eでは、キャパシタ3は、絶縁材料250とモノリシックに集積されないが、代わりに空洞267に（充填剤268と共に）

40

50

挿入される。本明細書に開示された他の実施形態と同じように、受動部品3の各表面12、13は、異なる種類の端子を備えることができ、例えば、各表面12、13は、アノード端子又は相互接続部とカソード端子又は相互接続部とを備えることができる。他の実施形態では、一方の表面12はアノード端子又は相互接続部のみを備えてよく、他方の表面13は、カソード端子又は相互接続部のみを備えてよく、又はその逆であってもよい。様々な実施形態において、部品の第1の表面12上の相互接続部254a及び/又は254bのピッチは、第2の表面13上の相互接続部254a、254bのピッチよりも小さいピッチを有してもよい。例えば、第1の表面12上の相互接続部254a及び/又は254bは、離間し、別の要素に直接接合するように構成されてもよい。いくつかの実施形態では、第1の表面12上の相互接続部254a及び/又は254bのピッチは、50ミクロン以下、10ミクロン以下又は1ミクロン以下であることが可能である。いくつかの実施形態では、キャパシタ220の端子を、第1の表面12においてRDLの対応する相互接続部254a及び/又は254bに接続することができ、第2の表面13において任意の相互接続部に接続しなくてもよく、又はその逆であってもよい。

10

【0080】

図10A～図10Gは、受動部品が絶縁層250内に埋め込まれた受動電子部品3を形成する別の方法を例示している。図10Aは、第1の絶縁基板270aの概略側断面図である。第1の絶縁基板270aは、セラミック、ポリマー、ガラス、絶縁複合体などの任意の好適な種類の絶縁体を備えることができる。有益には、基板270a、270bは、6ppm/以下又は5ppm/以下の熱膨張係数(CTE)を有する材料を備えることができる。様々な実施形態において、基板270a、270bのCTEは、2ppm/~6ppm/の範囲、3ppm/~6ppm/の範囲又は3ppm/~5ppm/の範囲内にあることが可能である。様々な実施形態において、基板270a、270bは、同じ材料を備えることができる。他の実施形態では、基板270a、270bは異なる材料を備えてよい。図10Bを参照すると、第1の絶縁基板270a上に第1の接着材250aを被着又は堆積することができる。第1の接着材250aは、絶縁性接着材などの任意の好適な種類の接着材を備えることができる。様々な実施形態において、第1の接着材250aは非導電性エポキシを備えることができる。

20

【0081】

図10Cでは、キャパシタ220を、第1の接着材層250a上に設ける(例えば、配置する、堆積するなど)ことができる。いくつかの実施形態では、キャパシタ220を、第1の接着材層250aの少なくとも一部がキャパシタ220の側縁部261に沿って配設され、第1の接着材層250aの少なくとも別の部分がキャパシタ220の第2の表面264bに沿って配設されるように、第1の接着材層250a内に部分的に埋め込むことができる。図10Dでは、第2の接着材層250bを、キャパシタ220の上及び周囲に設ける又は被着することができる。図10Dに示すように、第2の接着材層250bの少なくとも一部分をキャパシタ220の側縁部261に沿って配設することができ、第2の接着材層250bの少なくとも別の部分をキャパシタ220の第1の表面264aに沿って配設することができる。第2の絶縁基板270b(第1の基板270aと同じ絶縁材料又は異なる絶縁材料を備えてよい)。したがって、図10Dでは、絶縁層250は、第1の接着材層250a及び第2の接着材層250bを備えることができ、キャパシタ220を絶縁層内に十分に埋め込むことができる。

30

40

【0082】

図10Eを参照すると、受動部品3内に導電相互接続部を形成することができる。例えば、貫通導電ビア235を、受動部品3の厚さを貫いて設けられた貫通孔内に設けて、部品3内の電気的導通を提供するようにすることができる。加えて、キャパシタ220の対応する端子232a、232bと電気的に接続するために、絶縁基板270a、270bの対応する孔内に相互接続部254a、254bを形成することができる。したがって、本明細書に開示された実施形態では、絶縁基板270a、270bは、相互接続層として作用して、他の要素又はデバイスとの電気的導通を提供することができる。本明細書に開

50

示された他の実施形態と同じように、受動部品3の各表面12、13は異なる種類の端子を備えることができ、例えば、各表面12、13は、アノード端子又は相互接続部254aとカソード端子又は相互接続部254bとを備えることができる。他の実施形態では、一方の表面12はアノード端子又は相互接続部のみを備えてもよく、他方の表面13はカソード端子又は相互接続部のみを備えてもよく、又はその逆であってもよい。

【0083】

図10Eに示すように、接着材250a、250bを、第1の基板と第2の基板との間に配設された絶縁要素として供することができる。相互接続部254a、254bは、絶縁要素の少なくとも一部分（例えば、第1及び第2の接着材250a、250bの部分）を貫いて延在する導電ビアとして作用することができる。更に、相互接続部254a、254bは、基板270a、270bを貫いて延在してキャパシタに接続することができる。接着材250a、250bを、キャパシタ220の側縁部に隣接して（及び/又は接触させて）配設することができる。図示のように、キャパシタ220を、第1の基板270aと第2の基板270bとの間の第1の領域内に配設することができ、絶縁要素（例えば、絶縁材料250の接着材250a、250b）の少なくとも一部を、第1の基板270aと第2の基板270bとの間の異なる第2の領域内に配設することができる。有益にも、低CTE基板270a、270b及び介在する絶縁材料250を使用することで、受動部品3が実装される構成要素のCTE、例えば、半導体又はシリコン基板のCTEに近い、低い全実効CTEを有する全受動部品3を提供することができる。このような構成では、有益には、受動部品3の全実効CTE（例えば、図10Eに示された絶縁材料及び導電材料を含む）は、8ppm/以下、7ppm/以下又は6ppm/以下であることが可能である。様々な実施形態では、受動部品3（本明細書においてマイクロ電子デバイスとも称する）の全実効CTEは、3ppm/～7ppm/の範囲、4ppm/～8ppm/の範囲又は4ppm/～7ppm/の範囲内にあることが可能である。

【0084】

図10Fは、図10Cに示された工程の後に受動部品を形成する代替的な方法を例示している。例えば、キャパシタ220を図10Cの第1の接着材層250a上に設けることに続いて、図10Dに示すように第2の接着材250bをキャパシタ220及び第1の接着材層250a上に設ける代わりに、成形コンパウンド269を、キャパシタ220の側縁部261の少なくとも周囲に設けることができる。成形コンパウンド269は、絶縁層250の絶縁サブ層を備えることができ、例えば、成形コンパウンド269は、非導電性エポキシ、封止材などを備えることができる。いくつかの実施形態では、成形コンパウンド269を、側縁部261のみの周りに被着してもよい。他の実施形態では、成形コンパウンド269を、キャパシタの側縁部261及び表面264aの周囲に被着することができる。表面264aの上の成形コンパウンド269の部分を、任意の好適な方法で除去してもよい。

【0085】

更に、図10Fに示すように、第2の接着材層250b（非導電性又は絶縁性接着材を備えることができる）を、第1の表面264a及び成形コンパウンド269の上面上に被着することができる。第2の絶縁基材270bを、第2の接着材層250bの上に設けてもよい。したがって、図10Fの実施形態では、絶縁層250は、第1の接着材層250a及び第2の接着材層250bと成形コンパウンド269とを備えることができる。キャパシタ220を、絶縁層250に埋め込む（例えば、完全に埋め込む）ことができる。図10Gを参照すると、図10Eと同じように、貫通ビア235及び相互接続部254a、254bを設けて、それぞれ部品3を通したキャパシタ220への電気的導通を提供することができる。

【0086】

接着材250a、250b及び成形コンパウンド269は、第1の基板270aと第2の基板270bとの間に配設された絶縁要素として作用することができる。相互接続部254a、254bは、絶縁要素の少なくとも一部分（例えば、第1の接着材250a及び

10

20

30

40

50

第2の接着材250bの部分)を通って延在する導電ビアとして作用することができる。更に、相互接続部254a、254bは、基板270a、270bを通って延在してキャパシタに接続することができる。図10Gでは、接着材250a、250bを、キャパシタ220の上面に隣接して(及び/又は接触させて)配設することができる。成形コンパウンド269を、キャパシタ220の側縁部に隣接して(及び又は接触させて)配設することができる。したがって、キャパシタ220を、絶縁要素内に埋め込む(例えば、接着材250a、250b及び成形コンパウンド269内に埋め込む)ことができる。図示のように、キャパシタ220を、第1の基板270aと第2の基板270bとの間の第1の領域内に配設することができ、絶縁要素の少なくとも一部(例えば、絶縁材料250の接着材250a、250b)を、第1の基板270aと第2の基板270bとの間の異なる第2の領域内に配設することができる。有益には、低CTE基板270a、270b及び介在する絶縁材料250を使用することで、受動部品3が実装される構成要素のCTE、例えば、半導体又はシリコン基板のCTEに近い、低い全実効CTEを有する全受動部品3を提供することができる。このような構成では、有益には、受動部品3の全実効CTE(例えば、図10Gに示す絶縁材料及び導電材料を含む)は、8ppm/以下、7ppm/以下又は6ppm/以下であることが可能である。様々な実施形態では、受動部品3(本明細書においてマイクロ電子デバイスとも称する)の全実効CTEは、3ppm/~7ppm/の範囲、4ppm/~8ppm/の範囲又は4ppm/~7ppm/の範囲内にあることが可能である。図10A~図10Gの部品3は、複数の基板(基板270a、270bなど)を、例えば、1つ以上の接着材によって及び/又は成形コンパウンドによって、1つ以上のキャパシタに結合することができる積層構造物を備えることができる。例示された実施形態では、基板270a、270bは、堆積プロセスを使用して堆積されることなく、キャパシタ220に積層又は被着される材料又は層を備えてよい。

10

20

30

40

50

【0087】

図11A~図11Gは、受動部品が絶縁層250内に埋め込まれる、受動電子部品3を形成する別の方法を例示している。図11A~図11Bは、それぞれ図10A~図10Bと概して同じである。しかしながら、図11Cでは、第3の絶縁基板270cを、第1の接着材層250aの上及びキャパシタ220の周囲に設けることができる。第3の絶縁基板270cは、基板270a、270bと同じ材料であってもよい。他の実施形態では、第3の基板270cの材料は、基板270a、270bの材料とは異なってもよい。第1の接着材層250aを、第2の表面264bの上及び側縁部261の部分の上に設けることができる。図11Cに示すように、有益には、第1のビア部分235aを、第3の絶縁基板270を貫いて設けることができる。第1のビア部分235aは、貫通信号ビア又は相互接続部235の一部を画定することができる。

【0088】

図10Dと同じように、図11Dでは、第2の接着材250bをキャパシタ220の上及び周囲に設けることができる。例えば、第2の接着材層250bを、キャパシタ220の側縁部261の部分の周囲及びキャパシタ220の第1の表面264aの上に設けることができる。第2の絶縁基板270bを、第2の接着材層250b上に設ける又は堆積することができる。したがって、図11Dでは、キャパシタ220を、第1の接着材層250a及び第2の接着材層250bを備えることができる絶縁層250内に埋め込むことができる。例示された実施形態では、例えば、キャパシタ220を、絶縁層の部分がキャパシタ220の表面のほとんど又は全てを覆うように、絶縁層250内に完全に又は十分に埋め込むことができる。

【0089】

図11Eを参照すると、相互接続部254a、254bを設けてキャパシタ220の端子232a、232bに接続することができる。第1の絶縁基板270a及び第2の絶縁基板270bの各々に第2のビア部分235bを設けることができる。第2のビア部分235bを、第3の絶縁基板270cを貫いて形成された第1のビア部分235aに電気的

に接続することができる。例えば、いくつかの実施形態では、第1のビア部分235aを、介在する接着材を使用せずに、対応する第2のビア部分235bに直接接合することができる。他の実施形態では、第1のビア部分235aを、導電性接着材を使用して第2のビア部分235bに接合することができる。有利にも、第3の絶縁基板270c内の第1のビア部分235aを使用することで、絶縁層250を貫く貫通孔を設けることなく、得られる貫通ビア又は相互接続部235の層ごとの構成体を可能にすることができる。代わりに、第3の絶縁基板270cは、絶縁層250を貫いて別個のビアを形成する必要がないように、キャパシタ220の厚さとほぼ同じ厚さを有することができる。

【0090】

上記のように、接着材250a、250b及び第3の基板270cを、第1の基板270aと第2の基板270bとの間に配設された絶縁要素として供することができる。相互接続部254a、254bは、絶縁要素の少なくとも一部分（例えば、第1の接着材250a及び第2の接着材250bの部分）を貫いて延在する導電ビアとして作用することができる。更に、相互接続部254a、254bは、基板270a、270bを貫いて延在してキャパシタに接続することができる。図11Eでは、絶縁材料250を、キャパシタ220の上面及びキャパシタ220の側縁部に隣接して（及び/又は接触させて）配設することができる。したがって、キャパシタ220を、絶縁要素内に埋め込むことができる。図示のように、キャパシタ220を、第1の基板270aと第2の基板270bとの間の第1の領域内に配設することができ、絶縁要素の少なくとも一部（例えば、接着材250a、250bの部分及び第3の基板270c）を、第1の基板270aと第2の基板270bとの間の異なる第2の領域内に配設することができる。有益にも、低CTE基板270a、270b、介在する第3の基板270c及び介在する絶縁材料250を使用することで、受動部品3が実装される構成要素のCTE、例えば、半導体又はシリコン基板のCTEに近い、低い全実効CTEを有する全受動部品3を提供することができる。このような構成では、有益には、受動部品3の全実効CTE（例えば、図11Eに示された絶縁材料及び導電材料を含む）は、8ppm/以下、7ppm/以下又は6ppm/以下であることが可能である。様々な実施形態では、受動部品3（本明細書においてマイクロ電子デバイスとも称する）の全実効CTEは、3ppm/～7ppm/の範囲、4ppm/～8ppm/の範囲又は4ppm/～7ppm/の範囲内にあることが可能である。

【0091】

図11Fは、図11Cに示された工程の後に受動部品を形成する代替的な方法を例示している。例えば、図11Cの第1の接着材層250a上にキャパシタ220を設けることに続いて、図11Dに示すように第2の接着材250bをキャパシタ220、第3の基板270c及び第1の接着材層250aの上に設ける代わりに、成形コンパウンド269を、キャパシタ220の側縁部261の少なくとも周囲に設けることができる。成形コンパウンド269は、絶縁層250の絶縁サブ層を備えることができ、例えば、成形コンパウンド269は、非導電性エポキシ、封止材などを備えることができる。いくつかの実施形態では、成形コンパウンド269を側縁部261のみの周囲に被着してもよい。他の実施形態では、成形コンパウンド269を、キャパシタの側縁部261及び表面264aの周囲に被着することができる。表面264aの上の成形コンパウンド269の部分を、任意の好適な方法で除去してもよい。

【0092】

更に、図11Fに示すように、第2の接着材層250b（非導電性又は絶縁性接着材を備えることができる）を、第1の表面264a及び成形コンパウンド269の上面上に被着することができる。第2の絶縁基材270bを第2の接着材層250bの上に設けることができる。したがって、図11Fの実施形態では、絶縁層250は、第1の接着材層250a及び第2の接着材層250bと成形コンパウンド269とを備えることができる。キャパシタ220を、絶縁層250内に埋め込む（例えば、完全に埋め込む）ことができる。図11Gを参照すると、図11Eと同じように、貫通ビア235及び相互接続部25

10

20

30

40

50

4 a、254bを設けて、それぞれ部品3を通したキャパシタ220への電気的導通を提供することができる。

【0093】

接着材250a、250b及び成形コンパウンド269（例えば、絶縁材料250）を、第1の基板270aと第2の基板270bとの間に配設される絶縁要素として供することができる。相互接続部254a、254bは、絶縁要素の少なくとも一部分（例えば、第1の接着材250a及び第2の接着材250b部分）を貫いて延在する導電ビアとして作用することができる。更に、相互接続部254a、254bは、基板270a、270bを貫いて延在してキャパシタに接続することができる。図11Gでは、接着材250a、250bを、キャパシタ220の上面に隣接して（及び/又は接触させて）配設することができる。成形コンパウンド269を、キャパシタ220の側縁部に隣接して（及び又は接触させて）配設することができる。したがって、キャパシタ220を、絶縁要素内に埋め込む（例えば、接着材250a、250b及び成形コンパウンド269内に埋め込む）ことができる。図示のように、キャパシタ220を、第1の基板270aと第2の基板270bとの間の第1の領域内に配設することができ、絶縁要素（例えば、絶縁材料250及び成形コンパウンド269の接着材250a、250b）を、第1の基板270aと第2の基板270bとの間の異なる第2の領域内に配置することができる。有益にも、低CTE基板270a、270b及び介在する絶縁要素を使用することで、受動部品3が実装される構成要素のCTE、例えば、半導体又はシリコン基板のCTEに近い、低い全実効CTEを有する全受動部品3を提供することができる。このような構成では、有益には、受動部品3の全実効CTE（例えば、図11Gに示された絶縁材料及び導電材料を含む）は、8 ppm/以下、7 ppm/以下又は6 ppm/以下であることが可能である。様々な実施形態では、受動部品3（本明細書においてマイクロ電子デバイスとも称する）の全実効CTEは、3 ppm/～7 ppm/の範囲、4 ppm/～8 ppm/の範囲又は4 ppm/～7 ppm/の範囲内にあることが可能である。

【0094】

図11H及び図11Iは、それぞれ、図11E及び11Gの代替的な構成を例示している。図11Hでは、例えば、キャパシタ220の周囲に更なる絶縁基板270dを設けることができる。基板270dは、基板270a～270cと同じであるか又は異なる材料を備えてもよい。図11Iにおいて、成形コンパウンド269を、絶縁層250の一部として設けることができる。図11H及び図11Iの特徴は、それ以外では、図11A～図11Gにおいて上記で説明された特徴と概して同様であってもよい。図11A～図11Iの部品3は、複数の基板（基板270a、270bなど）を、例えば、1つ以上の接着材によって、介在する第3の基板270cによって及び/又は成形コンパウンドによって、1つ以上のキャパシタに結合することができる積層構造物を備えることができる。例示された実施形態では、基板270a、270bは、堆積プロセスを使用して堆積されなく、キャパシタ220に積層又は被着される材料又は層を備えてもよい。

【0095】

図12A～図12Eは、受動電子部品3を形成する別の方法を例示している。図12Aでは、第1の絶縁基板270aは、第1の絶縁基板270aの外面上に複数の導電接触パッド275を有することができる。図12Bでは、キャパシタ220を、第1の接着材によって、例えば、例示された実施形態におけるはんだを備える導電性接着材276によって、基板270aの接触パッド275に接続することができる。他の実施形態では、キャパシタ220を、介在する接着材を使用せずに直接接合することによって、接触パッド275に接続することができる。図12Cを参照すると、キャパシタ220の周囲及び/又はキャパシタ220の上と基板層270aの表面の上とに、成形コンパウンド269を設けることができる。

【0096】

図12Dでは、接着材層250bを、成形コンパウンド269の上面の上及びキャパシタ220の第1の表面264aの上に被着することができる。第2の絶縁基材270bを

10

20

30

40

50

、接着材層 250b の上に設けることができる。したがって、図 12D の実施形態では、キャパシタ 220 を、成形コンパウンド 269 (キャパシタ 220 の第 2 の表面 264b と側縁部 261 との上に被着される) 及び接着材層 250b (キャパシタ 220 の第 1 の表面 264a の上に被着される) によって画定されることが可能である絶縁層 250 内に埋め込むことができる。例示された実施形態では、キャパシタ 220 を、絶縁層 250 内に完全に又は十分に埋め込むことができる。図 12E では、上記で説明したように、様々なトレース及び相互接続部 254a、254b は、絶縁層 250 の一部を貫通してキャパシタ 220 の端子に接続することができる。

【0097】

絶縁材料 250 (例えば、接着材 250b 及び成形コンパウンド 269) を、第 1 の基板 270a と第 2 の基板 270b との間に配設された絶縁要素として供することができる。相互接続部 254a、254b は、絶縁要素の少なくとも一部分 (例えば、接着材 250b の部分) を貫いて延在する導電ビアとして作用することができる。更に、相互接続部 254a、254b は、基板 270a、270b を貫いて延在してキャパシタに接続することができる。図 12E では、成形コンパウンド 269 を、キャパシタ 220 の側縁部に隣接して配設することができる。したがって、キャパシタ 220 を、絶縁要素内に埋め込む (例えば、接着材 250b 及び成形コンパウンド 269 内に埋め込む) ことができる。図示のように、キャパシタ 220 を、第 1 の基板 270a と第 2 の基板 270b との間の第 1 の領域内に配設することができ、絶縁要素の少なくとも一部分を、第 1 の基板 270a と第 2 の基板 270b との間の異なる第 2 の領域内に配設することができる。有益にも、低 CTE 基板 270a、270b 及び介在する絶縁要素を使用することで、受動部品 3 が実装される構成要素の CTE、例えば、半導体又はシリコン基板の CTE に近い、低い全実効 CTE を有する全受動部品 3 を提供することができる。このような構成では、有益には、受動部品 3 の全実効 CTE (例えば、図 12E に示された絶縁材料及び導電材料を含む) は、8 ppm / 以下、7 ppm / 以下又は 6 ppm / 以下であることが可能である。様々な実施形態では、受動部品 3 (本明細書においてマイクロ電子デバイスとも称する) の全実効 CTE は、3 ppm / ~ 7 ppm / の範囲、4 ppm / ~ 8 ppm / の範囲又は 4 ppm / ~ 7 ppm / の範囲内にあることが可能である。図 12A ~ 図 12E の部品 3 は、複数の基板 (基材 270a、270b など) を、例えば、1 つ以上の接着材によって及び / 又は成形コンパウンドによって、1 つ以上のキャパシタに結合することができる。例示された実施形態では、基板 270a、270b は、堆積プロセスを使用して堆積されることなく、キャパシタ 220 に積層又は被着される材料又は層を備えてよい。

【0098】

図 13A ~ 図 13E は、受動電子部品 3 を形成する別の方法を例示している。図 13A では、第 1 の絶縁基板 270a は、第 1 の絶縁基板 270a の外面上に複数の導電接触パッド 275 を有することができる。図 13B では、キャパシタ 220 を、第 1 の接着材によって、例えば、例示された実施形態におけるはんだを備える導電性接着材 276 によって、基板 270a の接触パッド 275 に接続することができる。他の実施形態では、キャパシタ 220 を、介在する接着材を使用せずに直接接合することによって、接触パッド 275 に接続することができる。図 13C を参照すると、第 1 のビア部分 235a を有する第 3 の絶縁基板 270c を、非導電性接着材を備えることができる第 1 の接着材層 250a に接着することができる。図 13D では、成形コンパウンド 269 を、表面 264b の下及びキャパシタ 220 の側縁部 261 の周囲に設けることができる。図 13E では、第 2 の接着材層 250b を、キャパシタの第 1 の表面 264a の上と、成形コンパウンド 269 及び第 3 の基板層 270c の上面の上と、に被着することができる。第 2 の基板層 270b を、第 2 の接着材層 250b の上に設けることができる。図 13F では、上記で説明したように、様々な相互接続部 254 及び貫通ビア 235 を設けることができる。

【0099】

接着材 250a、250b、成形コンパウンド 269 及び基板 270c を、第 1 の基板

10

20

30

40

50

270aと第2の基板270bとの間に配設された絶縁要素として供することができる。相互接続部254a、254bは、絶縁要素の少なくとも一部分を貫いて延在する導電ピアとして作用することができる。更に、相互接続部254a、254bは、基板270a、270bを貫いて延在してキャパシタに接続することができる。図11Gでは、成形コンパウンド269を、キャパシタ220の側縁部に隣接して（及び又は接触させて）配設することができる。したがって、キャパシタ220を、絶縁要素内に埋め込むことができる。図示のように、キャパシタ220を、第1の基板270aと第2の基板270bとの間の第1の領域内に配設することができ、絶縁要素の少なくとも一部分を、第1の基板270aと第2の基板270bとの間の異なる第2の領域内に配設することができる。有益にも、低CTE基板270a、270b及び介在する絶縁要素を使用することで、受動部品3が実装される構成要素のCTE、例えば、半導体又はシリコン基板のCTEに近い、低い全実効CTEを有する全受動部品3を提供することができる。このような構成では、有益には、受動部品3の全実効CTE（例えば、図13Fに示された絶縁材料及び導電材料を含む）は、8ppm/以下、7ppm/以下又は6ppm/以下であることが可能である。様々な実施形態では、受動部品3（本明細書においてマイクロ電子デバイスとも称する）の全実効CTEは、3ppm/～7ppm/の範囲、4ppm/～8ppm/の範囲又は4ppm/～7ppm/の範囲内にあることが可能である。図13A～図13Fの部品3は、複数の基板（基板270a、270bなど）を、例えば、1つ以上の接着材、介在する基板270cによって及び/又は成形コンパウンドによって、1つ以上のキャパシタに結合することができる積層構造物を備えることができる。例示された実施形態では、基板270a、270bは、堆積プロセスを使用して堆積されることはなく、キャパシタ220に積層又は被着される材料又は層を備えてよい。

10

20

30

40

50

【0100】

図14A及び図14Bは、受動電子部品3を形成する技術の別の実施形態を例示している。図14Aでは、キャリア277を設けることができる。接着材層250aを、キャリア277の上に被着することができる。基板層270を、接着材層250aを用いてキャリア277に接着することができ、キャパシタ220を、基板層270aの空洞内に被着することができる（又は基板層270を、予め堆積されたキャパシタ220の周りに被着することができる）。成形コンパウンド269（上記で説明したように低CTEを有することができる）を、キャパシタ220の周り、例えば、キャパシタ220の側面261の周りに被着することができる。絶縁層250を、キャパシタ220が絶縁層250内に埋め込まれる、例えば、絶縁層250内に部分的に埋め込まれるように、成形コンパウンド269及び接着材層250aによって少なくとも部分的に固定することができる。キャリア277を様々な実施形態で除去することができ、RDL252a、252bを、キャパシタ220の、成形コンパウンド269及び絶縁基板270の対向する両側に設けることができる。図14A～図14Bでは、相互接続部254a、254bは、RDL252a、252bの絶縁部分（上記の層266a、266bを参照）を通って延在して、キャパシタ220の端子に接続することができる。受動部品3の全実効CTE（例えば、図14Bに示された絶縁材料及び導電材料を含む）は、8ppm/以下、7ppm/以下又は6ppm/以下であることが可能である。様々な実施形態では、受動部品3（本明細書においてマイクロ電子デバイスとも称する）の全実効CTEは、3ppm/～7ppm/の範囲、4ppm/～8ppm/の範囲又は4ppm/～7ppm/の範囲内にあることが可能である。上記のように、部品3は、積層構造を備えることができる。

【0101】

本明細書で説明するように、図8A～図14Bの受動部品3（例えば、マイクロ電子部品）の実施形態を、1つ以上の他の要素（1つ以上の半導体要素などに接合する（例えば、介在する接着材を使用せずに直接接合する）ことができる。いくつかの実施形態では、図8A～図14Bの受動部品3を、部品3の一方の面上の要素に直接接合することができる。他の実施形態では、受動部品3を、受動部品3が要素間にあるように、受動部品3の

対向する両側の要素に直接接合することができる。実際に、このような接合構造物を、本明細書に開示された実施形態のいずれか及び／又は全てに対して実現することができる。

【0102】

図15は、様々な実施形態による、接合構造物を形成する方法70を例示するフローチャートである。方法70は、ブロック72において開始して、1つ以上の能動デバイスを有する要素を設けることができる。要素は、様々な実施形態において、半導体要素を備えることができる。他の実施形態では、要素は、半導体材料を備えても備えなくてもよい材料を備えることができる。プロセッサダイなどの半導体要素を利用する実施形態では、要素を半導体加工設備で製造して、半導体加工技術（相補型金属酸化物半導体、又はCMOS（complementary metal oxide semiconductor）処理など）を使用してウエハ上に能動デバイスを画定することができる。半導体加工技術を用いて、半導体加工設備で要素上に直接接合用の接合層を形成することができる。例えば、上記で説明したように、要素の外面又は外面の近くに導電性特徴部及び非導電性フィールド領域を画定することができる。有益にも、接合層は低温アニールの使用を可能にして、接合を改善し熱不整合を低減することができる。

10

【0103】

ブロック74において、受動電子部品を、介在する接着材を使用せずに、要素に直接接合することができる。様々な実施形態では、受動電子部品のアノード端子及びカソード端子を、受動部品の同じ側に沿って設けてもよい。受動部品は、キャパシタを含む、本明細書に記載された任意の好適な受動部品であることが可能である。キャパシタは、いくつかの実施形態では、高K誘電体によって画定される大容量を有することが可能である。他の実施形態では、キャパシタは、酸化ケイ素又は窒化ケイ素などのより低い誘電率を有する誘電体を備えることができる。いくつかの実施形態では、受動電子部品を、要素を製造するために使用される半導体加工設備とは異なる設備で製造することができる。受動部品を異なる設備で製造することで、いくつかの実施形態では、高温処理を使用して高K誘電体層を形成することを可能にすることができます。要素と同じように、受動電子部品上に接合層を形成することもできる。

20

【0104】

要素を備えるウエハと受動電子部品を備えるウエハとを、上記で説明したように直接接合するために調製することができる。例えば、接合層を、非常に高い表面平滑度に研磨することができ、所望の種で能動化及び終端することができる。非導電性フィールド領域を室温で互いに接触させて直接接合を形成することができる。要素及び受動部品を加熱して、接合を強化する及び／又は導電性特徴部間の電気的接触を生じさせることができる。

30

【0105】

いくつかの実施形態では、直接接合後、接合構造物上に更なる相互接続部を設けて、パッケージ基板との次のレベルの導通を提供することができる。例えば、基部122などの任意の一時的なキャリアを除去することができる。導電経路指定材料の1つ以上の層（配線の後端、又はB E O L（back end of the line）層）を設けて、他の構成要素（パッケージ基板、インターポーラ又は他のダイなど）との電気的接続の信頼性を改善することができる。接合ウエハを、例えば、ソーリングによって個片化することができる。個片化された接合構造物をパッケージに組み立てることができ、例えば、構造物をパッケージ基板に取り付けることができる。

40

【0106】

図7A～図7Bに示された実施形態などのいくつかの実施形態では、受動電子部品は、電極表面の大部分が縦方向に配設された1つ又は複数の長尺のキャパシタを備えることができる。要素は、主横方向表面を画定することができる。キャパシタは、部品の主横方向表面に対して非平行な方向に沿って延在する第1の電極及び第2の電極の主表面を備えることができ、第1の電極と第2の電極とが誘電体によって離間している。いくつかの実施形態では、キャパシタを、複数のキャパシタを画定するように非平行方向に沿って延在する複数の纖維を設けることによって画定することができる。複数の纖維を、第1の電極と

50

して供し、誘電体を画定する非導電材料でコーティングし、続いて導電材料でコーティングして第2の電極を画定することができる。キャパシタを形成する更に他の方法が好適であり得る。

【0107】

図8A～図14Bに示されたものなどのいくつかの実施形態では、受動電子部品は、絶縁層内に埋め込まれたキャパシタを備えることができる。いくつかの実施形態では、上記で説明したように、キャパシタを1つ以上のグリーンシート間に設けることができ、キャパシタ及びグリーンシートを共焼成して、硬化された受動電子部品を形成することができる。他の実施形態では、キャパシタを絶縁層の空洞内に設けることができる。更に他の実施形態では、キャパシタを第1の接着材層上に設けることができ、キャパシタの上に第2の接着材層を設けることができる。第1の接着材層及び第2の接着材層にそれぞれ第1の絶縁キャリア層及び第2の絶縁キャリア層を結合することができる。いくつかの実施形態では、第1の接着材層と第2の接着材層との間の受動部品の周りに成形コンパウンドを設けることができる。

10

【0108】

図16は、様々な実施形態による、1つ以上の接合構造物1を組み込んだ電子システム80の概略システム図である。システム80は、モバイル電子デバイス(例えば、スマートフォン、タブレットコンピューティングデバイス、ラップトップコンピュータなど)、デスクトップコンピュータ、自動車又は自動車の構成要素、ステレオシステム、医療デバイス、カメラ又は任意の他の好適な種類のシステムなどの、任意の好適な種類の電子デバイスを備えることができる。いくつかの実施形態では、電子システム80は、マイクロプロセッサ、グラフィックプロセッサ、電子記録デバイス又はデジタルメモリを備えることができる。システム80は、例えば、1つ以上のマザーボードによって、システム80に機械的及び電気的に接続された1つ以上のデバイスパッケージ82を含むことができる。各パッケージ82は、1つ以上の接合構造物1を備えることができる。図16に示されたシステム80は、本明細書に示され記載された構造物1及び受動部品3のいずれかを備えることができる。

20

【0109】

一実施形態では、接合構造物が開示される。接合構造物は、要素と、介在する接着材を使用せずに要素に直接接合された受動電子部品。いくつかの実施形態では、受動電子部品はキャパシタを備える。

30

【0110】

別の実施形態では、接合構造物が開示される。接合構造物は、要素の能動表面又は能動表面の近くに1つ以上の能動デバイスを有する要素を含むことができる。接合構造物は、要素に接合された受動電子部品を備えることができる。受動電子部品は、受動電子部品の厚さの少なくとも3倍の横方向の幅を有するシートを備えることができ、シートは要素の能動表面の大部分を覆う。いくつかの実施形態では、受動電子部品はキャパシタを備えることができる。

【0111】

別の実施形態では、接合構造物を形成する方法が開示される。当該方法は、1つ以上の能動デバイスを有する要素を設けることを含むことができる。当該方法は、介在する接着材を使用せずに、要素に受動電子部品を直接接合することを含むことができる。いくつかの実施形態では、受動電子部品はキャパシタを備えることができる。

40

【0112】

一実施形態では、マイクロ電子デバイスが開示される。マイクロ電子部品は、第1の表面及び第2の表面を有する絶縁材料の層を備えることができる。第1の表面と第2の表面との間において、絶縁材料の層内に多層キャパシタを埋め込むことができる。絶縁材料の層を貫いて、第1の表面から第2の表面へと、1つ以上の導電ビアを形成することができる。第1の表面及び第2の表面のうちの少なくとも一方上に再配線層を配設し、キャパシタの1つ以上の端子を第1の表面及び第2の表面のうちの少なくとも一方における1つ以

50

上の相互接続部に電気的に結合するように、再配線層を配設することができる。

【0113】

いくつかの実施形態では、多層キャパシタの2つの端子を第1の表面における少なくとも2つの相互接続部に電気的に結合し、第2の表面における相互接続部には電気的に結合しないように、再配線層を構成することができる。再配線層は、実質的に平坦な表面を有することができ、1つ以上の相互接続部は、1ミクロン以下のピッチを有する。絶縁材料は、セラミック、ガラス又は液晶ポリマーを備えることができる。

【0114】

別の実施形態では、マイクロ電子デバイスを形成する方法が開示される。当該方法は、絶縁材料の第1の層上に多層キャパシタを堆積することを含むことができる。当該方法は、多層キャパシタ及び絶縁材料の第1の層の上に絶縁材料の第2の層を堆積することを含むことができる。当該方法は、絶縁材料の第2の層を、多層キャパシタ及び絶縁材料の第1の層の上に押圧することを含むことができる。当該方法は、絶縁材料の第2の層と、多層キャパシタと、絶縁材料の第1の層と、を共焼成して一体型デバイスを形成することを含むことができる。

10

【0115】

いくつかの実施形態では、当該方法は、第1の層と第2の層との間と、押圧及び共焼成の前のキャパシタの周囲と、に絶縁材料の中間層を堆積することを含むことができる。当該方法は、共焼成後に、絶縁材料の第1の層及び第2の層を貫く1つ以上のビアを形成することを含むことができる。当該方法は、共焼成前に、絶縁材料の第1の層及び第2の層を貫く1つ以上のビアを形成することを含むことができる。当該方法は、絶縁材料の第1の層又は第2の層の外面上に再配線層を形成することを含むことができ、再配線層は、キャパシタの1つ以上の端子に結合された1つ以上の電気相互接続部を含む。再配線層は、キャパシタの端子の各々に結合された少なくとも1つの相互接続部を含むことができる。当該方法は、再配線層を、接着材を使用せずに直接接合技術によって、調製された接合表面に接合することを含むことができる。

20

【0116】

別の実施形態では、マイクロ電子デバイスを形成する方法が開示される。当該方法は、絶縁層の表面に空洞を形成することを含むことができる。当該方法は、絶縁層の厚さの少なくとも一部分を貫く1つ以上のビアを形成することを含むことができる。当該方法は、多層キャパシタを空洞内に堆積することを含むことができる。当該方法は、キャパシタ及び絶縁層の上に再配線層を形成することを含むことができ、再配線層は、キャパシタの1つ以上の端子に結合された1つ以上の電気相互接続部を含む。

30

【0117】

いくつかの実施形態では、当該方法は、再配線層と反対側の絶縁層の表面を平坦化することと、平坦化表面上に別の再配線層を形成することと、を含むことができる。他の再配線層は、キャパシタの1つ以上の端子に結合された1つ以上の電気相互接続部を含むことができる。

【0118】

別の実施形態では、接合構造物が開示される。接合構造物は、要素と、要素に接合された第1の表面と第1の表面と反対側の第2の表面とを有する受動電子部品と、を備えることができる。受動電子部品は、第1の表面と第2の表面との間にキャパシタを備えることができる。キャパシタは、キャパシタの第1の表面上の第1の端子及び第2の端子と、第1の端子に電気的に接続された第1の導電電極と、第2の端子に電気的に接続された第2の導電電極と、第1の導電電極と第2の導電電極との間の高K誘電体と、を備えることができる。

40

【0119】

いくつかの実施形態では、高K誘電体はセラミックを備える。要素を、介在する接着材を使用せずに受動電子部品に直接接合することができる。セラミック誘電体は、チタン酸塩、ニオブ酸塩及びジルコン酸塩のうちの少なくとも1つを備えることができる。

50

【0120】

別の実施形態では、マイクロ電子デバイスが開示される。マイクロ電子デバイスは、第1の表面及び第2の表面を有する絶縁材料を含むことができる。第1の表面と第2の表面との間において絶縁材料内にキャパシタを埋め込むことができ、キャパシタは絶縁材料とモノリシックに集積されてモノリシック構造を画定する。第1の表面において又は第1の表面を貫いて第1の相互接続部を配設し、第1の相互接続部をキャパシタの第1の端子に電気的に接続することができる。キャパシタはセラミック誘電体を備えることができる。セラミック誘電体は、酸化アルミニウムを備えることができる。キャパシタは、複数の導電層間に複数の誘電体層を有する多層キャパシタを備えることができる。セラミック誘電体を、絶縁材料とモノリシックに集積することができる。第1の表面及び第2の表面のうちの一方に再配線層(RDL)を接続することができ、第1の相互接続部は少なくとも部分的にRDL内に配設される。第1の表面において第2の相互接続部を配設し、第2の相互接続部をキャパシタの第2の端子に電気的に接続することができ、第1の端子は第2の端子とは異なる種類である。貫通導電ビアが、絶縁層を貫いて第1の表面から第2の表面まで延在することができる。絶縁材料の層を、キャパシタの上面に沿って、キャパシタの下面に沿って及びキャパシタの側縁部に沿って配設することができる。

10

【0121】

別の実施形態では、マイクロ電子デバイスが開示される。マイクロ電子デバイスは、第1の表面と第1の表面と反対側の第2の表面とを有する絶縁材料を備えることができる。第1の表面と第2の表面との間において絶縁材料内に少なくとも部分的にキャパシタを埋め込むことができる。第1の表面上に相互接続層を配設することができ、キャパシタの1つ以上の端子を、絶縁材料の第1の表面において又は当該第1の表面を貫いて延在する1つ以上の相互接続部に電気的に結合するように、相互接続層を配置することができる。

20

【0122】

いくつかの実施形態では、キャパシタを絶縁材料内に完全に埋め込むことができる。キャパシタを絶縁材料内に部分的に埋め込むことができ、絶縁材料がキャパシタの外側縁部に沿って配設される。マイクロ電子デバイスは、第1の絶縁基板を備えることができ、キャパシタの第1の表面が第1の接着材によって第1の絶縁基板に機械的に結合されており、絶縁材料が第1の接着材を備える。マイクロ電子デバイスは第2の絶縁基板を備えることができ、キャパシタの第2の表面が、第2の接着材によって第2の絶縁基板に機械的に結合されており、絶縁材料が第2の接着材を更に備える。キャパシタの部分の周りに成形コンパウンドを配設することができ、絶縁材料が成形コンパウンドを更に備える。第1の絶縁基板と第2の絶縁基板との間のキャパシタの周りに第3の中間絶縁基板を配設することができる。第1の接着材は、いくつかの実施形態では、はんだを備えることができる。第2の表面上に第2の相互接続層を配設することができ、キャパシタの1つ以上の端子を絶縁材料の第2の表面における1つ以上の相互接続部に電気的に結合するように、第2の相互接続層を配置することができる。マイクロ電子デバイスは、相互接続層内に第1の相互接続部及び第2の相互接続部を含むことができ、第1の相互接続部がキャパシタの第1の側においてキャパシタの第1の端子に接続されており、第2の相互接続部が第1の側において第2の端子に接続されており、第1の端子が第2の端子とは異なる種類である。マイクロ電子デバイスは、キャパシタの第2の側の第3の端子と第2の側の第4の端子とを含むことができ、第3の端子が第4の端子とは異なる種類である。絶縁材料の層は、いくつかの実施形態では複数の層を備える。マイクロ電子デバイスは、絶縁材料を貫いて延在する導電貫通ビアを含むことができる。いくつかの実施形態では、接合構造物は、マイクロ電子デバイス及び要素を備えることができ、要素が、介在する接着材を使用せずにマイクロ電子デバイスに直接接合されている。

30

【0123】

別の実施形態では、マイクロ電子デバイスが開示される。マイクロ電子部品は、第1の絶縁基板と、第1の表面及び第1の表面と反対側の第2の表面を有するキャパシタと、を備えることができ、キャパシタの第1の表面が第1の絶縁基板に機械的に結合されている

40

50

。マイクロ電子デバイスは第2の絶縁基板を含むことができ、キャパシタの第2の表面が、キャパシタが第1の絶縁基板と第2の絶縁基板との間に配設されるように、第2の絶縁基板に機械的に結合されている。第1の絶縁基板と第2の絶縁基板との間に絶縁要素を配設することができる。第1の相互接続部が第1の絶縁基板を貫いて延在して、キャパシタの第1の端子に電気的に接続することができる。

【0124】

いくつかの実施形態では、キャパシタの第1の表面を第1の接着材によって第1の絶縁基板に機械的に結合することができ、絶縁要素が第1の接着材を備える。キャパシタの第2の表面を第2の接着材によって第2の絶縁基板に機械的に結合することができ、絶縁要素が第2の接着材を更に備える。第1の接着材は、いくつかの実施形態では、はんだを備えることができる。絶縁要素は、キャパシタの部分の周りに配設された成形コンパウンドを備えることができる。絶縁要素は、第1の絶縁基板と第2の絶縁基板との間のキャパシタの周りに配設された第3の中間絶縁基板を備えることができる。第1の絶縁基板及び第2の絶縁基板のうちの1つ以上の熱膨張係数(CTE)は、5 ppm/以下であることが可能である。第1の絶縁基板及び第2の絶縁基板のうちの1つ以上のCTEは、2 ppm/ ~ 5 ppm/の範囲内にあることが可能である。マイクロ電子デバイスの全実効熱膨張係数(CTE)は、7 ppm/以下であることが可能である。全実効CTEは、3 ppm/ ~ 7 ppm/の範囲内にあることが可能である。第2の相互接続部が第1の絶縁基板を貫いて延在することができ、第1の相互接続部がキャパシタの第1の側においてキャパシタの第1の端子に接続されており、第2の相互接続部が第1の側において第2の端子に接続されており、第1の端子が第2の端子とは異なる種類である。マイクロ電子部品は、キャパシタの第2の側の第3の端子と、第2の側の第4の端子と、を備えることができ、第3の端子が第4の端子とは異なる種類である。絶縁要素の少なくとも一部分を、キャパシタの側縁部に隣接して配設することができる。キャパシタを第1の基板と第2の基板との間の第1の領域内に配設することができ、絶縁要素の少なくとも一部分は第1の基板と第2の基板との間の第2の領域内に配設され、第1の領域と第2の領域とが互いに異なる。接合構造物はマイクロ電子デバイス及び要素を備えることができ、要素が、介在する接着材を使用せずにマイクロ電子デバイスに直接接合されている。

【0125】

別の実施形態では、マイクロ電子デバイスを形成する方法が開示される。当該方法は、キャパシタの第1の表面を第1の絶縁基板に機械的に結合することを含むことができる。当該方法は、キャパシタが第1の絶縁基板と第2の絶縁基板との間に配設されるように、キャパシタの第2の表面を第2の絶縁基板に機械的に結合することを含むことができる。当該方法は、第1の絶縁基板と第2の絶縁基板との間に絶縁要素を配設することを含むことができる。当該方法は、第1の絶縁基板を貫いて延在してキャパシタの第1の端子に電気的に接続する第1の相互接続部を設けることを含むことができる。

【0126】

いくつかの実施形態では、当該方法は、キャパシタを接着材で第1の絶縁基板に接着することを含むことができる。当該方法は、第2の基板を第2の接着材でキャパシタに接着することを含むことができる。当該方法は、第1の絶縁基板と第2の絶縁基板との間のキャパシタの少なくとも一部の周囲に成形コンパウンドを設けることを含むことができる。

【0127】

別の実施形態では、接合構造物が開示される。接合構造物は、要素と、要素に接合された第1の表面と第1の表面と反対側の第2の表面とを有する受動電子部品と、を備えることができる。受動電子部品は、要素の対応する第2のアノード端子に接合された第1のアノード端子と、要素の対応する第2のカソード端子に接合された第1のカソード端子と、を備えることができ、第1のアノード端子及び第1のカソード端子が受動電子部品の第1の表面上に配設されている。

【0128】

いくつかの実施形態では、受動電子部品は、介在する接着材を使用せずに要素に直接接

10

20

30

40

50

合されている。受動電子部品はキャパシタを備えることができる。キャパシタは、複数の誘電体層によって離間した3つ以上の金属層を備えることができる。受動電子部品は、受動電子部品の第2の表面上に第3のアノード端子及び第3のカソード端子を備えることができる。要素は半導体要素を備えることができる。接合構造物は、受動電子部品の第2の表面上に複数の電気接点を備えることができ、複数の電気接点が、外部構成要素に電気的に接続するように構成されている。接合構造物は、要素と複数の電気接点の第1の電気接点との間の電気経路を画定する相互接続構造物を備えることができる。相互接続構造物は、第1の表面から第1の電気接点まで延在する導電電気相互接続部を備えることができ、導電電気相互接続部が、第1の表面と第2の表面との間に配設された誘電体内に埋め込まれている。導電電気相互接続部は、第1の表面又は第1の表面の近くの第1の接触パッドから第1の電気接点まで延在する長手方向導電部分と、長手方向導電部分から横方向外側に延在する1つ以上の横方向導電部分と、を備えることができ、抵抗性電気経路を画定する長手方向導電部分と、抵抗性電気経路と並列の容量性電気経路を画定する1つ以上の横方向導電部分と、を画定する。要素は主横方向表面を画定することができ、キャパシタは、主横方向表面に対して非平行な方向に沿って延在する第1の電極表面及び第2の電極表面を備え、第1の電極表面と第2の電極表面とが誘電体によって離間している。非平行方向に沿った第1の電極表面の第1の高さは、主横方向表面に沿ったキャパシタの起伏の幅よりも長いことが可能である。第1の高さを幅で割ることによってアスペクト比を定義することができ、アスペクト比は5:1よりも大きい。第1の電極表面及び第2の電極表面のうちの少なくとも一方は、アルミニウム、シリコン、ドープシリコン又はニッケルを備えることができる。キャパシタは、受動電子部品を貫いて延在する蛇行パターンを備えることができる。蛇行パターンは、第1の電極表面及び第2の電極表面のそれぞれの縦方向部分と、縦方向部分を接続する第1の電極表面及び第2の電極表面の対応する横方向部分と、を備えることができる。

10

20

30

40

50

【0129】

別の実施形態では、接合構造物が開示される。接合構造物は、要素の能動表面又は能動表面の近くに1つ以上の能動デバイスを有する要素を備えることができ、能動表面が接合構造物の主横方向表面を画定する。接合構造物は要素に接合された受動電子部品を備えることができ、受動電子部品が、主横方向表面に対して非平行な方向に沿って延在する第1の電極表面及び第2の電極表面を有するキャパシタを備え、第1の電極表面と第2の電極表面とが誘電体によって離間している。

【0130】

いくつかの実施形態では、受動電子部品を、介在する接着材を使用せずに要素に直接接合することができる。非平行方向に沿った第1の電極表面の第1の高さは、主横方向表面に沿ったキャパシタの起伏の幅よりも長いことが可能である。第1の高さを幅で割ることによってアスペクト比を定義することができ、アスペクト比は5:1よりも大きい。第1の電極表面及び第2の電極表面のうちの少なくとも一方は、アルミニウムを備えることができる。キャパシタは、受動電子部品を貫いて延在する蛇行パターンを備えることができる。蛇行パターンは、第1の電極表面及び第2の電極表面のそれぞれの縦方向部分と、縦方向部分を接続する第1の電極表面及び第2の電極表面の対応する横方向部分と、を備えることができる。接合構造物は、第1の電極表面に電気的に接続された第1の端子と、第2の電極表面に電気的に接続された第2の端子と、を備えることができ、第1の端子及び第2の端子が受動電子部品の上面に露出している。第2の電極表面の延長部分が第1の電極表面を通って延在して、第2の端子に接続することができる。

【0131】

別の実施形態では、接合構造物が開示される。接合構造物は、要素と、要素に接合された第1の表面と第1の表面と反対側の第2の表面とを有する受動電子部品と、を備えることができ。受動電子部品は受動デバイスを備えることができる。受動デバイスは、受動電子部品の第1の表面上の第1の端子及び第2の端子と、第1の端子に電気的に接続された第1の導電相互接続部と、第2の端子に電気的に接続された第2の導電相互接続部と、

第1の導電相互接続部と第2の導電相互接続部との間の誘電体と、を含むことができる。

【0132】

いくつかの実施形態では、要素を、介在する接着材を使用せずに受動電子部品に直接接合することができる。受動デバイスはキャパシタを備えることができる。

【0133】

別の実施形態では、接合構造物が開示される。接合構造物は、要素と、介在する接着材を使用せずに要素に直接接合された受動電子部品と、を備えることができる。

【0134】

いくつかの実施形態では、受動電子部品はキャパシタを備えることができる。キャパシタは、複数の誘電体層によって離間した3つ以上の金属層を備えることができる。キャパシタは、1~10の範囲の誘電率を有する誘電体層を備えることができる。受動電子部品は、第1の電極と、第2の電極と、第1の電極と第2の電極との間の誘電材料と、を備えることができ、誘電材料が高K誘電体を備える。高K誘電体は、チタン酸塩(Ba_x Sr_{1-x} TiO₃、Bi₄ Ti₃O₁₂、PbZr_x Ti_{1-x} O₃)、ニオブ酸塩(LiNbO₃)及び/又はジルコン酸塩(BaZrO₃、CaZrO₃)を備えることができる。第1の電極は貴金属を備えることができる。受動電子部品は、1nF/mm²~1μF/mm²の範囲内にある単位面積当たりのキャパシタンスを有することができる。受動電子部品は、5nF/mm²~400nF/mm²の範囲内にある単位面積当たりのキャパシタンスを有することができる。受動電子部品は、100nF/mm²~400nF/mm²の範囲内にある単位面積当たりのキャパシタンスを有することができる。受動電子部品は、400nF/mm²~1000nF/mm²の範囲内にある単位面積当たりのキャパシタンスを有することができる。接合構造物は、介在する接着材を使用せずに要素に直接接合された複数の受動電子部品を備えることができる。受動部品を、要素に直接接合された受動部品層内に設けることができ、受動部品層が要素の大部分を覆う。受動部品は、要素に直接接合された第1の表面と、第1の表面と反対側の第2の外面と、を備えることができる。接合構造物は、第2の外面上に複数の電気接点を備えることができ、複数の電気接点が、外部の構成要素に電気的に接続するように構成されている。接合構造物は、要素と複数の電気接点の第1の電気接点との間の電気経路を画定する相互接続構造物を備えることができる。相互接続構造物は、第1の表面から第1の電気接点まで延在する導電電気相互接続部を備えることができ、導電電気相互接続部が、第1の表面と第2の表面との間に配設された誘電体内に埋め込まれている。導電電気相互接続部は、第1の表面又は第1の表面の近くの第1の接触パッドから第1の電気接点まで延在する長手方向導電部分と、長手方向導電部分から横方向外側に延在する1つ以上の横方向導電部分と、を備えることができ、長手方向導電部分が抵抗性電気経路を画定し、1つ以上の横方向導電部分が抵抗性電気経路と並列の容量性電気経路を画定する。接合構造物は、第1の表面から複数の電気接点のうちの第2の電気接点まで延在する第2の導電電気相互接続部を備える第2の相互接続構造物を備えることができる。第2の導電電気相互接続部は、第1の表面又は第1の表面の近くの第2の接触パッドから第1の電気接点まで延在する第2の長手方向導電部分と、第2の長手方向導電部分から横方向外側に延在する1つ以上の第2の横方向導電部分と、を備えることができ、第2の長手方向導電部分が第2の抵抗性電気経路を画定し、1つ以上の第2の横方向導電部分が第2の抵抗性電気経路と並列の第2の容量性電気経路を画定する。1つ以上の横方向導電部分及び1つ以上の第2の横方向導電部分を、互いに交互配置し、介在する誘電材料によって分離することができる。相互接続構造物及び第2の相互接続構造物のうちの一方を、電源に接続するように構成することができ、相互接続構造物及び第2の相互接続構造物のうちの他方を、電気グランドに接続するように構成することができる。受動電子部品は、受動電子部品の対向する第1の表面と第2の表面との間に配設された複数の交互導電性及び誘電体特徴部を備えることができる。受動電子部品は、受動電子部品の第1の表面における、要素に直接接合された第1の電極と、受動電子部品の第2の外面における第2の電極と、介在する誘電体材料と、を備えることができ、第1の電極が、介在する誘電体を有する複数の接合パッドにパターン化されている。

10

20

30

40

50

第2の電極は貴金属を備えることができる。貴金属は白金又はルテニウムを備えることができる。介在する誘電材料は高K誘電体を備える。介在する誘電材料は複合酸化物を備えることができる。介在する誘電材料は、チタン酸塩($Ba_xSr_1-xTiO_3$ 、 $Bi_4Ti_3O_12$ 、 $PbZr_xTi_1-xO_3$)、ニオブ酸塩($LiNbO_3$)及び/又はジルコン酸塩($BaZrO_3$ 、 $CaZrO_3$)を備えることができる。

【0135】

別の実施形態では、接合構造物が開示される。接合構造物は、要素の能動表面又は能動表面の近くに1つ以上の能動デバイスを有する要素と、要素に接合された受動電子部品と、を備えることができ、受動電子部品は、受動電子部品の厚さの少なくとも3倍の横方向の幅を有するシートを備え、シートは要素の能動表面の大部分を覆う。

10

【0136】

いくつかの実施形態では、受動電子部品は、容量性シートを備えることができる。受動電子部品を、介在する接着材を使用せずに要素に直接接合することができる。

【0137】

別の実施形態では、接合構造物を形成する方法が開示される。当該方法は、1つ以上の能動デバイスを有する要素を設けることを含むことができる。当該方法は、介在する接着材を使用せずに受動電子部品を要素に直接接合することを含むことができる。

20

【0138】

いくつかの実施形態では、当該方法は、受動電子部品内の複数の誘電体層によって離間した3つ以上の金属層を形成することを含むことができる。受動電子部品は、受動電子部品の厚さの少なくとも3倍の横方向の幅を有するシートを備えることができ、当該方法は、要素の能動表面の大部分をシートで覆うことを含む。当該方法は、高融点金属と、第2の電極と、10より大きい誘電率を有する介在する誘電体層と、を備える第1の電極を含むように、受動電子部品を形成することを含むことができる。当該方法は、第2の電極をパターン化して、第2の電極の複数の部分を画定することを含むことができる。当該方法は、第1の設備で受動電子部品を形成することと、第1の設備とは異なる第2の設備で要素を形成することと、を含むことができる。

20

【0139】

開示された実施形態と先行技術に対して達成される利点とを要約する目的で、特定の目的及び利点が本明細書に記載されている。当然のことながら、任意の特定の実施形態に従って、必ずしも全てのこののような目的又は利点が達成されない場合があることを理解されたい。したがって、例えば、当業者であれば、開示された実装形態が、本明細書で教示又は示唆され得る他の目的又は利点を必ずしも達成せずに、本明細書で教示又は示唆されるような1つの利点又は利点の群を達成又は最適化する方法で、具現化又は実施され得ることを認識するであろう。

30

【0140】

これらの実施形態の全てが本開示の範囲内にあることが意図されている。これら及び他の実施形態は、添付の図面を参照した実施形態の以下の詳細な説明から当業者には容易に明らかになり、特許請求の範囲は、開示されたいずれかの特定の実施形態に限定されない。本明細書ではこの特定の実施形態及び実施例が開示されているが、開示された実装形態は、具体的に開示された実施形態を超えて他の代替的な実施形態及び/又はそれらの使用と明らかな変更及び均等物とに及ぶことが当業者によって理解されるであろう。加えて、いくつかの変形例が詳細に示され説明されているが、本開示に基づいて、当業者には他の変更が明白であろう。また、実施形態の特定の特徴及び態様の様々な組み合わせ又は部分的組み合わせが作製されてもよく、依然として範囲内にあり得ることが企図される。開示された実施形態の様々な特徴及び態様を、開示された実装形態の様々なモードを形成するために、互いに組み合わせるか又は互いに置換することができることを理解されたい。したがって、開示された本明細書における主題の範囲は、上述した特定の開示された実施形態によって限定されるべきではなく、以下の特許請求の範囲の正読によってのみ決定されるべきであることが意図されている。

40

50

【図 1 A】

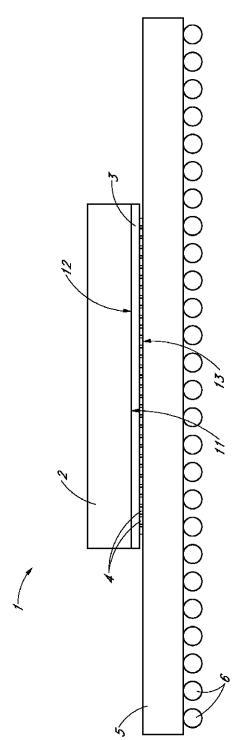


FIG. 1A

【図 1 B】

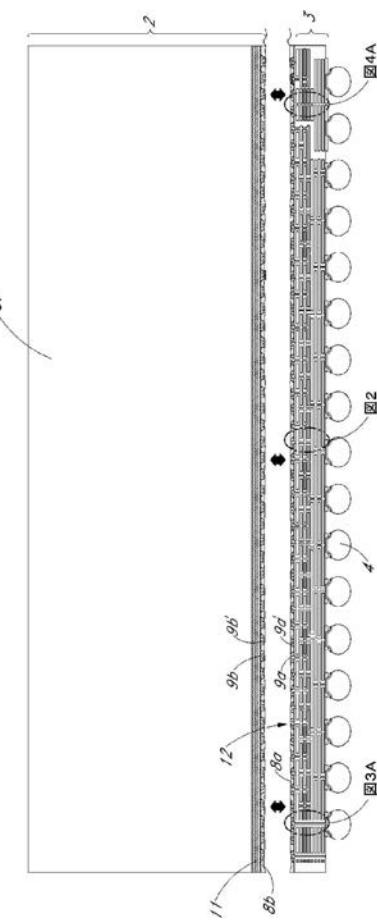


FIG. 1B

【図 2】

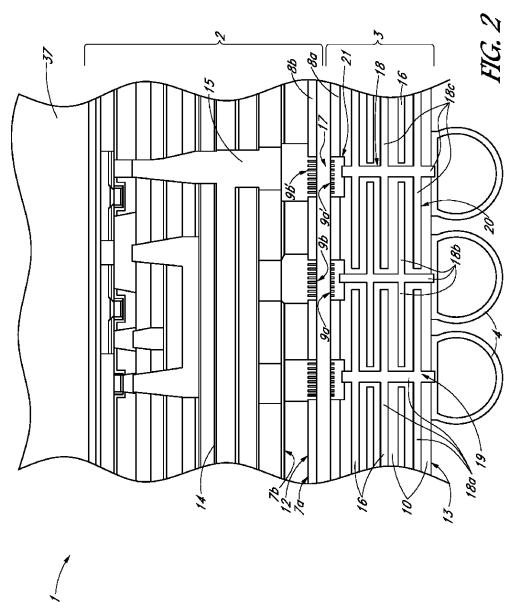


FIG. 2

【図 3 A】

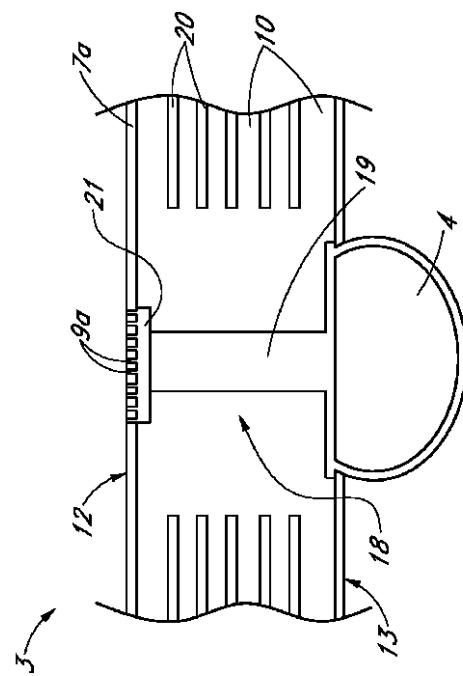


FIG. 3A

【図 3 B】



【図 4 A】

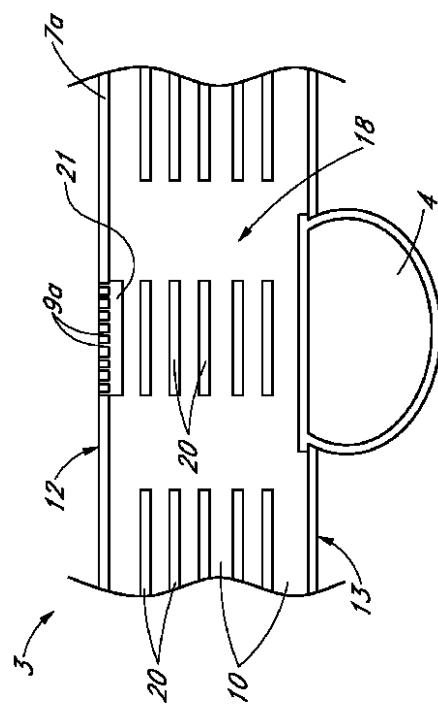
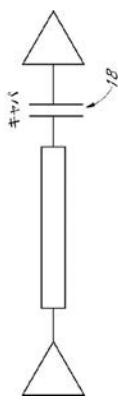


FIG. 4A

【図 4 B】



【図 5 A】

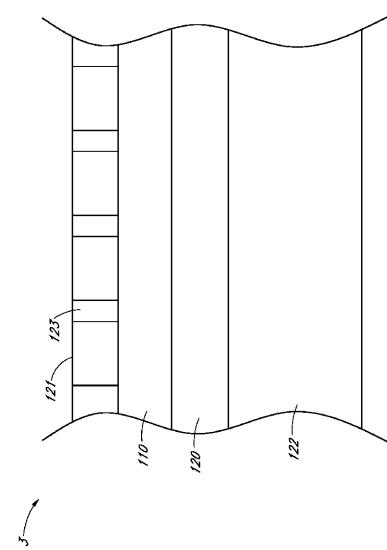


FIG. 5A

【 図 5 B 】

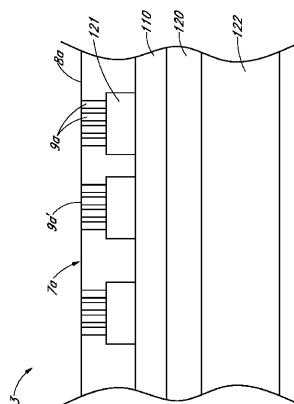


FIG. 5B

【図5C】

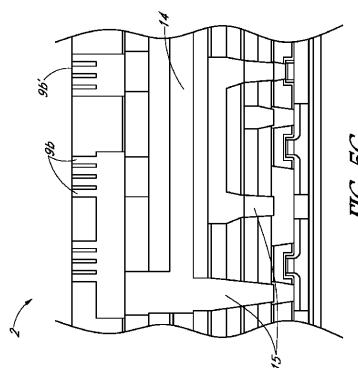


FIG. 5C

【図5D】

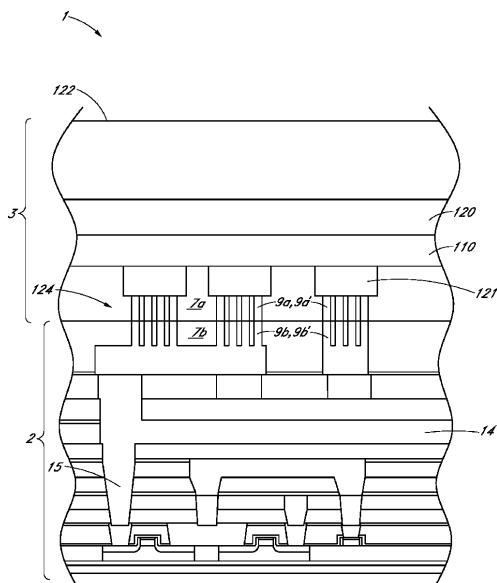


FIG. 5D

【 図 5 E 】

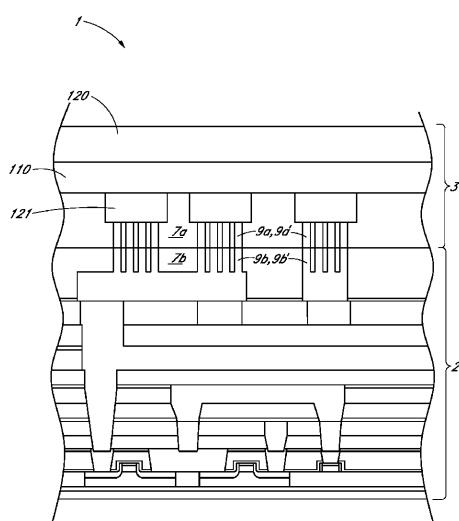


FIG. 5E

【 図 5 F 】

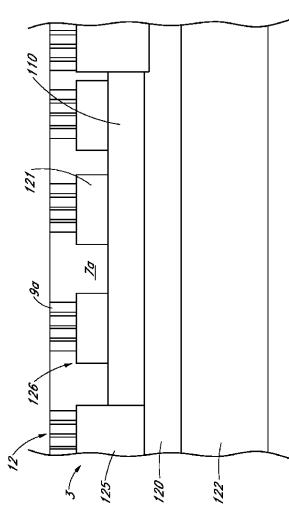


FIG. 5F

〔 図 5 G 〕

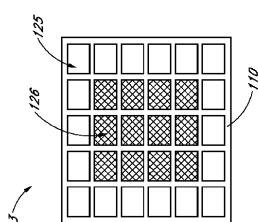


FIG. 5G

【図 5 H】

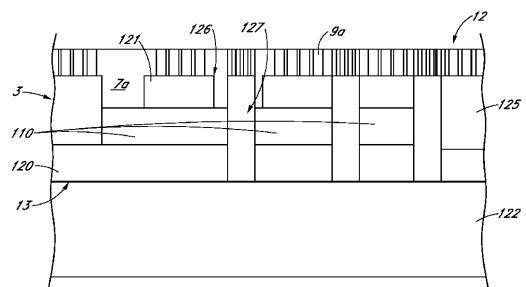


FIG. 5H

【図 5 I】

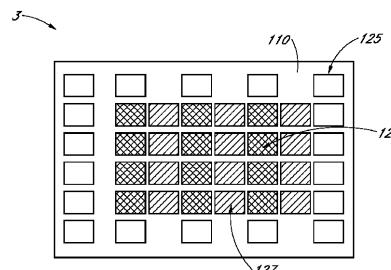
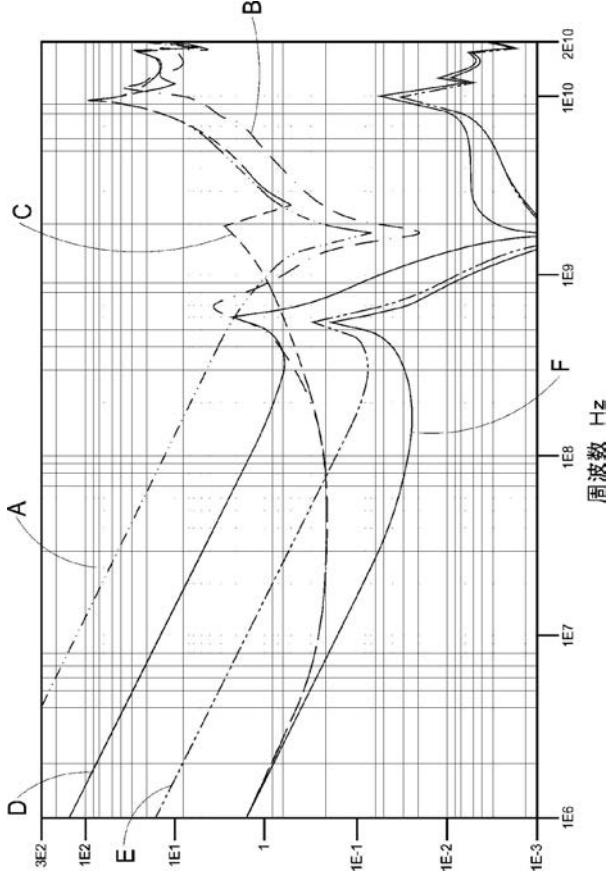


FIG. 5I

【図 6】



【図 7 A】

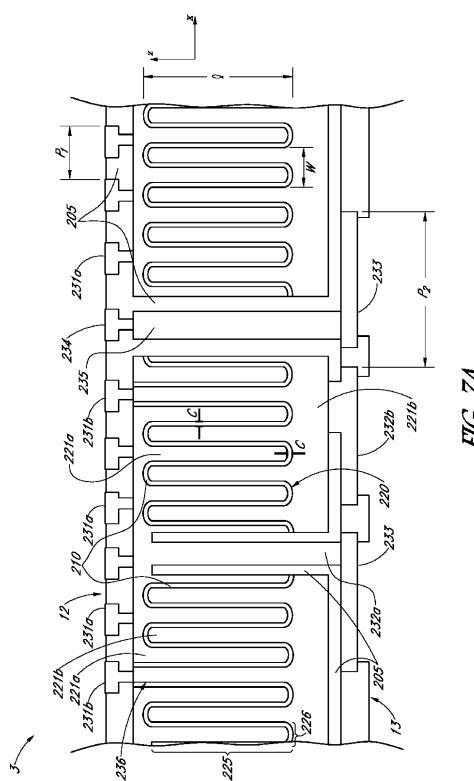


FIG. 7A

【図 7 B】

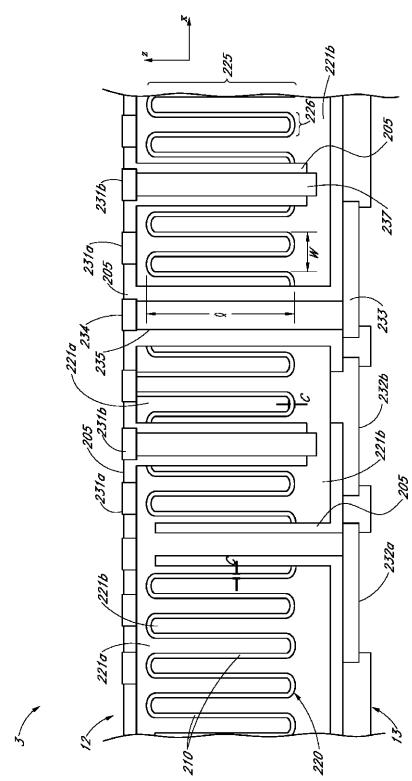
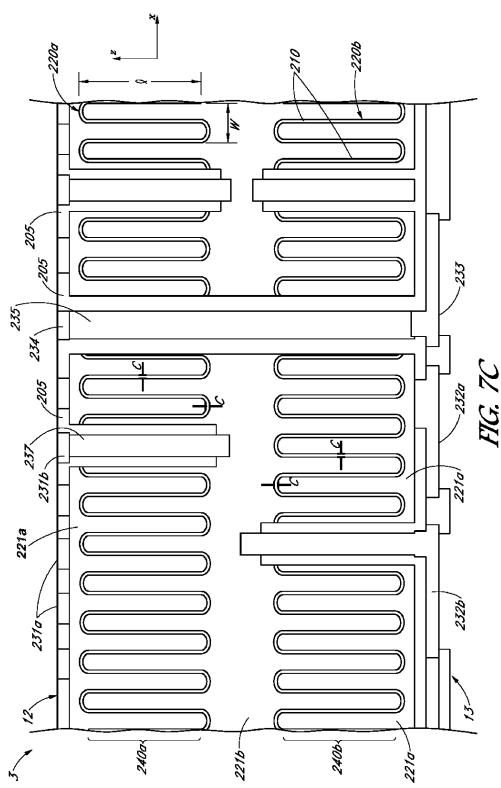
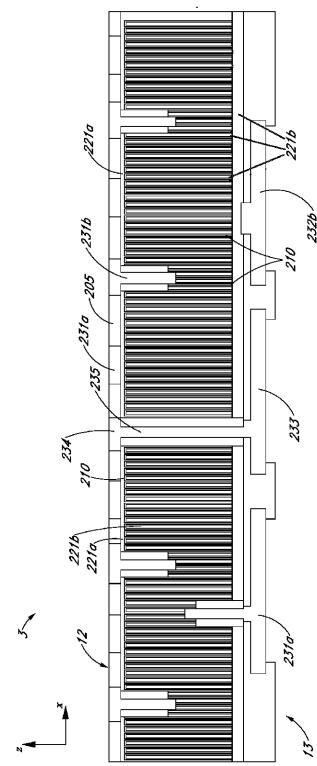


FIG. 7B

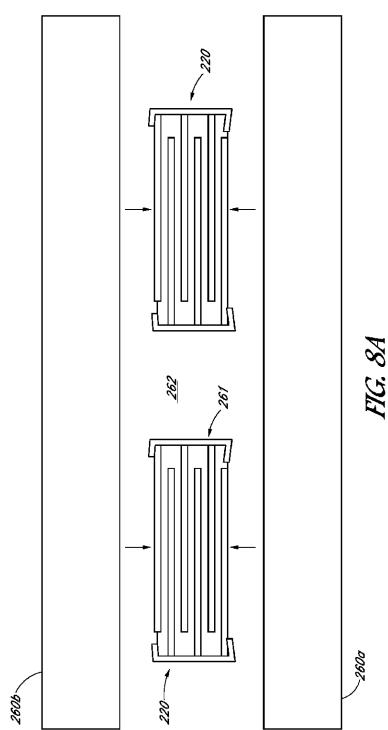
【 図 7 C 】



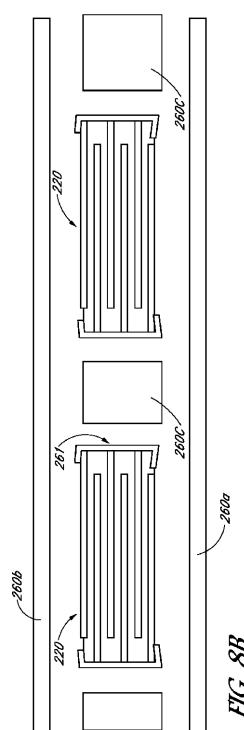
【 図 7 D 】



【 図 8 A 】



【 図 8 B 】



【図 8 C】

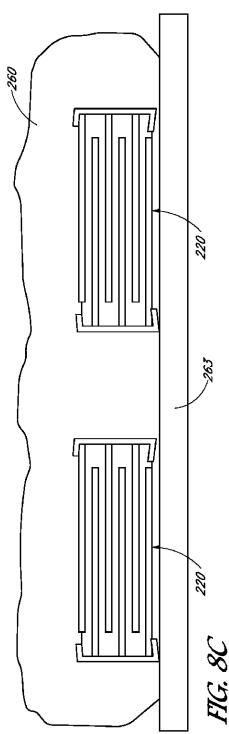


FIG. 8C

【図 8 D】

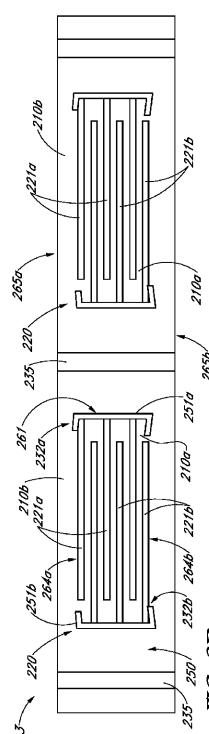


FIG. 8D

【図 8 E】

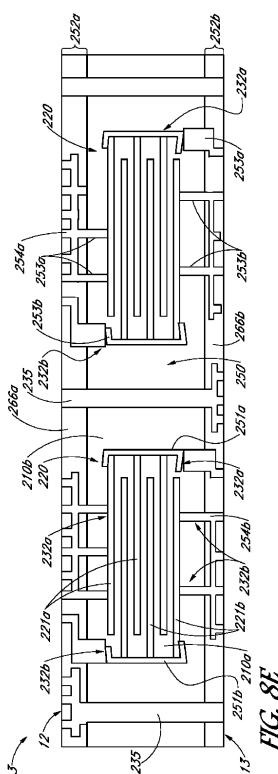


FIG. 8E

【図 9 A】

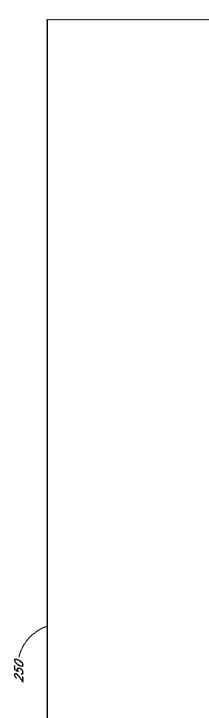


FIG. 9A

【図 9 B】

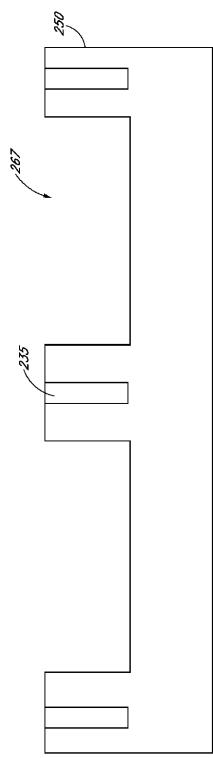


FIG. 9B

【図 9 C】

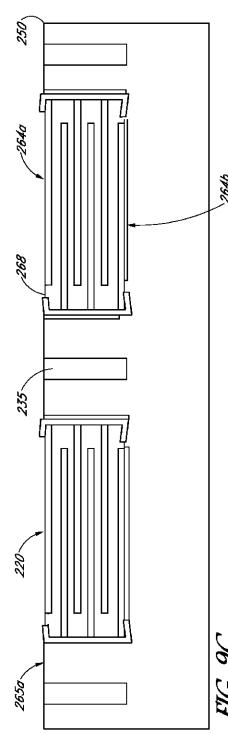


FIG. 9C

【図 9 D】

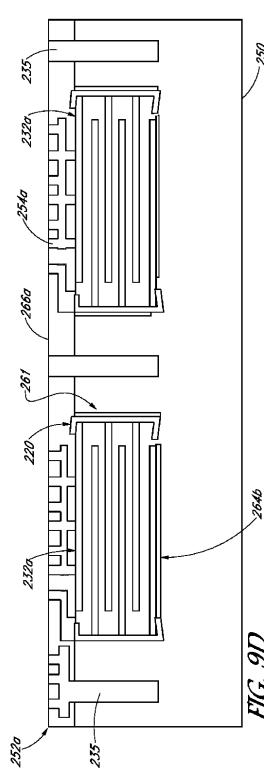


FIG. 9D

【図 9 E】

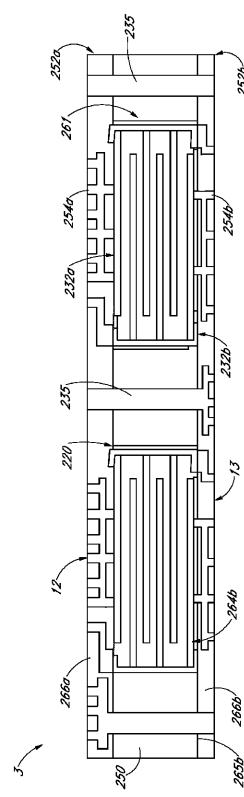


FIG. 9E

【図 10A】

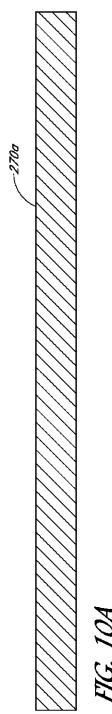


FIG. 10A

【図 10B】

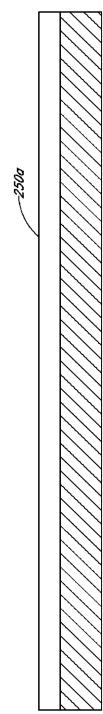


FIG. 10B

【図 10C】

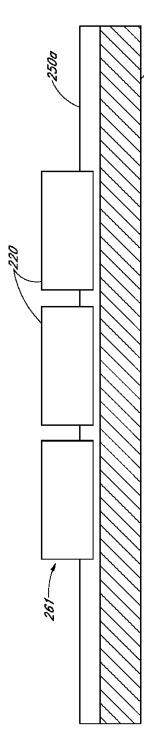


FIG. 10C

【図 10D】

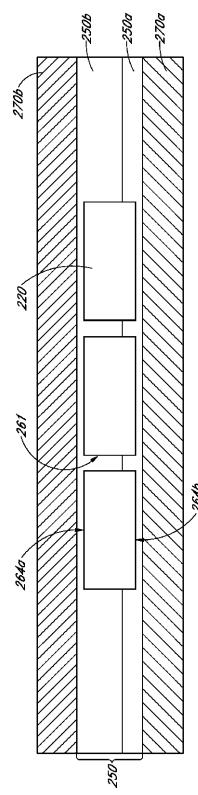


FIG. 10D

【図 10E】

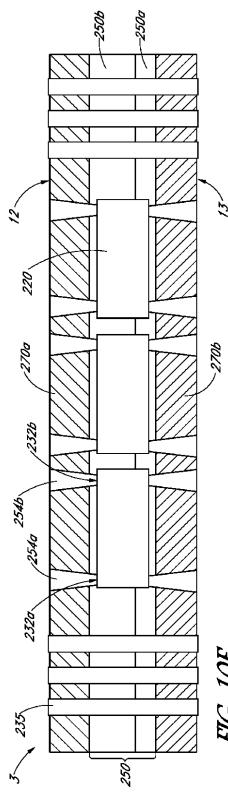


FIG. 10E

【図 10F】

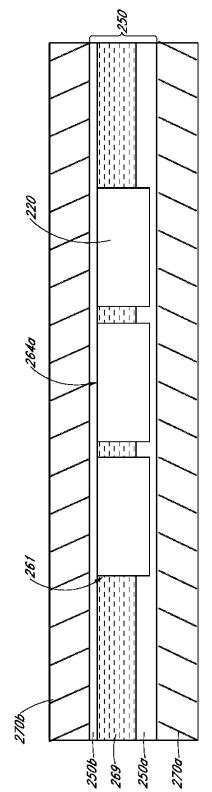


FIG. 10F

【図 10G】

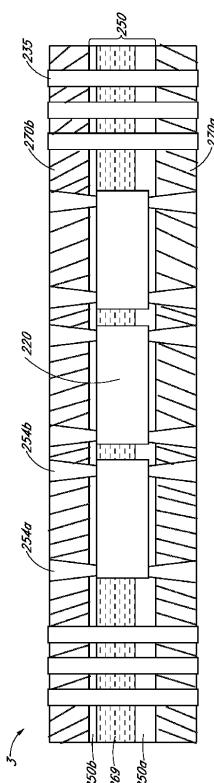


FIG. 10G

【図 11A】



FIG. 11A

【図 1 1 B】

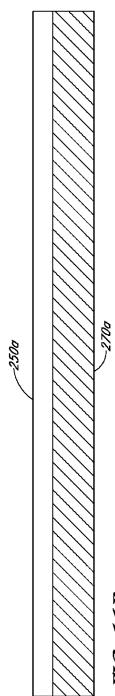


FIG. 11B

【図 1 1 C】

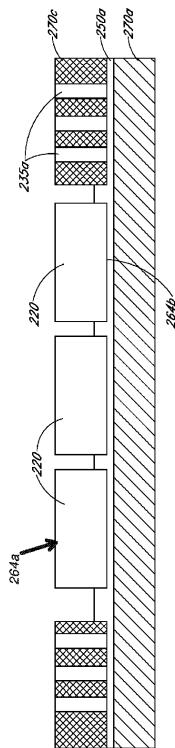


FIG. 11C

【図 1 1 D】

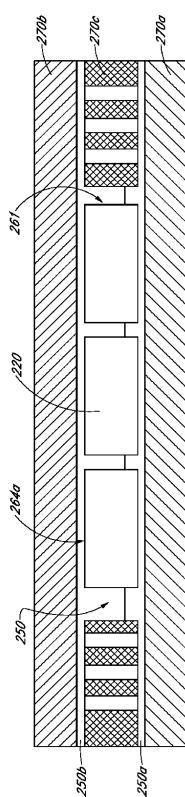


FIG. 11D

【図 1 1 E】

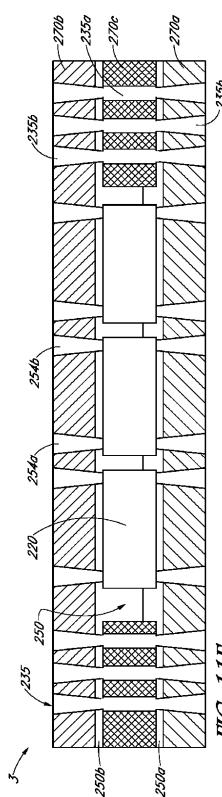


FIG. 11E

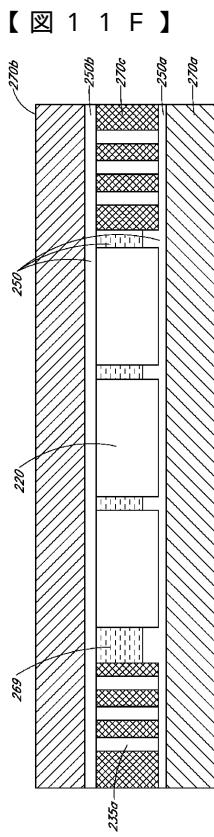


FIG. 11F

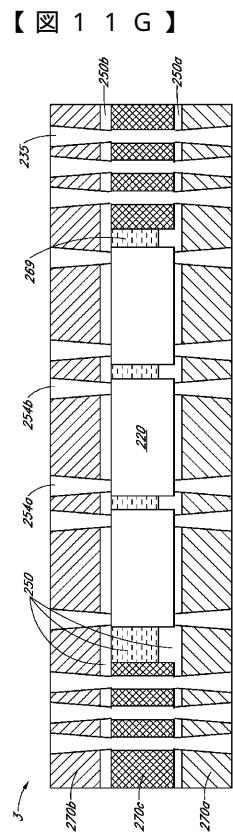


FIG. 11G

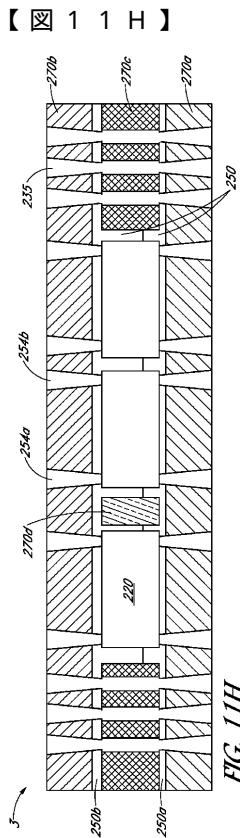


FIG. 11H

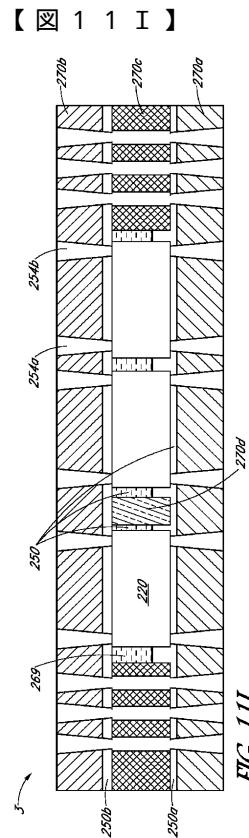


FIG. 11I

【図 1 2 A】

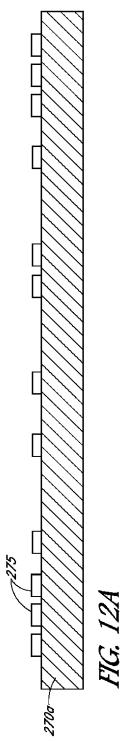


FIG. 12A

【図 1 2 B】

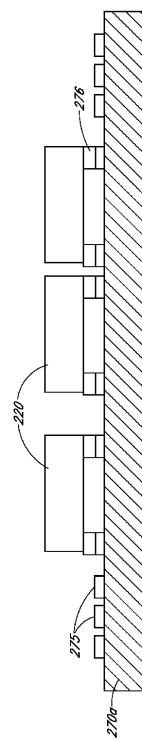


FIG. 12B

【図 1 2 C】

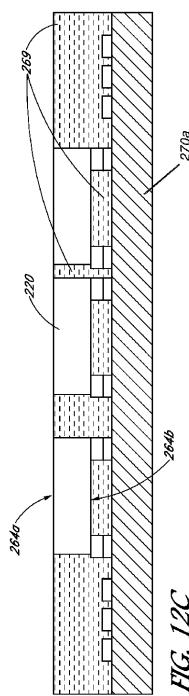


FIG. 12C

【図 1 2 D】

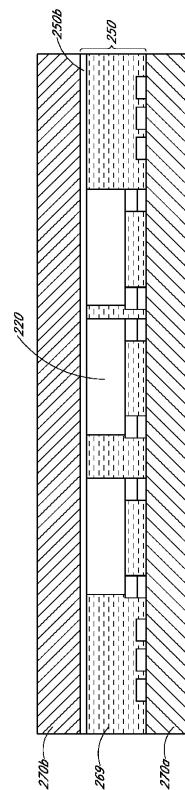


FIG. 12D

【 図 1 2 E 】

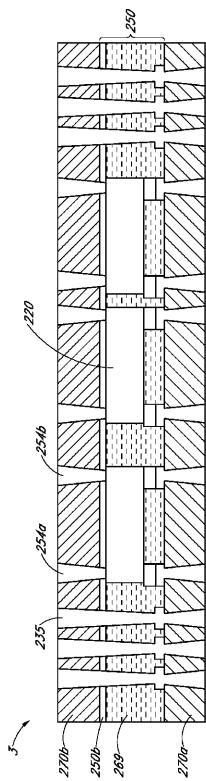


FIG. 12E

【図13A】

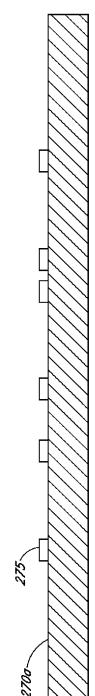


FIG. 13A

【図13B】

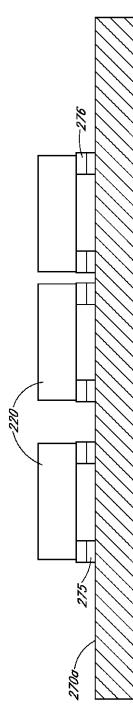


FIG. 13B

【図13C】

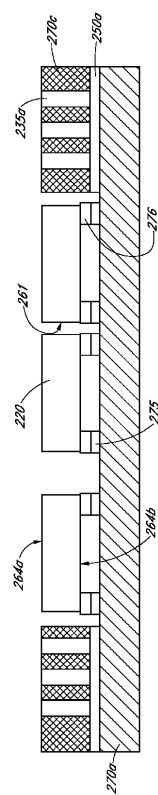


FIG. 13C

【図 1 3 D】

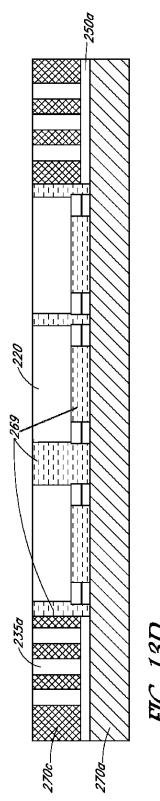


FIG. 13D

【図 1 3 E】

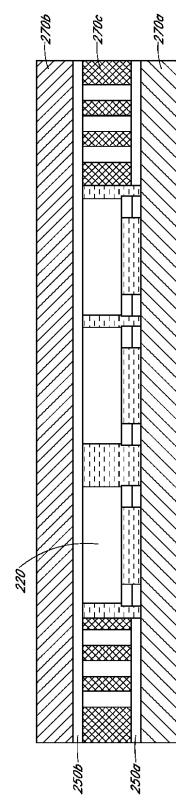


FIG. 13E

【図 1 3 F】

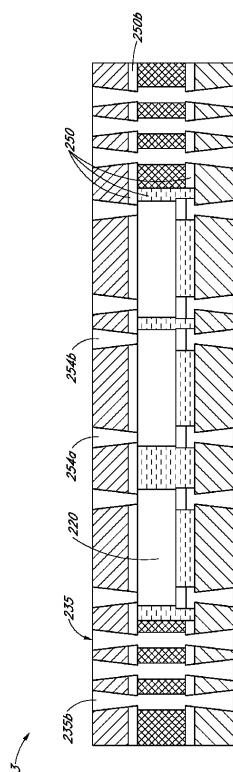


FIG. 13F

【図 1 4 A】

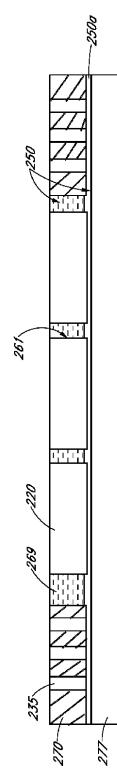


FIG. 14A

【図14B】

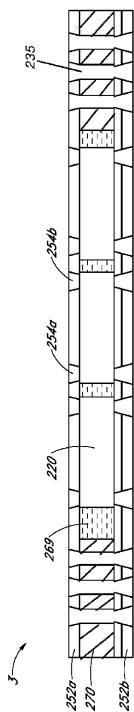
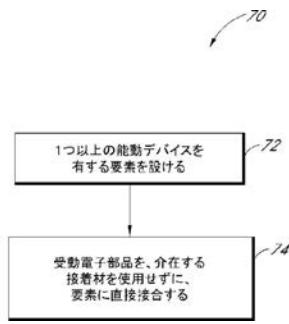


FIG. 14B

【図15】



【 図 1 6 】

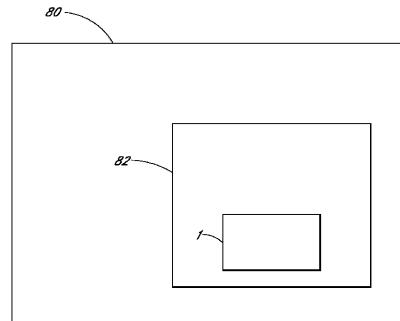


FIG. 16

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2017/068788
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/64(2006.01)i, H01L 49/02(2006.01)i, H01L 23/485(2006.01)i, H01L 23/36(2006.01)i, H01L 25/07(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/64; H01L 27/02; H01L 25/16; H01L 21/50; H05K 1/16; H05K 7/00; H05K 7/06; H01L 27/08; H01L 49/02; H01L 23/485; H01L 23/36; H01L 25/07		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: bonding, passive, capacitor, insulating, interconnect		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006-0012966 A1 (KISHORE K. CHAKRAVORTY) 19 January 2006 See paragraphs 27-63, claims 1-15 and figures 2-5.	17-28
Y		1-16
Y	US 2012-0168217 A1 (CHIEN-MIN HSU et al.) 05 July 2012 See paragraphs 40-41, claims 1-10 and figure 6.	1-16
A	US 2007-0147014 A1 (CHIA-WEI CHANG et al.) 28 June 2007 See paragraphs 31-32 and figure 4.	1-28
A	US 2016-0111404 A1 (INVENSAS CORPORATION) 21 April 2016 See paragraphs 32-37 and figure 16.	1-28
A	US 2013-0105943 A1 (CHIEN-KUANG LAI et al.) 02 May 2013 See paragraphs 32-43 and figure 2G.	1-28
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "U" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 23 April 2018 (23.04.2018)		Date of mailing of the international search report 23 April 2018 (23.04.2018)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer CHOI, Sang Won Telephone No. +82-42-481-8291
		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2017/068788

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006-0012966 A1	19/01/2006	AU 2002-084901 A CN 100492629 C CN 1470070 A EP 1305830 A2 MY 136263 A US 6970362 B1 US 7339798 B2 WO 02-011206 A3 WO 02-011206 A2	13/02/2002 27/05/2009 21/01/2004 02/05/2003 30/09/2008 29/11/2005 04/03/2008 10/10/2002 07/02/2002
US 2012-0168217 A1	05/07/2012	CN 102548210 A CN 102548210 B TW 201227911 A TW I405322 B US 2013-0248235 A1 US 8941015 B2 US 9013893 B2	04/07/2012 07/01/2015 01/07/2012 11/08/2013 26/09/2013 27/01/2015 21/04/2015
US 2007-0147014 A1	28/06/2007	TW 200726334 A TW I305119 B US 7674986 B2	01/07/2007 01/01/2009 09/03/2010
US 2016-0111404 A1	21/04/2016	US 2010-0127345 A1 US 2013-0143367 A1 US 2014-0332980 A1 US 2017-0301577 A1 US 8344503 B2 US 8722459 B2 US 9236365 B2 US 9698131 B2 US 9837299 B2	27/05/2010 06/06/2013 13/11/2014 19/10/2017 01/01/2013 13/05/2014 12/01/2016 04/07/2017 05/12/2017
US 2013-0105943 A1	02/05/2013	CN 103094242 A CN 103094242 B TW 201320273 A TW I438882 B US 2014-0076492 A1 US 8610250 B2	08/05/2013 09/09/2015 16/05/2013 21/05/2014 20/03/2014 17/12/2013

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 G 4/33 (2006.01)	H 0 1 G 4/30	5 4 1
H 0 1 G 17/00 (2006.01)	H 0 1 G 4/33	1 0 2
H 0 5 K 3/34 (2006.01)	H 0 1 G 4/30	1 6 0
H 0 1 L 23/12 (2006.01)	H 0 1 G 17/00	
	H 0 5 K 3/34	5 0 1 E
	H 0 1 L 23/12	B

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, T, J, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, R, O, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, G, T, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(74)代理人 100086771	弁理士 西島 孝喜
(74)代理人 100109335	弁理士 上杉 浩
(74)代理人 100120525	弁理士 近藤 直樹
(74)代理人 100139712	弁理士 那須 威夫
(74)代理人 100121979	弁理士 岩崎 吉信
(72)発明者 ハーバ ベルガセム	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 モハメド イリヤス	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 カトカール ラジェッシュ	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 ゲバラ ガブリエル ゼット	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 デラクルーズ ハビエル エイ	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 ファン シャオウー	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5
(72)発明者 ミルカリミ ローラ ウィルズ	アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

F ターム(参考) 5E001 AB03 AE01 AE02 AE03 AF06 AG01 AH03 AH09 AJ02

5E082 AB03 BB02 BB07 BC39 DD11 DD15 FF05 FG03 FG04 FG26
GG10 HH27 HH48 JJ03 JJ30 KK07 PP10
5E319 AA03 AC04 AC11 BB04 CC12 CC22 CD02 GG01