



(12) 发明专利

(10) 授权公告号 CN 102740590 B

(45) 授权公告日 2015. 10. 21

(21) 申请号 201210094793. 9

(22) 申请日 2012. 04. 01

(30) 优先权数据

2011-082161 2011. 04. 01 JP

(73) 专利权人 日本特殊陶业株式会社

地址 日本爱知县

(72) 发明人 野村俊寿 铃木健司 秋田和重

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 张会华

(51) Int. Cl.

H05K 1/02(2006. 01)

H05K 3/00(2006. 01)

G01R 1/04(2006. 01)

(56) 对比文件

JP 2002257858 A, 2002. 09. 11, 说明书第
6 段至第 111 段, 附图 1-6.

US 2006086703 A1, 2006. 04. 27, 全文.

审查员 刘玮德

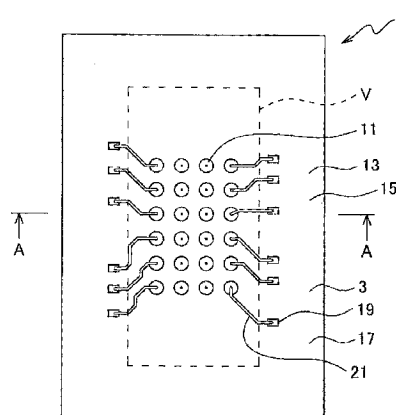
权利要求书1页 说明书8页 附图6页

(54) 发明名称

陶瓷基板及其制造方法

(57) 摘要

本发明涉及一种陶瓷基板及其制造方法, 无论所需的引脚的数量和位置如何, 都能根据预定的技术参数来相对快速且价廉地制造用于电子部件测试设备的陶瓷基板。在特定实施例中, 所述陶瓷基板被配置为连接至用于测试电子组件的探测器, 并且所述陶瓷基板包括: 多个通路, 其位于所述陶瓷基板的中央区域内, 并且在所述陶瓷基板的厚度方向上贯通所述陶瓷基板; 接点, 其位于围绕所述通路所在的中央区域的外周部, 所述接点被配置成连接至所述探测器; 以及导电层, 其仅位于所述陶瓷基板的正面上, 并且将所述通路分别连接至所述接点。本发明的特定实施例包括数量比引脚的数量大的通路。



1. 一种陶瓷基板,被配置为连接至用于测试电子组件的探测器,所述陶瓷基板包括:
多个通路,其位于所述陶瓷基板的平面方向上的中央区域内,并且在所述陶瓷基板的厚度方向上贯通所述陶瓷基板;
接点,其位于围绕所述通路所在的中央区域的外周部,所述接点被配置成连接至所述探测器;以及
导电层,其仅位于所述陶瓷基板的正面上,并且将所述通路分别连接至所述接点,其中,所述通路的数量大于所述接点的数量。
2. 一种陶瓷基板的制造方法,所述陶瓷基板具有被配置为连接至用于测试电子组件的探测器的接点,所述陶瓷基板的制造方法包括:
第一步骤,在陶瓷生坯上形成填充有通路材料的多个通路填充部;
第二步骤,烧结所述陶瓷生坯以形成具有多个通路的陶瓷母基板,其中,该多个通路位于所述陶瓷母基板的平面方向上的中央区域内;
第三步骤,在所述陶瓷母基板的正面上,在围绕所述通路所在的中央区域的外周部,形成所述接点以及用于将所述接点连接至所述通路的导电层;以及
第四步骤,切割所述陶瓷母基板以制造所述陶瓷基板;
其中,所述通路的数量大于所述接点的数量。
3. 根据权利要求 2 所述的陶瓷基板的制造方法,其特征在于,还包括:
分割步骤,在所述第一步骤之前,从大尺寸陶瓷生坯中分割出一个或多个分别与所述陶瓷母基板相对应的陶瓷生坯;
其中,通过所述分割步骤所获得的陶瓷生坯的外形尺寸与所述陶瓷母基板的外形尺寸相对应,并且所述陶瓷母基板的外形尺寸大于所述陶瓷基板的外形尺寸。

陶瓷基板及其制造方法

技术领域

[0001] 本发明涉及一种用于例如探测器卡的测试电子组件用设备中所采用的陶瓷基板及其制造方法。

背景技术

[0002] 到目前为止,由多个陶瓷层构成的多层陶瓷基板已经用作探测器卡的基板,其中该探测器卡是一种电子组件测试设备。

[0003] 陶瓷基板内设置有多个通路(填充有导电材料)以及连接至所述通路的内部线路层。在该陶瓷基板的表面上形成有连接至各个通路的多个接点(参见专利文献 1)。

[0004] 在探测器卡中,微小的探测器连接至陶瓷基板上的接点。使这些探测器与在例如硅晶片上制作出的多个半导体芯片(例如,IC 芯片)的电极相接触,以对这些半导体芯片进行电测试。

[0005] 在制造陶瓷基板时,通常制造具有通路(未烧结)和内部线路层的多个陶瓷生坯(与陶瓷层相对应)。堆叠这些陶瓷生坯,由此制造层叠体。对该层叠体进行烧结并随后进行分割,由此形成具有预定形状的陶瓷基板。

[0006] 相关技术文献

[0007] 专利文献 1:日本特开 2009-74823

发明内容

[0008] 然而,背景技术所述的技术面临诸如以下将提到的各种问题,并且期望进一步改进该技术。

[0009] 具体地,为了在与各陶瓷层相对应的各个陶瓷生坯中形成通路,需要使用到用于在这些陶瓷生坯中形成孔(与各通路相对应)的金属模具。另外,当目标陶瓷基板的尺寸改变时或者当孔的位置改变时,针对各个尺寸和位置均需要专门设计的金属模具。

[0010] 由于这些原因,制造多个金属模具存在工具成本问题。此外,制造金属模具是耗时的。这些情况导致制造陶瓷基板所需的时间延长。

[0011] 特别地,当陶瓷层的数量大时,所需的金属模具的数量也相应增加。即使在这方面,背景技术所述的技术也已经对降低成本和实现更快的交货构成妨碍。

[0012] 为了解决这些问题而设想出本发明,本发明的一个目的在于提供一种能够降低成本并缩短制造时间的陶瓷基板,并且还提供一种用于制造所述陶瓷基板的方法。

[0013] 用于解决上述问题的手段(手段 1)是一种陶瓷基板,其被配置为连接至用于测试电子组件的探测器,所述陶瓷基板包括:多个通路,其位于所述陶瓷基板的平面方向上的中央区域内,并且在所述陶瓷基板的厚度方向上贯通所述陶瓷基板;接点,其位于围绕所述通路所在的中央区域的外周部,所述接点被配置为连接至所述探测器;以及导电层,其仅位于所述陶瓷基板的正面上,并且将所述通路分别连接至所述接点。

[0014] 本发明涉及一种尚未连接至探测器的陶瓷基板。在该陶瓷基板的中央区域中形成

有多个通路。待连接至探测器的接点形成在位于形成有通路的中央区域外侧（例如，围绕该中央区域）的外周部（例如，边缘侧）上。此外，仅在该陶瓷基板的正面上形成有助于将所述通路分别连接至所述接点的导电层。

[0015] 因此，对于具有这种结构的陶瓷基板，能够通过不同的工序在所述基板的表面上形成通路、接点和导电层。因此，预先制造具有的通路数量大于预期的通路数量的陶瓷基板。在确定技术参数之后，按预定的布局形成接点。可以单独形成用于将形成在中央区域中的某些通路连接至位于所述通路外侧的接点的导电层。

[0016] 具体地，在背景技术中，当在陶瓷基板内形成用于使通路互连的内部线路层时，必须在确定了技术参数之后根据所述技术参数来形成所述内部线路层。然而，本发明的结构使得可以预先形成通路，并且在确定了技术参数之后仅在所述陶瓷基板的一个表面上形成导电层。

[0017] 因此，没有必要制备与各种尺寸和图案相对应的金属模具，而这种金属模具的制备到目前为止都是必须的。由于可以利用单个金属模具来形成与（已经预先设置为较大数量的）通路相对应的贯通孔，因此能够大幅减少制造陶瓷基板中所耗费的时间和工具成本。

[0018] 根据本发明的第二实施例，所述通路数量大于所述接点数量。

[0019] 在本发明的第二实施例中，所述通路数量大于所述接点数量。因而，能够容易地配置从特定接点到位于特定位置处的通路的导电层。

[0020] 可以制备比预期多的接点。因此，只要预先制造出单个陶瓷基板，就将得到能够应对各种陶瓷基板的技术参数的优点。

[0021] 根据本发明的第三实施例，提供一种陶瓷基板的制造方法，所述陶瓷基板具有被配置为连接至用于测试电子组件的探测器的接点，所述陶瓷基板的制造方法包括：第一步骤，在陶瓷生坯上形成填充有通路材料的多个通路填充部；第二步骤，烧结所述陶瓷生坯以形成具有多个通路的陶瓷母基板；第三步骤，在所述陶瓷母基板的正面上形成所述接点以及用于将所述接点连接至所述通路的导电层；以及第四步骤，切割所述陶瓷母基板以制造所述陶瓷基板；其中，所述通路数量大于所述接点数量。

[0022] 在本发明的第三实施例中，首先，在陶瓷生坯中形成数量比接点数量大的填充有通路材料的通路填充部。接着，烧结具有所述通路填充部的陶瓷生坯，由此形成具有通路的陶瓷母基板。接着，在该陶瓷母基板的表面上形成接点和（用于将接点连接至所述通路的）导电层。将所述陶瓷母基板切割成具有一定外形尺寸（即，预定的外形尺寸），由此制造出陶瓷基板。

[0023] 因此，预先制造比最终的陶瓷基板大的具有通路的陶瓷母基板。例如，根据技术参数，在该陶瓷母基板上形成接点和导电层，然后将该陶瓷母基板切割成具有一定外形尺寸，由此制造陶瓷基板。由此，与背景技术相比，所需的制造成本和时间可以减少。

[0024] 具体地，预先制备并储存所具有的通路数量比通常所使用的接点数量大的陶瓷母基板。结果，不必制备与不同尺寸和不同通路布局相对应的多个金属模具，而到目前为止都要实施这种金属模具的制备。能够减少与金属模具有关的工具成本和制造时间，由此可以减少制造陶瓷基板的成本和时间。

[0025] 如上所述，即使当目标陶瓷基板的尺寸改变时或者当成为通路的孔的位置改变

时,也将得到在本制造方法中能够使用单个金属模具的优点。因此,获得了减少制造金属模具中的工具成本和时间的优点。

[0026] 根据本发明的第四实施例,第三实施例的所述方法还包括:分割步骤,在所述第一步骤之前,从大尺寸陶瓷生坯中分割出一个或多个分别与所述陶瓷母基板相对应的陶瓷生坯;其中,通过所述分割步骤所获得的陶瓷生坯的外形尺寸与所述陶瓷母基板的外形尺寸相对应,所述陶瓷母基板的外形尺寸大于所述陶瓷基板的外形尺寸。

[0027] 因而,可以根据一个大尺寸陶瓷生坯制造出与(尺寸大于陶瓷基板的)陶瓷母基板相对应的陶瓷生坯。

[0028] 以下说明本发明的实施例的特性。

[0029] 例如,可以采用长 5mm×宽 11mm~长 10mm×宽 15mm 范围内的尺寸作为陶瓷基板的平面形状的尺寸。此外,例如,对于陶瓷基板的厚度,可以采用 0.13mm~0.50mm。

[0030] 根据陶瓷基板的尺寸和通路的数量,可以采用长 3mm×宽 6mm~长 6mm×宽 8mm 作为将要配置通路的区域(例如,中央区域)。

[0031] 根据技术参数,例如,可以采用 21~70 作为将要配置的通路的数量。

[0032] 根据技术参数,例如,可以采用 21~70 作为能够连接至探测器的接点的数量。

[0033] 构成所述陶瓷基板的陶瓷材料的具体例子包括由高温烧结陶瓷制成的烧结体,所述高温烧结陶瓷例如为氧化铝、氮化铝、氮化硼、碳化硅和氮化硅等。另外,上述例子还包括由低温烧结陶瓷制成的烧结体,所述低温烧结陶瓷例如为玻璃陶瓷;所述玻璃陶瓷是通过向硼硅玻璃或硼硅铅玻璃添加无机陶瓷填料所制造的,其中所述无机陶瓷填料例如为铝。

[0034] 并不限制制造接点所使用的材料。然而,优选使用诸如钼、钨、铜和银等能够与陶瓷同时进行烧结的金属通过同一烧结工序来形成接点。当选择了由低温烧结陶瓷制成的烧结体时,可以使用铜或银等作为接点的材料。还可以在陶瓷烧结后利用各种方法(例如,溅射、镀金属、CVD 和印刷等)来单独形成接点。

[0035] 并未特别限制构成所述通路的通路导体所用的材料。尽管如此,优选使用能够与陶瓷同时进行烧结的金属,所述金属例如为钼和钨。当选择了由低温烧结陶瓷制成的烧结体时,还可使用铜或银等作为用于制作通路导体的材料。

附图说明

[0036] 将参考以下附图来详细说明本发明的例示方面,其中,

[0037] 图 1 是示出一个实施例中的用于 IC 测试设备的基板(以下称为“IC 测试设备基板”)的使用状态的图;

[0038] 图 2A 是 IC 测试设备基板的俯视图;

[0039] 图 2B 是 IC 测试设备基板的仰视图;

[0040] 图 3 是示出图 2A 所示的 IC 测试设备基板的沿着线 A-A 所截取的截面的截面图;

[0041] 图 4 是示出大尺寸生坯和各个生坯的布局的图;

[0042] 图 5 是示出形成通孔所使用的金属模具的图;

[0043] 图 6A、6B 是示出 IC 测试设备基板的制造工序的图;以及

[0044] 图 7A、7B、7C 是示出 IC 测试设备基板的制造工序的图。

[0045] 附图标记说明

- [0046] 1:IC 测试设备基板
- [0047] 9:探测器
- [0048] 11:通路
- [0049] 13:基板本体
- [0050] 15:第一主面
- [0051] 19:正面侧接点
- [0052] 21:表面导电层
- [0053] 23:第二主面
- [0054] 25:背面侧接点
- [0055] 35:通孔(贯通孔)
- [0056] 47:陶瓷母基板

具体实施方式

[0057] 以下说明本发明的实施例。

[0058] 实施例

[0059] 通过以用于 IC 芯片测试设备的基板(以下称为“IC 测试设备基板”)为例来说明陶瓷基板。

[0060] 将 IC 测试设备基板设置在用于在制作有 IC 的多个位置处对硅晶片进行电测试的设备(例如,IC 测试设备)上。

[0061] 结构

[0062] 首先说明本实施例的 IC 测试设备基板的结构。

[0063] 如图 1 示意性所示,将本实施例的 IC 测试设备基板中所使用的基板 1 设置在 IC 测试设备 5 上,IC 测试设备 5 在制作有 IC 的多个位置处对硅晶片 3 进行电测试。在 IC 测试设备基板 1 的表面上配置有待与各个 IC 的端子 7 接触的多个微小探测器 9。

[0064] 如图 2 和 3 所示,IC 测试设备基板 1 是矩形板状的陶瓷基板,并具有例如长 15mm×宽 10mm×厚 1.5mm 的尺寸。

[0065] 在 IC 测试设备基板 1 的中央区域中形成有在 IC 测试设备基板 1 的厚度方向上贯通 IC 测试设备基板 1 的多个通路 11。具体地,在 IC 测试设备基板 1 中,(如由虚线围绕的区域所示的)通路布局区域 V 具有例如为长 11mm×宽 5mm 的尺寸并设置在由绝缘性氧化铝制成的基板本体 13 的中央区域中。直径为 0.1mm 的各个通路 11 以 4×6 的矩阵形式排列在通路布局区域 V 内,其中通路 11 之间的间距例如为 1.0mm。

[0066] 方形的外周部 17(例如,位于中央区域外侧)设置在 IC 测试设备基板 1 的正面侧或测试侧的第一主面 15 上,从而围绕通路布局区域 V 的周围。外周部 17 中形成有多个正面侧接点 19。由导电金属制成的探测器 9 连接至各个正面侧接点 19。每个正面侧接点 19 具有尺寸为长 0.15mm×宽 0.3mm 的平面矩形形状。例如,在图 2A 中示出了分别配置在通路布局区域 V 的两侧的两列正面侧接点 19,每列具有 6 个正面侧接点 19。

[0067] 尽管没有示出,但众所周知,每个正面侧接点 19 均包括一个金属打底层(例如由两层构成)、铜镀层(铜层)、镍镀层(镍层)以及金镀层(金层)。

[0068] 金属打底层通过堆叠钛溅射层和铜溅射层而制作,其中钛溅射层和铜溅射层是不

同类型的金属层。铜镀层是通过利用电解镀铜来覆盖铜溅射层的上表面所制成的镀层。镍镀层是通过利用电解镀镍覆盖铜镀层的上表面所制成的镀层。金镀层是通过利用电解镀金覆盖镍镀层的上表面所制成的镀层。

[0069] 进一步,在 IC 测试设备基板 1 的第一主面 15 上形成(由与正面侧接点 19 的材料相同的材料制成的)表面导电层 21,以使得预定通路 11 各自连接至一个预定正面侧接点 19。表面导电层 21 被配置为根据预设的技术参数来将选定的通路 11 适当地连接至选定的正面侧接点 19。

[0070] 同时,如图 2B 所示,背面侧接点 25(由与正面侧接点 19 的材料相同的材料制成)形成在 IC 测试设备基板 1 的背面侧的第二主面 23 上,从而覆盖各个通路 11 的端面。背面侧接点 25 可以连接至 IC 测试设备 5。

[0071] 制造方法

[0072] 现在说明本实施例的 IC 测试设备基板 1 的制造方法。

[0073] 1) 陶瓷生坯(以下称为“生坯”)的制备工序

[0074] 如图 4 所示,在生坯制备工序中,制备比生坯 31 大的生坯 33,从而一次制备多个 IC 测试设备基板 1,即,通过这样一种方式能够最终分割出在尺寸上与 IC 测试设备基板 1 相一致的多个生坯 31。

[0075] 在罐内对铝粉、有机溶剂和有机粘合剂等进行湿法掺和,由此制造出用于制作大尺寸生坯 33 的浆料,其中铝粉是陶瓷的原材料。

[0076] 接着,采用用于制备生坯的浆料作为原料,并且利用到目前为止众所周知的浇铸设备在预定的片材上浇铸具有薄而均匀厚度的浆料。

[0077] 随后,对片状的浇铸浆料进行加热和干燥,由此制备生坯 33。还可以利用压模技术代替这样一种片状模塑技术来制备类似的生坯。

[0078] 2) 陶瓷母基板的制备工序

[0079] 接着,如此制备的生坯 33 通过打孔而被钻孔,由此在预定位置(例如,通路形成位置)处形成多个通孔(例如,贯通孔)35。

[0080] 具体地,在生坯 33(例如,大尺寸生坯)的每个生坯 31 的中央区域中,利用具有多个引脚 37 的上金属模具 39 以及具有通孔 41 的下金属模具来使贯通孔 35 开通,其中引脚 37 贯通至通孔 41,并且如图 5 中所示,每个引脚 37 分别对应于各个通孔 35。

[0081] 利用到目前为止已知的糊剂注入设备,向如此钻孔后的生坯 33 内的各个通孔 35 注入预先准备的用于形成通路的钨糊剂,由此形成通路填充部(例如,通路带电部)36。随后,干燥该糊剂。

[0082] 随后,沿着图 4 所示的第一线 L1 分割出生坯 31。由此获得了诸如图 6A 所示(对应于一个 IC 测试设备基板 1 的)生坯 31。

[0083] 现在说明图 4 所示的第一线 L1、第二线 L2 和第三线 L3。第三线 L3 是表示与 IC 测试设备基板 1 的平面形状相对应的尺寸的线。第二线 L2 是表示与陶瓷母基板的平面形状相对应的尺寸的线,其中后面将要描述的 IC 测试设备基板 1 是从该陶瓷母基板中分割出来的。第一线 L1 是为了首先分割出生坯 31 而设置的线。第一线 L1 ~ 第三线 L3 被设置为尺寸顺次变小。

[0084] 接着,如图 6A 所示,沿着第一线 L1 所分割出生坯 31 在 200℃ ~ 300℃ 下的空气

中被加热 20 ~ 60 个小时,由此被脱脂。从而分解并去除生坯 31 内所包含的粘合剂。

[0085] 在脱脂之后,将生坯 31 转移至烧结设备,在该烧结设备中,在氧化铝能够烧结的温度(例如,约 1600℃)下对生坯 31 进行加热和烧结约 24 小时。结果,氧化铝和糊剂内的钨被同时烧结。

[0086] 作为烧结的结果,如图 6B 所示,通路填充部 36 转变成通路 11,生坯 31 收缩并由此转变成在尺寸上与第二线 L2 相对应的烧结基板(例如,陶瓷母基板)47。

[0087] 陶瓷母基板 47 被设计成比通常所使用的各种尺寸的 IC 测试设备基板 1 都要大。

[0088] 储存陶瓷母基板 47,直到确定了 IC 测试设备基板 1 的技术参数为止。具体地,在用于制造陶瓷母基板 47 的工序之后,可以中止制造工作。由此可以预先制备具有单一尺寸的陶瓷母基板 47。

[0089] 3) IC 测试设备基板的制备工序

[0090] 接着,当在确定了技术参数之后开始 IC 测试设备基板 1 的制造时,利用到目前为止众所周知的表面抛光机来对陶瓷母基板 47 的第一主面 15 和第二主面 23 进行研磨,由此提高第一主面 15 和第二主面 23 的平坦度。

[0091] 还可以在储存之前对陶瓷母基板 47 进行表面抛光。

[0092] 如图 7A 所示,表面导电层 21 和正面侧接点 19 以例如依次或者一体化的方式形成在陶瓷母基板 47(更具体为基板本体 13)的第一主面 15 上,从而连接至各个通路 11,其中表面导电层 21 为薄膜。除此之外,如图 7B 所示,背面侧接点 25 形成在基板本体 13 的第二主面 23 上,从而覆盖各个通路 11 的端面。

[0093] 根据预定的技术参数来实施从通路 11 到正面侧接点 19 的连接,因而形成符合这些技术参数的表面导电层 21。

[0094] 4) 表面导电层的形成过程

[0095] 首先,在基板本体 13 的第一主面 15 和第二主面 23 上形成由两个金属层制成并充当金属打底层的金属层。更具体地,尽管没有示出,但首先通过溅射形成由钛制成的溅射层(即,要转变成钛溅射层的溅射层)。接着,在钛溅射层上通过溅射形成由铜制成的溅射层(即,要转变成铜溅射层的溅射层)。

[0096] 在基板本体 13 的第一主面 15 和第二主面 23 上涂布具有感光性的抗镀材料。进一步,在该抗镀材料上涂布具有预定掩模图案的曝光掩模。该掩模图案设置成与正面侧接点 19、背面侧接点 25 和将要形成的表面导电层 21 中的任一个的几何图案相对应。经由曝光掩模对抗镀材料进行曝光。对如此曝光后的抗镀材料进行显影,由此形成抗镀层。因此,该抗镀层具有表面导电层 21 的几何形状、正面侧接点 19 的几何形状或背面侧接点 25 的几何形状。

[0097] 接着,利用电解镀铜形成铜镀层。进一步,在该铜镀层上利用电解镀镍形成镍镀层。进一步,在该镍镀层上利用电解镀金形成金镀层。

[0098] 随后,在去除了抗镀层之后,对基板进行蚀刻。结果,由此形成了包括钛溅射层、铜溅射层、铜镀层、镍镀层和金镀层的层叠体。

[0099] 在基板本体 13 的第一主面 15 上形成表面导电层 21 和多个正面侧接点 19,并且在第二主面 23 上形成多个背面侧接点 25。

[0100] 然后,陶瓷母基板 47 沿着第三线 L 3 被分割,从而具有与技术参数一致的尺寸。图

7C 示出了已完成的 IC 测试设备基板 1 在第一主面 15 上具有表面导电层 21 和多个正面侧接点 19, 图 7B 示出了在第二主面 23 上具有多个背面侧接点 25。

[0101] 根据测试对象, 各探测器连接至 IC 测试设备基板 1 的正面侧接点 19, 由此 IC 测试设备基板 1 被使用。

[0102] 在本实施例中, 利用单个金属模具来在大尺寸生坯 33 上的预定位置 (与各陶瓷母基板 47 相对应的位置) 处形成数量比正面侧接点 19 的数量大的通孔 35 (即, 通孔 35 的预定数量比通路 11 的预期数量大)。大尺寸生坯 33 沿着与陶瓷母基板 47 的生坯 31 相对应的第一线 L1 被分割。随后, 对如此分割出的生坯 31 进行烧结, 由此制造出陶瓷母基板 47。储存如此制造出的陶瓷母基板 47。根据技术参数, 在陶瓷母基板 47 上形成正面侧接点 19 和表面导电层 21, 并且还在陶瓷母基板 47 上形成背面侧接点 25。然后, 沿着第三线 L3 分割陶瓷母基板 47, 由此完成了 IC 测试设备基板 1。

[0103] 如上所述, 在 IC 测试设备基板 1 的制造之前, 制备比 IC 测试设备基板 1 大的陶瓷母基板 47 (具有多个通路 11)。根据技术参数, 在陶瓷母基板 47 上形成正面侧接点 19 和表面导电层 21。将陶瓷母基板 47 切割成具有确定的外形尺寸以制造出 IC 测试设备基板 1。因而, 与背景技术的 IC 测试设备基板的制造相比, 可以在较短的时间内更加廉价地制造出基板 1。

[0104] 具体地, 预先制备并储存大尺寸陶瓷母基板 47, 其中大尺寸陶瓷母基板具有数量比一般情况下所使用的正面侧接点 19 的数量更大的通路 11。这使得没有必要制造与不同的通路尺寸和不同的通路布局相对应的多个金属模具, 而到目前为止所述多个金属模具的制造是必须的。因而, 可以降低金属模具的制造成本并缩短其制造时间, 进而降低 IC 测试设备基板 1 的制造成本并缩短其制造时间。

[0105] 因此, 即使当目标 IC 测试设备基板 1 具有不同的尺寸时或者当通孔 35 (其限定通路 11) 采用不同的位置时, 也将得到可使用单一金属模具的优点。因此, 还得到降低金属模具的制造成本并缩短其制造时间的优点。

[0106] 此外, 预先制备数量比正面侧接点 19 的预期数量大的通路 11, 从而得到能够利用表面导电层 21 容易地将正面侧接点 19 连接至通路 11 的优点。具体地, 由于存在大量的通路 11, 因此将得到如下的优点: 无论所需的正面侧接点的位置或数量如何, 对于不同的技术参数都足够连接正面侧接点 19。

[0107] 本发明不限于上述实施例。无需说明, 在不超出本发明的范围的情况下, 本发明能够以各种形式予以实施。

[0108] 例如, 在本实施例中, 从大尺寸生坯分割出与各个 IC 测试设备基板相对应的多个生坯。然而, 对应于一个 IC 测试设备基板的单个生坯也能够应用于本发明。

[0109] 在大尺寸生坯上, 可以设置用于具有单一接点图案的 IC 测试设备基板的生坯区域, 或者还可以设置用于具有不同的接点图案的 IC 测试设备基板的生坯区域。

[0110] 在本实施例中, 正面侧接点设置在通路形成区域 (例如, 中央区域) 的任一侧 (例如, 在外周部) 上。然而, 正面侧接点还可被排列成围绕通路形成区域的所有侧 (四个侧边) 或三个侧边。

[0111] 在本实施例中, 同时形成正面侧接点和表面导电层。然而, 还可在不同的工序中形成正面侧接点和表面导电层。例如, 还可在形成了正面侧接点之后形成表面导电层, 从而将

通路连接至正面侧接点。

[0112] 本实施例中,在陶瓷母基板上形成了接点和表面导电层之后,切割该陶瓷母基板以得到确定的外形尺寸,由此制造出 IC 测试设备基板。然而,还可在将陶瓷母基板切割成具有确定的外形尺寸之后形成接点和表面导电层。

[0113] 相关申请的交叉引用

[0114] 本发明要求 2011 年 4 月 1 日提交的日本专利申请 2011-082161 的优先权,在此通过引用将其全部内容合并到本说明书中。

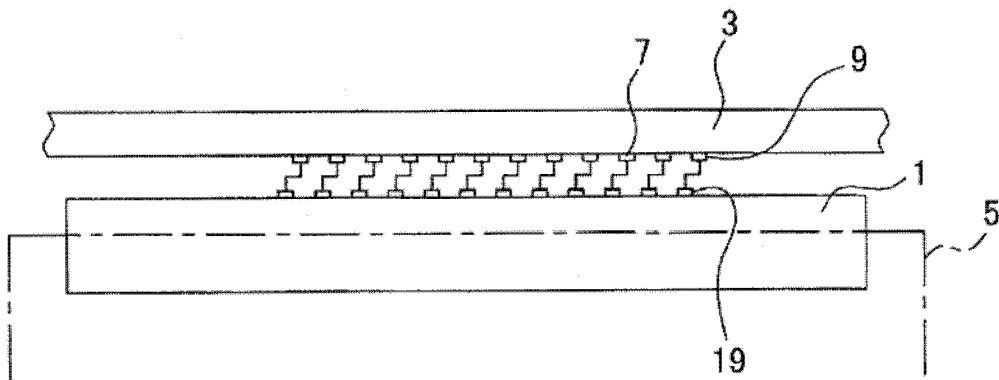


图 1

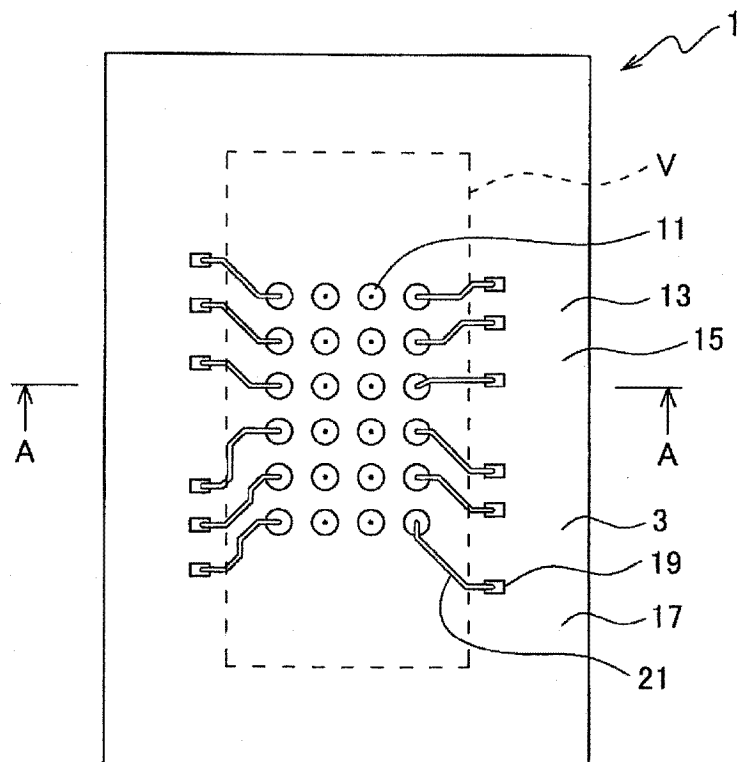


图 2A

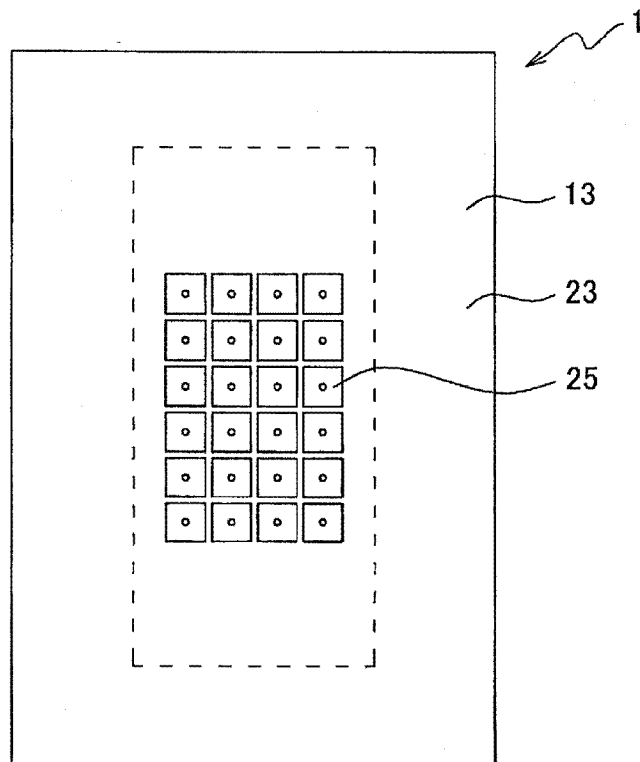


图 2B

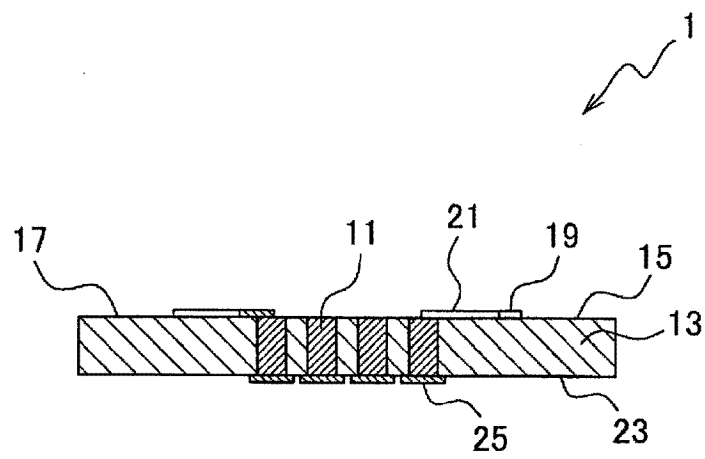


图 3

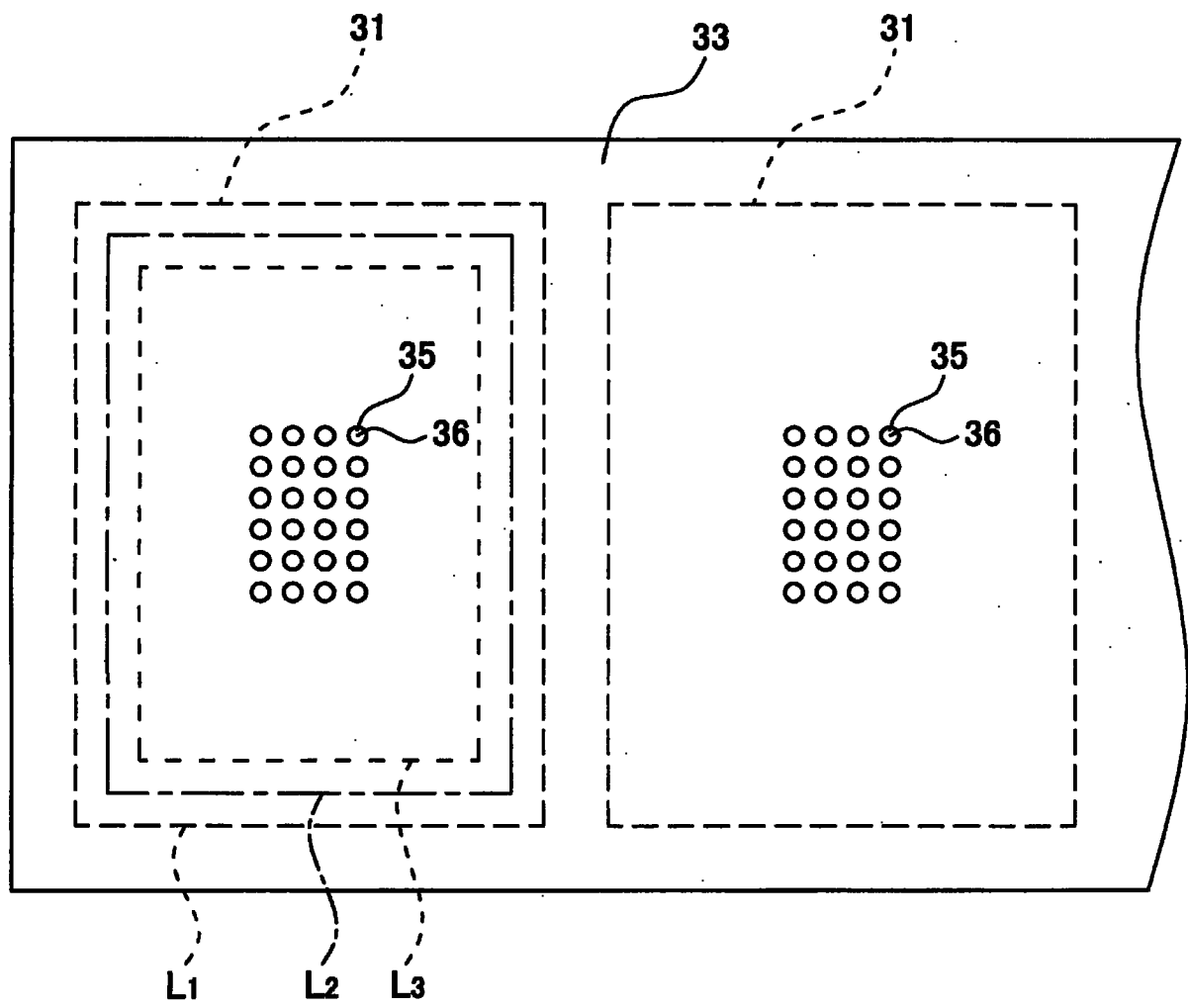


图 4

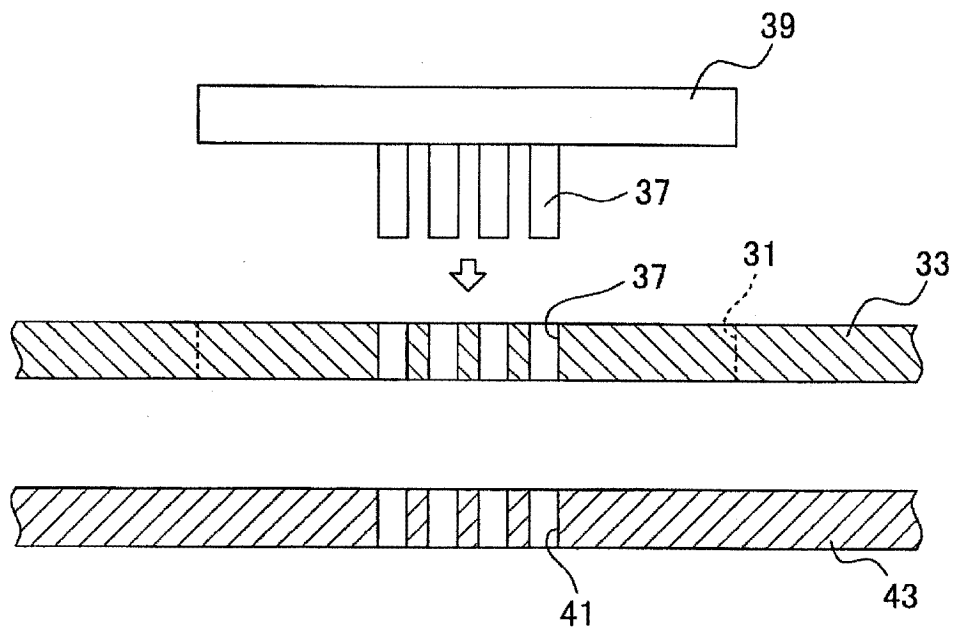


图 5

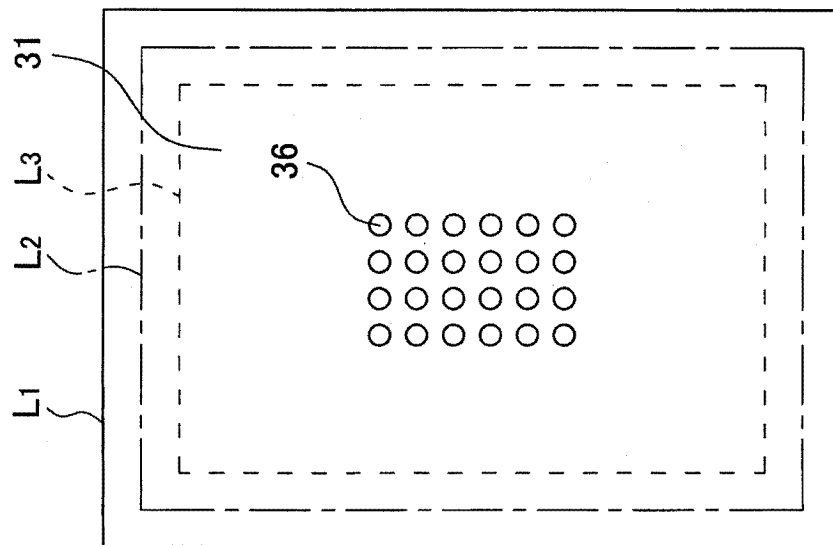


图 6A

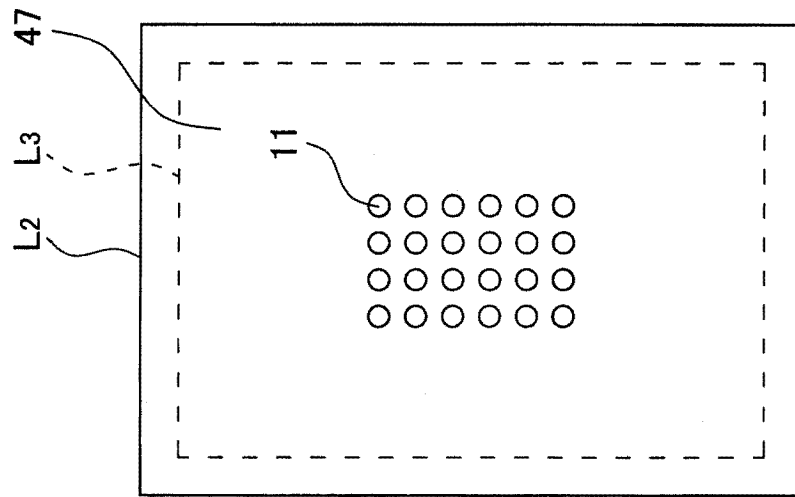


图 6B

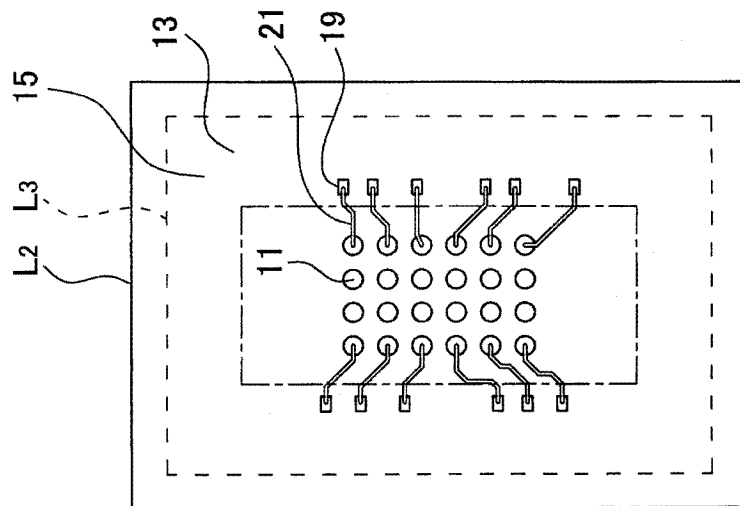


图 7A

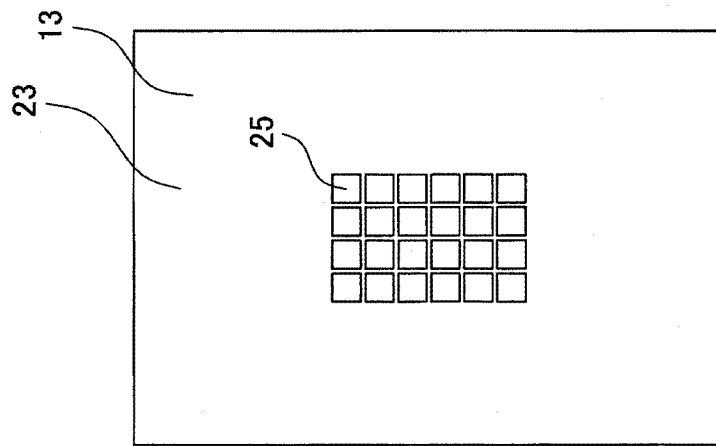


图 7B

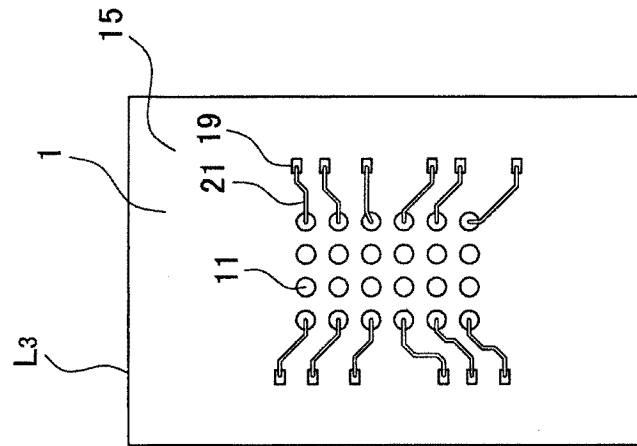


图 7C