

(43) 国際公開日
2008 年 12 月 24 日 (24.12.2008)

PCT

(10) 国際公開番号
WO 2008/156071 A1

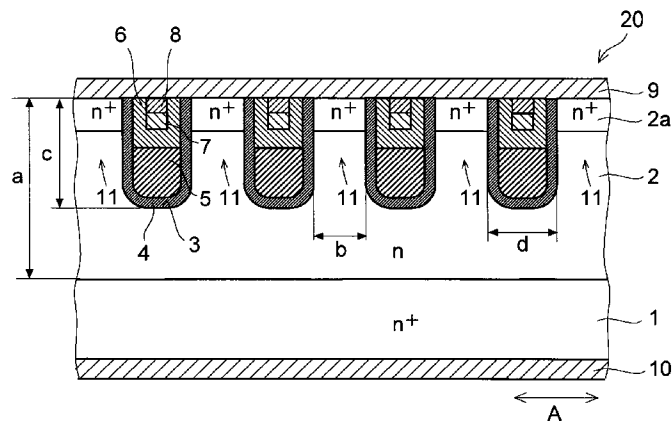
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/423 (2006.01)
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
- (21) 国際出願番号: PCT/JP2008/061020
- (22) 国際出願日: 2008 年 6 月 17 日 (17.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-161049 2007 年 6 月 19 日 (19.06.2007) JP
特願2007-161052 2007 年 6 月 19 日 (19.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高石 昌
- (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



(57) Abstract: Provided is a semiconductor device having a high switching speed. A semiconductor device (20) is provided with an n-type epitaxial layer (2) having a plurality of trenches (3) arranged at prescribed intervals (b); an embedded electrode (5) formed on an inner surface of the trench (3) through a silicon oxide film (4) to embed each trench (3); and a metal layer (7), which is capacitively coupled with the embedded electrode (5) by being arranged above the embedded electrode (5) through a silicon oxide film (6). In the semiconductor device (20), a region between the adjacent trenches (3) operates as a channel (current path) (11). A current flowing in the channel (11) is interrupted by covering the region with a depletion layer formed at the periphery of the trenches (3), and the current is permitted to flow through the channel (11) by eliminating the depletion layer at the periphery of the trenches (3).

(57) 要約: スイッチング速度を高速化することが可能な半導体装置を提供する。この半導体装置 (20) は、互いに所定の間隔 (b) を隔てて配列された複数のトレンチ (3) を有する n 型エピタキシャル層 (2) と、複数のトレンチ (3) の各々を埋め込むように、トレンチ (3) の内面上にシリコン酸化膜 (4) を介して形成さ

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

れた埋め込み電極 (5) と、埋め込み電極 (5) の上方に、シリコン酸化膜 (6) を介して配設されることにより、埋め込み電極 (5) と容量結合されたメタル層 (7) とを備えている。また、半導体装置 (20) は、互いに隣り合うトレンチ (3) 間の領域がチャネル (電流通路) (11) となるように構成されており、この領域をトレンチ (3) の周辺に形成された空乏層で塞ぐことによって、チャネル (11) を流れる電流が遮断される一方、トレンチ (3) の周辺の空乏層を消滅させることによって、チャネル (11) を介して電流が流れるように構成されている。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、スイッチング機能を有する半導体装置に関する。

背景技術

[0002] 従来、スイッチング機能を有する半導体装置として、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)が知られている(たとえば、特許文献1参照)。この特許文献1には、一導電型の半導体層に形成されたトレンチにゲート電極が埋め込まれたトレンチゲート型のMOSFET(半導体装置)が開示されている。

[0003] 図33は、上記特許文献1に開示された従来のMOSFET(半導体装置)の構造を示した断面図である。図33を参照して、従来のMOSFETでは、 n^+ 型の半導体基板501の上面上に、エピタキシャル層502が形成されている。このエピタキシャル層502には、半導体基板501側から順に、 n^- 型不純物領域(ドレイン領域)502a、p型不純物領域502bおよび n^+ 型不純物領域(ソース領域)502cが形成されている。

[0004] また、エピタキシャル層502には、 n^+ 型不純物領域502cおよびp型不純物領域502bを貫通して n^- 型不純物領域502aの途中の深さにまで達するトレンチ503が形成されている。このトレンチ503の内部には、ゲート絶縁膜504を介して、ゲート電極505が形成されている。また、エピタキシャル層502の上面上の所定領域には、トレンチ503の開口を塞ぐ層間絶縁膜506が形成されている。

[0005] また、エピタキシャル層502の上面上には、層間絶縁膜506を覆うように、ソース電極507が形成されている。また、半導体基板501の裏面(下面)上には、ドレイン電極508が形成されている。なお、ゲート電極505と、ソース電極507およびドレイン領域502aとの間には、それぞれ、キャパシタ(コンデンサ)が寄生的に形成されている。

[0006] 上記のように構成された従来のMOSFETでは、ゲート電極505に対する印加電圧を変化させることによりオン／オフの制御が行われる。具体的には、ゲート電極505に対して所定の正電位を印加すると、p型不純物領域502bの少数キャリア(電子)が

トレンチ503側に引き寄せられることによって、 n^- 型不純物領域(ドレイン領域)502aと n^+ 型不純物領域(ソース領域)502cとを接続するような反転層509が形成される。これにより、反転層509を介して、ソース電極507とドレイン電極508との間に電流を流すことができる。その結果、MOSFETがオン状態となる。すなわち、従来のMOSFETでは、 n^- 型不純物領域(ドレイン領域)502aと n^+ 型不純物領域(ソース領域)502cとを接続するように形成される反転層509をチャネルとして機能させている。

[0007] その一方、ゲート電極505に対する所定の正電位の印加を解除すると、反転層(チャネル)509が消滅するので、ソース電極507とドレイン電極508との間における電流の流れを遮断することができる。その結果、MOSFETがオフ状態となる。

[0008] 特許文献1:特開2001-7149号公報

発明の開示

発明が解決しようとする課題

[0009] ここで、ゲート電極505と、ソース電極507およびドレイン領域502aとの間にそれぞれキャパシタ(コンデンサ)が形成されている場合には、ゲート電極505に対する印加電圧を制御することによりMOSFET(半導体装置)のオン/オフ制御を行う際に、同時に、形成されたキャパシタ(コンデンサ)の充放電が行われる。このため、キャパシタ(コンデンサ)の充放電に要する時間の分、オン/オフの切り替え速度(スイッチング速度)が遅くなる。このオン/オフの切り替え速度(スイッチング速度)を速くするためには、キャパシタ(コンデンサ)の充放電に要する時間を短くする必要がある。すなわち、キャパシタ(コンデンサ)の静電容量(入力容量)を小さくする必要がある。

[0010] しかしながら、図33に示した従来のMOSFETでは、ゲート電極505とソース電極507との間、および、ゲート電極505とドレイン領域502aとの間に形成されるキャパシタ(コンデンサ)は、寄生的に形成されるキャパシタ(コンデンサ)であるため、その静電容量を小さくすることが困難であるという不都合がある。このため、スイッチング速度を高速化することが困難であるという問題点がある。

[0011] 本発明は、上記のような課題を解決するためになされたものであり、本発明の目的は、スイッチング速度を高速化することが可能な半導体装置を提供することである。

課題を解決するための手段

- [0012] 上記の目的を達成するために、この発明の第1の局面による半導体装置は、互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、複数のトレンチの各々に埋め込まれた複数の埋め込み電極と、複数のトレンチの少なくとも1つの内部に形成され、埋め込み電極の上方に第1絶縁膜を介して配設されることにより、埋め込み電極と容量結合された導電体層とを備えている。なお、本発明の半導体層は、半導体基板を含む。
- [0013] この第1の局面による半導体装置では、上記のように、埋め込み電極の上方に第2絶縁膜を介して形成され、埋め込み電極と容量結合された導電体層をトレンチ内部に備えることによって、トレンチ内部に埋め込み電極と直列に接続されたキャパシタ(コンデンサ)を形成することができるので、トレンチ内部の埋め込み電極の合計静電容量(入力容量)を小さくすることができる。これにより、埋め込み電極に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン／オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。
- [0014] 上記第1の局面による半導体装置において、好ましくは、半導体層は、隣り合うトレンチ間の各領域が電流通路となるように構成されているとともに、複数のトレンチの周辺に形成された空乏層によって、隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路が開くように構成されている。このような構成を上記第1の局面による半導体装置に適用すれば、スイッチング速度を高速化することが可能であるとともに、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を得ることができる。すなわち、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することによって、オフ状態(チャネルを流れる電流が遮断される状態)からオン状態(チャネルを介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ

間の各領域の空乏層が形成されていない領域の全てをチャネル(電流通路)として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、チャネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

[0015] 上記第1の局面による半導体装置において、好ましくは、導電体層が、複数のトレンチの各々の内部に形成されており、埋め込み電極とそれぞれ容量結合されている。このように構成すれば、埋め込み電極の各々に対して、その合計静電容量(入力容量)を小さくすることができるので、容易に、スイッチング速度を高速化することができる。

[0016] 上記第1の局面による半導体装置において、導電体層の上面上に、第2絶縁膜を形成するとともに、第2絶縁膜を、その上面が半導体層の上面と同一面となるようにトレンチ内に形成してもよい。

[0017] 上記第1の局面による半導体装置において、好ましくは、複数の埋め込み電極のうちの所定の埋め込み電極は、第3絶縁膜を介してトレンチの内面上に形成されており、第1絶縁膜の厚みは、第3絶縁膜の厚み以上である。このように構成にすれば、第1絶縁膜における絶縁破壊を抑制することができるので、トレンチ内に第1絶縁膜を介して導電体層を形成したとしても、第1絶縁膜の絶縁破壊に起因して、半導体装置の耐圧特性が低下するという不都合が生じるのを抑制することができる。

[0018] 上記第1の局面による半導体装置において、好ましくは、トレンチの配列方向における導電体層の幅は、埋め込み電極の幅よりも小さい。このように構成すれば、導電体層の平面積を小さくすることができるので、埋め込み電極と導電体層との間の静電容量を小さくすることができる。このため、容易に、トレンチ内部の埋め込み電極の合計静電容量(入力容量)を小さくすることができる。

[0019] 上記第1の局面による半導体装置において、好ましくは、導電体層は、金属材料から構成されている。このように構成すれば、容易に、トレンチ内部に導電体層を形成することができるので、容易に、トレンチ内部に埋め込み電極と直列に接続されたキ

ャパシタ(コンデンサ)を形成することができる。

[0020] 上記第1の局面による半導体装置において、好ましくは、導電体層は、W、Ti、および、TiNより選択された、少なくとも1つの金属材料から構成されている。このように構成すれば、より容易に、トレンチ内部に導電体層を形成することができるので、より容易に、トレンチ内部に埋め込み電極と直列に接続されたキャパシタ(コンデンサ)を形成することができる。

[0021] 上記第1の局面による半導体装置において、複数のトレンチを、それぞれ、半導体層の上面と平行で、かつ、トレンチの配列方向と直交する方向に、互いに平行に延びるように細長状に形成してもよい。

[0022] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣り合うトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより電流通路が開くように構成されていてもよい。

[0023] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

[0024] この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。

[0025] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、半導体層の隣り合うトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、トレンチおよび拡散領域の各々の周辺に形成される空乏層で、隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅す

ることにより、電流通路が開くように構成されていてもよい。

[0026] この発明の第2の局面による半導体装置は、互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、前記複数のトレンチの内部に埋め込まれた複数の埋め込み電極と、前記半導体層上の所定領域に絶縁分離膜を介して形成され、少なくとも、第4絶縁膜と前記第4絶縁膜を挟む第1電極および第2電極とを含むキャパシタとを備えている。そして、前記キャパシタと前記埋め込み電極とは、互いに電氣的に接続されているとともに、前記埋め込み電極には、前記キャパシタを介して電圧が印加されるように構成されている。なお、本発明の半導体層は、半導体基板を含む。

[0027] この第2の局面による半導体装置では、上記のように、半導体層上の所定領域にキャパシタを形成するとともに、キャパシタを介して埋め込み電極に電圧が印加されるように構成することによって、このキャパシタは埋め込み電極と直列に接続されるので、埋め込み電極の合計静電容量(入力容量)を小さくすることができる。これにより、埋め込み電極に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン／オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。

[0028] 上記第2の局面による半導体装置において、好ましくは、半導体層は、隣り合うトレンチ間の各領域が電流通路になるように構成されているとともに、複数のトレンチの周辺に形成された空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより、電流通路が開くように構成されている。このような構成を上記第2の局面による半導体装置に適用すれば、スイッチング速度を高速化することが可能であるとともに、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を得ることができる。すなわち、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することによって、オフ状態(チャネルを流れる電流が遮断される状態)からオン状態(チャネルを介して電流が流れる状態)への切り替えを行うことができるとともに、その

逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ間の各領域の空乏層が形成されていない領域の全てをチャネル(電流通路)として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、チャネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

- [0029] 上記第2の局面による半導体装置において、キャパシタを、半導体層上の外周部の領域に形成することができる。
- [0030] 上記第2の局面による半導体装置において、好ましくは、第1電極および第2電極は、それぞれ、導電化されたポリシリコンから構成されている。このように構成すれば、半導体層の上面上に、第1電極および第2電極を容易に形成することができるので、半導体層の上面上に、第4絶縁膜とこの第4絶縁膜を挟む第1電極および第2電極とから構成されるキャパシタを容易に形成することができる。
- [0031] 上記第2の局面による半導体装置において、前記埋め込み電極の上面に形成された層間絶縁膜をさらに備え、前記層間絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていてもよい。
- [0032] 上記第2の局面による半導体装置において、好ましくは、前記複数の埋め込み電極のうちの所定の埋め込み電極は、第5絶縁膜を介して前記トレンチの内面上に形成されており、前記第4絶縁膜の厚みは、前記第5絶縁膜の厚み以上である。このように構成すれば、第4絶縁膜における絶縁破壊を抑制することができるので、第4絶縁膜と、この第4絶縁膜を挟む第1電極および第2電極とによってキャパシタを形成したとしても、第4絶縁膜の絶縁破壊に起因して、半導体装置の耐圧特性が低下するという不都合が生じるのを抑制することができる。
- [0033] 上記第2の局面による半導体装置において、複数のトレンチを、それぞれ、半導体層の上面と平行で、トレンチの配列方向と交差する方向に、互いに平行に延びるように細長状に形成することができる。

- [0034] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより、電流通路が開くように構成されていてもよい。
- [0035] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。
- [0036] この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。
- [0037] 上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、半導体層の隣り合うトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、トレンチおよび拡散領域の各々の周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

発明の効果

- [0038] 以上のように、本発明よれば、スイッチング速度を高速化することが可能な半導体装置を容易に得ることができる。

図面の簡単な説明

- [0039] [図1]本発明の第1実施形態による半導体装置の構造を示した断面図である。
[図2]本発明の第1実施形態による半導体装置の動作を説明するための断面図である。
[図3]本発明の第1実施形態による半導体装置の動作を説明するための断面図であ

る。

[図4]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図5]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図6]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図7]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図8]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図9]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図10]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図11]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図12]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図13]図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。

[図14]本発明の第2実施形態による半導体装置の構造を示した断面図である。

[図15]本発明の第2実施形態による半導体装置の動作を説明するための断面図である。

[図16]本発明の第3実施形態による半導体装置の構造を示した断面図である。

[図17]本発明の第3実施形態による半導体装置の動作を説明するための断面図である。

[図18]本発明の第4実施形態による半導体装置の構造を示した断面図である。

[図19]本発明の第4実施形態による半導体装置の動作を説明するための断面図である。

[図20]本発明の第5実施形態による半導体装置の構造を示した断面図である。

[図21]本発明の変形例による半導体装置の構造の一部を示した断面図である。

[図22]本発明の第6実施形態による半導体装置を示した全体斜視図である。

[図23]図22の180-180線に沿った断面図である。

[図24]図22に示した本発明の第6実施形態による半導体装置の等価回路図である。

[図25]本発明の第6実施形態による半導体装置の動作を説明するための断面図である。

[図26]本発明の第6実施形態による半導体装置の動作を説明するための断面図である。

[図27]本発明の第7実施形態による半導体装置の構造を示した断面図である。

[図28]本発明の第7実施形態による半導体装置の動作を説明するための断面図である。

[図29]本発明の第8実施形態による半導体装置の構造を示した断面図である。

[図30]本発明の第8実施形態による半導体装置の動作を説明するための断面図である。

[図31]本発明の第9実施形態による半導体装置の構造を示した断面図である。

[図32]本発明の第9実施形態による半導体装置の動作を説明するための断面図である。

[図33]特許文献1に記載された従来のトレンチゲート型MOSFETの構造を示した断面図である。

符号の説明

[0040]	1、101	n^+ 型シリコン基板(一導電型の半導体層)
	2、102	n型エピタキシャル層(一導電型の半導体層)
	102a	高濃度領域
	3、3a、3b、3c	
	103、103a、103b、103c	トレンチ

4	シリコン酸化膜(第3絶縁膜)
104	シリコン酸化膜(第5絶縁膜)
5、105	埋め込み電極
5a、105a	埋め込み電極(第1埋め込み電極)
5b、105b	埋め込み電極(第2埋め込み電極)
6	シリコン酸化膜(第1絶縁膜)
106	層間絶縁膜
7	メタル層(導電体層)
8、8a、8b	層間絶縁膜(第2絶縁膜)
9、41、107、141	ソース電極
109	パッド電極
109a	ボンディング部
10、108	ドレイン電極
110	キャパシタ
110a	誘電体層(第4絶縁膜)
110b	下層側電極層(第1電極)
110c	上層側電極層(第2電極)
111	絶縁分離膜
11、31、42、52	
112、131、142、152	チャネル(電流通路)
12、12a、12b、12c、12d	
113、113a、113b、113c	
113d	空乏層
13	反転層
20、30、40、50、60	
120、130、140、150	半導体装置
41a、141a	埋め込み部(第2埋め込み電極)
51、151	p ⁺ 型拡散領域(逆導電型の拡散領域)

発明を実施するための最良の形態

[0041] 以下、本発明を具体化した実施形態を、図面を参照して詳細に説明する。

[0042] (第1実施形態)

図1は、本発明の第1実施形態による半導体装置の構造を示した断面図である。まず、図1を参照して、本発明の第1実施形態による半導体装置20の構造について説明する。

なお、第1実施形態による半導体装置20は、ノーマリオフ型のスイッチ装置として機能するように構成されている。

[0043] 第1実施形態による半導体装置20では、 n^+ 型シリコン基板1の上面上に、約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ の厚み(a)を有するn型シリコンからなるn型エピタキシャル層2が形成されている。 n^+ 型シリコン基板1には、後述するドレイン電極10との間で良好なオーミック接触を得るために、n型不純物が高濃度で導入されている。また、n型エピタキシャル層2には、n型不純物が n^+ 型シリコン基板1よりも低い濃度(たとえば、約 $5\times 10^{15}\text{cm}^{-3}$ ～約 $1.0\times 10^{18}\text{cm}^{-3}$)で導入されている。なお、n型エピタキシャル層2は、本発明の「一導電型の半導体層」の一例である。

[0044] また、n型エピタキシャル層2は、その厚み方向に掘られた複数のトレンチ3を有している。この複数のトレンチ3は、n型エピタキシャル層2の所定領域がその上面(主表面)側からエッチングされることによって形成されている。すなわち、複数のトレンチ3の各々の開口端は、n型エピタキシャル層2の上面側に位置している。

[0045] また、複数のトレンチ3は、その各々がn型エピタキシャル層2の上面に対して平行な所定方向に沿って延びるように細長状に形成されている。また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向と直交する方向(A方向)に互いに約 $0.05\mu\text{m}$ ～約 $0.3\mu\text{m}$ の間隔(b)を隔てて配列されている。さらに、複数のトレンチ3の各々の溝深さ(c)は、n型エピタキシャル層2の厚み(a)よりも小さくなるように、約 $0.5\mu\text{m}$ ～約 $5\mu\text{m}$ に設定されている。また、複数のトレンチ3のA方向の幅(d)は、約 $0.1\mu\text{m}$ ～約 $1\mu\text{m}$ に設定されている。

[0046] また、複数のトレンチ3の各々の内面上には、n型エピタキシャル層2を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜4が、約 10nm ～約

100nmの厚みで形成されている。なお、シリコン酸化膜4は、本発明の「第3絶縁膜」の一例である。

[0047] また、複数のトレンチ3の各々の内面上には、シリコン酸化膜4を介して、p型ポリシリコンからなる埋め込み電極(ゲート電極)5がそれぞれ形成されている。この複数の埋め込み電極(ゲート電極)5の各々は、対応するトレンチ3の途中の深さまで埋め込まれている。

[0048] 第1実施形態では、上記のような複数の埋め込み電極(ゲート電極)5を設けることによって、複数の埋め込み電極(ゲート電極)5に対する印加電圧を制御すれば、複数のトレンチ3の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第1実施形態では、互いに隣り合うトレンチ3間の間隔(b)は、複数のトレンチ3の各々の周辺に空乏層を形成した時に、隣り合うトレンチ3の各々に形成された空乏層の一部が互いに重なり合うように設定されている。すなわち、複数のトレンチ3の各々の周辺に空乏層を形成した場合には、隣り合うトレンチ3の各々の周辺に形成された空乏層が互いに連結される。このため、第1実施形態では、複数のトレンチ3の各々の周辺に空乏層を形成すれば、互いに隣り合うトレンチ3間の各領域を空乏層によって塞ぐことが可能となる。

[0049] また、第1実施形態では、複数のトレンチ3の各々における埋め込み電極(ゲート電極)5の上方に、W(タングステン)から構成されるメタル層7がシリコン酸化膜6を介して形成されている。このメタル層7は、A方向の幅が、埋め込み電極(ゲート電極)5のA方向の幅よりも小さくなるように形成されているとともに、埋め込み電極(ゲート電極)5と対向するようにトレンチ3の内部に配設されている。一方、n型エピタキシャル層2の上面上の所定領域には、図示しないゲートパッド電極が形成されており、複数のトレンチ3の各々の内部に設けられたメタル層7は、図示しない配線層を介して、ゲートパッド電極(図示せず)とそれぞれ電氣的に接続されている。すなわち、メタル層7は、埋め込み電極(ゲート電極)5と容量結合されている。これにより、複数のトレンチ3の各々の内部には、メタル層7と埋め込み電極(ゲート電極)5とにより、シリコン酸化膜6を誘電体層とするキャパシタ(コンデンサ)が埋め込み電極(ゲート電極)5と直列に形成されている。

[0050] また、第1実施形態では、上記のように、埋め込み電極(ゲート電極)5と容量結合されたメタル層7を複数のトレンチ3の各々の内部に設けることによって、ゲート入力容量を大幅に低減することが可能となる。すなわち、埋め込み電極(ゲート電極)5とメタル層7とが容量結合されることにより、埋め込み電極(ゲート電極)5にキャパシタ(コンデンサ)が直列に接続された状態では、埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)Cは下記(1)式で表される。

[0051] [数1]

$$C = \frac{1}{\frac{1}{C_{GM}} + \frac{1}{C_G}} = \frac{C_{GM} \times C_G}{C_{GM} + C_G} \quad [\text{pF}] \quad (1)$$

ここで、 C_{GM} は、埋め込み電極(ゲート電極)5とメタル層7によって形成されるキャパシタ(コンデンサ)の静電容量を、 C_G は、埋め込み電極(ゲート電極)5との間に寄生的に形成されるキャパシタ(コンデンサ)の静電容量(ただし、 C_{GM} を除く)をそれぞれ示している。

[0052] 具体的な数値を用いて示すと、たとえば、 C_G が、2000pFで、 C_{GM} が、100pFの場合には、上記(1)式より、埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)Cは、約95pFとなる。このように、メタル層7を埋め込み電極(ゲート電極)5と容量結合させることによって、ゲート入力容量を大幅に低減させることが可能となる。なお、上記(1)式より、埋め込み電極(ゲート電極)5とメタル層7とによって形成されたキャパシタ(コンデンサ)の静電容量 C_{GM} が小さいほど、埋め込み電極(ゲート電極)5の合計静電容量Cが小さくなる。

[0053] また、第1実施形態では、シリコン酸化膜6は、シリコン酸化膜4の厚み以上の厚みに形成されている。なお、シリコン酸化膜6は、本発明の「第1絶縁膜」の一例であり、メタル層7は、本発明の「導電体層」の一例である。

[0054] また、複数のトレンチ3の各々におけるメタル層7の上方の部分には、 SiO_2 からなる層間絶縁膜8が形成されている。この層間絶縁膜8の各々の上面は、n型エピタキシャル層2の上面(隣り合うトレンチ3間の各領域の上端部の上面)に対して同一面となっている。なお、層間絶縁膜8は、本発明の「第2絶縁膜」の一例である。

[0055] また、n型エピタキシャル層2の上面側の部分(隣り合うトレンチ3間の各領域の上端部)には、n型エピタキシャル層2の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域2aが形成されている。このn型エピタキシャル層2の高濃度領域2aの不純物濃度は、後述するソース電極9との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタキシャル層2の他の部分の不純物濃度よりも高くなっている。

[0056] また、n型エピタキシャル層2の上面上には、複数のトレンチ3の各々の開口端を覆うように、Al層からなるソース電極9が形成されている。このソース電極9は、n型エピタキシャル層2の高濃度領域(隣り合うトレンチ3間の各領域の上端部)2aに対してオーミック接触している。また、 n^+ 型シリコン基板1の裏面(下面)上には、複数の金属層が積層された多層構造体からなるドレイン電極10が形成されている。このドレイン電極10は、 n^+ 型シリコン基板1に対してオーミック接触している。

[0057] 上記した構成では、ソース電極9とドレイン電極10との間に電圧を印加した場合に、ソース電極9とドレイン電極10との間を流れる電流(n型エピタキシャル層2の厚み方向に流れる電流)は、n型エピタキシャル層2の隣り合うトレンチ3間の各領域を通過することになる。すなわち、上記した構成では、n型エピタキシャル層2の隣り合うトレンチ3間の各領域がチャンネル(電流通路)11として機能することになる。

[0058] 図2および図3は、本発明の第1実施形態による半導体装置の動作を説明するための断面図である。なお、図2には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を示しており、図3には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。次に、図2および図3を参照して、第1実施形態によるスイッチ装置として機能する半導体装置20の動作について説明する。

[0059] なお、以下の説明では、ソース電極9に負電位が印加され、ドレイン電極10に正電位が印加されているとする。すなわち、スイッチ装置として機能する半導体装置20がオン状態の場合には、ドレイン電極10からソース電極9(図3の矢印方向)に電流が流れる。

[0060] まず、スイッチ装置として機能する半導体装置20がオフ状態の場合には、図2に示

すように、埋め込み電極(ゲート電極)5が埋め込まれたトレンチ3の周辺に存在する多数キャリアが減少するように、埋め込み電極(ゲート電極)5に対する印加電圧が制御されている。ここで、メタル層7と埋め込み電極(ゲート電極)5とは、容量結合されているため、埋め込み電極(ゲート電極)5に対する印加電圧の制御は、メタル層7に対する印加電圧を制御することにより行われる。これにより、トレンチ3の周辺には、空乏層12が形成されている。

[0061] この際、隣り合うトレンチ3間の領域において、隣り合うトレンチ3の各々の周辺に形成された空乏層12の一部が互いに重なる。すなわち、隣り合うトレンチ3間の領域において、隣り合うトレンチ3の各々の周辺に形成された空乏層12が互いに連結された状態となる。これにより、チャンネル11が空乏層12によって塞がれた状態となるので、チャンネル11を流れる電流が遮断される。したがって、スイッチ装置として機能する半導体装置20がオフ状態となる。

[0062] 次に、スイッチ装置として機能する半導体装置20をオフ状態からオン状態に切り替える場合には、図3に示すように、埋め込み電極(ゲート電極)5(メタル層7)に対して所定の正電位(所定電圧)を印加することによって、トレンチ3の周辺に形成された空乏層12(図2参照)を消滅させる。これにより、チャンネル11を介して電流を流すことができるので、スイッチ装置として機能する半導体装置20をオン状態にすることが可能となる。

[0063] また、スイッチ装置として機能する半導体装置20をオン状態からオフ状態に切り替える場合には、埋め込み電極(ゲート電極)5(メタル層7)に対する所定の正電位(所定電圧)の印加を解除する。これにより、図2に示した状態に戻るので、スイッチ装置として機能する半導体装置20をオフ状態にすることが可能となる。

[0064] 第1実施形態では、上記のように、埋め込み電極(ゲート電極)5と容量結合されたメタル層7を複数のトレンチ3の各々の内部に形成することによって、複数のトレンチ3の各々の内部に埋め込み電極(ゲート電極)5と直列に接続されたキャパシタ(コンデンサ)を形成することができるので、複数のトレンチ3の各々の内部における埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)を小さくすることができる。これにより、埋め込み電極(ゲート電極)5に対する印加電圧を制御することによって、

オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン／オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。また、埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)を小さくすることができるので、埋め込み電極(ゲート電極)5の閾値電圧を高くすることができる。

[0065] また、第1実施形態では、複数のトレンチ3の各々の周辺に形成される全ての空乏層12でチャネル(隣り合うトレンチ3間の各領域)11を塞ぐことにより、チャネル(隣り合うトレンチ3間の各領域)11を流れる電流が遮断される一方、複数のトレンチ3の各々の周辺に形成された全ての空乏層12を消滅させることにより、チャネル(隣り合うトレンチ3間の各領域)11を介して電流が流れるように構成することによって、トレンチ3の周辺に形成される空乏層12の形成状態は埋め込み電極(ゲート電極)5に対する印加電圧に応じて変化するので、埋め込み電極(ゲート電極)5に対する印加電圧を制御することにより、オフ状態(チャネル11を流れる電流が遮断される状態)からオン状態(チャネル11を介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置20にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ3間の各領域の空乏層12が消滅した部分の全てをチャネル(電流通路)11として機能させることができるので、非常に薄い反転層をチャネル(電流通路)として機能させる従来の半導体スイッチ装置(MOSFET)と比べて、チャネル11を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来の半導体スイッチ装置(MOSFET)と比べて、オン抵抗を大幅に低減することができる。

[0066] また、第1実施形態では、メタル層7の上面上に層間絶縁膜8を形成するとともに、層間絶縁膜8を、その上面がn型エピタキシャル層2の上面と同一面となるように各トレンチ3内に形成することによって、互いに隣り合うトレンチ3に形成された層間絶縁膜8において、一方のトレンチ3に形成された層間絶縁膜8と隣り合う他方のトレンチ3に形成された層間絶縁膜8とが接触するのを抑制することができる。このため、互いに隣り合うトレンチ3間の間隔(b)を、複数のトレンチ3の各々の周辺に空乏層12を形

成した時に、隣り合うトレンチ3の各々に形成された空乏層12の一部が互いに重なり合うように容易に設定することができる。

[0067] また、第1実施形態では、シリコン酸化膜6の厚みを、シリコン酸化膜4の厚み以上に構成することによって、シリコン酸化膜6における絶縁破壊を抑制することができるので、シリコン酸化膜6の絶縁破壊に起因して、半導体装置20の耐圧特性が低下するという不都合が生じるのを抑制することができる。

[0068] また、第1実施形態では、トレンチ3の配列方向(A方向)におけるメタル層7の幅を、埋め込み電極(ゲート電極)5のA方向の幅よりも小さくなるように構成することによって、メタル層7の平面積を小さくすることができるので、埋め込み電極(ゲート電極)5とメタル層7との間の静電容量を小さくすることができる。このため、容易に、埋め込み電極(ゲート電極)の合計静電容量(ゲート入力容量)を小さくすることができる。

[0069] また、第1実施形態では、メタル層7をW(タングステン)から構成することによって、容易に、メタル層7をトレンチ3の内部に形成することができるので、容易に、トレンチ3の内部に埋め込み電極(ゲート電極)5と直列に接続されたキャパシタ(コンデンサ)を形成することができる。

[0070] 図4～図13は、図1に示した本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。次に、図1、および、図4～図13を参照して、本発明の第1の実施形成による半導体装置20の製造方法について説明する。

[0071] 先ず、n型不純物が高濃度で導入された n^+ 型シリコン基板1の上面上に、エピタキシャル成長法などによって、約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ の厚み(a)(図1参照)を有するとともに、 n^+ 型シリコン基板1よりも低い濃度(たとえば、約 $5\times 10^{15}\text{cm}^{-3}$ ～約 $1.0\times 10^{18}\text{cm}^{-3}$)でn型不純物が導入されたn型シリコンからなるn型エピタキシャル層2を成長させる。次に、図4に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、n型エピタキシャル層2の所定領域に複数のトレンチ3を形成する。この際、複数のトレンチ3は、その各々がn型エピタキシャル層2の上面に対して平行な所定方向に沿って延びるように細長状に形成する。また、複数のトレンチ3は、図1に示したように、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向と直交する方向(A方向)に互いに約 $0.05\mu\text{m}$ ～約 $0.3\mu\text{m}$ の間隔(b)を隔てて配列

する。さらに、複数のトレンチ3は、その各々の溝深さ(c)を、n型エピタキシャル層2の厚み(a)よりも小さくなるように、約 $0.5\mu\text{m}$ ～約 $5\mu\text{m}$ に形成するとともに、複数のトレンチ3のA方向の幅(d)を、約 $0.1\mu\text{m}$ ～約 $1\mu\text{m}$ に形成する。

[0072] 次に、エッチングによってn型エピタキシャル層2に加わった欠陥を除去する。具体的には、犠牲酸化を行うとともに、その犠牲酸化により形成された表面酸化物層(SiO_2 層:図示せず)をエッチングにより除去する。

[0073] 続いて、 n^+ 型シリコン基板1を熱酸化処理することにより、図5に示すように、表面酸化物(SiO_2)層4aを成長させる。これにより、 SiO_2 からなるシリコン酸化膜4(4a)が、トレンチ3の内壁(底面および側面)を覆うように形成される。この際、シリコン酸化膜4(4a)は、約10nm～約100nmの厚みに成長させる。

[0074] 次に、図6に示すように、CVD法などを用いて、不純物の導入により導電化されたポリシリコン層5aを全面に形成する。そして、図7に示すように、エッチバックにより、ポリシリコン層5aの所定領域を除去する。これにより、各々のトレンチ3内におけるポリシリコン層5aの上面(エッチバック面)が、n型エピタキシャル層2の上面よりも下方に形成され、トレンチ3内に、ポリシリコンからなる埋め込み電極(ゲート電極)5が形成される。

[0075] その後、図8に示すように、 SiO_2 層6aを全面に形成する。そして、図9に示すように、蒸着法などによって、全面にW(タングステン)から構成されるメタル層7aを形成する。

[0076] 続いて、図10に示すように、メタルエッチバックによりメタル層7aの所定領域を除去することによって、トレンチ3の内部にメタル層7を形成する。次に、図11に示すように、 SiO_2 層8aを全面に形成する。そして、エッチバックにより、n型エピタキシャル層2の上面が露出するまで、 SiO_2 層8a、 SiO_2 層6aおよび表面酸化物層4aを除去する。これにより、図12に示すように、埋め込み電極(ゲート電極)5の上面上に、その上面がn型エピタキシャル層2の上面と実質的に同一面となる層間絶縁膜8が形成されるとともに、n型エピタキシャル層2の上面が平坦化される。また、埋め込み電極(ゲート電極)5の上方にシリコン酸化膜6を介してメタル層7が形成される。

[0077] 次に、図13に示すように、n型エピタキシャル層2の上面に低濃度領域が露出しな

ように、n型不純物が高濃度でイオン注入された高濃度領域2aを形成する。そして、図1に示したように、n型エピタキシャル層2の上面上に、複数のトレンチ3の各々の開口端を覆うように、Al層からなるソース電極9を形成する。最後に、n⁺型シリコン基板1の裏面(下面)上に、複数の金属層が積層された多層構造体からなるドレイン電極10を形成する。このようにして、図1に示した本発明の第1実施形態による半導体装置20が形成される。

[0078] (第2実施形態)

図14は、本発明の第2実施形態による半導体装置の構造を示した断面図である。次に、図14を参照して、本発明の第2実施形態による半導体装置30の構造について説明する。

[0079] この第2実施形態による半導体装置30では、複数のトレンチ3の各々の内面上に、シリコン酸化膜4を介してp型ポリシリコンからなる埋め込み電極5がそれぞれ形成されている。そして、複数の埋め込み電極5は、互いに別個に電圧が印加される2種類の埋め込み電極5aおよび5bに分けられている。一方の埋め込み電極5aは、所定の制御信号(オン/オフの切り替えを行うための信号)に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極5bは、ソース電極9に電氣的に接続されている。すなわち、他方の埋め込み電極5bは、ソース電極9と同電位となるように構成されている。また、埋め込み電極5aおよび5bは、A方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極5a(5b)の間に1つの埋め込み電極5b(5a)が配置されていることになる。なお、埋め込み電極5aおよび5bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。

[0080] また、埋め込み電極5aが埋め込まれたトレンチ3(以下、トレンチ3aと言う)では、埋め込み電極5aの上方に、W(タングステン)から構成されるメタル層7がシリコン酸化膜6を介して形成されている。このメタル層7は、埋め込み電極5aと容量結合されている。また、トレンチ3aにおけるメタル層7の上方の部分には、シリコン酸化膜からなる層間絶縁膜8(8a)が形成されている。一方、埋め込み電極5bが埋め込まれたトレンチ3(以下、トレンチ3bと言う)では、埋め込み電極5bの上方の部分に、メタル層7が形成されずにSiO₂からなる層間絶縁膜8(8b)が形成されている。なお、第2実施

形態による半導体装置30のその他の構造は、上記した第1実施形態による半導体装置20の構造と同様である。

[0081] 図15は、本発明の第2実施形態による半導体装置の動作を説明するための断面図である。次に、図14および図15を参照して、本発明の第2実施形態による半導体装置30の動作について説明する。なお、以下の動作説明では、ソース電極9およびドレイン電極10の各々に負電位および正電位が印加されているとする。

[0082] まず、オフ状態の場合には、図14に示すように、埋め込み電極5bがソース電極9に電氣的に接続されているため、埋め込み電極5bに対して負電位が印加されることになる。したがって、埋め込み電極5bが埋め込まれたトレンチ3(3b)の周辺には、多数キャリアが減少した状態となっている。すなわち、トレンチ3bの周辺には、オン状態およびオフ状態にかかわらず、空乏層12(12b)が形成されている。また、オフ状態の場合には、埋め込み電極5aが埋め込まれたトレンチ3(3a)の周辺に存在する多数キャリアが減少するように、埋め込み電極5aに対する印加電圧が制御されている。これにより、トレンチ3aの周辺にも、トレンチ3bの周辺に形成された空乏層12(12b)と同様の空乏層12(12a)が形成されている。

[0083] この際、トレンチ3aとトレンチ3bとの間の領域では、トレンチ3aおよび3bの各々の周辺に形成された空乏層12aおよび12bの一部が互いに重なる。すなわち、トレンチ3aとトレンチ3bとの間の領域では、空乏層12aおよび12bが互いに連結された状態となる。これにより、チャネル(電流通路)31が空乏層12aおよび12bによって遮断された状態となるので、チャネル(電流通路)31を介して流れる電流を遮断することができる。したがって、半導体装置30がオフ状態となる。

[0084] そして、オフ状態からオン状態に切り替える場合には、図15に示すように、埋め込み電極5aに対して所定の正電位を印加することによって、トレンチ3aの周辺に形成された空乏層12a(図14参照)を消滅させる。すなわち、チャネル(電流通路)31の埋め込み電極5a側(トレンチ3a側)の部分を通じて図15中の矢印方向に電流を流すことができるので、半導体装置30をオン状態にすることが可能となる。

[0085] また、半導体装置30をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図14に示した状態に戻

るので、半導体装置30をオフ状態にすることが可能となる。

[0086] この第2実施形態の効果は、上記第1実施形態の効果と同様である。

[0087] (第3実施形態)

図16は、本発明の第3実施形態による半導体装置の構造を示した断面図である。次に、図16を参照して、本発明の第3実施形態による半導体装置40の構造について説明する。

[0088] 第3実施形態による半導体装置40では、所定の制御信号が印加される埋め込み電極5(5a)が埋め込まれたトレンチ3(3a)と、ソース電極41の一部(以下、埋め込み部41aと言う)が埋め込まれたトレンチ3(3c)とが設けられている。このトレンチ3aおよび3cは、互いに所定の間隔を隔てて1つずつ交互に配列されている。また、ソース電極41の埋め込み部41aは、トレンチ3cの内部において、エピタキシャル層2に対してショットキー接触している。なお、ソース電極41の埋め込み部41aは、本発明の「第2埋め込み電極」の一例である。

[0089] そして、第3実施形態では、ソース電極41とドレイン電極10との間に電圧が印加された場合、ソース電極41とドレイン電極10との間を流れる電流は、トレンチ3aとトレンチ3cとの間の各領域を通過することになる。すなわち、第3実施形態では、トレンチ3aとトレンチ3cとの間の各領域がチャンネル(電流通路)42として機能することになる。

[0090] なお、トレンチ3aの内部には、上記第2実施形態と同様、埋め込み電極5aの上方に、W(タングステン)から構成されるメタル層7が形成されている。

[0091] この第3実施形態による半導体装置40のその他の構造は、上記第1実施形態による半導体装置20の構造と同様である。

[0092] 図17は、本発明の第3実施形態による半導体装置の動作を説明するための断面図である。次に、図16および図17を参照して、本発明の第3実施形態による半導体装置40の動作について説明する。

[0093] なお、以下の動作説明では、ソース電極41およびドレイン電極10の各々に負電位および正電位が印加されているとする。すなわち、ソース電極41の埋め込み部41aが埋め込まれたトレンチ3cの周辺には、オン状態およびオフ状態にかかわらず、空乏層12(12c)が形成されている。

[0094] まず、オフ状態の場合には、図16に示すように、トレンチ3aの周辺に空乏層12(12a)が形成されるように、埋め込み電極5aに対して負電位が印加されている。これにより、チャンネル(電流通路)42が空乏層12aおよび12cによって塞がれた状態となるので、チャンネル(電流通路)42を介して流れる電流を遮断することができる。

[0095] そして、オフ状態からオン状態に切り替える場合には、図17に示すように、埋め込み電極5aに対して正電位を印加することによって、図16に示した空乏層12aを消滅させる。これにより、チャンネル(電流通路)42の埋め込み電極5a側(トレンチ3a側)の部分を経由して図16中の矢印方向に電流を流すことができる。

[0096] また、半導体装置40をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図16に示した状態に戻るため、半導体装置40をオフ状態にすることが可能となる。

[0097] この第3実施形態の効果は、上記第1実施形態の効果と同様である。

[0098] (第4実施形態)

図18は、本発明の第4実施形態による半導体装置の構造を示した断面図である。次に、図18を参照して、本発明の第4実施形態による半導体装置50の構造について説明する。

[0099] 第4実施形態による半導体装置50では、所定の制御信号が印加される埋め込み電極5(5a)が埋め込まれたトレンチ3(3a)に加えて、p型不純物が高濃度で導入された p^+ 型拡散領域51がさらに設けられている。この p^+ 型拡散領域51は、隣り合うトレンチ3(3a)間の各領域に、トレンチ3(3a)に対して所定の間隔を隔てて1つずつ配置されている。また、 p^+ 型拡散領域51は、ソース電極9に対してオーミック接触している。なお、 p^+ 型拡散領域51は、本発明の「逆導電型の拡散領域」の一例である。

[0100] そして、第4実施形態では、ソース電極9とドレイン電極10との間に電圧が印加された場合、ソース電極9とドレイン電極10との間を流れる電流は、トレンチ3(3a)と p^+ 型拡散領域51との間の各領域を通過することになる。すなわち、第4実施形態では、トレンチ3(3a)と p^+ 型拡散領域51との間の各領域がチャンネル(電流通路)52として機能することになる。

[0101] なお、トレンチ3(3a)の内部には、上記第2および第3実施形態と同様、埋め込み

電極5aの上方に、W(タングステン)から構成されるメタル層7が形成されている。

[0102] この第4実施形態による半導体装置50のその他の構造は、上記第1実施形態による半導体装置20の構造と同様である。

[0103] 図19は、本発明の第4実施形態による半導体装置の動作を説明するための断面図である。次に、図18および図19を参照して、本発明の第4実施形態による半導体装置50の動作について説明する。

[0104] なお、以下の動作説明では、ソース電極9およびドレイン電極10の各々に負電位および正電位が印加されているとする。すなわち、 p^+ 型拡散領域51の周辺には、オン状態およびオフ状態にかかわらず、空乏層12(12d)が形成されている。

[0105] まず、オフ状態の場合には、図18に示すように、トレンチ3aの周辺に空乏層12(12a)が形成されるように、埋め込み電極5aに対して負電位が印加されている。これにより、チャンネル(電流通路)52が空乏層12aおよび12dによって塞がれた状態となるので、チャンネル(電流通路)52を介して流れる電流を遮断することができる。

[0106] そして、オフ状態からオン状態に切り替える場合には、図19に示すように、埋め込み電極5aに対して正電位を印加することによって、図18に示した空乏層12aを消滅させる。これにより、チャンネル(電流通路)52の埋め込み電極5a側(トレンチ3a側)の部分を経由して図19の矢印方向に電流を流すことができる。

[0107] また、半導体装置50をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図18に示した状態に戻るため、半導体装置50をオフ状態にすることが可能となる。

[0108] この第4実施形態の効果は、上記第1実施形態の効果と同様である。

[0109] (第5実施形態)

図20は、本発明の第5実施形態による半導体装置の構造を示した断面図である。

次に、図20を参照して、この第5実施形態による半導体装置60では、トレンチ3の内部に埋め込み電極(ゲート電極)5が埋め込まれたトレンチゲート型のMOSFETに構成されている。すなわち、この第5実施形態による半導体装置60では、隣り合うトレンチ3間の各領域において、高濃度領域(ソース領域)2aとn型エピタキシャル層2の低濃度領域(ドレイン領域)2cとの間にp型不純物領域2bが形成されている。

- [0110] 第5実施形態では、メタル層7に所定の正電位を印加すると、メタル層7と埋め込み電極(ゲート電極)5とが容量結合されているため、埋め込み電極(ゲート電極)5に対して所定の正電位が印加される。このため、p型不純物領域2bの少数キャリア(電子)がトレンチ3側に引き寄せられるので、p型不純物領域2bのトレンチ3の周辺に、低濃度領域(ドレイン領域)2cと高濃度領域(ソース領域)2aとを接続するような反転層13が形成される。この反転層13を介して、ソース電極9とドレイン電極10との間に電流を流すことが可能となるので、半導体装置60がオン状態となる。その一方、メタル層7に対する所定の正電位の印加を解除すると、埋め込み電極(ゲート電極)5に対する所定の正電位の印加が解除されるので、反転層13が消滅する。これにより、ソース電極9とドレイン電極10との間における電流の流れを遮断することが可能となるので、半導体装置60がオフ状態となる。
- [0111] なお、第5実施形態による半導体装置60の他の構成は、上記第1実施形態による半導体装置20と同様である。
- [0112] 第5実施形態では、上記のように、埋め込み電極(ゲート電極)5と容量結合されたメタル層7を複数のトレンチ3の各々の内部に形成することによって、複数のトレンチ3の各々の内部に埋め込み電極(ゲート電極)5と直列に接続されたキャパシタ(コンデンサ)を形成することができるので、複数のトレンチ3の各々の内部における埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)を小さくすることができる。これにより、埋め込み電極(ゲート電極)5に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン／オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。
- [0113] また、第5実施形態では、メタル層7の上面上に層間絶縁膜8を形成するとともに、層間絶縁膜8を、その上面がn型エピタキシャル層2の上面と同一面となるように各トレンチ3内に形成することによって、互いに隣り合うトレンチ3に形成された層間絶縁膜8において、一方のトレンチ3に形成された層間絶縁膜8と隣り合う他方のトレンチ3に形成された層間絶縁膜8とが接触するのを抑制することができる。このため、互いに隣り合うトレンチ3間の間隔(b)を、容易に短くすることができるので、互いに隣り合

うトレンチ3間の間隔(b)を短くすることによって、単位面積あたりのトレンチ密度を大きくすることができる。その結果、反転層13の合計面積を大きくすることができるので、スイッチング速度を高速化させながら、オン抵抗を低減することができる。

[0114] なお、上記第1～第5実施形態では、トレンチの内部にメタル層を1層形成した例を示したが、本発明はこれに限らず、図21に示すように、トレンチ3の内部にシリコン酸化膜6を介して形成されるメタル層7を2層設けてもよい。また、メタル層7を2層以上設けるようにしてもよい。

[0115] (第6実施形態)

図22は、本発明の第6実施形態による半導体装置を示した全体斜視図であり、図23は、図22の180-180線に沿った断面図である。図24は、図22に示した本発明の第6実施形態による半導体装置の等価回路図である。まず、図22～図24を参照して、第6実施形態による半導体装置120の構造について説明する。なお、第6実施形態の半導体装置120は、ノーマリオフ型のスイッチ装置として機能するように構成されている。また、図24では、便宜上、MOSFETで一般的に用いられている回路記号を用いて、第6実施形態による半導体装置の等価回路を図示している。

[0116] 第6実施形態の半導体装置120では、図22および図23に示すように、 n^+ 型シリコン基板101の上面上に、約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ の厚み(a)を有するn型シリコンからなるn型エピタキシャル層102が形成されている。 n^+ 型シリコン基板101には、後述するドレイン電極108との間で良好なオーミック接触を得るために、n型不純物が高濃度で導入されている。また、n型エピタキシャル層102には、n型不純物が n^+ 型シリコン基板101よりも低い濃度(たとえば、約 $5\times 10^{15}\text{cm}^{-3}$ ～約 $1\times 10^{18}\text{cm}^{-3}$)で導入されている。なお、 n^+ 型シリコン基板101およびn型エピタキシャル層102は、本発明の「一導電型の半導体層」の一例である。

[0117] また、n型エピタキシャル層102は、図23に示すように、その厚み方向(Z方向)に掘られた複数のトレンチ103を有している。この複数のトレンチ103は、n型エピタキシャル層102の所定領域がその上面(主表面)側からエッチングされることによって形成されている。すなわち、複数のトレンチ103の各々の開口端は、n型エピタキシャル層102の上面側に位置している。

- [0118] また、複数のトレンチ103は、図22に示すように、その各々がn型エピタキシャル層102の上面に対して平行な所定方向(Y方向)に沿って延びるように細長状に形成されている。また、複数のトレンチ103は、n型エピタキシャル層102の上面に対して平行で、かつ、トレンチ103が延びる方向(Y方向)と直交する方向(X方向)に互いに約 $0.05\mu\text{m}$ ～約 $0.3\mu\text{m}$ の間隔(b)を隔てて配列されている。さらに、複数のトレンチ103の各々の溝深さ(c)は、図23に示すように、n型エピタキシャル層102の厚み(a):約 $1\mu\text{m}$ ～約 $10\mu\text{m}$ よりも小さくなるように、約 $0.5\mu\text{m}$ ～約 $5\mu\text{m}$ に設定されている。また、複数のトレンチ103の各々のX方向の幅(d)は、約 $0.1\mu\text{m}$ ～約 $1\mu\text{m}$ に設定されている。
- [0119] また、複数のトレンチ103の各々の内面上には、n型エピタキシャル層102を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜104が約10nm～約100nmの厚みで形成されている。なお、シリコン酸化膜104は、本発明の「第5絶縁膜」の一例である。
- [0120] また、複数のトレンチ103の各々の内面上には、シリコン酸化膜104を介して、p型ポリシリコンからなる埋め込み電極(ゲート電極)105が形成されている。この複数の埋め込み電極(ゲート電極)105は、その各々に同じ電圧が印加されるように、互いに電氣的に接続されている。また、複数の埋め込み電極(ゲート電極)105の各々は、対応するトレンチ103の途中の深さまで埋め込まれている。
- [0121] 第6実施形態では、上記のような複数の埋め込み電極(ゲート電極)105を設けることによって、複数の埋め込み電極(ゲート電極)105に対する印加電圧を制御すれば、複数のトレンチ103の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第6実施形態では、隣り合うトレンチ103間の間隔(b)は、複数のトレンチ103の各々の周辺に空乏層を形成した時に、隣り合うトレンチ103の各々に形成された空乏層の一部が互いに重なるように設定されている。すなわち、複数のトレンチ103の各々の周辺に空乏層を形成した場合には、隣り合うトレンチ103の各々の周辺に形成された空乏層が互いに連結される。このため、第6実施形態では、複数のトレンチ103の各々の周辺に空乏層を形成すれば、隣り合うトレンチ103間の各領域を空乏層によって塞ぐことができる。

- [0122] また、複数のトレンチ103の各々の埋め込み電極(ゲート電極)105が埋め込まれていない残りの部分(埋め込み電極105よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜106が埋め込まれている。この複数の層間絶縁膜106の各々は、対応する埋め込み電極(ゲート電極)105と後述するソース電極107との間で絶縁を行うために設けられている。また、複数の層間絶縁膜106の各々の厚みは、対応するトレンチ103の埋め込み電極(ゲート電極)105が埋め込まれていない残りの部分(埋め込み電極105よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜106の各々の上面は、n型エピタキシャル層102の上面(隣り合うトレンチ103間の各領域の上端部の上面)に対して同一面となっている。
- [0123] また、n型エピタキシャル層102の上面側の部分(隣り合うトレンチ103間の各領域の上端部)には、n型エピタキシャル層102の上面に低濃度領域が露出しないように、n型不純物が高濃度でイオン注入された高濃度領域102aが形成されている。このn型エピタキシャル層102の高濃度領域102aの不純物濃度は、後述するソース電極107との間で良好なオーミック接触を得ることが可能なように設定されており、n型エピタキシャル層102の他の部分の不純物濃度よりも高くなっている。また、n型エピタキシャル層102の高濃度領域102aの厚み(イオン注入による拡散後の深さ)は、層間絶縁膜106の厚みよりも小さくなるように設定されている。すなわち、n型エピタキシャル層102の高濃度領域102aの下端部は、埋め込み電極105の上端部よりも上方に位置していることになる。
- [0124] また、n型エピタキシャル層102の上面上には、複数のトレンチ103の各々の開口端を覆うように、Al層からなるソース電極107が形成されている。このソース電極107は、n型エピタキシャル層102の高濃度領域(隣り合うトレンチ103間の各領域の上端部)102aに対してオーミック接触している。
- [0125] また、 n^+ 型シリコン基板101の裏面(下面)上には、複数の金属層が積層された多層構造体からなるドレイン電極108が形成されている。このドレイン電極108は、 n^+ 型シリコン基板101に対してオーミック接触している。
- [0126] また、n型エピタキシャル層102の上面上には、埋め込み電極(ゲート電極)105と電氣的に接続されるパッド電極層109が形成されている。具体的には、n型エピタキ

シヤル層102の上面における外周部の領域上に、ソース電極107を囲むように、パッド電極層109が形成されている。このパッド電極層109は、ボンディングワイヤ(図示せず)が接合される比較的平面漬の広いボンディング部109aを有している。

[0127] ここで、第6実施形態では、n型エピタキシヤル層102とパッド電極層109との間に、静電容量 C_1 とするキャパシタ110が形成されている。このキャパシタ110は、誘電体層110aと、誘電体層110aを挟む下層側電極層110bおよび上層側電極層110cとで構成されている。なお、誘電体層110aは、本発明の「第4絶縁膜」の一例であり、下層側電極層110bおよび上層側電極層110cは、それぞれ、本発明の「第1電極」および「第2電極」の一例である。また、キャパシタ110の下層側電極層110bとn型エピタキシヤル層102とは、絶縁分離膜111を介して、互いに絶縁分離されている。すなわち、キャパシタ110は、n型エピタキシヤル層102とは絶縁分離された状態で、n型エピタキシヤル層102の上面上に形成されている。具体的には、n型エピタキシヤル層102の上面における外周部の領域に、ソース電極107を囲むように SiO_2 からなる絶縁分離膜111が形成されており、この絶縁分離膜111上に、絶縁分離膜111側から、下層側電極層110b、誘電体層110aおよび上層側電極層110cが順次形成されている。そして、上層側電極層110cの上面上に、パッド電極層109が形成されている。なお、誘電体層110aは、 SiO_2 から構成されているとともに、下層側電極層110bおよび上層側電極層110cは、それぞれ、導電化されたポリシリコンから構成されている。

[0128] また、第6実施形態では、キャパシタ110を構成する誘電体層110aの厚みは、シリコン酸化膜104の厚み(約10nm～約100nm)以上になるように構成されている。具体的には、誘電体層110aの厚みは、約50nm～約1000nmに構成されている。また、キャパシタ110は、上層側電極層110cの平面積や誘電体層110aの厚みを種々変更することによって、静電容量 C_1 を低容量から大容量まで広い範囲で設定することが可能に構成されている。

[0129] また、複数のトレンチ103の各々の内部に形成された埋め込み電極(ゲート電極)105は、図22に示すように、それぞれ、Y方向におけるトレンチ103の両端部で、キャパシタ110の下層側電極層110bと電氣的に接続されている。これにより、図24に示

すように、埋め込み電極(ゲート電極)105とキャパシタ110とは、直列に接続された状態となっている。また、埋め込み電極(ゲート電極)105とパッド電極層109とは、キャパシタ110を介して、電氣的に接続された状態となっている。すなわち、第6実施形態による半導体装置120では、キャパシタ110を介して、埋め込み電極(ゲート電極)105に電圧が印加されるように構成されている。

[0130] 一方、埋め込み電極(ゲート電極)105がシリコン酸化膜104および層間絶縁膜106で覆われることによって、埋め込み電極(ゲート電極)105とn型エピタキシャル層102との間、および、埋め込み電極(ゲート電極)105とソース電極107との間に、静電容量をそれぞれ C_{GD} および C_{GS} とするキャパシタが寄生的に形成される。この静電容量 C_{GD} と静電容量 C_{GS} とを足した静電容量を C_{iss} とすると、第6実施形態による半導体装置120のゲート入力容量(合計静電容量: C_{Total})は、静電容量 C_{iss} と上記したキャパシタ110の静電容量 C_I との合計であるため、下記の(2)式によって得られる。

[0131] [数2]

$$C_{Total} = \frac{1}{\frac{1}{C_{iss}} + \frac{1}{C_I}} = \frac{C_{iss} \times C_I}{C_{iss} + C_I} \quad [pF] \quad (2)$$

[0132] たとえば、埋め込み電極(ゲート電極)105に寄生的に形成されるキャパシタの静電容量 C_{iss} を2000pF、キャパシタ110の静電容量 C_I を100pFとした場合には、上記式(1)より、埋め込み電極(ゲート電極)105の合計静電容量(ゲート入力容量) C_{Total} は、約95pFとなる。したがって、この場合には、第6実施形態による半導体装置120のゲート入力容量は、キャパシタ110が形成されていない半導体装置のゲート入力容量と比べて、約 $1/20 (=95pF/2000pF)$ に低減される。なお、上記(2)式より、キャパシタ110の静電容量 C_I が小さいほど、第6実施形態による半導体装置120のゲート入力容量(合計静電容量: C_{Total})が小さくなる。

[0133] また、埋め込み電極(ゲート電極)105の合成静電容量(ゲート入力容量) C_{Total} を小さくすることによって、閾値電圧を高くすることが可能となるので、キャパシタ110の静電容量 C_I を制御することによって、閾値電圧の合わせ込みを行うことが可能となる。

。

- [0134] 上記した構成では、ソース電極107とドレイン電極108との間に電圧を印加した場合に、ソース電極107とドレイン電極108との間を流れる電流(n型エピタキシャル層102の厚み方向(Z方向)に流れる電流)は、n型エピタキシャル層102の隣り合うトレンチ103間の各領域を通過することになる。すなわち、上記した構成では、n型エピタキシャル層102の隣り合うトレンチ103間の各領域がチャンネル112として機能することになる。
- [0135] 図25および図26は、本発明の第6実施形態による半導体装置の動作を説明するための断面図である。図25には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を図示しており、図26には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。次に、図25および図26を参照して、第6実施形態によるスイッチ装置として機能する半導体装置120の動作について説明する。
- [0136] なお、以下の説明では、ソース電極107に負電位が印加され、ドレイン電極108に正電位が印加されているとする。すなわち、スイッチ装置として機能する半導体装置120がオン状態の場合には、ドレイン電極108からソース電極107(図26の矢印方向)に電流が流れる。
- [0137] まず、スイッチ装置として機能する半導体装置120がオフ状態の場合には、図25に示すように、埋め込み電極(ゲート電極)105が埋め込まれたトレンチ103の周辺に存在する多数キャリアが減少するように、埋め込み電極(ゲート電極)105に対する印加電圧が制御されている。これにより、トレンチ103の周辺には、空乏層113が形成されている。
- [0138] この際、隣り合うトレンチ103間の領域において、隣り合うトレンチ103の各々の周辺に形成された空乏層113の一部が互いに重なる。すなわち、隣り合うトレンチ103間の領域において、隣り合うトレンチ103の各々の周辺に形成された空乏層113が互いに連結された状態となる。これにより、チャンネル112が空乏層113によって塞がれた状態となるので、チャンネル112を流れる電流を遮断することができる。したがって、スイッチ装置として機能する半導体装置120がオフ状態となる。
- [0139] 次に、スイッチ装置として機能する半導体装置120をオフ状態からオン状態に切り

替える場合には、図26に示すように、埋め込み電極(ゲート電極)105に対して所定の正電位(所定電圧)を印加することによって、トレンチ103の周辺に形成された空乏層113(図25参照)を消滅させる。すなわち、チャンネル112を塞いでいた空乏層113(図25参照)を消滅させる。これにより、チャンネル112を介して電流を流すことができるので、スイッチ装置として機能する半導体装置120をオン状態にすることが可能となる。

[0140] また、スイッチ装置として機能する半導体装置120をオン状態からオフ状態に切り替える場合には、埋め込み電極(ゲート電極)105に対する所定の正電位(所定電圧)の印加を解除する。これにより、図25に示した状態に戻るので、スイッチ装置として機能する半導体装置120をオフ状態にすることが可能となる。

[0141] 第6実施形態では、上記のように、n型エピタキシャル層102上の外周部の領域にキャパシタ110を形成するとともに、このキャパシタ110を介して埋め込み電極(ゲート電極)105の合計静電容量(ゲート入力容量)を小さくすることができるので、埋め込み電極(ゲート電極)105に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン／オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。

[0142] また、第6実施形態では、上記のように、複数のトレンチ103の各々の周辺に形成される全ての空乏層113でチャンネル(隣り合うトレンチ103間の各領域)112を塞ぐことにより、チャンネル(隣り合うトレンチ103間の各領域)112を流れる電流が遮断される一方、複数のトレンチ103の各々の周辺に形成された全ての空乏層113を消滅させることにより、チャンネル(隣り合うトレンチ103間の各領域)112を介して電流が流れるように構成することによって、トレンチ103の周辺に形成される空乏層113の形成状態は埋め込み電極105に対する印加電圧に応じて変化するので、埋め込み電極105に対する印加電圧を制御することにより、オフ状態(チャンネル112を流れる電流が遮断される状態)からオン状態(チャンネル112を介して電流が流れる状態)への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置120にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ103間の各領域の空乏層113が消滅した部分の全てを

チャネル112として機能させることができるので、非常に薄い反転層をチャネルとして機能させる従来のMOSFET(半導体装置)と比べて、チャネル112を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来のMOSFET(半導体装置)と比べて、オン抵抗を大幅に低減することができる。すなわち、スイッチング速度を高速化させながら、オン抵抗を大幅に低減することができる。

[0143] また、第6実施形態では、層間絶縁膜106を、その上面がn型エピタキシャル層102の上面(隣り合うトレンチ103間の各領域の上端部の上面)と同一面となるように各トレンチ103内に形成することによって、互いに隣り合うトレンチ103間の間隔(b)を小さくしたとしても、n型エピタキシャル層102の上面側の部分(互いに隣り合うトレンチ103間の領域の上端部)が層間絶縁膜106で覆われてしまうことがない。これにより、隣り合うトレンチ103間の間隔(b)を小さくすることができるので、隣り合うトレンチ103の各々に形成された空乏層113を互いに連結させやすくすることができる。

[0144] また、第6実施形態では、誘電体層110aの厚みを、シリコン酸化膜104の厚み以上に構成することによって、誘電体層110aにおける絶縁破壊を抑制することができるので、誘電体層110aとこの誘電体層110aを挟む下層側電極層110bおよび上層側電極層110cとによってキャパシタ110を形成したとしても、誘電体層110aの絶縁破壊に起因して、半導体装置120の耐压特性が低下するという不都合が生じるのを抑制することができる。

[0145] (第7実施形態)

図27は、本発明の第7実施形態による半導体装置の構造を示した断面図である。次に、図27を参照して、本発明の第7実施形態による半導体装置130の構造について説明する。

[0146] 第7実施形態の半導体装置130では、複数のトレンチ103の各々の内面上に形成された複数の埋め込み電極105は、互いに別個に電圧が印加される2種類の埋め込み電極105aおよび105bに分けられている。一方の埋め込み電極105aは、キャパシタ110を介して所定の制御信号(オン／オフの切り替えを行うための信号)に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極105bは、ソ

ース電極107に電氣的に接続されている。すなわち、他方の埋め込み電極105bは、ソース電極107と同電位となるように構成されている。また、埋め込み電極105aおよび105bは、A方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極105a(105b)の間に1つの埋め込み電極105b(105a)が配置されていることになる。なお、埋め込み電極105aおよび105bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。

[0147] また、埋め込み電極105aが埋め込まれたトレンチ103(以下、トレンチ103aと言う)、および、埋め込み電極105bが埋め込まれたトレンチ103(以下、トレンチ103bと言う)において、埋め込み電極105が埋め込まれていない残りの部分(埋め込み電極105よりも上方の部分)には、シリコン酸化膜からなる層間絶縁膜106が埋め込まれている。また、複数の層間絶縁膜106の各々の厚みは、対応するトレンチ103の埋め込み電極105が埋め込まれていない残りの部分(埋め込み電極105よりも上方の部分)の深さと同じになるように設定されている。したがって、複数の層間絶縁膜106の各々の上面は、n型エピタキシャル層102の上面(隣り合うトレンチ103の各領域の上端部の上面)に対して同一面となっている。

[0148] そして、第7実施形態では、ソース電極107とドレイン電極108との間に電圧が印加された場合、ソース電極107とドレイン電極108との間を流れる電流は、トレンチ103aと隣り合うトレンチ103bとの間の各領域を通過することになる。すなわち、第7実施形態では、トレンチ103aと隣り合うトレンチ103bとの間の各領域がチャネル(電流通路)131として機能することになる。

[0149] なお、第7実施形態の半導体装置130のその他の構造は、上記第6実施形態の半導体装置120の構造と同様である。

[0150] 図28は、本発明の第7実施形態による半導体装置の動作を説明するための断面図である。次に、図27および図28を参照して、本発明の第7実施形態による半導体装置130の動作について説明する。なお、以下の動作説明では、ソース電極107およびドレイン電極108の各々に負電位および正電位が印加されているとする。

[0151] まず、オフ状態の場合には、図27に示すように、埋め込み電極105bがソース電極107に電氣的に接続されているため、埋め込み電極105bに対して負電位が印加さ

れることになる。したがって、埋め込み電極105bが埋め込まれたトレンチ103(103b)の周辺には、多数キャリアが減少した状態となっている。すなわち、トレンチ103bの周辺には、オン状態およびオフ状態にかかわらず、空乏層113(113b)が形成されている。また、オフ状態の場合には、埋め込み電極105aが埋め込まれたトレンチ103(103a)の周辺に存在する多数キャリアが減少するように、埋め込み電極105aに対する印加電圧が制御されている。これにより、トレンチ103aの周辺にも、トレンチ103bの周辺に形成された空乏層113(113b)と同様の空乏層113(113a)が形成されている。

[0152] この際、トレンチ103aとトレンチ103bとの間の領域では、トレンチ103aおよび3bの各々の周辺に形成された空乏層113aおよび113bの一部が互いに重なる。すなわち、トレンチ103aとトレンチ103bとの間の領域では、空乏層113aおよび113bが互いに連結された状態となる。これにより、チャネル(電流通路)131が空乏層113aおよび113bによって遮断された状態となるので、チャネル(電流通路)131を介して流れる電流を遮断することができる。したがって、半導体装置130がオフ状態となる。

[0153] そして、オフ状態からオン状態に切り替える場合には、図28に示すように、埋め込み電極105aに対して所定の正電位を印加することによって、トレンチ103aの周辺に形成された空乏層113a(図27参照)を消滅させる。すなわち、チャネル(電流通路)131の埋め込み電極105a側(トレンチ103a側)の部分を通じて図28中の矢印方向に電流を流すことができるので、半導体装置130をオン状態にすることが可能となる。

[0154] また、半導体装置130をオン状態からオフ状態に切り替える場合には、埋め込み電極105aに対する所定の正電位の印加を解除する。これにより、図27に示した状態に戻るため、半導体装置130をオフ状態にすることが可能となる。

[0155] この第7実施形態の効果は、上記第6実施形態の効果と同様である。

[0156] (第8実施形態)

図29は、本発明の第8実施形態による半導体装置の構造を示した断面図である。次に、図29を参照して、本発明の第8実施形態による半導体装置140の構造について説明する。

- [0157] 第8実施形態の半導体装置140では、キャパシタ110を介して所定の制御信号(オン／オフの切り替えを行うための信号)が印加される埋め込み電極105(105a)が埋め込まれたトレンチ103(103a)と、ソース電極141の一部(以下、埋め込み部141aと言う)が埋め込まれたトレンチ103(103c)とが設けられている。このトレンチ103aおよび103cは、互いに所定の間隔を隔てて1つずつ交互に配列されている。また、ソース電極141の埋め込み部141aは、トレンチ103cの内部において、エピタキシャル層102に対してショットキー接触している。なお、ソース電極141の埋め込み部141aは、本発明の「第2埋め込み電極」の一例である。
- [0158] そして、第8実施形態では、ソース電極141とドレイン電極108との間に電圧が印加された場合、ソース電極141とドレイン電極108との間を流れる電流は、トレンチ103aとトレンチ103cとの間の各領域を通過することになる。すなわち、第8実施形態では、トレンチ103aとトレンチ103cとの間の各領域がチャネル(電流通路)142として機能することになる。
- [0159] なお、第8実施形態の半導体装置140のその他の構造は、上記第6実施形態の半導体装置120の構造と同様である。
- [0160] 図30は、本発明の第8実施形態による半導体装置の動作を説明するための断面図である。次に、図29および図30を参照して、本発明の第8実施形態による半導体装置140の動作について説明する。
- [0161] なお、以下の動作説明では、ソース電極141およびドレイン電極108の各々に負電位および正電位が印加されているとする。すなわち、ソース電極141の埋め込み部141aが埋め込まれたトレンチ103cの周辺には、オン状態およびオフ状態にかかわらず、空乏層113(113c)が形成されている。
- [0162] まず、オフ状態の場合には、図29に示すように、トレンチ103aの周辺に空乏層113(113a)が形成されるように、埋め込み電極105aに対して負電位が印加されている。これにより、チャネル(電流通路)142が空乏層113aおよび113cによって塞がれた状態となるので、チャネル(電流通路)142を介して流れる電流を遮断することができる。
- [0163] そして、オフ状態からオン状態に切り替える場合には、図30に示すように、埋め込

み電極105aに対して正電位を印加することによって、図29に示した空乏層113aを消滅させる。これにより、チャンネル(電流通路)142の埋め込み電極105a側(トレンチ103a側)の部分を経由して図30中の矢印方向に電流を流すことができる。

[0164] また、半導体装置140をオン状態からオフ状態に切り替える場合には、埋め込み電極105aに対する所定の正電位の印加を解除する。これにより、図29に示した状態に戻るため、半導体装置140をオフ状態にすることが可能となる。

[0165] この第8実施形態の効果は、上記第6実施形態の効果と同様である。

[0166] (第9実施形態)

図31は、本発明の第9実施形態による半導体装置の構造を示した断面図である。次に、図31を参照して、本発明の第9実施形態による半導体装置150の構造について説明する。

[0167] 第9実施形態の半導体装置150では、キャパシタ110を経由して所定の制御信号(オン/オフの切り替えを行うための信号)が印加される埋め込み電極105(105a)が埋め込まれたトレンチ103(103a)に加えて、p型不純物が高濃度で導入された p^+ 型拡散領域151がさらに設けられている。この p^+ 型拡散領域151は、隣り合うトレンチ103(103a)間の各領域に、トレンチ103(103a)に対して所定の間隔を隔てて1つずつ配置されている。また、 p^+ 型拡散領域151は、ソース電極107に対してオーミック接触している。なお、 p^+ 型拡散領域151は、本発明の「逆導電型の拡散領域」の一例である。

[0168] そして、第9実施形態では、ソース電極107とドレイン電極108との間に電圧が印加された場合、ソース電極107とドレイン電極108との間を流れる電流は、トレンチ103(103a)と p^+ 型拡散領域151との間の各領域を通過することになる。すなわち、第9実施形態では、トレンチ103(103a)と p^+ 型拡散領域151との間の各領域がチャンネル(電流通路)152として機能することになる。

[0169] なお、第9実施形態の半導体装置150のその他の構造は、上記第6実施形態の半導体装置120の構造と同様である。

[0170] 図32は、本発明の第9実施形態による半導体装置の動作を説明するための断面図である。次に、図31および図32を参照して、本発明の第9実施形態による半導体

装置150の動作について説明する。

- [0171] なお、以下の動作説明では、ソース電極107およびドレイン電極108の各々に負電位および正電位が印加されているとする。すなわち、 p^+ 型拡散領域151の周辺には、オン状態およびオフ状態にかかわらず、空乏層113(113d)が形成されている。
- [0172] まず、オフ状態の場合には、図31に示すように、トレンチ103aの周辺に空乏層113(113a)が形成されるように、埋め込み電極105aに対して負電位が印加されている。これにより、チャンネル(電流通路)152が空乏層113aおよび113dによって塞がれた状態となるので、チャンネル(電流通路)152を介して流れる電流を遮断することができる。
- [0173] そして、オフ状態からオン状態に切り替える場合には、図32に示すように、埋め込み電極105aに対して正電位を印加することによって、図31に示した空乏層113aを消滅させる。これにより、チャンネル(電流通路)152の埋め込み電極105a側(トレンチ103a側)の部分を経由して図32の矢印方向に電流を流すことができる。
- [0174] また、半導体装置150をオン状態からオフ状態に切り替える場合には、埋め込み電極105aに対する所定の正電位の印加を解除する。これにより、図31に示した状態に戻るため、半導体装置150をオフ状態にすることが可能となる。
- [0175] この第9実施形態の効果は、上記第6実施形態の効果と同様である。
- [0176] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。
- [0177] たとえば、上記第1～第9実施形態では、シリコン基板上に形成されたエピタキシャル層にトレンチなどを形成した例を示したが、本発明はこれに限らず、シリコン基板(半導体基板)上にエピタキシャル層を形成することなく、直接シリコン基板(半導体基板)にトレンチなどを形成するようにしてもよい。また、シリコン基板上に形成されたエピタキシャル層にトレンチなどを形成した後、シリコン基板を研磨等で除去するようにしてもよい。
- [0178] また、上記第1～第9実施形態では、シリコン基板を n^+ 型に構成するとともに、その

シリコン基板の表面上に形成されるエピタキシャル層をn型に構成した例を示したが、本発明はこれに限らず、シリコン基板をp型(p^+ 型)に構成するとともに、そのシリコン基板の表面上に形成されるエピタキシャル層をp型に構成してもよい。すなわち、各導電型を、上記実施形態による半導体装置とは、逆の導電型にしてもよい。

[0179] また、上記第1～第9実施形態では、埋め込み電極をp型ポリシリコンから構成した例を示したが、本発明はこれに限らず、p型ポリシリコン以外に、金属などを用いることもできる。たとえば、埋め込み電極に用いる金属材料としては、たとえば、アルミニウム(Al)、銅(Cu)、タングステン(W)、チタン(Ti)、ニッケル(Ni)、モリブデン(Mo)、コバルト(Co)、銀(Ag)、白金(Pt)および鉛(Pb)などがあげられる。また、これらの金属材料は、1種または2種以上組み合わせて用いることができる。さらに、ポリシリコンおよび金属材料の双方を含んでもよい。

[0180] また、上記第1～第9実施形態では、埋め込み電極の表面上に形成された層間絶縁膜を、その上面がエピタキシャル層の上面と同一面となるように形成した例を示したが、本発明はこれに限らず、埋め込み電極の表面上に形成された層間絶縁膜を、その上面がエピタキシャル層の上面から突出するように形成してもよいし、その上面がエピタキシャル層の上面よりも下方(トレンチ内部側)に位置するように形成してもよい。

[0181] また、上記第1～第9実施形態では、トレンチの溝深さがn型エピタキシャル層の厚みよりも小さくなるように構成したが、本発明はこれに限らず、トレンチがn型エピタキシャル層を貫通して n^+ 型シリコン基板にまで達するように構成してもよい。すなわち、トレンチの溝深さを、約12 μ m程度に構成してもよい。

[0182] また、上記第1～第5実施形態では、メタル層の幅を埋め込み電極の幅よりも小さくなるように構成した例を示したが、本発明はこれに限らず、メタル層の幅と埋め込み電極の幅とが同じ大きさになるように構成してもよい。

[0183] また、上記第1～第5実施形態では、メタル層をW(タングステン)から構成した例を示したが、本発明はこれに限らず、W(タングステン)以外の導電性材料から構成してもよい。たとえば、メタル層を、Ti(チタン)から構成してもよいし、TiとTiNとの積層構造材料から構成してもよい。また、メタル層に換えて、導電性を有するポリシリコンなど

の導電体層をトレンチ内部に形成してもよい。

[0184] また、上記第1および第5実施形態では、複数のトレンチの各々の内部にメタル層を形成した例を示したが、本発明はこれに限らず、複数のトレンチの全てにメタル層が形成されていなくてもよい。

[0185] また、上記第6～第9実施形態では、互いに隣り合うトレンチ間の各領域(チャンネル)が空乏層で塞がれることにより、チャンネルを流れる電流が遮断される一方、空乏層を消滅させることにより、チャンネルを介して電流が流れるように構成された新しい動作原理に基づく半導体装置に、本発明を適用した例を示したが、本発明はこれに限らず、反転層を介して電流が流れるように構成された半導体装置に、本発明を適用してもよい。たとえば、従来のトレンチゲート型のMOSFETなどに、ゲート電極と直列に接続されるキャパシタを形成するようにしてもよい。このように構成した場合でも、半導体装置(MOSFET)のゲート入力容量を小さくすることが可能であるので、半導体装置(MOSFET)のスイッチング速度を高速化することができる。

[0186] また、上記第6～第9実施形態では、n型エピタキシャル層の上面上に形成されるキャパシタを構成する誘電体層に、 SiO_2 を用いた例を示したが、本発明はこれに限らず、キャパシタを構成する誘電体層に、 SiO_2 以外の絶縁材料を用いてもよい。たとえば、誘電体層にSiNを用いてもよい。

[0187] また、上記第6～第9実施形態では、n型エピタキシャル層の上面上に形成されるキャパシタを構成する上層側電極層および下層側電極層に、それぞれ、導電化されたポリシリコンを用いた例を示したが、本発明はこれに限らず、上層側電極層および下層側電極層に、ポリシリコン以外の導電性材料を用いてもよい。たとえば、上層側電極層および下層側電極層に、金属材料を用いてもよい。

[0188] また、上記第6～第9実施形態では、n型エピタキシャル層上の外周部の領域にソース電極を囲むように、誘電体層と、この誘電体層を挟む上層側電極層および下層側電極層とから構成されるキャパシタを形成した例を示したが、本発明はこれに限らず、n型エピタキシャル層上の外周部以外の領域上に、上記したキャパシタを形成するようにしてもよい。

[0189] また、上記第6～第9実施形態では、n型エピタキシャル層の上面上に形成された

絶縁分離膜側から、下層側電極層、誘電体層、および、上層側電極層を順次形成することによって、埋め込み電極と直列に接続されたキャパシタを1つ形成した例を示したが、本発明はこれに限らず、絶縁分離膜側から、複数の電極層と複数の誘電体層とを、互いに交互に形成することによって、埋め込み電極と直列に接続されたキャパシタを複数形成するようにしてもよい。

請求の範囲

- [1] 互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、
前記複数のトレンチの各々に埋め込まれた複数の埋め込み電極と、
前記複数のトレンチの少なくとも1つの内部に形成され、前記埋め込み電極の上方に第1絶縁膜を介して配設されることにより、前記埋め込み電極と容量結合された導電体層とを備えることを特徴とする、半導体装置。
- [2] 前記半導体層は、隣り合う前記トレンチ間の各領域が電流通路となるように構成されているとともに、前記複数のトレンチの周辺に形成された空乏層によって、隣り合う前記トレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより前記電流通路が開くように構成されていることを特徴とする、請求項1に記載の半導体装置。
- [3] 前記導電体層が、前記複数のトレンチの各々の内部に形成されており、前記埋め込み電極とそれぞれ容量結合されていることを特徴とする、請求項1または2に記載の半導体装置。
- [4] 前記導電体層の上面上には、第2絶縁膜が形成されており、
前記第2絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていることを特徴とする、請求項1～3のいずれか1項に記載の半導体装置。
- [5] 前記複数の埋め込み電極のうちの所定の埋め込み電極は、第3絶縁膜を介して前記トレンチの内面上に形成されており、
前記第1絶縁膜の厚みは、前記第3絶縁膜の厚み以上であることを特徴とする、請求項1～4のいずれか1項に記載の半導体装置。
- [6] 前記トレンチの配列方向における前記導電体層の幅は、前記埋め込み電極の幅よりも小さいことを特徴とする、請求項1～5のいずれか1項に記載の半導体装置。
- [7] 前記導電体層は、金属材料から構成されていることを特徴とする、請求項1～6のいずれか1項に記載の半導体装置。

- [8] 前記導電体層は、W、Ti、および、TiNより選択された、少なくとも1つの金属材料から構成されていることを特徴とする、請求項7に記載の半導体装置。
- [9] 前記複数のトレンチは、それぞれ、前記半導体層の上面と平行で、かつ、前記トレンチの配列方向と直交する方向に、互いに平行に延びるように細長状に形成されていることを特徴とする、請求項1～8のいずれか1項に記載の半導体装置。
- [10] 前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする、請求項2～9のいずれか1項に記載の半導体装置。
- [11] 前記複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、
前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項2～9のいずれか1項に記載の半導体装置。
- [12] 前記第2埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする、請求項11に記載の半導体装置。
- [13] 前記半導体層の前記隣り合うトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、
前記トレンチおよび前記拡散領域の各々の周辺に形成される空乏層で、前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項2～9のいずれか1項に記載の半導体装置。
- [14] 互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、

前記複数のトレンチの内部に埋め込まれた複数の埋め込み電極と、
前記半導体層上の所定領域に絶縁分離膜を介して形成され、少なくとも、第4絶縁膜と前記第4絶縁膜を挟む第1電極および第2電極とを含むキャパシタとを備え、
前記キャパシタと前記埋め込み電極とは、互いに電氣的に接続されているとともに、前記埋め込み電極には、前記キャパシタを介して電圧が印加されるように構成されていることを特徴とする、半導体装置。

- [15] 前記半導体層は、隣り合う前記トレンチ間の各領域が電流通路になるように構成されているとともに、前記複数のトレンチの周辺に形成された空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項14に記載の半導体装置。
- [16] 前記キャパシタは、前記半導体層上の外周部の領域に形成されていることを特徴とする、請求項14または15に記載の半導体装置。
- [17] 前記第1電極および前記第2電極は、それぞれ、導電化されたポリシリコンから構成されていることを特徴とする、請求項14～16のいずれか1項に記載の半導体装置。
- [18] 前記埋め込み電極の上面に形成された層間絶縁膜をさらに備え、
前記層間絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていることを特徴とする、請求項14～17のいずれか1項に記載の半導体装置。
- [19] 前記複数の埋め込み電極のうちの所定の埋め込み電極は、第5絶縁膜を介して前記トレンチの内面上に形成されており、
前記第4絶縁膜の厚みは、前記第5絶縁膜の厚み以上であることを特徴とする、請求項14～18のいずれか1項に記載の半導体装置。
- [20] 前記複数のトレンチは、それぞれ、前記半導体層の上面と平行で、かつ、前記トレンチの配列方向と交差する方向に、互いに平行に延びるように細長状に形成されていることを特徴とする、請求項14～19のいずれか1項に記載の半導体装置。
- [21] 前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のト

レンチの各々の周辺に形成された全ての空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項15～20のいずれか1項に記載の半導体装置。

- [22] 前記複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、

前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項15～20のいずれか1項に記載の半導体装置。

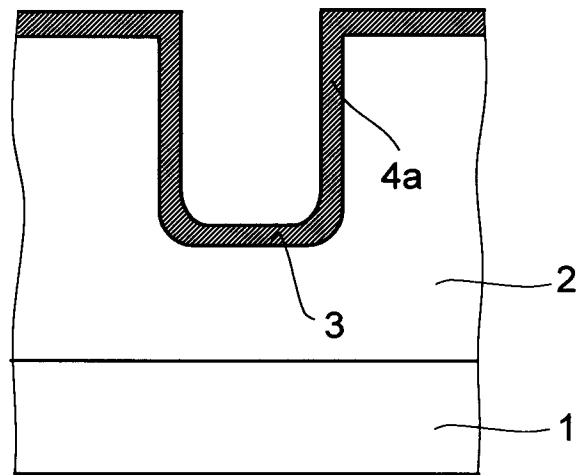
- [23] 前記第2埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする、請求項22に記載の半導体装置。

- [24] 前記半導体層の前記隣り合うトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、

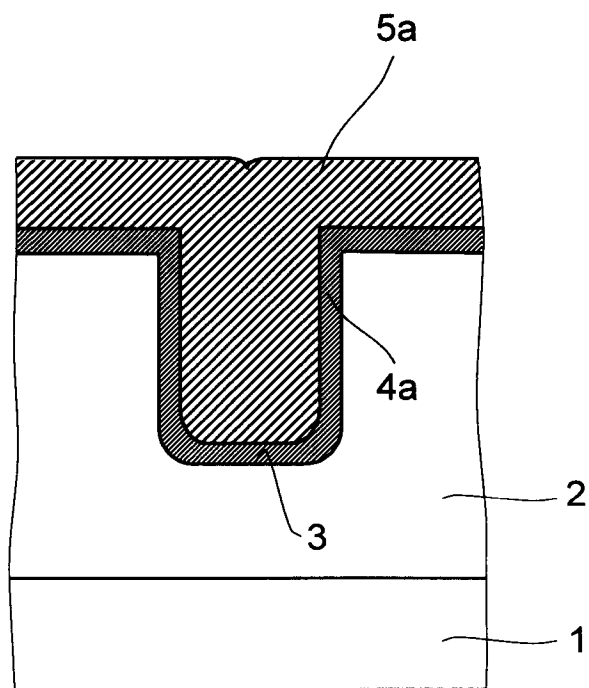
前記トレンチおよび前記拡散領域の各々の周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項15～20のいずれか1項に記載の半導体装置。

[illegible]

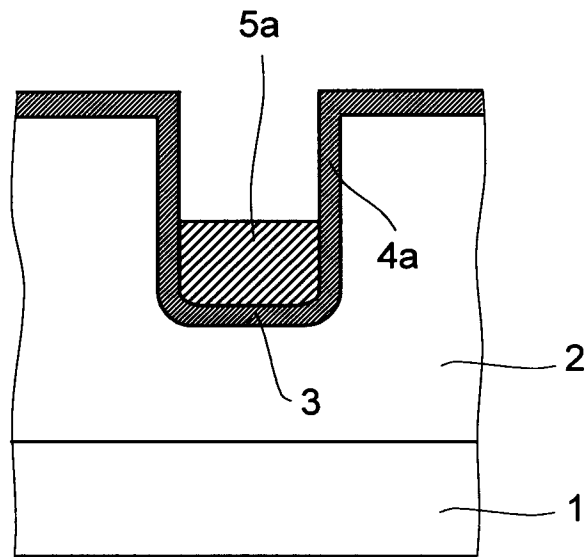
[図5]



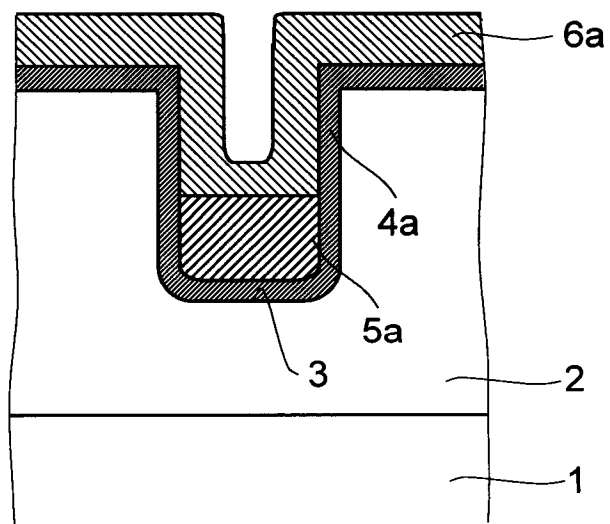
[図6]



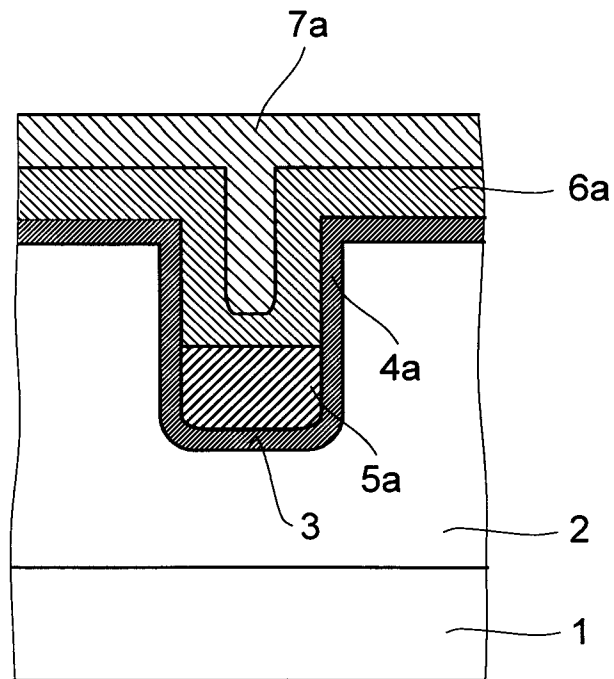
[図7]



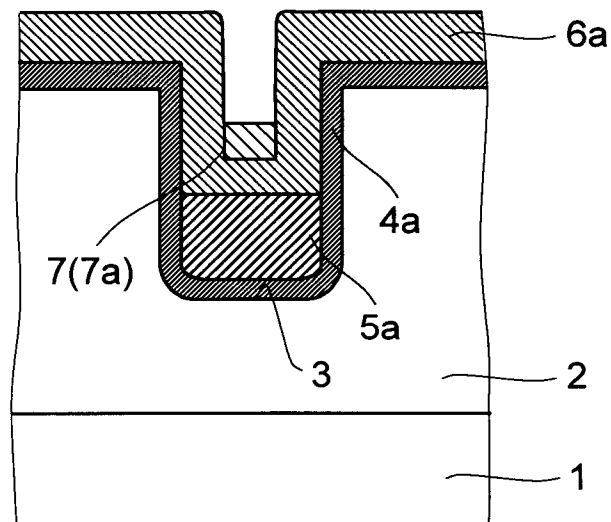
[図8]



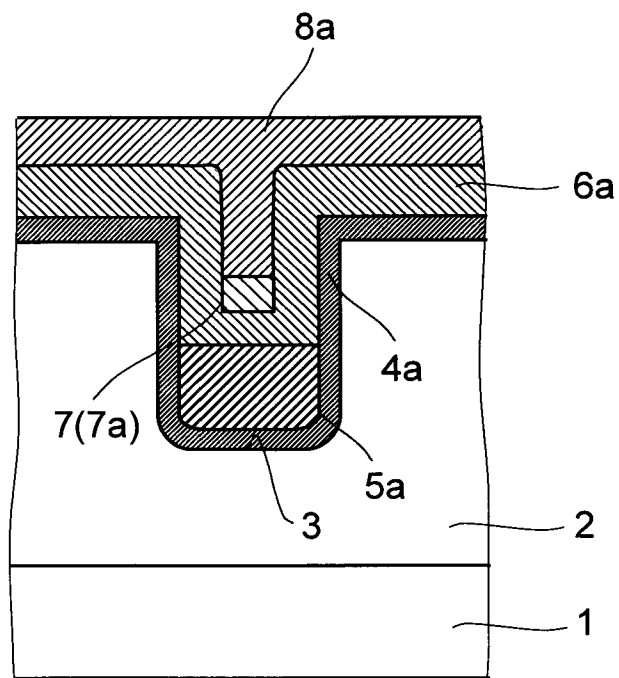
[図9]



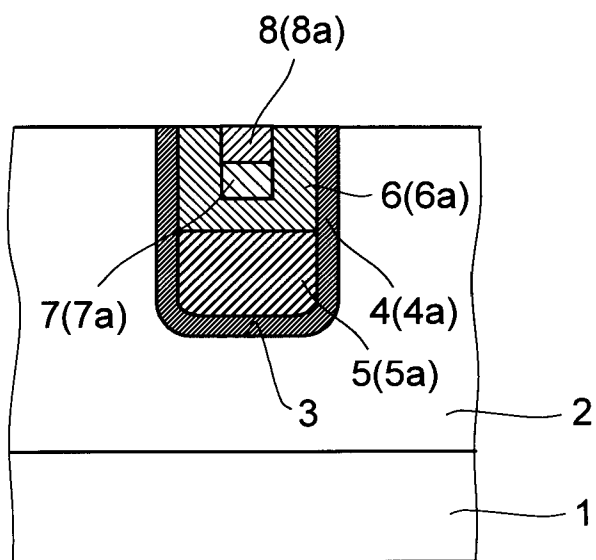
[図10]

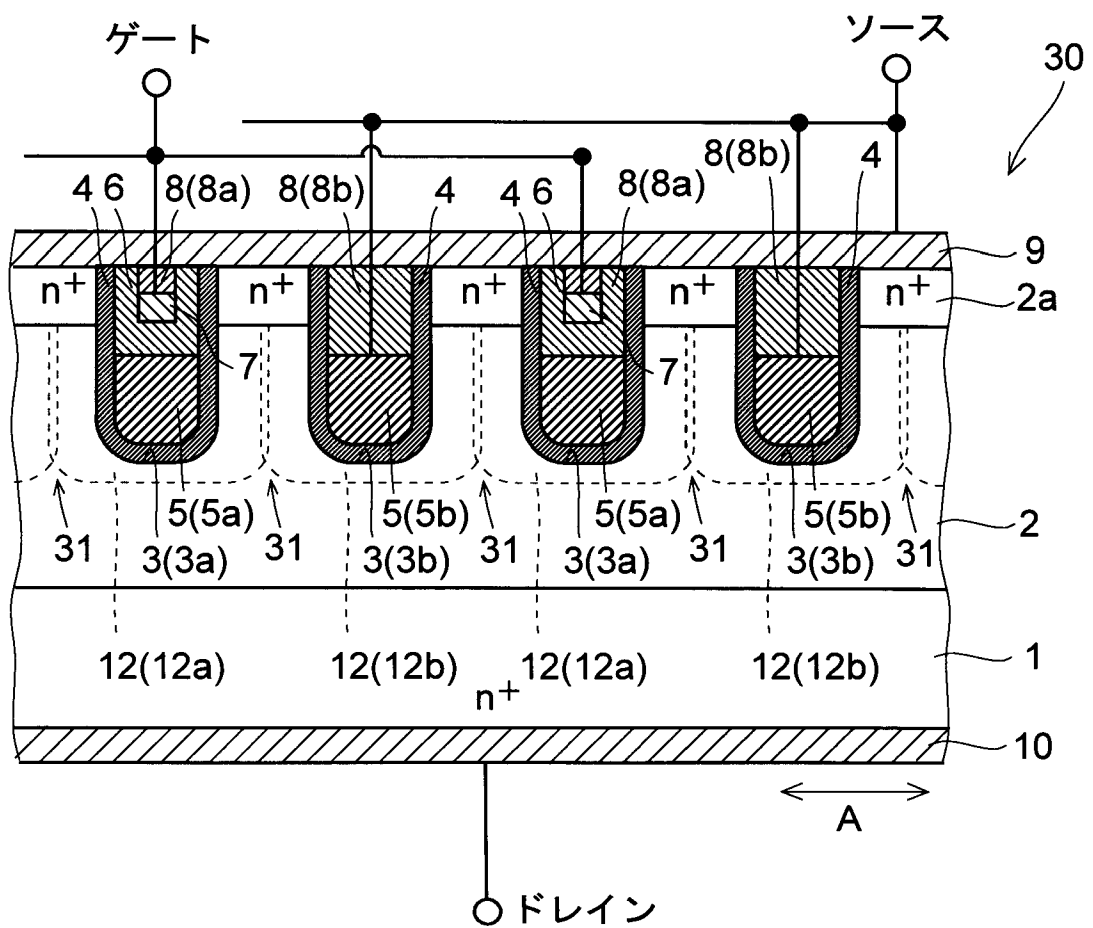
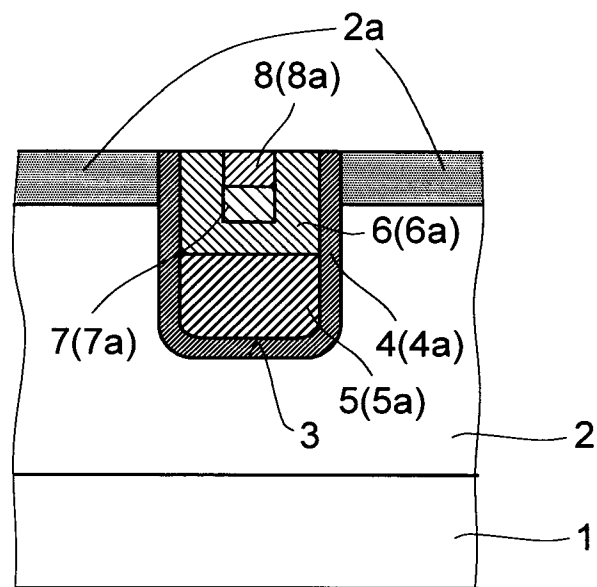


[図11]

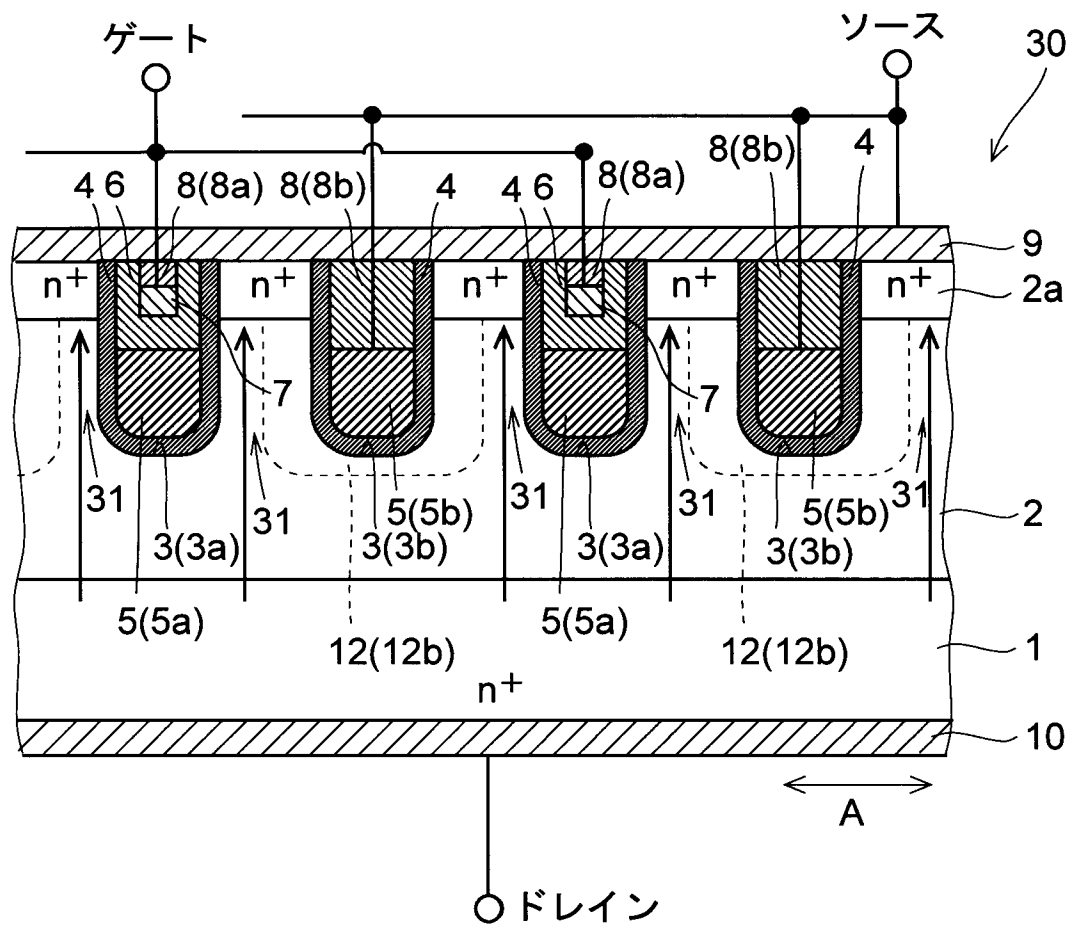


[図12]

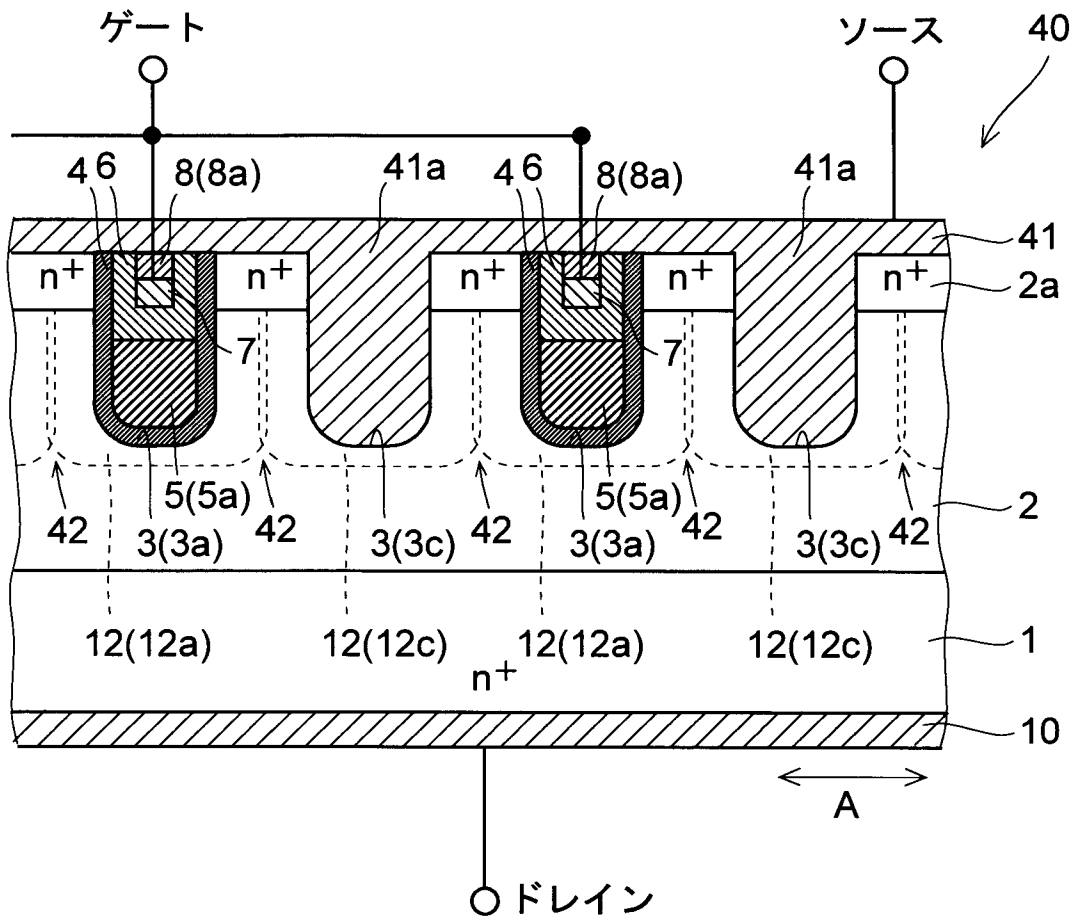




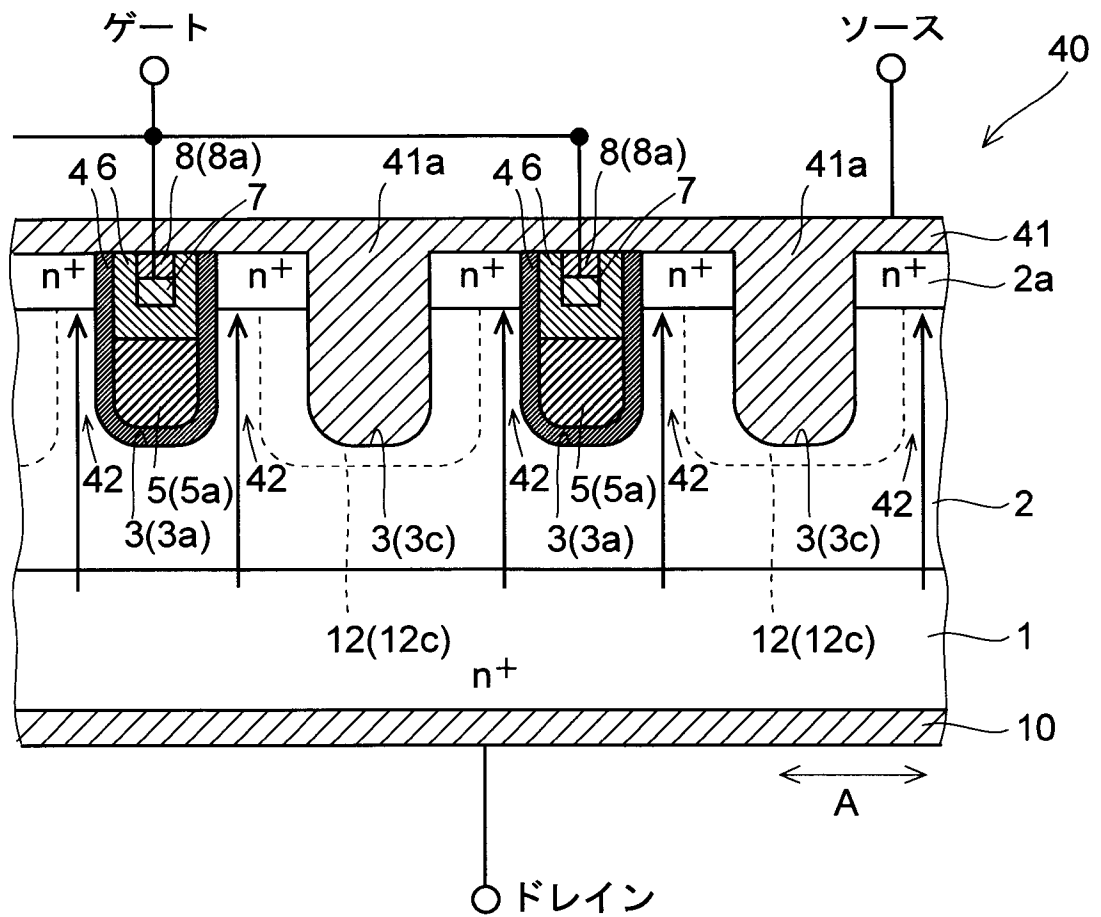
[図15]



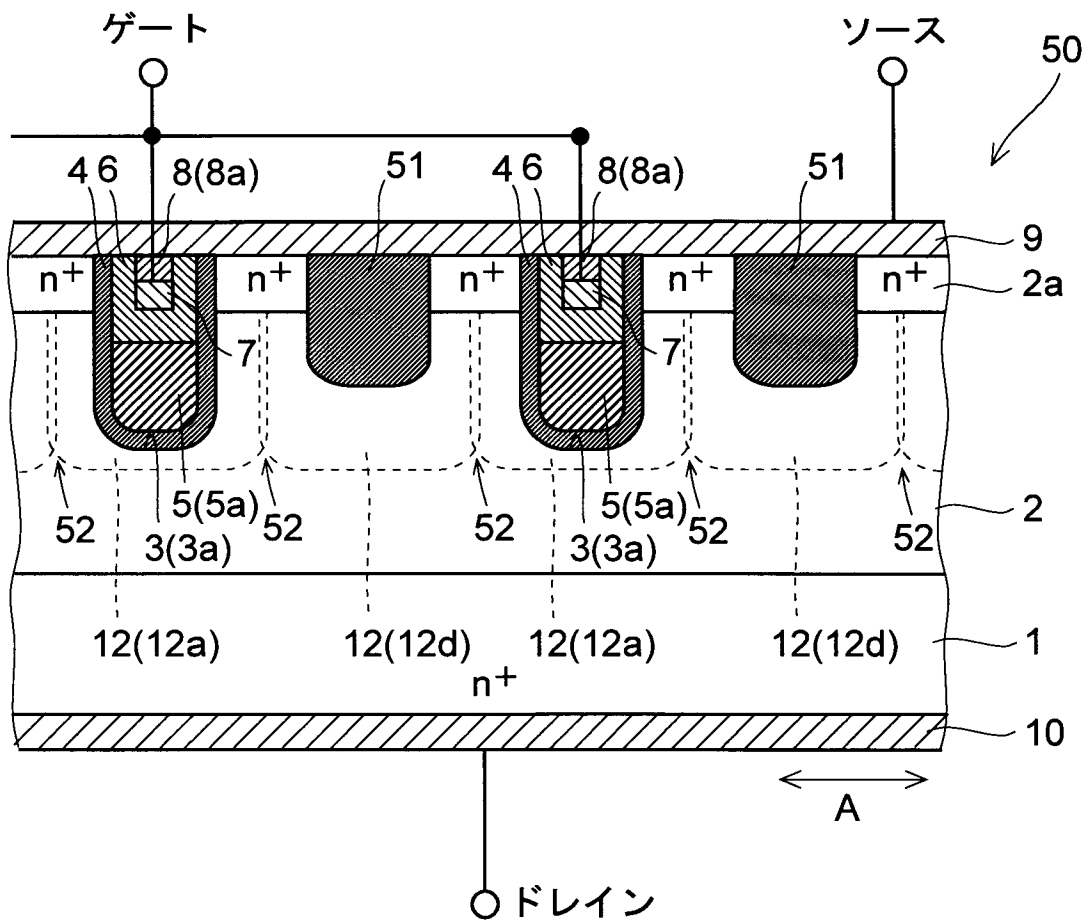
[図16]



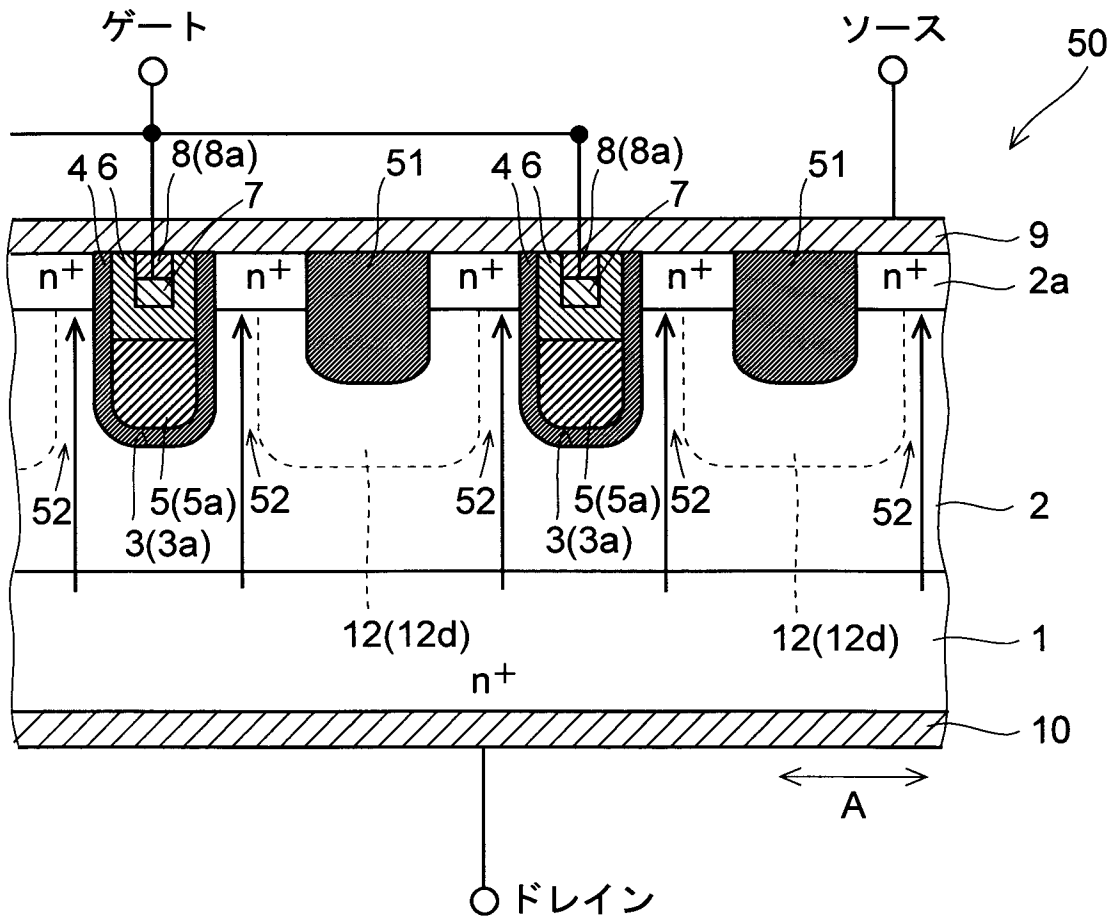
[図17]



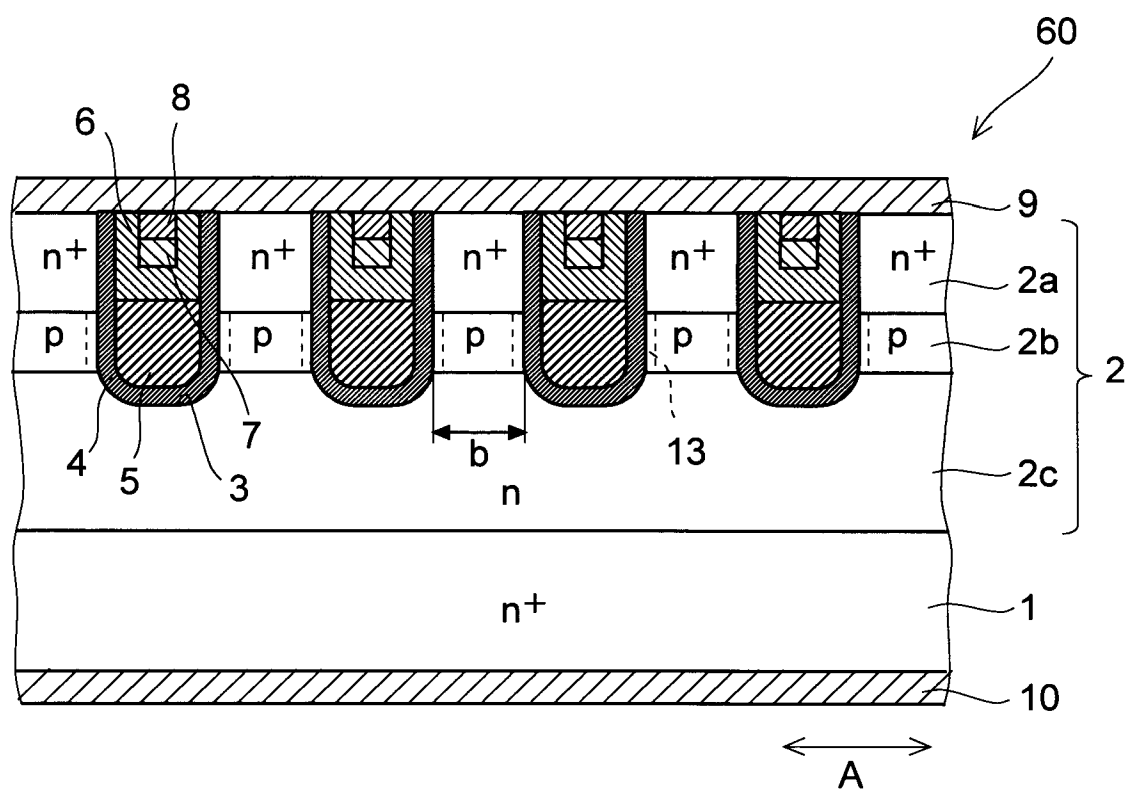
[図18]



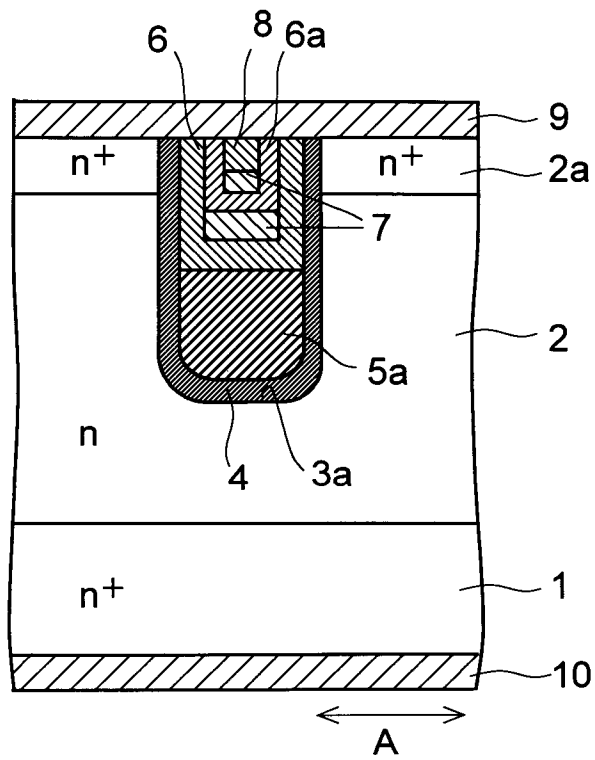
[図19]

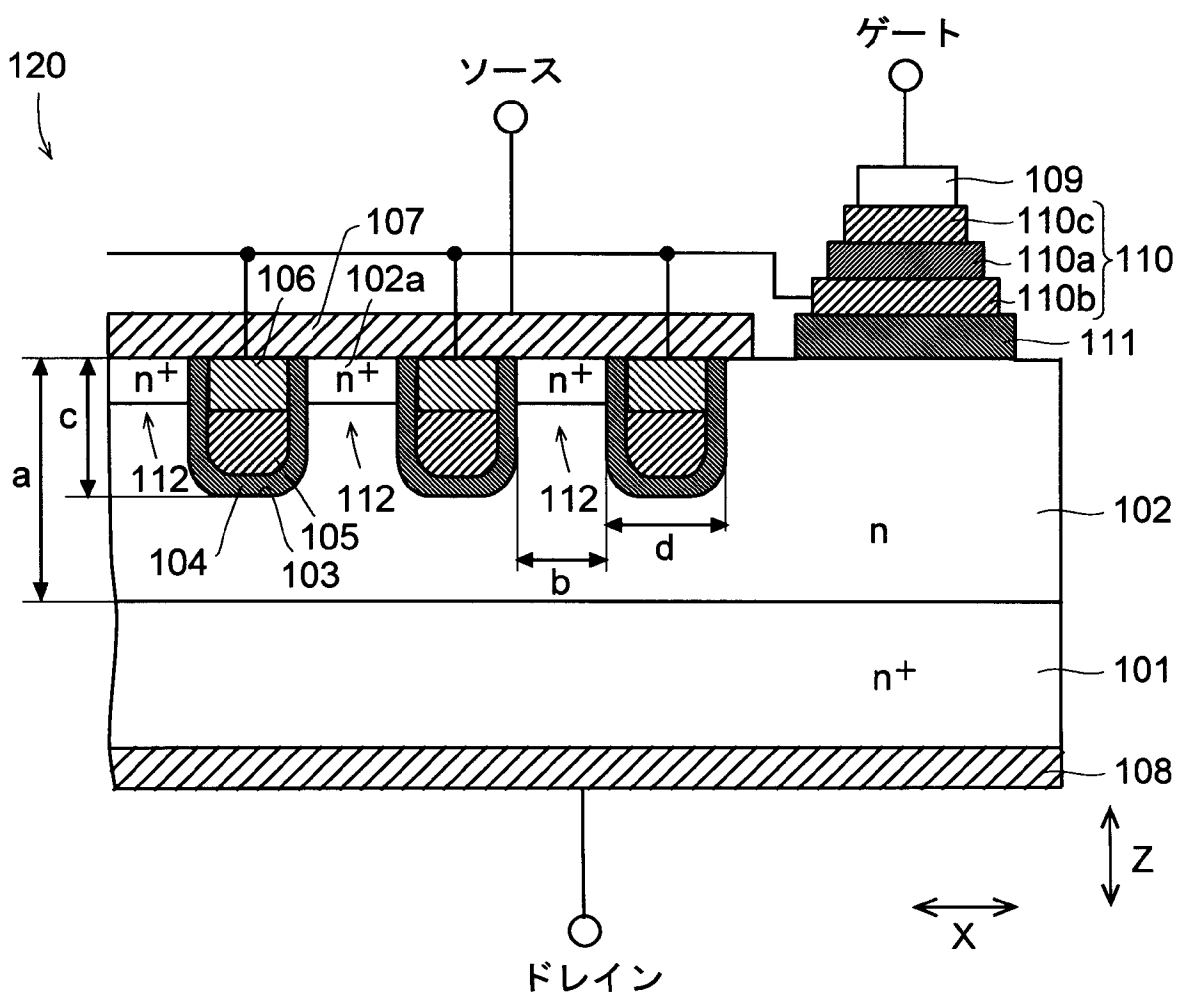
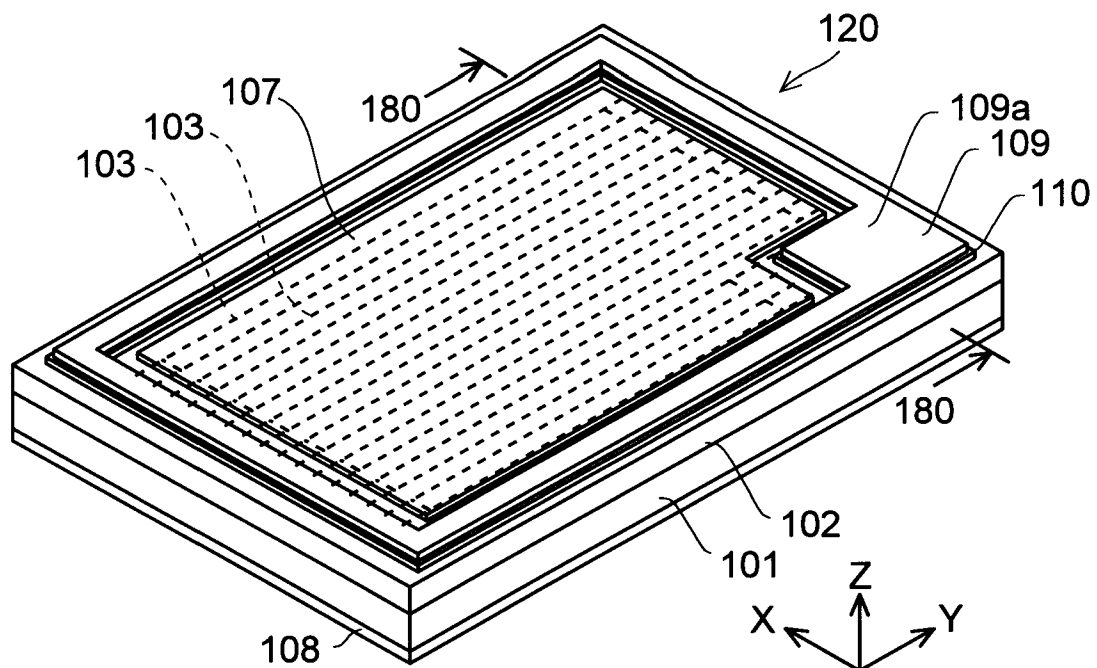


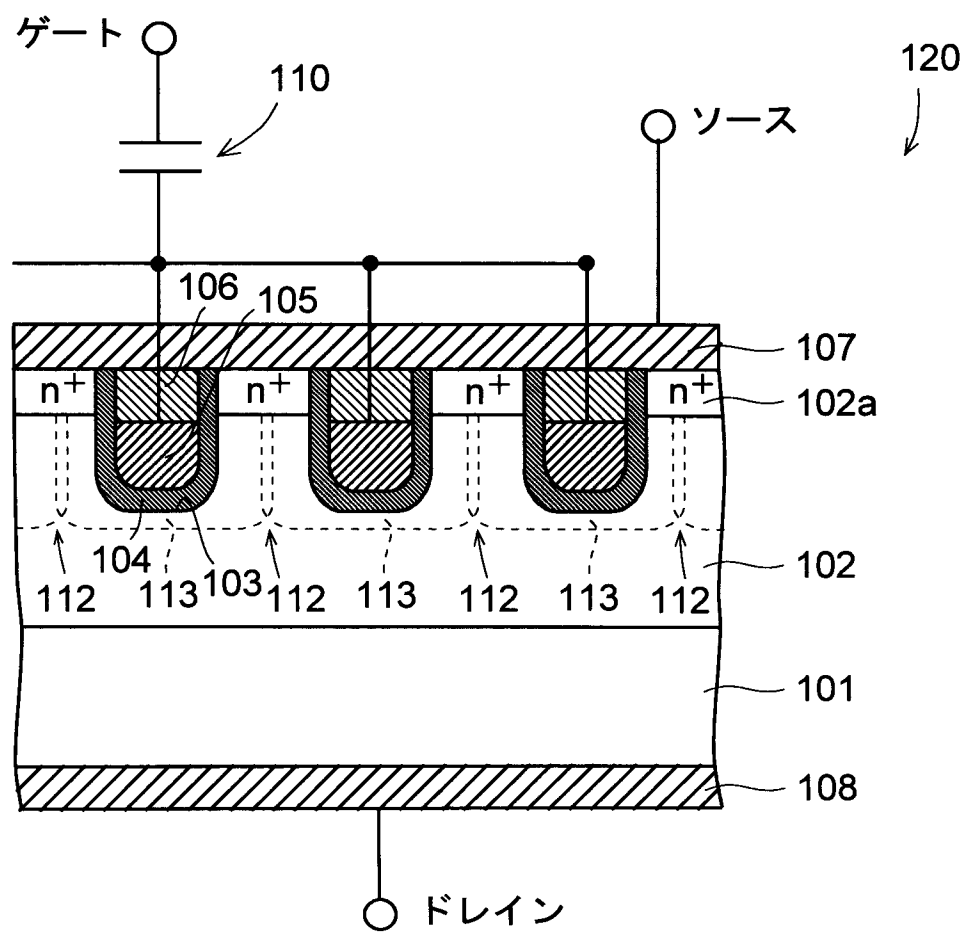
[図20]

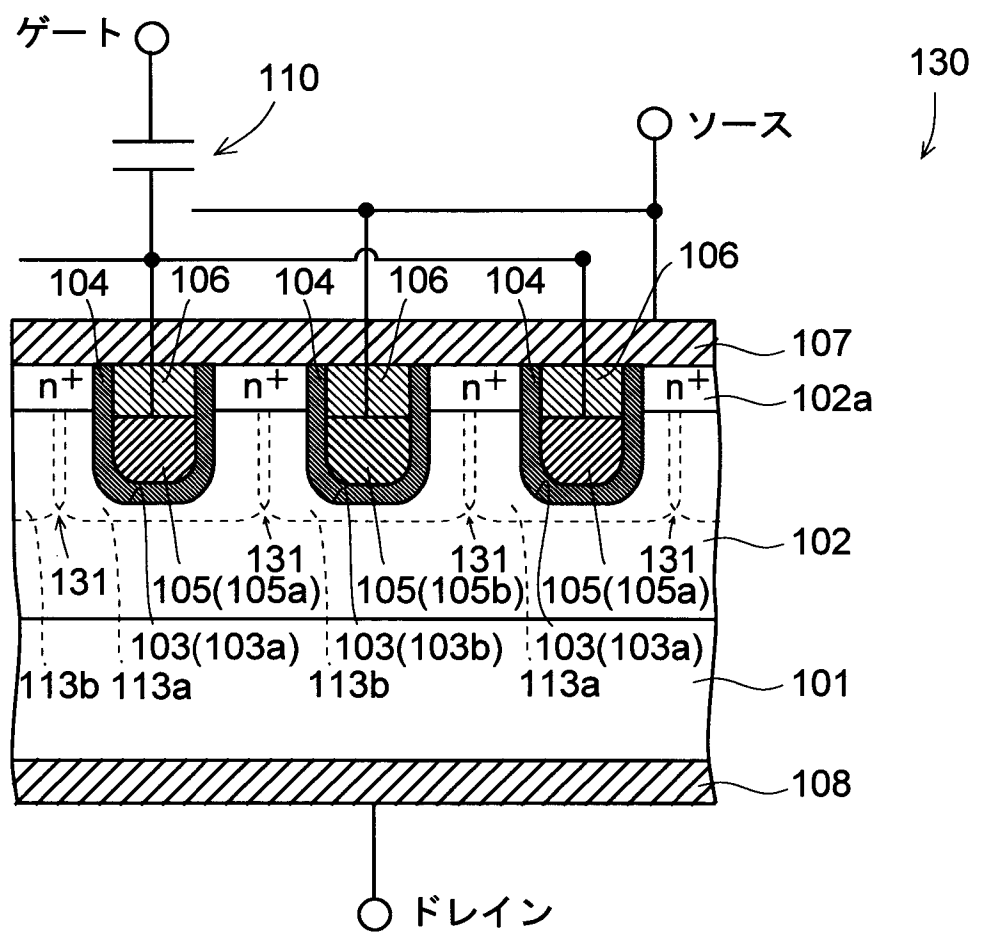


[図21]

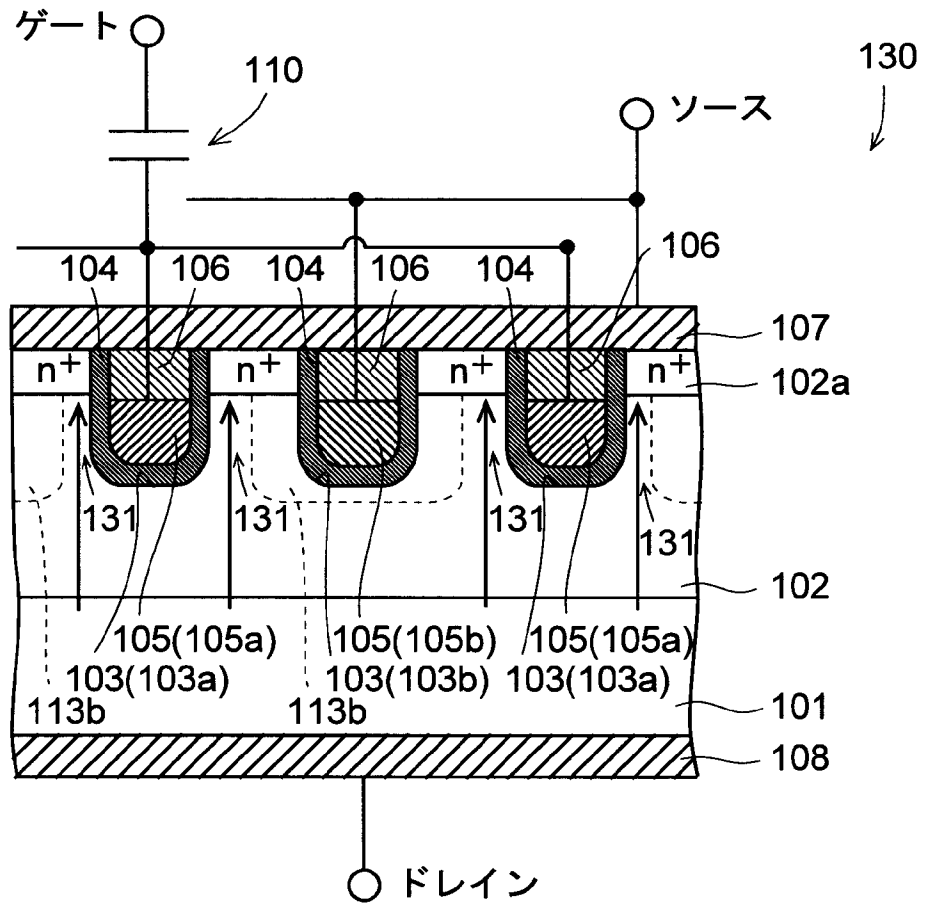




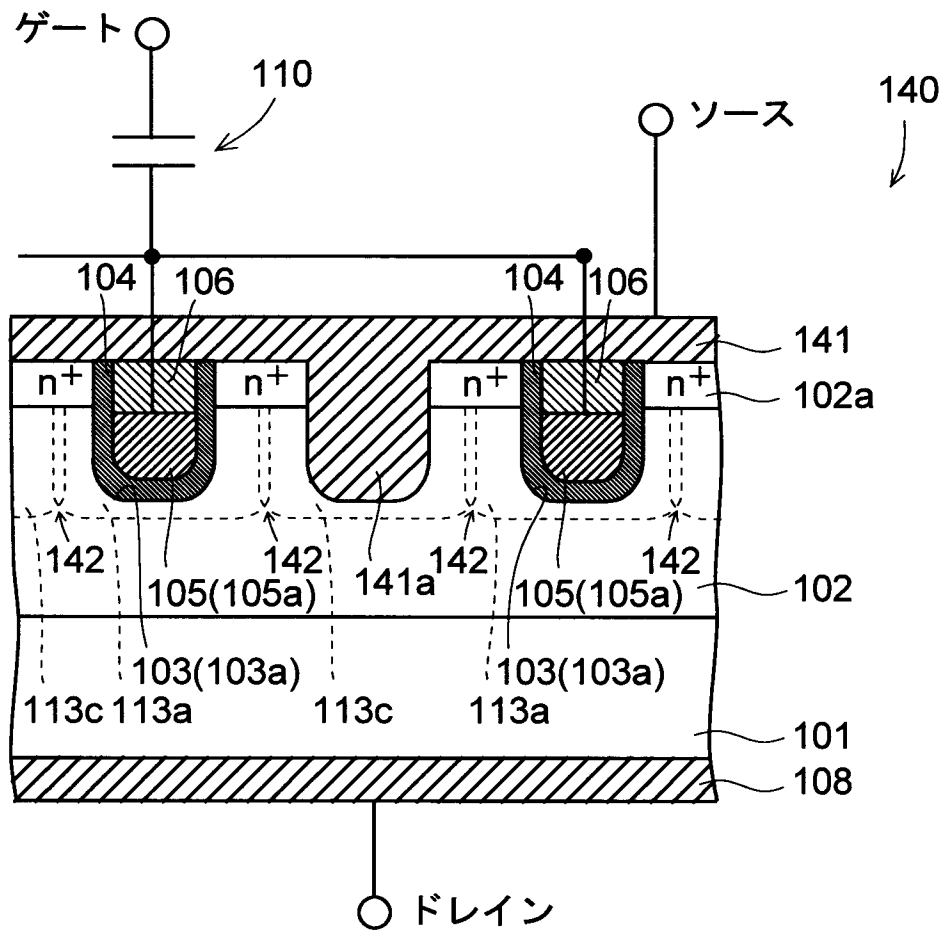




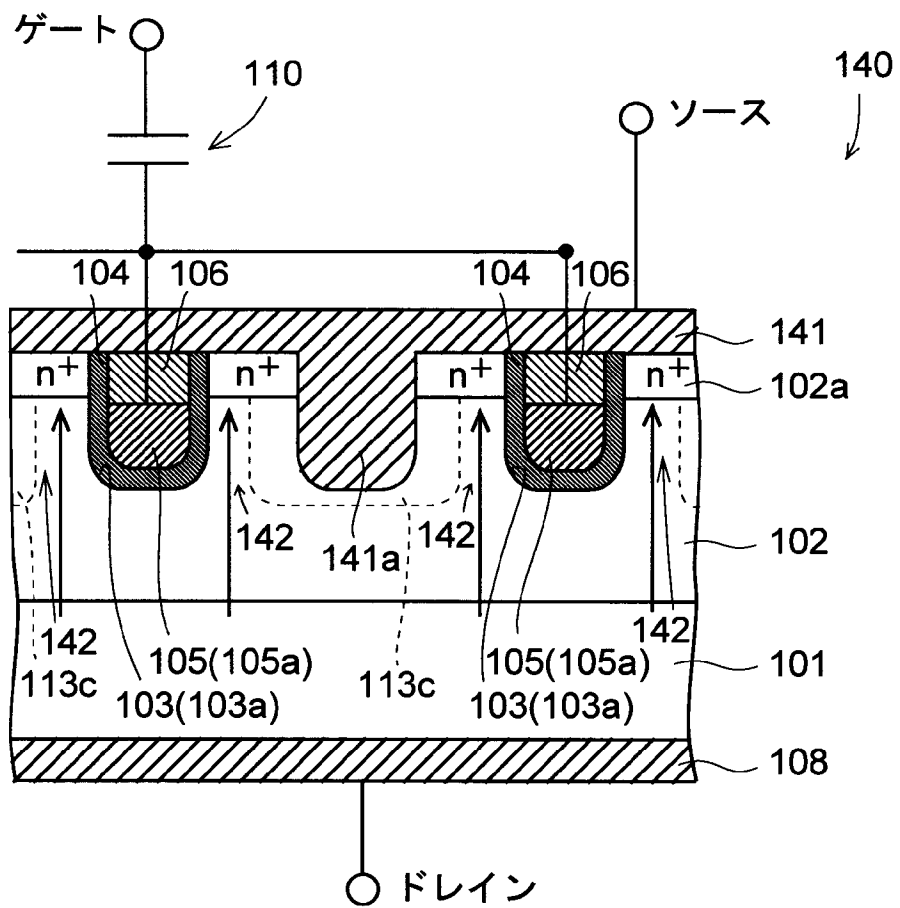
[図28]



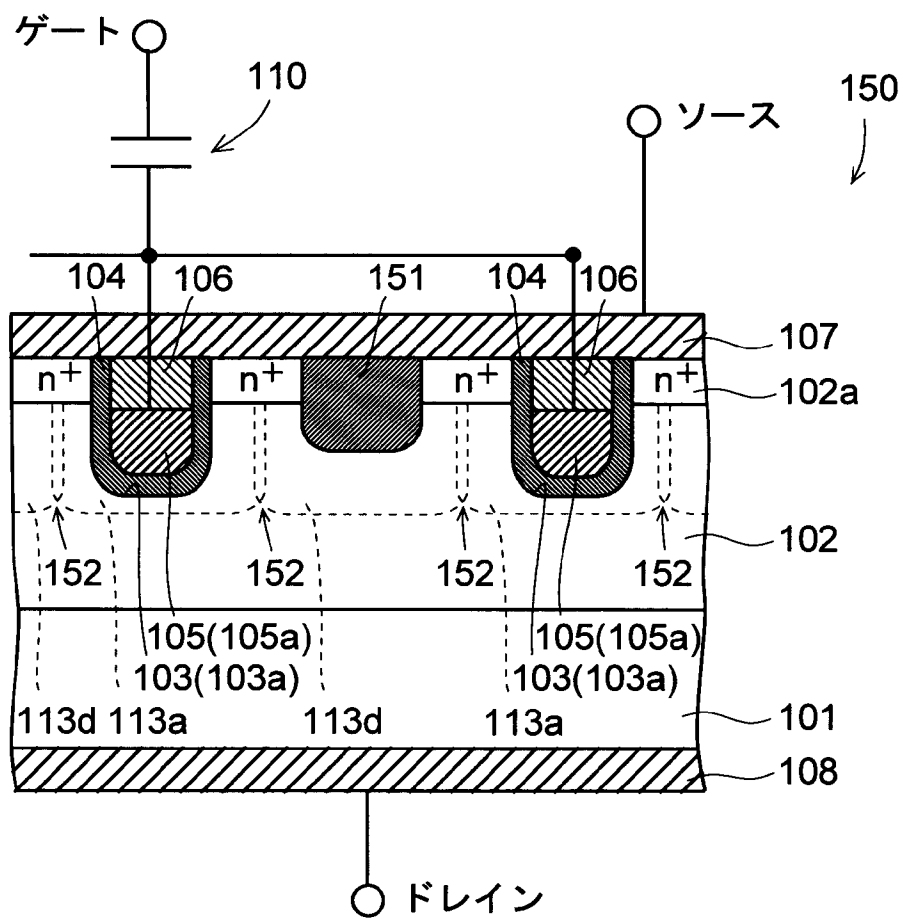
[図29]

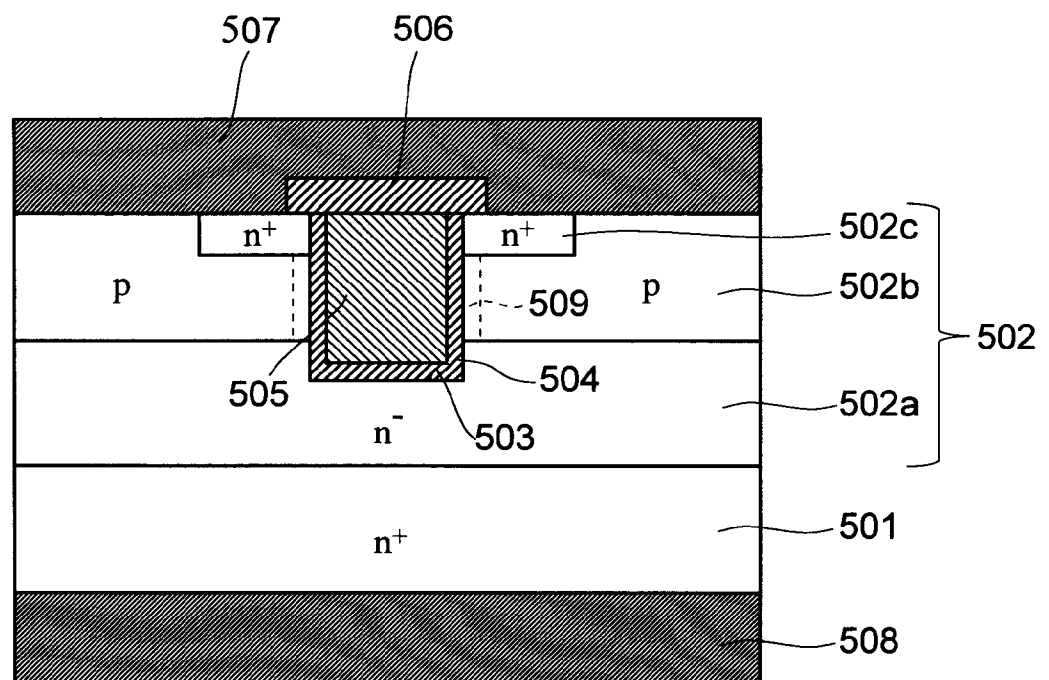
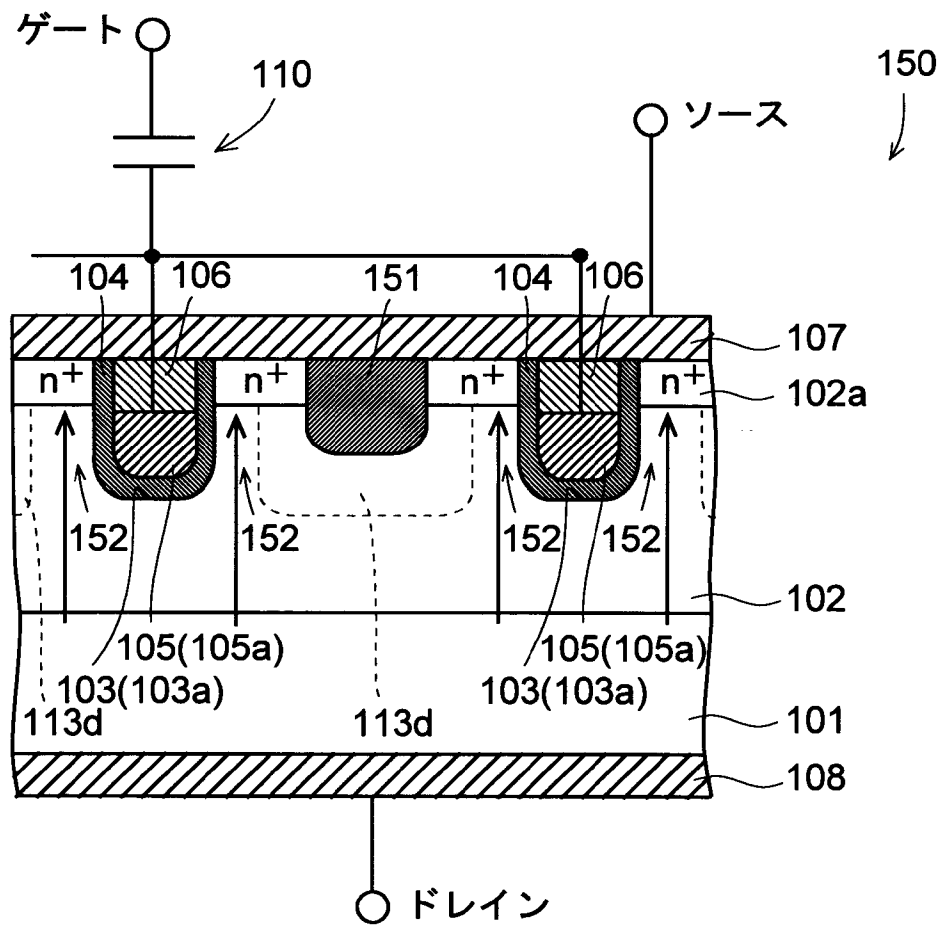


[図30]



[図31]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061020

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-237066 A (Toshiba Corp.), 07 September, 2006 (07.09.06), Full text; all drawings & US 2006/0214197 A1	1-24
A	JP 2006-210535 A (Toyota Industries Corp.), 10 August, 2006 (10.08.06), Full text; all drawings (Family: none)	1-24

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2008 (05.09.08)

Date of mailing of the international search report
16 September, 2008 (16.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/28, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 6 - 2 3 7 0 6 6 A (株式会社東芝) 2 0 0 6 . 0 9 . 0 7, 全文, 全図 & U S 2 0 0 6 / 0 2 1 4 1 9 7 A 1	1 - 2 4
A	J P 2 0 0 6 - 2 1 0 5 3 5 A (株式会社豊田自動織機) 2 0 0 6 . 0 8 . 1 0, 全文, 全図 (ファミリーなし)	1 - 2 4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 9 . 2 0 0 8

国際調査報告の発送日

1 6 . 0 9 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

4 L

8 4 2 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8