

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5699628号
(P5699628)

(45) 発行日 平成27年4月15日 (2015. 4. 15)

(24) 登録日 平成27年2月27日 (2015. 2. 27)

(51) Int. Cl.	F I
HO 1 L 29/12 (2006. 01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 6 5 2 K
HO 1 L 29/739 (2006. 01)	HO 1 L 29/78 6 5 2 C
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 5 2 E
HO 1 L 21/316 (2006. 01)	HO 1 L 29/78 6 5 5 A
請求項の数 22 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2011-12510 (P2011-12510)	(73) 特許権者	000002130
(22) 出願日	平成23年1月25日 (2011. 1. 25)		住友電気工業株式会社
(65) 公開番号	特開2012-49491 (P2012-49491A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	平成24年3月8日 (2012. 3. 8)	(74) 代理人	110001195
審査請求日	平成25年8月28日 (2013. 8. 28)		特許業務法人深見特許事務所
(31) 優先権主張番号	特願2010-167004 (P2010-167004)	(72) 発明者	日吉 透
(32) 優先日	平成22年7月26日 (2010. 7. 26)		大阪市此花区島屋一丁目1番3号 住友電
(33) 優先権主張国	日本国 (JP)		気工業株式会社 大阪製作所内
		(72) 発明者	和田 圭司
			大阪市此花区島屋一丁目1番3号 住友電
			気工業株式会社 大阪製作所内
		(72) 発明者	増田 健良
			大阪市此花区島屋一丁目1番3号 住友電
			気工業株式会社 大阪製作所内
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

{ 0 0 0 1 } 面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板と、

前記主面上に形成され、導電型が第1導電型であるエピタキシャル成長層と、

前記エピタキシャル成長層上に接触して形成された絶縁膜と、

前記エピタキシャル成長層において前記絶縁膜と接触する領域を含むように形成され、導電型が前記第1導電型とは異なる第2導電型であるボディ領域とを備え、

前記ボディ領域における不純物密度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、

前記ボディ領域の、前記絶縁膜と接触する領域にチャネル領域が形成され、前記エピタキシャル成長層と前記絶縁膜との界面におけるバリアハイトは 2.2 eV 以上 2.6 eV 以下である、半導体装置。

【請求項 2】

前記主面のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下となっている、請求項 1 に記載の半導体装置。

【請求項 3】

前記主面の、 $\langle 01-10 \rangle$ 方向における { 0 3 - 3 8 } 面に対するオフ角は -3° 以上 5° 以下である、請求項 2 に記載の半導体装置。

【請求項 4】

前記主面のオフ方位と $\langle -2110 \rangle$ 方向とのなす角は 5° 以下となっている、請求項

10

20

1 に記載の半導体装置。

【請求項 5】

前記主面は、前記炭化珪素基板を構成する炭化珪素のカーボン面側の面である、請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記ボディ領域における不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下である、請求項 1 から請求項 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

ノーマリーオフ型となっている、請求項 1 から請求項 6 のいずれか 1 項に記載の半導体装置。

10

【請求項 8】

前記絶縁膜上に接触して配置されたゲート電極をさらに備え、

前記ゲート電極は前記第 2 導電型のポリシリコンからなっている、請求項 7 に記載の半導体装置。

【請求項 9】

前記絶縁膜上に接触して配置されたゲート電極をさらに備え、

前記ゲート電極は n 型ポリシリコンからなっている、請求項 1 から請求項 7 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記絶縁膜の厚みは 25 nm 以上 70 nm 以下である、請求項 1 から請求項 9 のいずれか 1 項に記載の半導体装置。

20

【請求項 11】

前記第 1 導電型は n 型であり、前記第 2 導電型は p 型である、請求項 1 から請求項 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】

前記ボディ領域における不純物密度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下である、請求項 11 に記載の半導体装置。

【請求項 13】

前記ボディ領域において前記絶縁膜に接する領域に弱反転層が形成される閾値電圧が、室温以上 100°C 以下の温度範囲において 2 V 以上である、請求項 11 または請求項 12 に記載の半導体装置。

30

【請求項 14】

前記閾値電圧が 100°C において 3 V 以上である、請求項 13 に記載の半導体装置。

【請求項 15】

前記閾値電圧が 200°C において 1 V 以上である、請求項 13 または請求項 14 に記載の半導体装置。

【請求項 16】

前記閾値電圧の温度依存性が $-10 \text{ mV} / ^\circ\text{C}$ 以上である、請求項 13 から請求項 15 のいずれか 1 項に記載の半導体装置。

【請求項 17】

室温における電子のチャネル移動度が $30 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 11 から請求項 16 のいずれか 1 項に記載の半導体装置。

40

【請求項 18】

100°C における電子のチャネル移動度が $50 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 17 に記載の半導体装置。

【請求項 19】

150°C における電子のチャネル移動度が $40 \text{ cm}^2 / \text{Vs}$ 以上である、請求項 17 または請求項 18 に記載の半導体装置。

【請求項 20】

電子のチャネル移動度の温度依存性が $-0.3 \text{ cm}^2 / \text{Vs}^\circ\text{C}$ 以上である、請求項 17

50

から請求項 19 のいずれか 1 項に記載の半導体装置。

【請求項 21】

オン状態において、前記ボディ領域に形成されるチャネル領域における抵抗値であるチャネル抵抗は、前記チャネル領域以外の前記エピタキシャル成長層における抵抗値であるドリフト抵抗よりも小さい、請求項 1 から請求項 20 のいずれか 1 項に記載の半導体装置。

【請求項 22】

DiMOSFETである、請求項 1 から請求項 21 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は半導体装置に関し、より特定的には、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な半導体装置に関するものである。

【背景技術】

【0002】

近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

20

【0003】

このような炭化珪素を材料として用いた半導体装置のうち、たとえばMOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) など、所定の閾値電圧を境にチャネル領域における反転層の形成の有無をコントロールし、電流を導通および遮断する半導体装置においては、閾値電圧の調整やチャネル移動度の向上について様々な検討がなされている（たとえば非特許文献 1 参照）。

30

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】Sei-Hyung Ryu et al., “Critical Issues for MOS Based Power Devices in 4H-SiC”, Materials Science Forum, 2009 年、Vols. 615 - 617、p 743 - 748

【発明の概要】

40

【発明が解決しようとする課題】

【0005】

ここで、たとえばNチャネルのMOSFETやIGBTなどの半導体装置においては、導電型がp型であるp型ボディ領域が形成され、当該p型ボディ領域内にチャネル領域が形成される。そして、p型ボディ領域におけるp型不純物（たとえばB（硼素）、Al（アルミニウム）など）の密度（ドーピング密度）を高くすることにより、閾値電圧をプラス側にシフトさせ、ノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることができる。一方、Pチャネルの半導体装置においては、上記Nチャネルの場合とは逆にn型ボディ領域におけるn型不純物の密度を高くすることにより、閾値電圧をマイナス側にシフトさせ、ノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることができ

50

る。

【0006】

しかし、このような方法で閾値電圧を調整すると、チャネル移動度が大幅に低下するという問題がある。これは、ドーピング密度を高くすることにより、ドーパントによる電子の散乱が顕著になるためである。そのため、たとえばp型ボディ領域のドーピング密度は、たとえば $1 \times 10^{16} \text{ cm}^{-3} \sim 4 \times 10^{16} \text{ cm}^{-3}$ 程度とされる。その結果、従来の半導体装置においては、十分なチャネル移動度を確保しつつ閾値電圧を自由に設定すること、特にノーマリーオフ型に近づける、あるいはノーマリーオフ型とすることは難しいという問題があった。

【0007】

本発明はこのような問題に対応するためになされたものであって、その目的は、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な半導体装置を提供することである。

【課題を解決するための手段】

【0008】

本発明に従った半導体装置は、{0001}面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板と、当該主面上に形成され、導電型が第1導電型であるエピタキシャル成長層と、エピタキシャル成長層上に接触して形成された絶縁膜と、エピタキシャル成長層において絶縁膜と接触する領域を含むように形成され、導電型が第1導電型とは異なる第2導電型であるボディ領域とを備えている。そして、ボディ領域における不純物密度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上であり、ボディ領域の、絶縁膜と接触する領域にチャネル領域が形成される。

【0009】

本発明者は、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高める方策について詳細な検討を行なった結果、以下のような知見を得て本発明に想到した。従来の炭化珪素を素材として採用した半導体装置においては、炭化珪素基板として{0001}面に対するオフ角が 8° 以下程度の主面を有する炭化珪素基板が採用される。そして、当該主面上にエピタキシャル成長層等が形成されて半導体装置が作製される。このような半導体装置においては、上述のように十分なチャネル移動度を確保しつつ閾値電圧を自由に設定することは困難である。しかし、本発明者の検討によれば、炭化珪素基板の主面における{0001}面に対するオフ角を所定の範囲とした場合、ボディ領域のドーピング密度上昇とチャネル移動度の向上との相反関係が大幅に緩和されることが明らかとなった。より具体的には、炭化珪素基板として{0001}面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板を採用し、当該主面上にエピタキシャル成長層を形成した構造において、このエピタキシャル成長層に不純物（たとえばp型不純物であるB、Alなど）を導入してボディ領域を形成した場合、ボディ領域のドーピング密度を上昇させてもチャネル移動度の低下が大幅に抑制される。

【0010】

本発明の半導体装置においては、{0001}面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板が採用され、当該主面上に形成されたエピタキシャル成長層内にボディ領域が形成される。そのため、不純物密度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上という高いドーピング密度のボディ領域を形成し、閾値電圧をプラス側にシフトさせた場合でも、チャネル移動度の低下が抑制される。その結果、本発明の半導体装置によれば、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な半導体装置を提供することができる。なお、上述の「不純物」は、炭化珪素中に導入されることにより多数キャリアを生成する不純物を意味する。

【0011】

上記半導体装置においては、上記主面のオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下となっていてよい。

【0012】

< 0 1 - 1 0 > 方向は、炭化珪素基板における代表的なオフ方位である。そして、基板の製造工程におけるスライス加工のばらつき等に起因したオフ方位のばらつきを 5° 以下とすることにより、炭化珪素基板上へのエピタキシャル成長層の形成などを容易にすることができる。

【 0 0 1 3 】

上記半導体装置においては、上記主面の、< 0 1 - 1 0 > 方向における { 0 3 - 3 8 } 面に対するオフ角は -3° 以上 5° 以下であってもよい。

【 0 0 1 4 】

これにより、チャネル移動度を一層向上させることができる。ここで、面方位 { 0 3 - 3 8 } に対するオフ角を -3° 以上 $+5^{\circ}$ 以下としたのは、チャネル移動度と上記オフ角との関係を調査した結果、この範囲内で特に高いチャネル移動度が得られたことに基づいている。

【 0 0 1 5 】

また、「< 0 1 - 1 0 > 方向における { 0 3 - 3 8 } 面に対するオフ角」とは、< 0 1 - 1 0 > 方向および < 0 0 0 1 > 方向を含む平面への上記主面の法線の正射影と、{ 0 3 - 3 8 } 面の法線とのなす角度であり、その符号は、上記正射影が < 0 1 - 1 0 > 方向に対して平行に近づく場合が正であり、上記正射影が < 0 0 0 1 > 方向に対して平行に近づく場合が負である。

【 0 0 1 6 】

なお、上記主面の面方位は、実質的に { 0 3 - 3 8 } であることがより好ましく、上記主面の面方位は { 0 3 - 3 8 } であることがさらに好ましい。ここで、主面の面方位が実質的に { 0 3 - 3 8 } であるとは、基板の加工精度などを考慮して実質的に面方位が { 0 3 - 3 8 } とみなせるオフ角の範囲に基板の主面の面方位が含まれていることを意味し、この場合のオフ角の範囲はたとえば { 0 3 - 3 8 } に対してオフ角が $\pm 2^{\circ}$ の範囲である。これにより、上述したチャネル移動度をより一層向上させることができる。

【 0 0 1 7 】

上記半導体装置においては、上記主面のオフ方位と < - 2 1 1 0 > 方向とのなす角は 5° 以下となっていてよい。

【 0 0 1 8 】

< - 2 1 1 0 > 方向は、上記 < 0 1 - 1 0 > 方向と同様に、炭化珪素基板における代表的なオフ方位である。そして、基板の製造工程におけるスライス加工のばらつき等に起因したオフ方位のばらつきを $\pm 5^{\circ}$ とすることにより、炭化珪素基板上へのエピタキシャル成長層の形成などを容易にすることができる。

【 0 0 1 9 】

上記半導体装置においては、上記主面は、炭化珪素基板を構成する炭化珪素のカーボン面側の面であってもよい。

【 0 0 2 0 】

このようにすることにより、チャネル移動度をさらに向上させることができる。ここで、六方晶の単結晶炭化珪素の (0 0 0 1) 面はシリコン面、(0 0 0 - 1) 面はカーボン面と定義される。つまり、上記主面のオフ方位と < 0 1 - 1 0 > 方向とのなす角が 5° 以下である構成を採用する場合、上記主面を (0 - 3 3 - 8) 面に近いものとするることにより、チャネル移動度をさらに向上させることができる。

【 0 0 2 1 】

上記半導体装置においては、上記ボディ領域における不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

【 0 0 2 2 】

ボディ領域における不純物密度を $1 \times 10^{20} \text{ cm}^{-3}$ 以下としても、閾値電圧は十分な自由度をもって設定することができる。また、 $1 \times 10^{20} \text{ cm}^{-3}$ を超えるドーピング密度を採用すると、結晶性の悪化などの問題が発生する可能性がある。

【 0 0 2 3 】

10

20

30

40

50

上記半導体装置は、ノーマリーオフ型となってもよい。このようにノーマリーオフ型になる程度にボディ領域のドーピング密度を高くした場合でも、本発明の半導体装置によればチャネル移動度の低下を十分に抑制することができる。

【0024】

上記半導体装置においては、上記絶縁膜上に接触して配置されたゲート電極をさらに備え、当該ゲート電極は第2導電型のポリシリコンからなってもよい。すなわち、第2導電型がp型である場合、ゲート電極はp型ポリシリコンからなるものとし、第2導電型がn型である場合、ゲート電極はn型ポリシリコンからなるものとすることができる。p型ポリシリコンとは、多数キャリアが正孔であるポリシリコンをいい、n型ポリシリコンとは、多数キャリアが電子であるポリシリコンをいう。このようにすることにより、半導体装置をノーマリーオフ型とすることが容易となる。

10

【0025】

上記半導体装置においては、絶縁膜上に接触して配置されたゲート電極をさらに備え、当該ゲート電極はn型ポリシリコンからなってもよい。このようにすることにより、半導体装置のスイッチング速度を向上させることができる。

【0026】

上記半導体装置においては、上記絶縁膜の厚みは25nm以上70nm以下であってもよい。上記絶縁膜の厚みが25nm未満では、動作中に絶縁破壊が発生するおそれがある。一方、上記絶縁膜の厚みが70nmを超える場合、当該絶縁膜をゲート絶縁膜として使用する場合のゲート電圧の絶対値を大きくする必要が生じる。そのため、上記絶縁膜の厚みを25nm以上70nm以下とすることにより、上記問題点を容易に解消することができる。

20

【0027】

上記半導体装置においては、上記第1導電型はn型であり、第2導電型はp型であってもよい。すなわち、上記半導体装置は、Nチャネル型であってもよい。このようにすることにより、高い移動度を確保することが容易な電子を多数キャリアとする半導体装置を提供することができる。

【0028】

上記半導体装置においては、ボディ領域における不純物密度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。このようにすることにより、本願の半導体装置を、珪素を材料として採用した半導体装置と置き換えて使用することが容易になるとともに、半導体装置を安定してノーマリーオフ型とすることができる。また、不純物密度が高くなることによる大幅なチャネル移動度の低下を回避することができる。

30

【0029】

上記半導体装置においては、ボディ領域において絶縁膜に接する領域に弱反転層が形成される閾値電圧は、室温以上100以下の温度範囲において2V以上であってもよい。これにより、通常の動作温度においてより確実にノーマリーオフの状態を維持することができる。ここで、室温とは具体的には27である。

【0030】

上記半導体装置においては、上記閾値電圧が100において3V以上であってもよい。これにより、動作温度が高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

40

【0031】

上記半導体装置においては、上記閾値電圧が200において1V以上であってもよい。これにより、動作温度がより高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

【0032】

上記半導体装置においては、上記閾値電圧の温度依存性は $-10 \text{ mV} /$ 以上であってもよい。このようにすることにより、安定してノーマリーオフの状態を維持することができる。

50

【0033】

上記半導体装置においては、室温における電子のチャネル移動度が $30 \text{ cm}^2 / \text{Vs}$ 以上であってもよい。このようにすることにより、半導体装置のオン抵抗を十分に抑制することが容易となる。

【0034】

上記半導体装置においては、 100 における電子のチャネル移動度が $50 \text{ cm}^2 / \text{Vs}$ 以上であってもよい。これにより、動作温度が高温である場合でも、半導体装置のオン抵抗を十分に抑制することが可能となる。

【0035】

上記半導体装置においては、 150 における電子のチャネル移動度が $40 \text{ cm}^2 / \text{Vs}$ 以上であってもよい。これにより、動作温度がより高温である場合でも、半導体装置のオン抵抗を十分に抑制することが可能となる。

【0036】

上記半導体装置においては、電子のチャネル移動度の温度依存性が $-0.3 \text{ cm}^2 / \text{Vs}$ 以上であってもよい。これにより、安定して半導体装置のオン抵抗を抑制することが可能となる。

【0037】

上記半導体装置においては、エピタキシャル成長層と絶縁膜との界面におけるバリアハイトは 2.2 eV 以上 2.6 eV 以下であってもよい。

【0038】

バリアハイトを大きくすることにより、ゲート絶縁膜として機能する上記絶縁膜中を流れるリーク電流（トンネル電流）を抑制することができる。しかし、上記エピタキシャル成長層が炭化珪素からなる場合、単に絶縁膜との間のバリアハイトが大きい結晶面を絶縁膜と接触する面に採用すると、チャネル移動度が低下するという問題が生じる。これに対し、バリアハイトが 2.2 eV 以上 2.6 eV となる結晶面を絶縁膜と接触する面に採用することにより、リーク電流を抑制しつつ、高いチャネル移動度を確保することができる。このようなバリアハイトは、 $\{0001\}$ 面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板を採用することにより、容易に達成することができる。なお、バリアハイトとは、エピタキシャル成長層の伝導帯と絶縁膜の伝導帯との間のバンドギャップの大きさをいう。

【0039】

上記半導体装置においては、オン状態において、ボディ領域に形成されるチャネル領域における抵抗値であるチャネル抵抗は、チャネル領域以外のエピタキシャル成長層における抵抗値であるドリフト抵抗よりも小さくなっていてもよい。これにより、半導体装置のオン抵抗を低減することができる。このようなチャネル抵抗とドリフト抵抗との関係は、 $\{0001\}$ 面に対するオフ角が 50° 以上 65° 以下である主面を有する炭化珪素基板を採用することにより、容易に達成することができる。

【0040】

上記半導体装置は、DiMOSFET (Double Implanted MOSFET) であってもよい。本発明の半導体装置は、比較的構造がシンプルなDiMOSFETに対しても、好適である。

【発明の効果】

【0041】

以上の説明から明らかなように、本発明の半導体装置によれば、チャネル移動度の低下を抑制しつつ閾値電圧の設定の自由度を高めることが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0042】

【図1】実施の形態1におけるMOSFETの構造を示す概略断面図である。

【図2】実施の形態1におけるMOSFETの製造方法の概略を示すフローチャートであ

10

20

30

40

50

る。

【図 3】実施の形態 1 における MOSFET の製造方法を説明するための概略断面図である。

【図 4】実施の形態 1 における MOSFET の製造方法を説明するための概略断面図である。

【図 5】実施の形態 1 における MOSFET の製造方法を説明するための概略断面図である。

【図 6】NO アニールおよび Ar アニールのヒートパターンを示す図である。

【図 7】実施の形態 2 における IGBT の構造を示す概略断面図である。

【図 8】実施の形態 2 における IGBT の製造方法の概略を示すフローチャートである。

【図 9】実施の形態 2 における IGBT の製造方法を説明するための概略断面図である。

【図 10】実施の形態 2 における IGBT の製造方法を説明するための概略断面図である。

。

【図 11】実施の形態 2 における IGBT の製造方法を説明するための概略断面図である。

。

【図 12】p 型不純物のドーピング密度と閾値電圧との関係を示す図である。

【図 13】基板の主面として (0 - 33 - 8) 面を採用した場合におけるドーピング密度とチャネル移動度との関係を示す図である。

【図 14】基板の主面として (0001) 面を採用した場合におけるドーピング密度とチャネル移動度との関係を示す図である。

【図 15】ゲート電圧とドレイン電流との値から閾値電圧を求めるための図である。

【図 16】温度と閾値電圧との関係を示す図である。

【図 17】温度とチャネル移動度との関係を示す図である。

【図 18】ドーピング密度と閾値電圧との関係を示す図である。

【発明を実施するための形態】

【0043】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0044】

(実施の形態 1)

まず、本発明の一実施の形態である実施の形態 1 について説明する。図 1 を参照して、本実施の形態における半導体装置 (DiMOSFET) である MOSFET 100 は、導電型が n 型 (第 1 導電型) である炭化珪素基板 1 と、炭化珪素からなり導電型が n 型であるバッファ層 2 と、炭化珪素からなり導電型が n 型のドリフト層 3 と、導電型が p 型 (第 2 導電型) の一対の p 型ボディ領域 4 と、導電型が n 型の n⁺領域 5 と、導電型が p 型の p⁺領域 6 とを備えている。

【0045】

バッファ層 2 は、炭化珪素基板 1 の一方の主面 1A 上に形成され、n 型不純物を含むことにより導電型が n 型となっている。ドリフト層 3 は、バッファ層 2 上に形成され、n 型不純物を含むことにより導電型が n 型となっている。ドリフト層 3 に含まれる n 型不純物は、たとえば N (窒素) であり、バッファ層 2 に含まれる n 型不純物よりも低い濃度 (密度) で含まれている。バッファ層 2 およびドリフト層 3 は、炭化珪素基板 1 の一方の主面 1A 上に形成されたエピタキシャル成長層である。

【0046】

一対の p 型ボディ領域 4 は、エピタキシャル成長層において、炭化珪素基板 1 側の主面とは反対側の主面 3A を含むように互いに分離して形成され、p 型不純物 (導電型が p 型である不純物) を含むことにより、導電型が p 型となっている。p 型ボディ領域 4 に含まれる p 型不純物は、たとえばアルミニウム (Al)、硼素 (B) などである。

【0047】

n⁺領域 5 は、上記主面 3A を含み、かつ p 型ボディ領域 4 に取り囲まれるように、一

10

20

30

40

50

対の p 型ボディ領域 4 のそれぞれの内部に形成されている。n⁺領域 5 は、n 型不純物、たとえば P などをドリフト層 3 に含まれる n 型不純物よりも高い濃度（密度）で含んでいる。p⁺領域 6 は、上記主面 3 A を含み、かつ p 型ボディ領域 4 に取り囲まれるとともに、n⁺領域 5 に隣接するように一対の p 型ボディ領域 4 のそれぞれの内部に形成されている。p⁺領域 6 は、p 型不純物、たとえば Al などを p 型ボディ領域 4 に含まれる p 型不純物よりも高い濃度（密度）で含んでいる。上記バッファ層 2、ドリフト層 3、p 型ボディ領域 4、n⁺領域 5 および p⁺領域 6 は、活性層 7 を構成する。

【0048】

さらに、図 1 を参照して、MOSFET 100 は、ゲート絶縁膜としてのゲート酸化膜 91 と、ゲート電極 93 と、一対のソースコンタクト電極 92 と、層間絶縁膜 94 と、ソース配線 95 と、ドレイン電極 96 とを備えている。

10

【0049】

ゲート酸化膜 91 は、主面 3 A に接触し、一方の n⁺領域 5 の上部表面から他方の n⁺領域 5 の上部表面にまで延在するようにエピタキシャル成長層の主面 3 A 上に形成され、たとえば二酸化珪素（SiO₂）からなっている。

【0050】

ゲート電極 93 は、一方の n⁺領域 5 上から他方の n⁺領域 5 上にまで延在するように、ゲート酸化膜 91 に接触して配置されている。また、ゲート電極 93 は、不純物が添加されたポリシリコン、Al などの導電体からなっている。

【0051】

20

ソースコンタクト電極 92 は、一対の n⁺領域 5 上のそれぞれから、ゲート酸化膜 91 から離れる向きに延在して p⁺領域 6 上にまで達するとともに、主面 3 A に接触して配置されている。また、ソースコンタクト電極 92 は、たとえば Ni_xSi_y（ニッケルシリサイド）など、n⁺領域 5 とオーミックコンタクト可能な材料からなっている。

【0052】

層間絶縁膜 94 は、ドリフト層 3 の主面 3 A 上においてゲート電極 93 を取り囲み、かつ一方の p 型ボディ領域 4 上から他方の p 型ボディ領域 4 上にまで延在するように形成され、たとえば絶縁体である二酸化珪素（SiO₂）からなっている。

【0053】

ソース配線 95 は、ドリフト層 3 の主面 3 A 上において、層間絶縁膜 94 を取り囲み、かつソースコンタクト電極 92 の上部表面上にまで延在している。また、ソース配線 95 は、Al などの導電体からなり、ソースコンタクト電極 92 を介して n⁺領域 5 と電氣的に接続されている。

30

【0054】

ドレイン電極 96 は、炭化珪素基板 1 においてドリフト層 3 が形成される側とは反対側の主面に接触して形成されている。このドレイン電極 96 は、たとえば Ni_xSi_y など、炭化珪素基板 1 とオーミックコンタクト可能な材料からなっており、炭化珪素基板 1 と電氣的に接続されている。

【0055】

次に、MOSFET 100 の動作について説明する。図 1 を参照して、ゲート電極 93 の電圧が閾値電圧未満の状態、すなわちオフ状態では、ドレイン電極に電圧が印加されても、ゲート酸化膜 91 の直下に位置する p 型ボディ領域 4 とドリフト層 3 との間の pn 接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極 93 に閾値電圧以上の電圧を印加すると、p 型ボディ領域 4 のゲート酸化膜 91 と接触する付近であるチャネル領域において、反転層が形成される。その結果、n⁺領域 5 とドリフト層 3 とが電氣的に接続され、ソース配線 95 とドレイン電極 96 との間に電流が流れる。

40

【0056】

ここで、MOSFET 100 においては、炭化珪素基板 1 の主面 1 A の {0001} 面に対するオフ角は 50° 以上 65° 以下となっている。そのため、p 型不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上という高いドーピング密度の p 型ボディ領域 4 を形成し、閾値電圧

50

をプラス側にシフトさせた場合でも、上記チャネル領域におけるキャリア（電子）の移動度（チャネル移動度）の低下が抑制される。その結果、MOSFET100は、チャネル移動度の低下を抑制しつつ閾値電圧をプラス側にシフトさせ、ノーマルオフ型に近づける、あるいはノーマリーオフ型とすることが可能なMOSFETとなっている。なお、閾値電圧をさらにプラス側にシフトさせる観点から、p型ボディ領域4におけるp型不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であってもよく、さらに $5 \times 10^{17} \text{ cm}^{-3}$ 以上とすることもできる。

【0057】

また、炭化珪素基板1の主面1Aのオフ方位と $\langle 01-10 \rangle$ 方向とのなす角は 5° 以下となっていることが好ましい。これにより、炭化珪素基板1上へのエピタキシャル成長層（バッファ層2、ドリフト層3）の形成などを容易にすることができる。

10

【0058】

さらに、主面1Aの、 $\langle 01-10 \rangle$ 方向における $\{03-38\}$ 面に対するオフ角は -3° 以上 5° 以下であることが好ましく、主面1Aは実質的に $\{03-38\}$ 面であることがより好ましい。これにより、チャネル移動度を一層向上させることができる。

【0059】

一方、上記MOSFET100においては、主面1Aのオフ方位と $\langle -2110 \rangle$ 方向とのなす角は 5° 以下となってもよい。これにより、炭化珪素基板1上へのエピタキシャル成長層（バッファ層2、ドリフト層3）の形成などを容易にすることができる。

【0060】

20

さらに、主面1Aは、炭化珪素基板1を構成する炭化珪素のカーボン面側の面であることが好ましい。これにより、チャネル移動度をさらに向上させることができる。

【0061】

また、p型ボディ領域4におけるp型不純物密度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好ましい。これにより、結晶性の悪化などを抑制することができる。

【0062】

さらに、MOSFET100は、ノーマリーオフ型となってもよい。このようにノーマリーオフ型になる程度にp型ボディ領域のドーピング密度を高くした場合でも、上記MOSFET100によれば、チャネル移動度の低下を十分に抑制することができる。

【0063】

30

また、MOSFET100においては、ゲート電極93はp型ポリシリコンからなってもよい。これにより、閾値電圧をプラス側にシフトさせ易くなり、MOSFET100をノーマリーオフ型とすることも容易となる。

【0064】

さらに、MOSFET100においては、ゲート電極93はn型ポリシリコンからなってもよい。このようにすることにより、MOSFET100のスイッチング速度を向上させることができる。

【0065】

また、MOSFET100においては、p型ボディ領域4におけるp型不純物密度は $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。このようにすることにより、通常の動作温度において $0 \sim 5 \text{ V}$ 程度の閾値電圧を得ることが可能となる。その結果、MOSFET100を、珪素を材料として採用したMOSFETと置き換えて使用することが容易になるとともに、MOSFET100を安定してノーマリーオフ型とすることができる。また、不純物密度が高くなることによる大幅なチャネル移動度の低下を回避することができる。

40

【0066】

さらに、MOSFET100においては、ゲート酸化膜91の厚みは 25 nm 以上 70 nm 以下であってもよい。ゲート酸化膜91の厚みが 25 nm 未満では、動作中に絶縁破壊が発生するおそれがある一方、 70 nm を超えるとゲート電圧を大きくする必要が生じる。そのため、ゲート酸化膜91の厚みは 25 nm 以上 70 nm 以下とすることが好まし

50

い。

【0067】

また、MOSFET100においては、閾値電圧は、室温以上100 以下の温度範囲において2V以上であってもよい。これにより、通常の動作温度においてより確実にノーマリーオフの状態を維持することができる。

【0068】

さらに、MOSFET100においては、閾値電圧が100 において3V以上であってもよい。これにより、動作温度が高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

【0069】

また、MOSFET100においては、閾値電圧が200 において1V以上であってもよい。これにより、動作温度がより高温である場合でも、より確実にノーマリーオフの状態を維持することができる。

【0070】

さらに、MOSFET100においては、閾値電圧の温度依存性は -10 mV/ 以上であってもよい。このようにすることにより、安定してノーマリーオフの状態を維持することができる。

【0071】

さらに、MOSFET100においては、室温における電子のチャネル移動度が $30\text{ cm}^2/\text{Vs}$ 以上であることが好ましい。これにより、MOSFET100のオン抵抗を十分に抑制することが容易となる。

【0072】

また、MOSFET100においては、100 における電子のチャネル移動度が $50\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、動作温度が高温である場合でも、MOSFET100のオン抵抗を十分に抑制することが可能となる。

【0073】

さらに、MOSFET100においては、150 における電子のチャネル移動度が $40\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、動作温度がより高温である場合でも、MOSFET100のオン抵抗を十分に抑制することが可能となる。

【0074】

また、MOSFET100においては、電子のチャネル移動度の温度依存性が $-0.3\text{ cm}^2/\text{Vs}$ 以上であってもよい。これにより、安定してMOSFET100のオン抵抗を抑制することが可能となる。

【0075】

さらに、MOSFET100においては、エピタキシャル成長層とゲート酸化膜91との界面におけるバリアハイトは 2.2 eV 以上 2.6 eV 以下であってもよい。これにより、リーク電流を抑制しつつ、高いチャネル移動度を確保することができる。

【0076】

また、MOSFET100においては、オン状態において、p型ボディ領域4に形成されるチャネル領域における抵抗値であるチャネル抵抗は、p型ボディ領域4以外のエピタキシャル成長層における抵抗値であるドリフト抵抗よりも小さくなっていてもよい。これにより、MOSFET100のオン抵抗を低減することができる。

【0077】

次に、実施の形態1におけるMOSFET100の製造方法の一例について、図2～図5を参照して説明する。図2を参照して、本実施の形態におけるMOSFET100の製造方法では、まず工程(S110)として炭化珪素基板準備工程が実施される。この工程(S110)では、図3を参照して、{0001}面に対するオフ角が 50° 以上 65° 以下である主面1Aを有する炭化珪素基板1が準備される。

【0078】

次に、工程(S120)としてエピタキシャル成長工程が実施される。この工程(S1

10

20

30

40

50

20)では、図3を参照して、エピタキシャル成長により炭化珪素基板1の一方の主面1A上に炭化珪素からなるパッファ層2およびドリフト層3が順次形成される。

【0079】

次に、工程(S130)としてイオン注入工程が実施される。この工程(S130)では、図3および図4を参照して、まずp型ボディ領域4を形成するためのイオン注入が実施される。具体的には、たとえばAl(アルミニウム)イオンがドリフト層3に注入されることにより、p型ボディ領域4が形成される。次に、n⁺領域5を形成するためのイオン注入が実施される。具体的には、たとえばP(リン)イオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にn⁺領域5が形成される。さらに、p⁺領域6を形成するためのイオン注入が実施される。具体的には、たとえばAlイオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にp⁺領域6が形成される。上記イオン注入は、たとえばドリフト層3の主面上に二酸化珪素(SiO₂)からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

10

【0080】

次に、工程(S140)として活性化アニール工程が実施される。この工程(S140)では、たとえばアルゴンなどの不活性ガス雰囲気中において1700に加熱し、30分間保持する熱処理が実施される。これにより、上記工程(S130)において注入された不純物が活性化する。

【0081】

20

次に、工程(S150)として酸化膜形成工程が実施される。この工程(S150)では、図4および図5を参照して、たとえば酸素雰囲気中において1300に加熱して60分間保持する熱処理が実施されることにより、酸化膜(ゲート酸化膜)91が形成される。

【0082】

次に、工程(S160)としてNOアニール工程が実施される。この工程(S160)では、雰囲気ガスとして一酸化窒素(NO)ガスが採用され、当該雰囲気ガス中において加熱する熱処理が実施される。この熱処理の条件としては、たとえば1100以上1300以下の温度で1時間程度保持する条件を採用することができる。このような熱処理により、酸化膜91とドリフト層3との界面領域に窒素原子が導入される。これにより、酸化膜91とドリフト層3との界面領域における界面準位の形成が抑制され、最終的に得られるMOSFET100のチャネル移動度を向上させることができる。なお、本実施の形態においては、雰囲気ガスとしてNOガスを使用するプロセスが採用されたが、酸化膜91とドリフト層3との界面領域に窒素原子を導入することが可能な他のガスを使用するプロセスが採用されてもよい。

30

【0083】

次に、工程(S170)としてArアニール工程が実施される。この工程(S170)では、雰囲気ガスとしてアルゴン(Ar)ガスが採用され、当該雰囲気ガス中において加熱する熱処理が実施される。この熱処理の条件としては、たとえば上記工程(S160)における加熱温度を超え、酸化膜91の融点未満の温度で1時間程度保持する条件を採用することができる。このような熱処理により、酸化膜91とドリフト層3との界面領域における界面準位の形成がさらに抑制され、最終的に得られるMOSFET100のチャネル移動度を向上させることができる。なお、本実施の形態においては、雰囲気ガスとしてArガスを使用するプロセスが採用されたが、Arガスに代えて窒素ガスなどの他の不活性ガスを使用するプロセスが採用されてもよい。

40

【0084】

特に、本実施の形態では、熱処理の条件として、上記工程(S160)における加熱温度を超える温度で保持する条件を採用することができる。これにより、酸化膜91の形成の結果、酸化膜91とドリフト層3との界面領域に残存した格子間原子としての炭素原子を、ドリフト層3の内部へと有効に拡散させることができる。その結果、最終的に得られ

50

るMOSFET100のチャネル移動度を一層向上させることができる。

【0085】

より具体的には、工程(S160)および(S170)は、図6に示すように実施することができる。図6において、横軸は処理時間を示し、縦軸は温度(熱処理温度)を示す。図6に示すように、本実施の形態においては、工程(S170)として実施されるArアニール(加熱時間:b)の熱処理温度(T_2)を、工程(S160)として実施されるNOアニール(加熱時間:a)の熱処理温度(T_1)より高くすることができる。たとえば、工程(S160)での熱処理温度(T_1)を900 以上1400 以下とし、工程(S170)での熱処理温度(T_2)を T_1 より高くかつ1000 以上1500 以下とすることができる。

10

【0086】

次に、工程(S180)として電極形成工程が実施される。図1を参照して、この工程(S180)では、まず、たとえばCVD法、フォトリソグラフィおよびエッチングにより、高濃度に不純物が添加された導電体であるポリシリコンからなるゲート電極93が形成される。その後、たとえばCVD法により、絶縁体である SiO_2 からなる層間絶縁膜94が、主面3A上においてゲート電極93を取り囲むように形成される。次に、フォトリソグラフィおよびエッチングによりソースコンタクト電極92を形成する領域の層間絶縁膜94と酸化膜91が除去される。次に、たとえば蒸着法により形成されたニッケル(Ni)膜が加熱されてシリサイド化されることにより、ソースコンタクト電極92およびドレイン電極96が形成される。そして、たとえば蒸着法により、導電体であるAlからなるソース配線95が、主面3A上において、層間絶縁膜94を取り囲むとともに、 n^+ 領域5およびソースコンタクト電極92の上部表面上にまで延在するように形成される。以上の手順により、本実施の形態におけるMOSFET100が完成する。

20

【0087】

(実施の形態2)

次に、本発明の他の実施の形態である実施の形態2について説明する。実施の形態2における半導体装置であるIGBT200は、炭化珪素基板の面方位およびp型ボディ領域のp型不純物密度に関して上記実施の形態1におけるMOSFET100と同様の構造を有することにより、同様の効果を奏する。

【0088】

すなわち、図7を参照して、本実施の形態における半導体装置であるIGBT200は、導電型がp型である炭化珪素基板201と、バッファ層202(導電型はn型でもp型でもよい)と、炭化珪素からなり導電型がn型のドリフト層203と、導電型がp型の一对のp型ボディ領域204と、導電型がn型の n^+ 領域205と、導電型がp型の p^+ 領域206とを備えている。

30

【0089】

バッファ層202は、炭化珪素基板201の一方の主面201A上に形成されており、ドリフト層203よりも高濃度の不純物を含んでいる。ドリフト層203は、バッファ層202上に形成され、n型不純物を含むことにより導電型がn型となっている。バッファ層202およびドリフト層203は、炭化珪素基板201の一方の主面201A上に形成されたエピタキシャル成長層である。

40

【0090】

一对のp型ボディ領域204は、エピタキシャル成長層において、炭化珪素基板201側の主面とは反対側の主面203Aを含むように互いに分離して形成され、p型不純物を含むことにより、導電型がp型となっている。p型ボディ領域204に含まれるp型不純物は、たとえばアルミニウム(Al)、硼素(B)などである。

【0091】

n^+ 領域205は、上記主面203Aを含み、かつp型ボディ領域204に取り囲まれるように、一对のp型ボディ領域204のそれぞれの内部に形成されている。 n^+ 領域205は、n型不純物、たとえばPなどをドリフト層203に含まれるn型不純物よりも高

50

い濃度（密度）で含んでいる。p⁺領域206は、上記主面203Aを含み、かつp型ボディ領域204に取り囲まれるとともに、n⁺領域205に隣接するように一对のp型ボディ領域204のそれぞれの内部に形成されている。p⁺領域206は、p型不純物、たとえばA1などをp型ボディ領域204に含まれるp型不純物よりも高い濃度（密度）で含んでいる。上記バッファ層202、ドリフト層203、p型ボディ領域204、n⁺領域205およびp⁺領域206は、活性層207を構成する。

【0092】

さらに、図7を参照して、IGBT200は、ゲート絶縁膜としてのゲート酸化膜291と、ゲート電極293と、一对のエミッタコンタクト電極292と、層間絶縁膜294と、エミッタ配線295と、コレクタ電極296とを備えている。

10

【0093】

ゲート酸化膜291は、主面203Aに接触し、一方のn⁺領域205の上部表面から他方のn⁺領域205の上部表面にまで延在するようにエピタキシャル成長層の主面203A上に形成され、たとえば二酸化珪素（SiO₂）からなっている。

【0094】

ゲート電極293は、一方のn⁺領域205上から他方のn⁺領域205上にまで延在するように、ゲート酸化膜291上に接触して配置されている。また、ゲート電極293は、不純物が添加されたポリシリコン、A1などの導電体からなっている。

【0095】

エミッタコンタクト電極292は、一对のn⁺領域205上のそれぞれからp⁺領域206上にまで達するとともに、主面203Aに接触して配置されている。また、エミッタコンタクト電極292は、たとえばニッケルシリサイドなど、n⁺領域205およびp⁺領域206の両方にオーミックコンタクト可能な材料からなっている。

20

【0096】

層間絶縁膜294は、ドリフト層203の主面203A上においてゲート電極293を取り囲み、かつ一方のp型ボディ領域204上から他方のp型ボディ領域204上にまで延在するように形成され、たとえば絶縁体である二酸化珪素（SiO₂）からなっている。

【0097】

エミッタ配線295は、ドリフト層203の主面203A上において、層間絶縁膜294を取り囲み、かつエミッタコンタクト電極292の上部表面上にまで延在している。また、エミッタ配線295は、A1などの導電体からなり、エミッタコンタクト電極292を介してn⁺領域205と電氣的に接続されている。

30

【0098】

コレクタ電極296は、炭化珪素基板201においてドリフト層203が形成される側とは反対側の主面に接触して形成されている。このコレクタ電極296は、たとえばニッケルシリサイドなど、炭化珪素基板201とオーミックコンタクト可能な材料からなっており、炭化珪素基板201と電氣的に接続されている。

【0099】

次に、IGBT200の動作について説明する。図7を参照して、ゲート電極293に電圧を印加し、当該電圧が閾値を超えると、ゲート電極293下のゲート酸化膜291に接するp型ボディ領域204に反転層が形成され、n⁺領域205とドリフト層203とが電氣的に接続される。これにより、n⁺領域205からドリフト層203に電子が注入され、これに対応して炭化珪素基板201からバッファ層202を介して正孔がドリフト層203に供給される。その結果、IGBT200がオン状態となり、ドリフト層203に伝導度変調が生じてエミッタコンタクト電極292 - コレクタ電極296間の抵抗が低下した状態で電流が流れる。一方、ゲート電極293に印加される上記電圧が閾値以下の場合、上記反転層が形成されないため、ドリフト層203とp型ボディ領域204との間が逆バイアスの状態が維持される。その結果、IGBT200がオフ状態となり、電流は流れない。

40

50

【 0 1 0 0 】

ここで、I G B T 2 0 0 においては、炭化珪素基板 2 0 1 の主面 2 0 1 A の { 0 0 0 1 } 面に対するオフ角は 50° 以上 65° 以下となっている。そのため、p 型不純物密度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上という高いドーピング密度の p 型ボディ領域 2 0 4 を形成し、閾値電圧をプラス側にシフトさせた場合でも、上記チャネル領域におけるキャリア（電子）の移動度（チャネル移動度）の低下が抑制される。その結果、I G B T 2 0 0 は、チャネル移動度の低下を抑制しつつ閾値電圧を高く設定することが可能な I G B T となっている。なお、本実施の形態における炭化珪素基板 2 0 1 および p 型ボディ領域 2 0 4 は、それぞれ実施の形態 1 における炭化珪素基板 1 および p 型ボディ領域 4 に対応する。そして、炭化珪素基板 1 および炭化珪素基板 2 0 1 の面方位、ならびに p 型ボディ領域 4 および p 型ボディ領域 2 0 4 の p 型不純物密度については、それぞれ同様の構成を有するものとすることができる。

10

【 0 1 0 1 】

次に、実施の形態 2 における I G B T 2 0 0 の製造方法の一例について、図 8 ~ 図 1 1 を参照して説明する。図 8 を参照して、本実施の形態における I G B T 2 0 0 の製造方法では、まず工程（S 2 1 0）として炭化珪素基板準備工程が実施される。この工程（S 2 1 0）では、図 9 を参照して、{ 0 0 0 1 } 面に対するオフ角が 50° 以上 65° 以下である主面 2 0 1 A を有する炭化珪素基板 2 0 1 が準備される。

【 0 1 0 2 】

次に、工程（S 2 2 0）としてエピタキシャル成長工程が実施される。この工程（S 2 2 0）では、図 9 を参照して、エピタキシャル成長により炭化珪素基板 2 0 1 の一方の主面 2 0 1 A 上にバッファ層 2 0 2 およびドリフト層 2 0 3 が順次形成される。

20

【 0 1 0 3 】

次に、工程（S 2 3 0）としてイオン注入工程が実施される。この工程（S 2 3 0）では、図 9 および図 1 0 を参照して、まず p 型ボディ領域 2 0 4 を形成するためのイオン注入が実施される。具体的には、たとえば Al（アルミニウム）イオンがドリフト層 2 0 3 に注入されることにより、p 型ボディ領域 2 0 4 が形成される。次に、n + 領域 2 0 5 を形成するためのイオン注入が実施される。具体的には、たとえば P（リン）イオンが p 型ボディ領域 2 0 4 に注入されることにより、p 型ボディ領域 2 0 4 内に n + 領域 2 0 5 が形成される。さらに、p + 領域 2 0 6 を形成するためのイオン注入が実施される。具体的には、たとえば Al イオンが p 型ボディ領域 2 0 4 に注入されることにより、p 型ボディ領域 2 0 4 内に p + 領域 2 0 6 が形成される。上記イオン注入は、たとえばドリフト層 2 0 3 の主面上に二酸化珪素（ SiO_2 ）からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

30

【 0 1 0 4 】

次に、工程（S 2 4 0）として活性化アニール工程が実施される。この工程（S 2 4 0）は、では、たとえばアルゴンなどの不活性ガス雰囲気中において 1700°C に加熱し、30 分間保持する熱処理が実施される。これにより、上記工程（S 2 3 0）において注入された不純物が活性化する。

【 0 1 0 5 】

次に、工程（S 2 5 0）として酸化膜形成工程が実施される。この工程（S 2 5 0）では、図 1 0 および図 1 1 を参照して、たとえば酸素雰囲気中において 1300°C に加熱して 60 分間保持する熱処理が実施されることにより、酸化膜（ゲート酸化膜）2 9 1 が形成される。

40

【 0 1 0 6 】

次に、工程（S 2 6 0）および（S 2 7 0）として NO アニール工程および Ar アニール工程が実施される。この工程（S 2 6 0）および（S 2 7 0）は、実施の形態 1 における工程（S 1 6 0）および（S 1 7 0）と同様に実施することができる。これにより、最終的に得られる I G B T 2 0 0 のチャネル移動度を向上させることができる。

【 0 1 0 7 】

50

次に、工程（Ｓ２８０）として電極形成工程が実施される。図７を参照して、この工程（Ｓ２８０）では、たとえばＣＶＤ法により、不純物が添加されて導電体となっているポリシリコンからなるゲート電極２９３が形成された後、たとえばＣＶＤ法により、絶縁体であるＳｉＯ_２からなる層間絶縁膜２９４が、主面２０３Ａ上においてゲート電極２９３を取り囲むように形成される。次に、たとえば蒸着法により形成されたニッケル（Ｎｉ）膜が加熱されてシリサイド化されることにより、エミッタコンタクト電極２９２およびコレクタ電極２９６が形成される。次に、たとえば蒸着法により、導電体であるＡｌからなるエミッタ配線２９５が、主面２０３Ａ上において、層間絶縁膜２９４を取り囲むとともに、 n^+ 領域２０５およびエミッタコンタクト電極２９２の上部表面上にまで延在するように形成される。以上の手順により、本実施の形態におけるＩＧＢＴ２００が完成する。

10

【実施例１】

【０１０８】

p型ボディ領域におけるp型不純物のドーピング密度と閾値電圧との関係を確認する実験を行なった。具体的には、まず、上記実施の形態１と同様にＮＯアニール工程およびＡｒアニール工程を含むプロセスにより、実験用のＭＯＳＦＥＴ（サンプル）を作製した。ここで、p型ボディ領域におけるp型不純物のドーピング密度の異なる複数のサンプルを作製した。そして、各サンプルについて閾値電圧を測定した。

【０１０９】

実験結果を図１２に示す。図１２において、横軸はp型ボディ領域におけるp型不純物のドーピング密度、縦軸は閾値電圧を示している。また、図１２において、丸印が実験の結果得られたデータ点である。一方、図１２における曲線は、上記ドーピング密度と閾値電圧との関係の理論曲線である。理論曲線は、以下の式（１）に対応するものである。なお、式（１）において n_i は真性キャリア密度、 C_{ox} は酸化膜容量、 ϕ_m および ϕ_s は、それぞれ金属および半導体の仕事関数、 V_{Qeff} は実効固定電荷による電圧シフト成分を示す。また、 Q は電気素量を示す（ $Q = 1.6 \times 10^{-19} \text{ C}$ ）。ここでは、実験結果より、 $V_{Qeff} = -1.9 \text{ V}$ とした。

20

【０１１０】

【数１】

$$V_{th}(N_a) = \frac{\sqrt{2\varepsilon_o\varepsilon_{sic}kTN_a \ln\left(\frac{N_a}{n_i}\right)}}{C_{ox}} + \frac{kT}{Q} \ln\left(\frac{N_a}{n_i}\right) + (\phi_m - \phi_s) + \Delta V_{Qeff} \quad \dots(1)$$

30

【０１１１】

図１２を参照して、実験により得られたデータ点は理論曲線に沿って分布している。そして、図１２より、p型ボディ領域におけるp型不純物のドーピング密度を $8 \times 10^{16} \text{ cm}^{-3}$ 以上とすることにより、安定してプラスの閾値電圧が得られる、すなわちノーマリーオフを達成できることが分かる。

40

【実施例２】

【０１１２】

p型ボディ領域におけるp型不純物のドーピング密度とチャネル移動度との関係を調査する実験を行なった。実験の手順は以下の通りである。

【０１１３】

まず、一方の主面の面方位が（０－３３－８）面である炭化珪素基板を準備し、当該主面上にエピタキシャル成長層等を形成してＭＯＳＦＥＴのサンプルを作製した。このとき、p型ボディ領域におけるp型不純物のドーピング密度を $2 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲で変化させた複数のサンプルを作製した。なお、ゲート酸化膜の形

50

成は酸素雰囲気中で1200～1300 に加熱し、約60分間保持することにより実施した。その後、NO雰囲気中で1100～1200 に加熱し、約60分間保持することによりNOアニール処理を実施した。さらにその後、Ar雰囲気中で1200～1300 に加熱し、約60分間保持することによりArアニール処理を実施した（実施例）。

【0114】

一方、比較のため、一方の主面の面方位が(0001)面である炭化珪素基板を準備し、同様にMOSFETのサンプルを作製した（比較例）。そして、各サンプルのチャネル移動度を測定した。実験結果を図13および図14に示す。図13および図14において、横軸はp型ボディ領域におけるp型不純物のドーピング密度、縦軸はMOSFETのチャネル移動度を示している。

10

【0115】

図14を参照して、面方位が(0001)面である主面上にエピタキシャル成長層等を形成して得られた比較例のMOSFETにおいては、ドーピング密度が $2 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ に上昇することにより、チャネル移動度が25%程度低下している。これに対し、面方位が(0-33-8)面である主面上にエピタキシャル成長層等を形成して得られた実施例のMOSFETにおいては、ドーピング密度が $2 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{17} \text{ cm}^{-3}$ に上昇しても、チャネル移動度はほとんど低下していない。さらに、実施例のMOSFETにおけるチャネル移動度は、比較例のMOSFETにおけるチャネル移動度に比べて絶対値において大幅に高くなっている。つまり、実施例の半導体装置は比較例の半導体装置に比べてチャネル移動度が高く、p型ボディ領域におけるドーピング密度が上昇するとその差はさらに広がることが分かる。以上の実験結果より、本発明の半導体装置によれば、チャネル移動度の低下を抑制しつつ閾値電圧をプラス側にシフト可能であることが確認された。

20

【実施例3】

【0116】

本発明の半導体装置であるMOSFETの閾値電圧について調査する実験を行なった。対象となるMOSFETは、上記実施の形態1に示す製造方法により製造した。このMOSFETを用いて、ゲート電圧を変化させた場合におけるドレイン電流の値を測定した。そして、この測定結果をプロットしたグラフを作成し、当該グラフから閾値電圧を求めた。このとき、同一の測定結果について、ドレイン電流をlogスケールとリニアスケールとの2通りでプロットし、閾値電圧を求めた。作成されたグラフを図15に示す。

30

【0117】

図15において横軸はゲート電圧(V_G)、左縦軸はlogスケールのドレイン電流(I_d)、右縦軸はリニアスケールのドレイン電流(I_d)を示している。また、図15において、太線はlogスケールのドレイン電流($\log I_d$)、細線はリニアスケールのドレイン電流($\text{linear } I_d$)を示している。図15を参照して、リニアスケールのドレイン電流を示す曲線の直線部分を延長して得られる閾値電圧(点B参照)に比べて、logスケールのドレイン電流を示す曲線から得られる閾値電圧(点A参照)は小さくなっている。ここで、上記logスケールのドレイン電流を示す曲線から得られる閾値電圧は、ゲート電圧を上昇させていった場合にp型ボディ領域においてゲート酸化膜に接する領域に最初に薄いチャネル領域(弱反転層)が形成される電圧を示している。本願においては、この弱反転層が形成されるゲート電圧を閾値電圧として取り扱う。

40

【実施例4】

【0118】

本発明の半導体装置であるMOSFETを作製し、閾値電圧の温度依存性を調査する実験を行なった。まず、上記実施の形態1の場合と同様にMOSFETを作製した。このとき、エピタキシャル成長層は、炭化珪素基板のカーボン面側の{03-38}面(すなわち(0-33-8)面)上に形成した。また、p型ボディ領域におけるp型不純物(A1)密度が $1 \times 10^{18} \text{ cm}^{-3}$ (実施例A)および $5 \times 10^{17} \text{ cm}^{-3}$ (実施例B)の2種類のMOSFETを作製した。一方、比較のため、同様の製造方法においてエピタキ

50

シャル成長層を炭化珪素基板のシリコン面側の{0001}面(すなわち(0001)面)上に形成したMOSFETも作製した(比較例A)。p型ボディ領域におけるp型不純物(Al)密度は $2 \times 10^{16} \text{ cm}^{-3}$ とした。そして、室温(25)~200の温度範囲内において上記実施例および比較例のMOSFETの閾値電圧を調査した。調査結果を図16に示す。図16において、丸印は実施例A、四角印は実施例B、三角印は比較例Aの調査結果を示している。

【0119】

図16を参照して、実施例AおよびBのMOSFETの閾値電圧は比較例に比べて高く、室温以上100以下の温度範囲において2V以上となっており、安定してノーマリーオフの状態を維持することが可能となっている。特に、実施例AのMOSFETの閾値電圧は100において3V以上、かつ200において1V以上となっており、より高温においても安定してノーマリーオフの状態を維持することが可能となっている。また、実施例AおよびBにおいては、閾値電圧の温度依存性(図中の近似直線の傾き)がそれぞれ-7mV/および-6mV/であり-10mV/以上となっている。別の観点から説明すると、実施例AおよびBにおいては、温度依存性(図中の近似直線の傾き)の絶対値がそれぞれ7mV/および6mV/であり、10mV/以下となっている。その結果、安定してノーマリーオフの状態を維持することが可能となっている。

【実施例5】

【0120】

本発明の半導体装置であるMOSFETを作製し、電子のチャネル移動度の温度依存性を調査する実験を行なった。まず、上記実施の形態1の場合と同様にMOSFETを作製した。このとき、エピタキシャル成長層は、炭化珪素基板のカーボン面側の{03-38}面(すなわち(0-33-8)面)上に形成した(実施例C)。一方、比較のため、同様の製造方法においてエピタキシャル成長層を炭化珪素基板のシリコン面側の{0001}面(すなわち(0001)面)上に形成したMOSFETも作製した(比較例B)。そして、室温(25)~200の温度範囲内において上記実施例および比較例のMOSFETの電子のチャネル移動度を調査した。調査結果を図17に示す。図17において、丸印は実施例C、三角印は比較例Bの調査結果を示している。

【0121】

図17を参照して、実施例CのMOSFETのチャネル移動度は比較例Bに比べて高く、室温において $30 \text{ cm}^2/\text{Vs}$ 以上であるだけでなく、100において $50 \text{ cm}^2/\text{Vs}$ 以上、150において $40 \text{ cm}^2/\text{Vs}$ 以上となっている。また、電子のチャネル移動度の温度依存性も-0.3 cm^2/Vs 以上となっている。別の観点から説明すると、電子のチャネル移動度の温度依存性の絶対値が0.3 cm^2/Vs 以下となっている。その結果、安定して半導体装置のオン抵抗を抑制することが可能となっている。

【実施例6】

【0122】

本発明の半導体装置であるMOSFETを作製し、p型ボディ領域におけるp型不純物(Al)密度と閾値電圧との関係を調査する実験を行なった。まず、上記実施の形態1の場合と同様にMOSFETを作製した。このとき、エピタキシャル成長層は、炭化珪素基板のカーボン面側の{03-38}面(すなわち(0-33-8)面)上に形成した。また、p型ボディ領域におけるp型不純物(Al)の密度の異なる5種類のサンプルを作製した。そして、サンプルの電子のチャネル移動度を調査した。調査結果を図18に示す。図18において横軸はp型ボディ領域におけるp型不純物(Al)の密度、縦軸は閾値電圧を示している。

【0123】

図18を参照して、p型ボディ領域における不純物密度が上昇するに伴って、閾値電圧が上昇している。そして、不純物密度が $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下である領域において閾値電圧が0~5V程度となっている。また、上述のように、本発明の半導体装置においては、チャネル移動度の低下を抑制しつつp型ボディ領域にお

10

20

30

40

50

る p 型不純物密度を上昇させることが可能であるため、不純物密度が $8 \times 10^{16} \text{ cm}^{-3} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度であっても十分なチャネル移動度を確保することができる。したがって、本発明の半導体装置においては、p 型ボディ領域における p 型不純物密度を $8 \times 10^{16} \text{ cm}^{-3}$ 以上 $3 \times 10^{18} \text{ cm}^{-3}$ 以下とすることにより、珪素を材料として採用した半導体装置と置き換えて使用することが容易であるとともに、安定してノーマリーオフ型である状態を維持することができる。また、不純物密度が高くなることによる大幅なチャネル移動度の低下を回避することができる。

【0124】

今回開示された実施の形態および実施例はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲

10

【産業上の利用可能性】

【0125】

本発明の半導体装置は、閾値電圧の設定の自由度を高めることが求められる半導体装置に、特に有利に適用され得る。

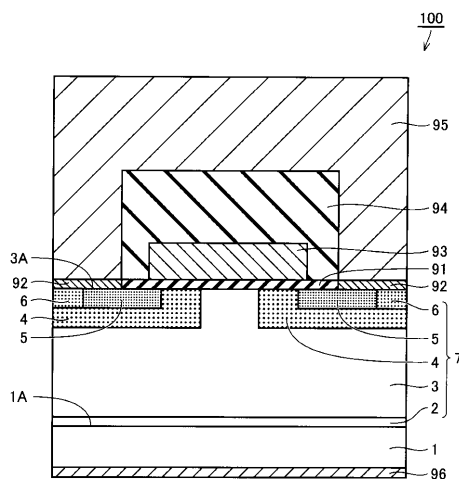
【符号の説明】

【0126】

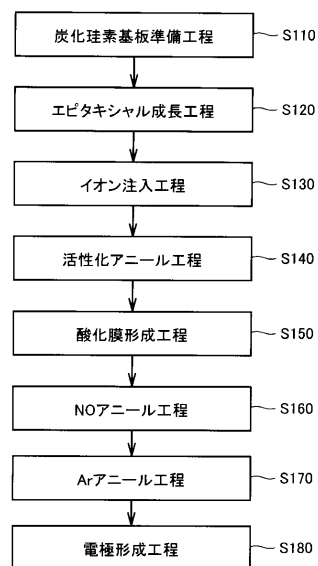
1, 201 炭化珪素基板、1A, 201A 主面、2, 202 バッファ層、3, 203 ドリフト層、3A, 203A 主面、4, 204 p 型ボディ領域、5, 205 n^+ 領域、6, 206 p^+ 領域、7, 207 活性層、91, 291 ゲート酸化膜 (酸化膜)、92 ソースコンタクト電極、93 ゲート電極、94, 294 層間絶縁膜、95 ソース配線、96 ドレイン電極、100 MOSFET、200 IGBT、292 エミッタコンタクト電極、293 ゲート電極、295 エミッタ配線、296 コレクタ電極。

20

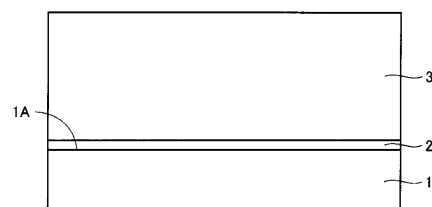
【図1】



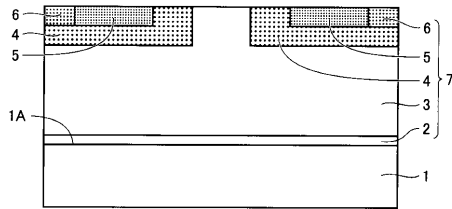
【図2】



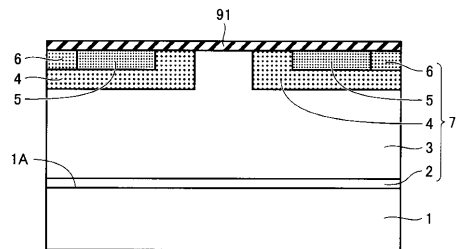
【図3】



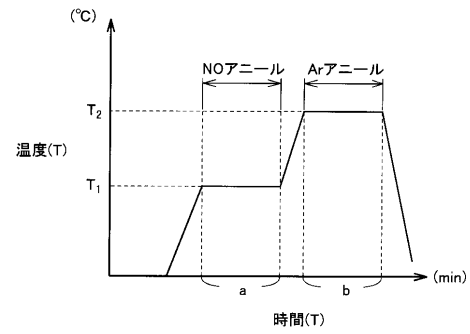
【図 4】



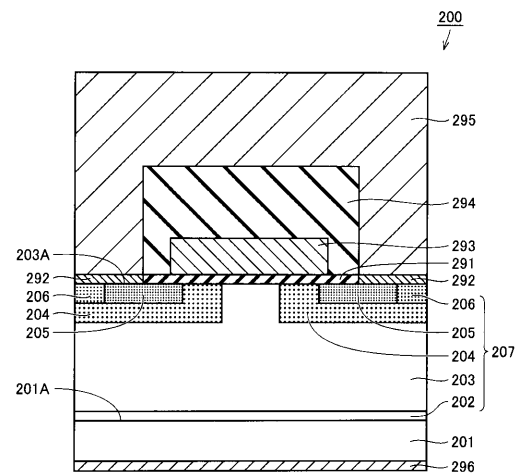
【図 5】



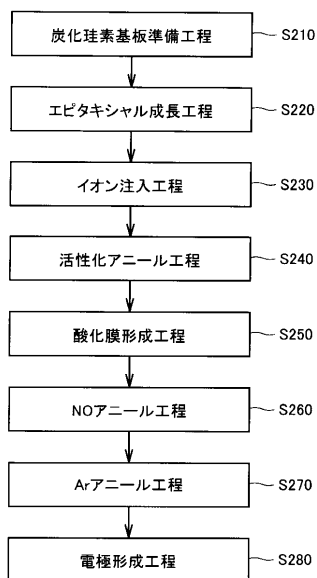
【図 6】



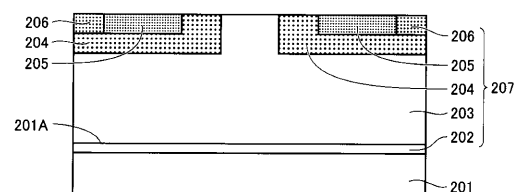
【図 7】



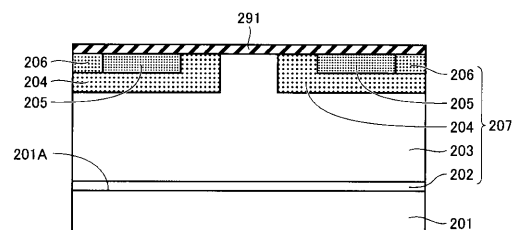
【図 8】



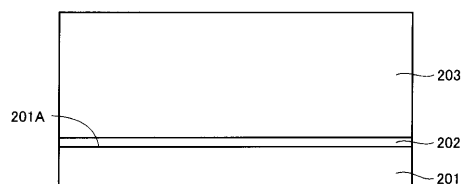
【図 10】



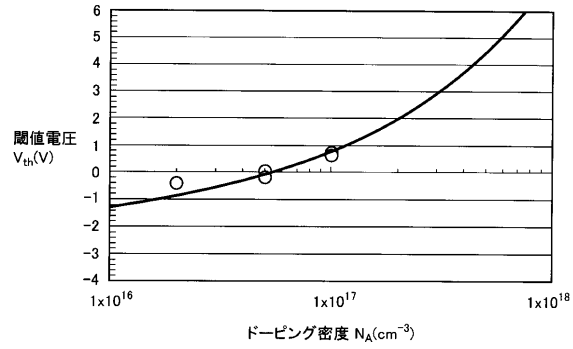
【図 11】



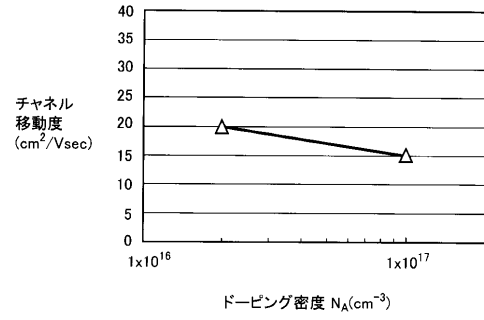
【図 9】



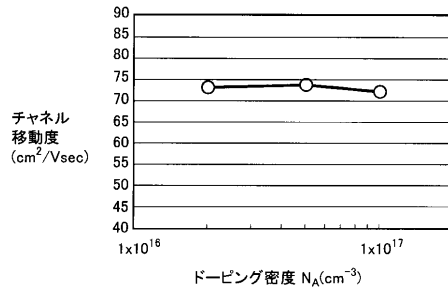
【図 1 2】



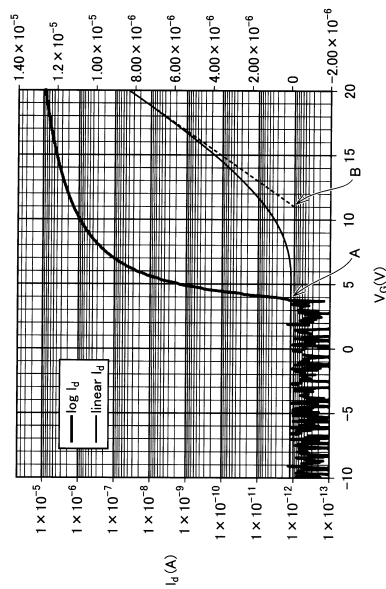
【図 1 4】



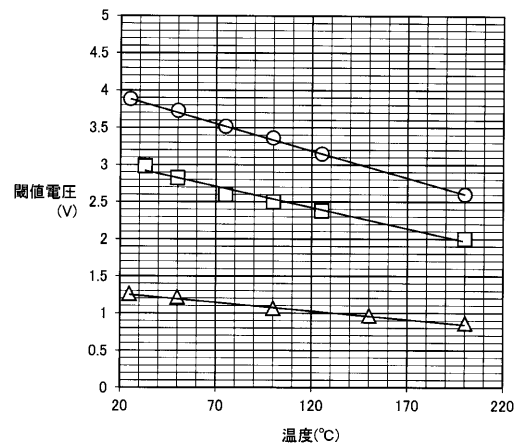
【図 1 3】



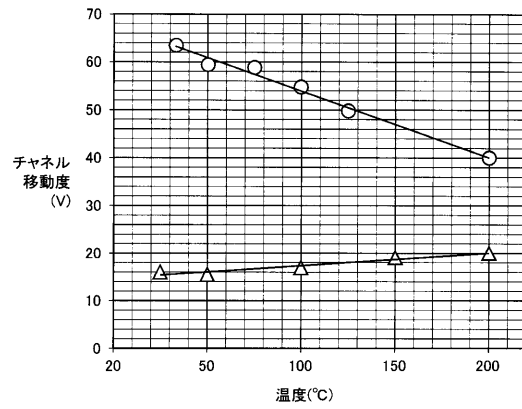
【図 1 5】



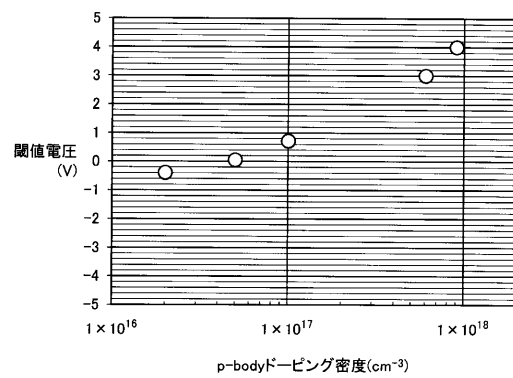
【図 1 6】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 8 F
H 0 1 L 21/316 P

(72)発明者 塩見 弘
大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内

審査官 須原 宏光

(56)参考文献 特開2002-261275(JP,A)
特開2010-041021(JP,A)
国際公開第01/018872(WO,A1)
特開2009-147381(JP,A)
特開2003-209251(JP,A)
特開2000-106428(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8