



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

201592
(11) (B1)

(51) Int. Cl.³
H 03 K 5/00

(22) Přihlášeno 15 07 75
(21) (PV 4985-75)

(40) Zveřejněno 31 03 80

(45) Vydáno 15 07 82

(75)

Autor vynálezu

BOCEK KAREL ing. CSc., BYSTRICE NAD OLŠÍ

(54) Zapojení pro uvolňování průchodu signálů

Vynález se týká zapojení pro uvolňování průchodu signálů, zejména signálů diskretních, a to v soustavách elektrických, pneumatických, popřípadě hydraulických logických sítí se zvláštním zřetelem na časové pořadí průchodu těchto signálů a na časovou opakovatelnost těchto signálů.

Známe zapojení řeší uvolňování průchodu signálů, popřípadě uvolňování průchodu skupin signálů ze vstupů vždy na příslušné přiřazené výstupy, přičemž tato přiřazenost je určena skladbou a zapojením logické sítě. Časové trvání signálů na výstupech je určeno přesně časovým pořadím a časovým trváním signálů na vstupech.

Nedostatkem známých zapojení při syntéze řídicích automatů ve výrobních linkách je pevné časové trvání signálů na výstupech, podmíněné časovým pořadím a časovým trváním signálů na vstupech.

Tyto nevýhody odstraňuje zapojení pro uvolňování průchodu signálů podle vynálezu, jehož podstata spočívá v tom, že první vstup zapojení je spojen se vstupem prvního hradlovacího obvodu, jehož výstup je spojen jednak s prvním výstupem zapojení, a jednak se vstupem třetího hradla, druhý vstup zapojení je spojen se vstupem druhého hradlovacího obvodu, jehož výstup je spojen jednak s dru-

hým výstupem zapojení, a jednak s prvním vstupem paměťového obvodu, první vedlejší vstup zapojení je spojen se vstupem prvního hradla, jehož výstup je spojen s druhým vstupem paměťového obvodu, druhý vedlejší vstup zapojení je spojen se vstupem druhého hradla, jehož výstup je spojen s prvním vstupem paměťového obvodu, výstup třetího hradla je spojen s druhým vstupem paměťového obvodu, přičemž první výstup paměťového obvodu je spojen s řídicím vstupem prvního hradlovacího obvodu, a druhý výstup paměťového obvodu je spojen s řídicím vstupem druhého hradlovacího obvodu.

Předností zapojení podle vynálezu je skutečnost, že umožňuje uvolnění průchodu signálu, popřípadě skupin signálů z prvního vstupu na první výstup, z druhého vstupu na druhý výstup zapojení, a to kombinovaně podle časového pořadí vzniku těchto signálů a časové opakovatelnosti těchto signálů, a podle nastavení počáteční průchodnosti signálních vedení pomocí logických signálů na vedlejších vstupech zapojení a na řídicích vstupech hradel, jakož i změny průchodnosti signálů prošlými z těchto vstupů vždy na pevně přiřazený výstup.

Další předností je určení výchozího stavu, a to pomocí signálů na řídicích vstupech jed-

ného hradla a druhého hradla, se zvláštním zřetелеm na možnost odběru těchto signálů z čidel, například ve výrobní lince s automatizovaným řízením výroby, popřípadě s automatizovaným řízením zvolených výrobních operací.

Zapojení podle vynálezu je v příkladném provedení znázorněno na přiloženém výkrese, kde na obr. 1 je znázorněno principiální zapojení, a na obr. 2 je znázorněno další rozvinuté zapojení s vícenásobnými vstupy použitých logických prvků.

Na obr. 1 je znázorněn první vstup S_A zapojení spojený se vstupem a hradlovacího obvodu A , jehož výstup je spojen s prvním výstupem X zapojení. Druhý vstup S_D zapojení je spojen se vstupem d druhého hradlovacího obvodu D , jehož výstup je spojen s druhým výstupem Y zapojení. Dále je na obr. 1 znázorněno první hradlo H_1 se vstupem h_1 , s výstupem, s řídicím vstupem α_1 , druhé hradlo H_2 se vstupem h_2 , s výstupem, s řídicím vstupem α_2 , třetí hradlo H_3 se vstupem h_3 , s výstupem, s řídicím vstupem α_3 , paměťový obvod P s prvním vstupem p_1 , s druhým vstupem p_2 , s prvním výstupem P_1 , s druhým výstupem P_2 . První vstup p_1 paměťového obvodu P je vícenásobný a skládá se z jednoho elementárního vstupu 1p_1 a z druhého elementárního vstupu 2p_1 tohoto prvního vstupu, druhý vstup tohoto paměťového obvodu p_2 je vícenásobný a skládá se z prvního elementárního vstupu 1p_2 a z druhého elementárního vstupu 2p_2 tohoto druhého vstupu p_2 .

Výstup prvního hradlovacího obvodu A je dále spojen se vstupem h_3 třetího hradla H_3 , jehož výstup je spojen s druhým vstupem p_2 paměťového obvodu P tak, že je spojen s druhým elementárním vstupem 2p_2 tohoto vstupu p_2 . Výstup druhého hradlovacího obvodu D je spojen s prvním vstupem p_1 paměťového obvodu P tak, že je spojen s druhým elementárním vstupem 2p_1 tohoto prvního vstupu p_1 .

Výstup prvního hradla H_1 je spojen s druhým vstupem p_2 paměťového obvodu P tak, že je spojen s prvním elementárním vstupem 1p_2 tohoto druhého vstupu p_2 . Výstup druhého hradla H_2 je spojen s prvním vstupem p_1 paměťového obvodu P tak, že je spojen s prvním elementárním vstupem 1p_1 tohoto prvního vstupu p_1 .

Výstupy P_1 , P_2 paměťového obvodu P jsou spojeny s řídicími vstupy α , δ hradlovacích obvodů A , D tak, že první výstup P_1 tohoto paměťového obvodu P je spojen s řídicím vstupem α prvního hradlovacího obvodu A , druhý výstup P_2 tohoto paměťového obvodu P je spojen s řídicím vstupem δ druhého hradlovacího obvodu D .

Jako hradlovací obvod se uvažuje kombinální logický obvod se vstupem, popřípadě s vícenásobným vstupem, s výstupem, popřípadě s vícenásobným výstupem, s řídicím vstupem popřípadě s řídicím vícenásobným

vstupem, kde signál zvolené logické úrovně na řídicím vstupu, popřípadě na vícenásobném řídicím vstupu uvolňuje průchod tohoto hradlovacího obvodu pro signály ze vstupu na výstup tohoto hradlovacího obvodu. V nejjednodušším případě se jedná například o logický obvod s funkcí logického součinu, vztaženo na vstup a na řídicí vstup.

Obdobně jako hradlo se uvažuje kombinální logický obvod s funkcí logického součinu, vztaženo na vstup a na řídicí vstup.

Jako paměťový obvod se uvažuje sekvenční logický obvod, například dvojková paměť, realizovaná s výhodou jako klopný obvod se symetrickým uspořádáním vzhledem k jednomu vstupu a k druhému vstupu.

Při použití obvodů s vícenásobnými vstupy se jedná o jednoduchou logickou vazbu mezi jednotlivými elementárními vstupy, například logický součet, logický součin a podobně.

Tak například pro logický součet platný pro jeden elementární vstup 1p_1 , druhý elementární vstup 2p_1 prvního vstupu p_1 paměťového obvodu P se překlápění tohoto paměťového obvodu děje buďto působením signálu z výstupu druhého hradlovacího obvodu D na druhý elementární vstup 2p_1 , anebo působením signálu z výstupu druhého hradla H_2 na první elementární vstup 1p_1 tohoto prvního vstupu p_1 .

Funkce zapojení pro uvolňování průchodu signálů podle obr. 1 je taková, že na první vstup S_A a druhý vstup S_D přicházejí signály v pravidelných časových intervalech. Průchod těchto signálů přes první hradlovací obvod A na první výstup X zapojení a přes druhý hradlovací obvod D na druhý výstup Y zapojení je závislý od signálů na řídicích vstupech α , δ , a tedy od signálů na výstupech P_1 , P_2 paměťového obvodu P .

Při takovém výchozím stavu tohoto paměťového obvodu P , kdy na prvním výstupu P_1 je přítomen signál, na druhém výstupu P_2 není přítomen signál, je průchod prvního hradlovacího obvodu A pro signál z prvního vstupu S_A na první výstup X zapojení uvolněn.

Předpokládá se taková funkce hradlovacího obvodu A , D , popřípadě hradel H_1 , H_2 , H_3 , že signál na řídicím vstupu α , δ , popřípadě na řídicím vstupu α_1 , α_2 , α_3 , otevírá průchod těchto hradlovacích obvodů, popřípadě těchto hradel.

Signál, který přešel přes první hradlovací obvod A na jeho výstup přechází dále na vstup h_3 třetího hradla H_3 . Při působení signálu na řídicím vstupu α_3 tohoto hradla přechází signál na jeho výstup a dále na druhý vstup p_2 paměťového obvodu P , a způsobuje jeho překlápění a přechod do takového stavu, kdy na prvním výstupu P_1 není přítomen signál, čímž se průchod prvního hradlovacího obvodu A uzavírá, a na druhém výstupu P_2 je přítomen signál, čímž se průchod druhého hradlovacího obvodu D otevírá.

Další časový průběh signálů je takový, že signál na druhém vstupu S_D přechází přes druhý hradlovací obvod D na jeho výstup a na druhý výstup Y zapojení.

Při nepůsobení signálu na řídicím vstupu x_3 třetího hradla H_3 nepřechází signál z výstupu prvního hradlovacího obvodu A a na druhý vstup p_2 paměťového obvodu P , stav signálů na výstupu tohoto paměťového obvodu se nemění, nemění se tedy ani signály na řídicích vstupech α , δ hradlovacích obvodů A , D . Signály z prvního vstupu S_A přecházejí pravidelně přes první hradlovací obvod A na jeho výstup a na první výstup X zapojení.

Signál, který přešel přes druhý hradlovací obvod D na jeho výstup přechází dále na první vstup p_1 paměťového obvodu P a způsobuje takový stav signálů na jeho výstupech, že na prvním výstupu P_1 je přítomen signál, který přechází na řídicí vstup α prvního hradlovacího obvodu A a otevírá jeho průchod, na druhém výstupu $<P_2>$ není přítomen signál, čímž se průchod druhého hradlovacího obvodu D uzavírá.

Funkce prvního hradla H_1 a druhého hradla H_2 v návaznosti na paměťový obvod P je taková, že v závislosti od signálů na řídicích vstupech x_1 , x_2 těchto hradel se určuje například výchozí stav tohoto paměťového obvodu P .

Při působení signálu na řídicím vstupu x_1 prvního hradla H_1 přechází signál z prvního vedlejšího vstupu Z_1 zapojení na vstup h_1 prvního hradla H_1 a na jeho výstup a na druhý vstup p_2 paměťového obvodu P . Při působení signálu na řídicím vstupu x_2 druhého hradla H_2 přechází signál z druhého vedlejšího vstupu Z_2 zapojení na vstup h_2 druhého hradla H_2 a na jeho výstup, a na první vstup p_1 paměťového obvodu P .

Změnou logické hodnoty signálu na vstupu h_1 , na řídicím vstupu x_1 jednoho hradla H_1 , změnou logické hodnoty signálu na vstupu h_2 , na řídicím vstupu x_2 druhého hradla H_2 , popřípadě změnou logické hodnoty signálu na řídicím vstupu x_3 třetího hradla H_3 se mění chování zapojení jako celku. Některé z těchto změn se dosáhne pomocí přepínače, například na dálku, změnou stavu čidel ve výrobní lince a podobně.

Tak například při otevřeném stavu třetího hradla H_3 následuje po průchodu signálu ze vstupu S_A na výstup X průchod signálu z vedlejšího vstupu S_D na vedlejší výstup Y .

Při otevřeném stavu jednoho hradla H_1 přechází signál z jeho vstupu h_1 na jeho výstup a dále na jeden elementární vstup 1p_2 druhého vstupu p_2 paměťového obvodu P a určuje například jeho výchozí stav.

Další uplatnění zapojení pro řízení průchodu signálů podle vynálezu je takové, obr. 2, že první vstup S_A zapojení je vícenásobný a skládá se z prvního elementárního vstupu 1S_A , z druhého elementárního vstupu 2S_A , popřípadě z dalšího elementárního vstupu tohoto

prvního vstupu S_A zapojení, první výstup X zapojení je vícenásobný a skládá se z prvního elementárního vstupu X_1 , z druhého elementárního vstupu X_2 , popřípadě z dalšího elementárního vstupu tohoto prvního vstupu X zapojení, první hradlovací obvod A je vícenásobný a skládá se z prvního elementárního hradlovacího obvodu A_1 , z druhého elementárního hradlovacího obvodu A_2 , popřípadě z dalšího elementárního hradlovacího obvodu tohoto prvního hradlovacího obvodu A , kde první elementární vstup 1S_A je spojen se vstupem a_1 prvního elementárního hradlovacího obvodu A_1 , jehož výstup je spojen s prvním elementárním výstupem X_1 , druhý elementární vstup 2S_A je spojen se vstupem a_2 druhého elementárního hradlovacího obvodu A_2 , jehož výstup je spojen s druhým elementárním výstupem X_2 , další elementární vstup je spojen se vstupem dalšího elementárního hradlovacího obvodu, jehož výstup je spojen s dalším elementárním výstupem prvního vstupu X zapojení.

První výstup P_1 paměťového obvodu P je spojen s řídicími vstupy α_1 , α_2 elementárních hradlovacích obvodů tak, že je spojen s prvním elementárním vstupem $^1\alpha_1$ řídicího vstupu α_1 prvního elementárního hradlovacího obvodu A_1 , s prvním elementárním vstupem $^1\alpha_2$ řídicího vstupu α_2 druhého elementárního hradlovacího obvodu A_2 , popřípadě s prvním elementárním vstupem řídicího vstupu dalšího elementárního hradlovacího obvodu.

Výstupy elementárních hradlovacích obvodů A_1 , A_2 jsou spojeny s elementárními vstupy 1h_3 , 2h_3 vstupu h_3 třetího hradla H_3 .

Pro elementární hradlovací obvody A_1 , A_2 s vícenásobnými řídicími vstupy α_1 , α_2 složenými z prvního elementárního řídicího vstupu $^1\alpha_1$, $^1\alpha_2$, z druhého elementárního řídicího vstupu $^2\alpha_1$, $^2\alpha_2$, popřípadě z třetího elementárního řídicího vstupu $^3\alpha_1$, $^3\alpha_2$, případně z dalšího elementárního řídicího vstupu, se k těmto elementárním řídicím vstupům připojují výstupy přidavných paměťových obvodů.

Tak například při dvojnásobném vstupu prvním S_A zapojení, dvojnásobném prvním výstupu X zapojení, dvojnásobném hradlovacím obvodu A , obr. 2, lze pomocí jednoho přidavného paměťového obvodu uvolňovat průchod signálů z prvního elementárního vstupu 1S_A prvního vstupu S_A zapojení na první elementární vstup X_1 prvního vstupu X zapojení, a uzavírat průchod signálu z druhého elementárního vstupu 2S_A prvního vstupu S_A zapojení na druhý elementární výstup X_2 prvního vstupu X zapojení, a naopak, a to pouhým překlopením a změnou stavu tohoto přidavného paměťového obvodu.

Uplatnění zapojení pro uvolňování průchodu signálů podle vynálezu je zejména v oblasti syntézy složitých logických obvodů řídicích soustav. Bezprostřední uplatnění je například ve výrobních linkách, kde se jedná o uvolnění průchodu řídicích signálů se zvláštním zřetelem na časové pořadí průchodu

těchto signálů a na časovou opakovatelnost těchto signálů.

Předností tohoto uplatnění je zejména jednoduchost, přehlednost a snadná realizovatel-

nost, bez nároků na složité a drahé univerzální řídicí systémy z oblasti číslicové výpočetní techniky.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro uvolňování průchodu signálů, vyznačené tím, že první vstup (S_A) je spojen se vstupem (a) prvního hradlovacího obvodu (A), jehož výstup je spojen jednak s prvním výstupem (x) a jednak se vstupem (h_3) třetího hradla (H_3), druhý vstup (S_D) zapojení je spojen se vstupem (d) druhého hradlovacího obvodu (D), jehož výstup je spojen jednak s druhým výstupem (Y) a jednak s prvním vstupem (p_1) paměťového obvodu (P), první vedlejší vstup (Z_1) je spojen se vstupem (h_1) prvního hradla (H_1), jehož výstup je spojen s druhým vstupem (p_2) paměťového obvodu (P), druhý vedlejší vstup (Z_2) je spojen se vstupem (h_2) druhého hradla (H_2), jehož výstup je spojen s prvním vstupem (p_1) paměťového obvodu (P), výstup třetího hradla (H_3) je spojen s druhým vstupem (p_2) paměťového obvodu (P), přičemž první výstup (P_1) paměťového obvodu (P) je spojen s řídicím vstupem (α) prvního hradlovacího obvodu (A), a druhý výstup (P_2) paměťového obvodu (P) je spojen s řídicím vstupem (δ) druhého hradlovacího obvodu (D).

2. Zapojení podle bodu 1, vyznačené tím, že první elementární vstup (1S_A) prvního vstupu (S_A) zapojení je spojen se vstupem (a_1) prvního elementárního hradlovacího obvodu (A_1), jehož výstup je spojen jednak s prvním elementárním výstupem (X_1) prvního výstupu (X) zapojení a jednak s prvním elementárním vstupem (1h_3) třetího hradla (H_3), druhý elementární vstup (2S_A) prvního vstupu (S_A) zapojení je spojen se vstupem (a_2) druhého elementárního hradlovacího obvodu (A_2), jehož výstup je spojen jednak s druhým elementárním výstupem (X_2) prvního výstupu (X) zapojení a jednak s druhým elementárním vstupem (2h_3) třetího hradla (H_3), přičemž první výstup ($< P_1 >$) paměťového obvodu (P) je spojen jednak s řídicím vstupem ($^1\alpha_1$) prvního elementárního hradlovacího obvodu (A_1) a jednak s řídicím vstupem ($^1\alpha_2$) druhého elementárního hradlovacího obvodu (A_2).

2 výkresy



