

(43) 国際公開日
2006 年 2 月 23 日 (23.02.2006)

PCT

(10) 国際公開番号
WO 2006/018974 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) H01L 27/08 (2006.01)
H01L 27/088 (2006.01) H01L 21/76 (2006.01)
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)
H01L 27/092 (2006.01)

(21) 国際出願番号:

PCT/JP2005/014208

(22) 国際出願日:

2005 年 8 月 3 日 (03.08.2005)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2004-237207 2004 年 8 月 17 日 (17.08.2004) JP
特願2004-237208 2004 年 8 月 17 日 (17.08.2004) JP
特願2004-237209 2004 年 8 月 17 日 (17.08.2004) JP
特願2004-237210 2004 年 8 月 17 日 (17.08.2004) JP
特願2004-237211 2004 年 8 月 17 日 (17.08.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山中 貴光 (YAMANAKA, Takamitsu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

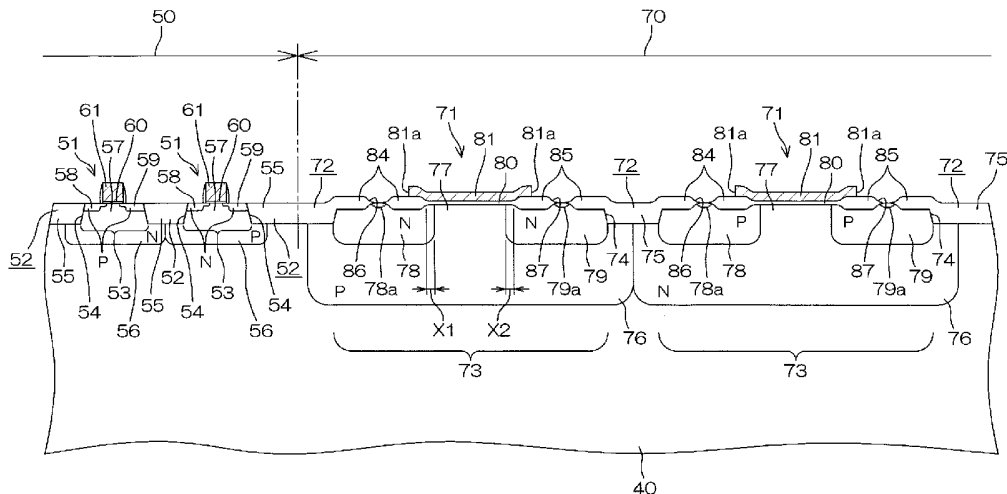
(74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device is provided by forming a first element and a second element having different withstand voltages on a semiconductor substrate. More specifically, the semiconductor device includes the semiconductor substrate; a first region, which is a region on the semiconductor substrate, and has a first element forming region isolated by an element isolating part wherein an insulating material is embedded in a trench formed on the semiconductor substrate; a first element formed on the first element forming region; a second region, which is a region different from the first region on the semiconductor substrate and has a second element forming region; and a second element, which is formed on the second element forming region, has a drift-drain structure wherein an LOCOS oxide film thicker than a gate insulating film is arranged on an edge part of a gate electrode, and has a higher withstand voltage than that of the first element.

(57) 要約: この半導体装置は、耐圧の異なる第 1 素子および第 2 素子を半導体基板上に形成したものである。より具体的には、この半導体装置は、半導体基板と、この半導体基板上の領域であって、この半導体基板上に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された第 1 素子形成領域を有する第 1 領域と、前記第 1 素子形成領域に形成された第 1 素子と、前記半導体基板上の上記第 1 領域とは別の領

[続葉有]



HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

域であって、第2素子形成領域を有する第2領域と、前記第2素子形成領域に形成され、ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子とを含む。

明 細 書

半導体装置およびその製造方法

技術分野

[0001] この発明は、耐圧の異なる複数の素子を半導体基板上に共通に搭載した半導体装置およびその製造方法に関する。また、この発明は、半導体基板上に第1領域および第2領域(たとえば、低耐圧領域および高耐圧領域)を有する半導体装置の製造方法に関する。さらにこの発明は、半導体基板上に少なくとも膜厚の異なる3つの酸化膜を有する半導体装置の製造方法に関する。さらに、この発明は、チャネル領域に隣接して、酸化シリコンが埋め込まれたトレンチを有する半導体装置の製造方法に関する。さらに、この発明は、ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法に関する。

背景技術

[0002] たとえば、液晶表示パネルの駆動回路を構成する集積回路(ドライバIC)やデジタルスチルカメラ等のオートフォーカス制御のための集積回路(オートフォーカスIC)のような半導体装置は、半導体基板上に耐圧の異なる複数種類のトランジスタ素子(典型的にはMOS型電界効果トランジスタ)を搭載して構成される場合がある。このような半導体装置は、たとえば、半導体基板上に、低耐圧トランジスタが形成された低耐圧領域と、高耐圧トランジスタが形成された高耐圧領域とを備えている。

[0003] 個々のトランジスタ素子を形成するための素子領域の分離は、LOCOS (local oxidation of silicon) 法で行われるか、またはSTI (Shallow Trench Isolation (シャロウ・トレンチ・アイソレーション)) 法により行われる。LOCOS法は、シリコン基板の表面に選択的に熱酸化膜を成長させることによって素子領域を分離する方法である。一方、STI法は、シリコン基板に形成した浅いトレンチ(深さ4000 Å程度)内に絶縁体(たとえば酸化シリコン)を埋め込むことによって素子形成領域を分離する方法である。

[0004] 半導体基板上に低耐圧領域および高耐圧領域の両方を有する半導体装置においても、両領域にLOCOS法を等しく適用した構成(たとえば、下記特許文献1および

下記特許文献2)、または両領域にSTI法を等しく適用した構成が、従来から採用されてきた。

しかし、LOCOS法を低耐圧領域に適用すると、この低耐圧領域における素子の微細化が阻害される。その一方で、STI法を高耐圧領域に適用すると、トレンチのエッジ部において顕著な電界集中が生じ、耐圧の劣化を招く。

[0005] より具体的には、高耐圧のMOS型トランジスタは、ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置することによって、ゲート電極エッジ部における電界の集中を緩和するドリフト・ドレイン構造がとられる場合がある。その厚い酸化膜は、LOCOS法による素子分離構造が採られる場合にはLOCOS酸化膜で形成され、STI法による素子分離構造が採られる場合にはSTI部によって形成される。そして、STI部によって厚い酸化膜を形成する場合に、ゲート電極エッジ部の直下に位置するSTI部の角部(トレンチの角部)において、電界の集中が生じることになるのである。

[0006] 一方、LOCOS法では、シリコン基板の表面にパッド酸化膜を介して窒化膜が形成され、この窒化膜上にレジスト膜のパターンが形成される。このレジスト膜をマスクとして反応性イオンエッチングによって窒化膜がエッチングされ、LOCOS酸化膜を形成すべき領域に開口が形成される。レジスト膜を除去した後、窒化膜を耐酸化性マスクとして熱酸化処理を行うと、窒化膜の開口部において厚いLOCOS酸化膜が成長する。その後、窒化膜を熱リン酸液によってウェットエッチングし、さらにパッド酸化膜を除去した後、LOCOS酸化膜によって分離された領域に薄いゲート酸化膜が形成される。

[0007] ところが、低耐圧領域に形成されるトランジスタと高耐圧領域に形成されるトランジスタとでは、ゲート酸化膜の膜厚が全く異なる。したがって、高耐圧トランジスタのゲート酸化膜と低耐圧トランジスタのゲート酸化膜とは、別の工程でそれぞれ形成する必要がある。

つまり、高耐圧トランジスタのゲート酸化膜を形成するときには、低耐圧領域は耐酸化性マスクで被覆しておき、高耐圧領域に対して選択的に熱酸化処理を行う必要がある。

[0008] ところが、LOCOS法において耐酸化性マスクとしての窒化膜を除去するために使

用される熱リン酸液は、レジスト膜をも溶かしてしまう。そのため、熱リン酸液によるウェットエッチング工程を行うと、半導体基板上の窒化膜がことごとく除去されてしまい、低耐圧領域の耐酸化性マスクも失われる。

そこで、窒化膜をエッチングするための他の方法である反応性イオンエッチングを用いることが考えられる。すなわち、低耐圧領域をレジスト膜で覆い、チャネル領域上の窒化膜を選択的にドライエッチングする手法である。

- [0009] しかし、反応性イオンエッチングによってチャネル領域上の窒化膜を除去すれば、プラズマによるチャネル領域の損傷が避けられない。したがって、このような損傷を受けたチャネル領域上にゲート酸化膜を形成しても、信頼性の高いゲート酸化膜を得ることはできず、所望の特性のトランジスタを形成することができない。

素子領域の分離にSTI(シャロウ・トレンチ・アイソレーション)法を適用する場合でも、ゲート酸化膜の形成は熱酸化法によるので、上述の場合と同様の問題に直面する。

- [0010] LOCOS法を適用した具体例を図10(a)～図10(d)に示す。まず、図10(a)に示すように、半導体基板1上にパターン形成された窒化膜2をマスクとした選択熱酸化によって厚いLOCOS酸化膜3を形成して低耐圧素子領域4および高耐圧素子領域5を分離した後、図10(b)に示すように、窒化膜2を除去し、さらに熱酸化処理を行うことによって、高耐圧素子領域5にゲート酸化膜6が形成される。このとき、低耐圧素子領域4にも同様に酸化膜6aが成長する。そこで、図10(c)に示すように、高耐圧素子領域5を覆い、低耐圧素子領域4を露出させるパターンのレジスト膜7を形成し、このレジスト膜7をマスクとして、ふっ酸液によって、低耐圧素子領域4の表面の酸化膜6aを除去する(除去される部分を斜線で示す)。続いて、図10(d)に示すように、レジスト膜7を除去した後に熱酸化処理を行うことによって、低耐圧素子領域4に対応したゲート酸化膜8が形成される。

- [0011] このようにして、半導体基板1の表面には、LOCOS酸化膜3、これよりも薄いゲート酸化膜6、およびさらにこれよりも薄いゲート酸化膜8の3種類の膜厚の酸化膜が形成されることになる。

レジスト膜7は、LOCOS酸化膜3によって分離された低耐圧素子領域4のエッジ部

に整合するように形成できれば理想的であるが、マスク合わせ余裕を考慮する必要があるため、LOCOS酸化膜3上にそのエッジ部が位置することになる。そのため、図10(c)のウェットエッチングの際に浸食を受け、段差部9を生じることになる。

- [0012] これにより、LOCOS酸化膜3の一部の膜厚が少なくなるので、素子分離耐圧不良の原因となるおそれがある。この問題は、LOCOS酸化膜3の膜厚を大きくすれば回避できるが、それでは、LOCOS酸化膜3のバースピークが大きくなり、素子寸法制御性が犠牲となる。

また、段差部9は、後の工程でのリソグラフィフォーカスマージンの低下に繋がるため、微細加工に支障を来すおそれがある。

- [0013] 図11は、ドリフト・ドレイン構造のトランジスタを有する半導体装置の構成を説明するための図解的な断面図であり、図12は、その図解的な平面図である。半導体基板101上には、チャネル領域102を挟んで一対のドリフト層103が形成されている。このドリフト層103の表面部分には、チャネル領域102に隣接する浅いトレンチ104が形成されており、このトレンチ104内には酸化シリコン105が埋め込まれている。チャネル領域102の表面には、ゲート酸化膜106が形成されている。このゲート酸化膜106上にはゲート電極107(図12において二点鎖線で示す。)が形成されており、このゲート電極107のエッジ部は、酸化シリコン105の上方にまで達している。この構造により、ゲート電極107のエッジ部における電界の集中を緩和できる。

- [0014] トレンチ104は、図12に示すように、チャネル領域104の幅方向wの両側にも形成されており、半導体基板101上に形成された他の素子との分離構造を形成している(いわゆるシャロウ・トレンチ・アイソレーション)。

図13(a)～図13(f)は、前記の半導体装置の製造工程を示す図解的な断面図であり、トレンチ104の部分が拡大して示されている。トレンチ104は、図13(a)に示すように、窒化シリコン膜111をハードマスクとして用いた反応性イオンエッチング(RIE)によって半導体基板101をエッチングすることによって形成される。その後、図13(b)に示すように、CVD(化学的気相成長)法によって、全面に酸化シリコン膜112が形成される。次いで、CMP(化学的機械的研磨)法によって、図13(c)に示すように、窒化シリコン膜111が露出するまで平坦化処理が行われ、酸化シリコン105がトレンチ104

に埋め込まれた状態となる。

[0015] 次いで、図13(d)に示すように、窒化シリコン膜111が除去される。その後は、ドリフト領域103の形成のための拡散工程などが実行されるが、その都度、半導体基板101は、ふっ酸を用いた洗浄(ライトエッチング)処理を受ける。そのため、酸化シリコン膜112の膜減りが起こるのであるが、この膜減りは、等方的に進行し、かつ半導体基板101はふっ酸に全く不溶である。そのため、ゲート酸化膜106が形成されるまでには、図13(e)に示すように、酸化シリコン105の角部はトレンチ104の縁部よりも内方に後退してしまい、チャネル領域102との境界部に窪み(ディボット)113(図12において太線で示す。)が形成されることになる。

[0016] この状態で、図13(f)に示すように、ゲート酸化膜106が形成され、さらに、チャネル領域102からトレンチ104の上方に至る領域にゲート電極107が形成されることになる。

したがって、ゲート酸化膜106は、トレンチ104との境界部、すなわち、チャネル領域104のエッジ部に、他の部分よりも膜厚の薄い薄膜部106aを有することになる。この薄膜部106aが、ゲート酸化膜耐圧の低下や、トランジスタ静特性不良(しきい値が不安定となるハンプ現象など)の原因となっていた。

[0017] 図14(a)～図14(d)に、LOCOS法を用いたドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法を模式的に示す。まず、図14(a)に示すように、半導体基板201上に、窒化膜202が形成され、この窒化膜202がレジスト膜210をマスクとしてパターン化される。この窒化膜202は、チャネル領域203を挟んで対向する領域に一对の開口202aを有している。この窒化膜202を耐酸化性マスクとして熱酸化を行うことにより、図14(b)に示すように、半導体基板201の表面に厚いLOCOS酸化膜204が形成される。

[0018] 次に、図14(c)に示すように、窒化膜202を除去した後、イオン注入および注入イオンの熱拡散(ドライブ)を行うことにより、P型ウェル205が形成される。さらに、チャネル領域203とウェル205外の領域を覆うようにレジスト膜206が形成され、このレジスト膜206をマスクとしてN型不純物イオンが注入される。

その後、図14(d)に示すように、レジスト膜206を剥離し、注入されたN型不純物イ

オンを熱拡散させることによって、チャネル領域203を挟んで対向する一対のドリフト層207が形成される。このドリフト層207は、チャネル領域203の両側のLOCOS酸化膜204を潜り込んでチャネル領域203へと達する。チャネル領域203における半導体基板201の表面には、熱酸化法によって、薄いゲート酸化膜208が形成され、このゲート酸化膜208はLOCOS酸化膜204に接続されることになる。この状態で、ゲート電極209が、ゲート酸化膜208の上部を覆い、さらにLOCOS酸化膜204の上部にまで至る領域に渡って形成される。こうして、ゲート電極209のエッジ部が、ゲート酸化膜208よりも厚いLOCOS酸化膜204の上部に位置するから、ゲート電極209のエッジ部における電界の集中を緩和できる。

[0019] ところが、前述のような製造方法では、LOCOS酸化膜204の内方エッジからチャネル領域203内方へのドリフト層207の進入距離Xにばらつきが生じるという問題がある。この進入距離Xのばらつきは、窒化膜202のパターン化のためのマスクとなるレジスト膜210と、ドリフト層207の形成のためのマスクとなるレジスト膜206とのずれ(マスクずれ)に起因している。そのため、進入距離Xは、ウエハ(半導体基板201)間でばらつくうえに、同一ウエハ上の面内位置によってもばらつく。

[0020] この進入距離Xは、図15に示すように、トランジスタの耐圧(BV_{dss}: Breakdown Voltage of drain with source short)に大きな影響を与える。この図15から、進入距離Xを大きくとれば耐圧が安定することが分かるが、進入距離Xを大きくするような設計では、トランジスタの微細化の要請に反し、かつ耐圧そのものも低い値しか実現できない。したがって、進入距離Xをなるべく小さくし、かつ、ばらつきを少なくすることが課題となっていた。

特許文献1:特開平10-284615号公報

特許文献2:特開2002-76288号公報

発明の開示

発明が解決しようとする課題

[0021] この発明の第1の目的は、半導体基板上に耐圧の異なる複数の領域を有し、耐圧の低い領域では素子の微細化を図ることができる一方、耐圧の高い領域の素子には十分な耐圧を付与することができる半導体装置およびその製造方法を提供すること

である。

この発明の第2の目的は、半導体基板上の所定の領域内の窒化膜を、当該領域へのダメージを抑制しつつ選択的に除去することにより、信頼性の高い半導体装置を製造することができる方法を提供することである。

- [0022] この発明の第3の目的は、少なくとも3種類の膜厚を有する酸化膜を半導体基板上に良好に形成することができ、これにより半導体装置の特性の向上に寄与することができる製造方法を提供することである。

この発明の第4の目的は、チャネル領域とトレンチとの境界部においてゲート酸化膜が薄膜化することを防止して、ゲート酸化膜耐圧を向上でき、半導体装置の特性を向上することができる半導体装置の製造方法を提供することである。

- [0023] この発明の第5の目的は、ドリフト・ドレイン構造のトランジスタにおいて高耐圧化および微細化を行うときに生じる耐圧のばらつきを抑制することができる半導体装置の製造方法を提供することである。

課題を解決するための手段

- [0024] この発明の第1の局面に係る半導体装置は、半導体基板と、この半導体基板上の領域であって、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された第1素子形成領域を有する第1領域と、前記第1素子形成領域に形成された第1素子と、前記半導体基板上の上記第1領域とは別の領域であって、第2素子形成領域を有する第2領域と、前記第2素子形成領域に形成され、ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子とを含む。
- [0025] この構成によれば、比較的低耐圧の第1素子が形成される第1領域における素子分離には、いわゆるシャロウ・トレンチ・アイソレーション(STI)が適用されるので、この第1領域の構造の微細化を有利に図ることができる。その一方で、第2領域に形成される比較的高耐圧の第2素子は、ゲート電極のエッジ部にLOCOS酸化膜を有するドリフト・ドレイン構造に形成されているので、STI部からなる厚い絶縁膜をゲート電極エッジ部に配置する場合のような電界の集中の問題を抑制できる。これにより、第2素子は、十分な耐圧を有することができる。

[0026] 前記第2素子形成領域は、前記半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された領域であることが好ましい。この構成では、第2領域においても第1領域と同様にSTIによる素子形成領域の分離がされているので、共通の工程で、第1および第2領域の素子形成領域の分離構造を形成することができ、製造が容易である。

[0027] 前記第2素子形成領域は、LOCOS酸化膜によって分離された領域であってもよい。この構成では、第2領域における素子形成領域の分離にはLOCOS法が適用されているので、第2領域における電界の集中をより一層低減して、高耐圧化にさらに有利な構成とすることができる。

前記第1素子は、前記第2素子よりも小さな素子サイズを有するものであってもよい。前述のとおり、第1領域における素子形成領域の分離には、素子の微細化に有利なSTI法が適用されているので、第1素子の微細化を容易に図ることができる。

[0028] 前記の半導体装置を製造するための一つの製造方法は、半導体基板上の第1領域に、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部を形成し、この素子分離部によって分離された第1素子形成領域を形成する工程と、前記半導体基板の前記第1領域とは異なる第2領域に第2素子形成領域を形成する工程と、前記第1素子形成領域に第1素子を形成する工程と、ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子を前記第2素子形成領域に形成する工程とを含む。

[0029] この発明の第2の局面に係る半導体装置の製造方法は、半導体基板上の第1領域の全域を覆い、第2領域内の所定領域を覆う窒化膜を形成する工程と、この窒化膜の全表面に酸化皮膜を形成する酸化皮膜形成工程と、この酸化皮膜形成工程の後に、前記第1領域上を被覆し、前記第2領域上の所定の酸化膜形成対象領域を被覆しないパターンのレジスト膜を前記窒化膜上に形成する工程と、前記レジスト膜をマスクとしたふっ酸液によるウェットエッチングによって、前記酸化膜形成対象領域の窒化膜の表面に形成された前記酸化皮膜を選択的に除去して、その下地の前記窒化膜を露出させるふっ酸エッチング工程と、前記レジスト膜を剥離する工程と、室温よりも高い所定温度に加熱したリン酸液によって、前記露出した窒化膜を除去する工程

と、前記窒化膜が除去された酸化膜形成対象領域の基板表面に熱酸化による酸化膜を形成する工程とを含む。

[0030] この方法は、ふっ酸液によるエッチングレートは、酸化膜の方が窒化膜よりも高く、熱リン酸液によるエッチングレートは、窒化膜の方が酸化膜よりも高いことを利用している。すなわち、半導体基板上の第1および第2領域に窒化膜を形成した後、この窒化膜の全表面に酸化皮膜を形成し、第2領域の窒化膜のうち除去したい領域(酸化膜形成対象領域)の窒化膜の表面の酸化皮膜がふっ酸液によって選択的に除去される。したがって、次に、熱リン酸液によるエッチングを行えば、酸化皮膜が除去された領域(酸化膜形成対象領域)の窒化膜のみが選択的に除去されることになる。こうして、ドライエッチングによることなく窒化膜の選択除去を行えるので、ウェットエッチングによって窒化膜が除去された後のダメージのない半導体基板の表面に酸化膜を成長させることができる。

[0031] 前記方法は、好ましくは、前記第1領域に第1素子を形成する工程と、前記第2領域に前記第1素子よりも高耐圧の第2素子を形成する工程とをさらに含む。この方法によれば、比較的low耐圧の第1素子が形成される第1領域を窒化膜によって保護した状態で、比較的高耐圧の第2素子の形成のために、第2領域内のダメージのない酸化膜形成対象領域に酸化膜を成長させることができる。

[0032] たとえば、第1素子および第2素子がいずれもゲート酸化膜を有し、第1素子のゲート酸化膜が第2素子のゲート酸化膜よりも膜厚が薄い場合に、第1領域を窒化膜で保護した状態で第2素子のためのゲート酸化膜を形成した後に、第1素子のための薄いゲート酸化膜を高精度に膜厚を制御しつつ形成することができる。これにより、第1素子を微細構造に形成しつつ、第2素子に十分な耐圧を持たせることが可能になる。

[0033] 前記第2領域内の酸化膜形成対象領域は、トランジスタのチャネル領域を含んでいてもよい。この方法によれば、トランジスタのチャネル領域上の窒化膜を、チャネル領域にダメージを与えるドライエッチングによることなく除去し、このチャネル領域に酸化膜(たとえばゲート酸化膜)を形成することができる。これにより、良好な特性の第2素子を形成できる。

[0034] この発明の第3の局面に係る半導体装置の製造方法は、図8(a)～図8(f)に一例を示すとおり、半導体基板21上に、第1酸化膜形成領域31に開口を有し、第2酸化膜形成領域32および第3酸化膜形成領域33を覆う窒化膜22を形成する工程(図8(a))と、前記窒化膜22を耐酸化性マスクとして前記半導体基板21に熱酸化処理を施すことにより、前記第1酸化膜形成領域31に第1の膜厚の第1酸化膜23(図8(a)～図8(f)の例では素子形成領域分離のためのLOCOS酸化膜)を形成する工程(図8(b))と、前記窒化膜22の表面を覆う酸化皮膜24を形成する工程(図8(b))と、前記半導体基板21上に、前記第2酸化膜形成領域32に開口を有し、前記第3酸化膜形成領域33を覆うレジスト膜25を形成する工程(図8(c))と、このレジスト膜25をマスクとしてふっ酸液によるウェットエッチングを行い、前記第2酸化膜形成領域32の前記窒化膜22の表面を覆う前記酸化皮膜24を除去する工程(図8(c))と、前記レジスト膜25を除去する工程(図8(d))と、室温よりも高温のリン酸液によるウェットエッチングによって、前記第2酸化膜形成領域32の前記酸化皮膜24が除去された前記窒化膜22を除去する工程(図8(d))と、熱酸化処理によって、前記第2酸化膜形成領域32において前記窒化膜22が除去された領域に、前記第1の膜厚よりも薄い第2の膜厚の第2酸化膜26(たとえば、トランジスタのゲート酸化膜)を形成する工程(図8(d))と、ふっ酸液によるウェットエッチングによって、前記第3酸化膜形成領域33の前記窒化膜22の表面を覆う酸化皮膜24を除去する工程(図8(e))と、室温よりも高温のリン酸液によるウェットエッチングによって、前記第3酸化膜形成領域33の前記酸化皮膜24が除去された前記窒化膜22を除去する工程(図8(f))と、熱酸化処理によって、前記第3酸化膜形成領域33において前記窒化膜22が除去された領域に、前記第2の膜厚よりも薄い第3の膜厚の第3酸化膜27(たとえば、トランジスタのゲート酸化膜)を形成する工程(図8(f))とを含む。

[0035] この方法によれば、半導体基板上に形成された窒化膜を耐酸化性マスクとして、まず、第1の膜厚の第1酸化膜が第1酸化膜形成領域に形成される。これと同時に、またはその後に、窒化膜の表面に酸化皮膜が形成される。この酸化皮膜は、ふっ酸液によってエッチングされるが、熱リン酸によっては実質的にエッチングされない。そこで、第2酸化膜形成領域において、当該窒化膜の表面の酸化皮膜がふっ酸液によって

除去される。レジスト膜は熱リン酸に対する耐性がないので、これを剥離し、その後、熱リン酸によってエッチング処理を行うと、酸化皮膜が除去された状態の窒化膜を選択的に除去することができる。この状態で、残りの窒化膜を耐酸化性マスクとして熱酸化を行うことにより、第1の膜厚よりも薄い第2の膜厚の第2酸化膜を第2酸化膜形成領域に形成できる。

[0036] さらに、第3酸化膜形成領域の窒化膜の表面の酸化皮膜をふっ酸液で除去し、さらにリン酸液によるエッチングによってその窒化膜を除去した後に熱酸化を行うことによって、第2の膜厚よりもさらに薄い第3の膜厚の第3酸化膜を第3酸化膜形成領域に形成できる。

こうして、最も薄い第3酸化膜は、第1酸化膜および第2酸化膜の形成工程の影響を受けずに正確に膜厚を制御でき、次に薄い第2酸化膜は第1酸化膜の形成工程の影響を受けずにその膜厚を正確に制御できる。

[0037] また、厚い酸化膜を基板全体に形成し、これをエッチング除去してから薄い酸化膜を所望の領域に改めて形成する工程の場合とは異なり、先に形成された厚い酸化膜(図8(a)～図8(f)の例では第1酸化膜)に段差が生じることがない。これにより、その後のリソグラフィ工程におけるフォーカスマージンを向上することができる。また、厚い酸化膜(図8(a)～図8(f)の例では第1酸化膜)を素子分離のための膜(LOCOS酸化膜)として用いる場合に、その膜減りによる素子分離耐圧の劣化の問題を回避できる。

[0038] 熱リン酸による窒化膜のエッチングを防ぐための酸化皮膜は極薄い膜厚(たとえば150 Å程度)で十分であり、この酸化皮膜のエッチングの際に、先に形成された酸化膜に不所望な膜減りが生じることはない。したがって、第1、第2および第3酸化膜の膜厚は、膜減りを考慮して定める必要がなく、要求される特性のみを考慮して設定することができる。

[0039] 前記方法は、好ましくは、前記第3酸化膜をゲート酸化膜とした第1トランジスタ素子を形成する工程と、前記第2酸化膜をゲート酸化膜とし、前記第1トランジスタよりも高耐圧の第2トランジスタを形成する工程とをさらに含む。この方法により、半導体基板上に高耐圧トランジスタおよび低耐圧トランジスタの両方を形成し、かつ、低耐圧トランジスタのゲート酸化膜の膜厚を正確に制御できる。これにより、高耐圧トランジスタ

の十分な耐圧を確保しつつ、低耐圧トランジスタの良好な特性を実現できる。

[0040] 前記第1酸化膜は、前記第2トランジスタのゲート電極のエッジ部に配置され、この第2トランジスタのゲート酸化膜である前記第2酸化膜よりも厚い酸化膜を成すものであることが好ましい。この方法により、ゲート電極のエッジ部に厚い酸化膜を配置して電界の集中を防止したドリフト・ドレイン構造を形成することができ、第2トランジスタの高耐圧特性を実現できる。

[0041] 前記第1酸化膜は、前記半導体基板上で素子形成領域を分離するLOCOS酸化膜を含むものであってもよい。この方法により、段差のないLOCOS酸化膜で素子形成領域を分離しつつ、半導体基板上に高耐圧トランジスタと低耐圧トランジスタを形成することができる。

この発明の第4の局面に係る半導体装置の製造方法は、半導体基板のチャネル領域に隣接してトレンチを形成する工程と、このトレンチ内に酸化膜を埋め込む工程と、前記チャネル領域を被覆し、前記トレンチ側に所定距離だけはみ出すとともに、前記トレンチ内の酸化膜において前記チャネル領域との境界近傍の領域を露出させる耐酸化性マスク膜を形成する工程と、この耐酸化性マスク膜をマスクとした選択的熱酸化によって、前記トレンチから前記チャネル領域側に延びるバースビークを成長させる選択的熱酸化工程と、この選択的熱酸化工程の後に、前記チャネル領域にゲート酸化膜を形成する工程とを含む。

[0042] この方法によれば、ゲート酸化膜を形成するよりも前に、チャネル領域側に所定距離だけはみ出すとともに、チャネル領域とトレンチとの間の境界部近傍を露出させる耐酸化性マスク膜をマスクとした選択的熱酸化が行われる。これにより、トレンチ内部の酸化膜からチャネル領域へとバースビークが延び、トレンチとチャネル領域の境界部における酸化膜の窪みを解消することができる。したがって、その後に、ゲート酸化膜を形成することにより、前記窪みに起因する薄膜部のない均一な膜厚のゲート酸化膜を形成することができる。その結果、ゲート酸化膜耐圧を向上でき、半導体装置の特性を向上することができる。

[0043] 前記バースビークは、その根元部における膜厚が前記ゲート酸化膜の膜厚にほぼ等しくなるように形成されることが好ましい。

前記耐酸化性マスク膜を形成する工程は、前記耐酸化性マスク膜を、前記チャンネル領域を挟んで対向する一対の領域を露出させるパターンに形成する工程を含み、前記選択的熱酸化工程は、前記一対の領域にLOCOS酸化膜を成長させる工程を含むことが好ましい。

- [0044] この方法によれば、チャンネル領域を挟んで対向する一対の領域にLOCOS酸化膜を選択成長させる工程を利用して、前記のバースビークを成長させることができる。すなわち、前記窪みに起因するゲート酸化膜の薄膜部の発生を防止するために特別な工程を行う必要がない。

前記トレンチを形成する工程は、前記チャンネル領域を挟んで対向する一対の領域にトレンチを形成する工程を含んでもよい。この方法の場合、前記一対の領域側にそれぞれ所定距離だけはみ出すとともに、この一対の領域のトレンチ内の酸化膜において前記チャンネル領域との境界近傍の領域を露出させるように耐酸化性マスク膜を形成しておくことにより、前記一対の領域のトレンチ内の酸化膜の窪みをバースビークによって解消できる。

- [0045] 前記方法は、前記選択的熱酸化工程に先だって、前記一対の領域に不純物イオンを注入する工程を含んでもよい。この場合に、前記選択的熱酸化工程において前記半導体基板に付与される熱によって、前記一対の領域の半導体基板内部において不純物イオンを熱拡散させ、前記チャンネル領域を挟んで対向する一対のドリフト層を形成する工程がさらに含まれていることが好ましい。

- [0046] この方法によれば、選択的熱酸化工程により、チャンネル領域を挟んで対向する一対の領域の不純物イオンを拡散させるとともに、バースビークを成長させることができるので、工程を簡単にすることができる。

この発明の方法は、前記チャンネル領域を覆うとともに、前記LOCOS酸化膜または前記トレンチ内の酸化膜上にエッジ部を有するゲート電極を形成する工程をさらに含むことが好ましい。これにより、いわゆる、ドリフト・ドレイン構造を有する高耐圧トランジスタを形成することができる。しかも、薄膜部のない均一な膜厚のゲート酸化膜を形成することができるので、十分な耐圧を確保できる。

- [0047] この発明の第5の局面に係る半導体装置の製造方法は、ゲート電極のエッジ部に

ゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法に関する。この方法は、図9(a)～図9(h)に一例を示すように、半導体基板40を覆う耐酸化性マスク膜43(たとえば窒化シリコン膜)を形成する工程(図9(a))と、前記耐酸化性マスク膜43においてチャネル領域77を挟んだ一対の領域にレジスト開口44aを有するレジスト膜44を形成するレジスト膜形成工程(図9(b))と、前記レジスト開口44aが形成された前記レジスト膜44をマスクとして、前記トランジスタのドリフト層を形成するためのイオンを前記半導体基板40に注入するイオン注入工程(図9(c))と、前記レジスト膜44をマスクとして前記耐酸化性マスク膜43をエッチングし、この耐酸化性マスク膜43に、前記レジスト膜44の前記一対のレジスト開口44aに対応した一対のマスク開口43aを形成する耐酸化性マスク選択エッチング工程(図9(d))と、前記イオン注入工程および前記耐酸化性マスク選択エッチング工程の後に、前記耐酸化性マスク膜43をマスクとして前記半導体基板40表面を熱酸化することにより、前記耐酸化性マスク膜43に形成された一対のマスク開口43aに対応する領域にLOCOS酸化膜84, 85を形成するとともに、前記半導体基板40に注入されたイオンを熱拡散させて、前記チャネル領域77を挟んで対向する一対のドリフト層78, 79を形成する工程(図9(e))と、前記耐酸化性マスク膜43を除去する工程(図9(f))と、前記一対のドリフト層78, 79の間の前記半導体基板40の表面に、前記LOCOS酸化膜84, 85よりも薄いゲート酸化膜80を形成する工程(図9(g))と、前記ゲート酸化膜80の上部から前記LOCOS酸化膜84, 85の上部に至る領域に延在するゲート電極81を形成する工程(図9(h))とを含む。

- [0048] この方法によれば、1枚のレジスト膜をマスクとして、ドリフト層の形成のためのイオン注入を行い、かつ、チャネル領域を挟んで対向する領域において耐酸化性マスク膜にマスク開口が形成される。すなわち、ドリフト層の形成のためのイオン注入と、耐酸化性マスク膜のパターニングとに共通のレジスト膜が用いられる。これにより、ドリフト層とLOCOS酸化膜とが自己整合的に形成されることになるから、LOCOS酸化膜のチャネル領域側縁部からチャネル領域内方へのドリフト層の進出距離を正確に制御できるようになる。これにより、ドリフト・ドレイン構造のトランジスタの耐圧のばらつきを抑制することができる。

[0049] なお、レジスト膜のレジスト開口や耐酸化性マスク膜のマスク開口は、必ずしも全周が包囲された開口である必要はない。たとえば、チャネル領域を挟んで対向する一対のレジスト開口やマスク開口は、チャネル領域を避けた領域で連続して1つの開口をなしていてもよい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施例の説明により明らかにされる。

図面の簡単な説明

[0050] [図1]この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

[図2A]前記の半導体装置の製造工程を示す断面図である。

[図2B]前記の半導体装置の製造工程を示す断面図である。

[図2C]前記の半導体装置の製造工程を示す断面図である。

[図2D]前記の半導体装置の製造工程を示す断面図である。

[図2E]前記の半導体装置の製造工程を示す断面図である。

[図2F]前記の半導体装置の製造工程を示す断面図である。

[図2G]前記の半導体装置の製造工程を示す断面図である。

[図2H]前記の半導体装置の製造工程を示す断面図である。

[図2I]前記の半導体装置の製造工程を示す断面図である。

[図2J]前記の半導体装置の製造工程を示す断面図である。

[図2K]前記の半導体装置の製造工程を示す断面図である。

[図2L]前記の半導体装置の製造工程を示す断面図である。

[図2M]前記の半導体装置の製造工程を示す断面図である。

[図2N]前記の半導体装置の製造工程を示す断面図である。

[図3]高耐圧トランジスタの近傍の平面図であり、図2Eの工程における構成を示す。

[図4]図4Aは図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

[図5]高耐圧トランジスタにおけるゲート酸化膜耐圧を示す図であり、ゲート電圧 V_g とゲートリーク電流 I_g との関係が示されている。

[図6]Nチャネル高耐圧トランジスタの静特性を示す図であり、ソース接地、ドレイン電圧 $V_{ds}=0.1V$ のときにおける、ゲート電圧 V_{gs} に対するドレイン電流 I_{ds} の変化が示されている。

[図7]この発明の他の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

[図8]図8(a)～図8(f)は、この発明の方法を一例により概説するための図解的な断面図である。

[図9]図9(a)～図9(h)は、この発明に係る半導体装置の製造方法を一例により概説するための図解的な断面図である。

[図10]図10(a)～図10(d)は、LOCOS法を用いた従来技術を工程順に示す図解的な断面図である。

[図11]ドリフト・ドレイン構造のトランジスタを有する半導体装置の構成を説明するための図解的な断面図である。

[図12]図11の半導体装置の図解的な平面図である。

[図13]図13(a)～図13(f)は、図11および図12の半導体装置の製造方法を説明するための図解的な断面図である。

[図14]図14(a)～図14(d)は、ドリフト・ドレイン構造のトランジスタを有する半導体装置の従来の製造方法を工程順に示す断面図である。

[図15]従来の製造方法でドリフト・ドレイン構造のトランジスタを製造した場合の耐圧のばらつきを説明するための図である。

発明の実施の形態

[0051] 図1は、この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この半導体装置は、複数の低耐圧トランジスタ51が形成される第1領域50と、複数の高耐圧トランジスタ71が形成される第2領域70とを有するシリコン基板(半導体基板の一例)40を備えている。

第1領域50内に形成された複数の低耐圧トランジスタ51は、シリコン基板40の表層部に形成されたシャロウ・トレンチ分離(STI:Shallow Trench Isolation)部52によって分離された素子形成領域53内に形成されている。STI部52は、シリコン基板40の

表面に形成された浅い(たとえば、深さ4000 Å程度)トレンチ54内に酸化シリコン55を埋め込んで形成されている。

[0052] 素子形成領域53を含む領域には、シリコン基板40の表層部に、ウェル(P型ウェルまたはN型ウェル)56が形成されている。このウェル56内には、チャネル領域57を挟んでソース拡散層58およびドレイン拡散層59(P型ウェル内ではN型拡散層、N型ウェル内ではP型拡散層)が形成されている。そして、チャネル領域57の表面に、たとえば膜厚32 Åのゲート酸化膜60(第3酸化膜)が形成され、このゲート酸化膜60上にゲート電極61が積層されている。

[0053] 図示は省略するが、さらに、ゲート電極61上およびソース/ドレイン拡散層58, 59を覆うように層間絶縁膜が形成されている。この層間絶縁膜に形成されたコンタクト孔を介してソース拡散層58およびドレイン拡散層59にそれぞれ接合するようにソース電極およびドレイン電極が形成されている。

第1領域50内に形成されている複数の低耐圧トランジスタ51は、いずれもNチャネル型トランジスタ(P型ウェル内にN型ソース・ドレイン拡散層を形成したもの)であってもよいし、いずれもPチャネル型トランジスタ(N型ウェル内にP型ソース・ドレイン拡散層を形成したもの)であってもよく、Nチャネル型トランジスタおよびPチャネル型トランジスタの両方を含んでもよい。

[0054] 第2領域70に形成された高耐圧トランジスタ71は、シリコン基板40の表層部に形成されたSTI部72によって分離された素子形成領域73に形成されている。STI部72は、シリコン基板40の表面に形成された浅い(たとえば、深さ4000 Å程度)トレンチ74内に酸化シリコン75を埋め込んで形成されている。

素子形成領域73を含む領域には、シリコン基板40の表層部に、ウェル(P型ウェルまたはN型ウェル)76が形成されている。このウェル76内には、チャネル領域77(アクティブ領域)を挟んでソース側ドリフト層78およびドレイン側ドリフト層79(P型ウェル内ではN型ドリフト層、N型ウェル内ではP型ドリフト層)が形成されている。そして、チャネル領域77の表面に、たとえば膜厚1000 Åのゲート酸化膜80(第2酸化膜)が形成され、このゲート酸化膜80上にゲート電極81が積層されている。

[0055] ドリフト層78, 79の表面には、厚いLOCOS酸化膜84, 85(第1酸化膜。たとえば、

膜厚2800 Å程度)がそれぞれ形成されている。ゲート電極81は、チャネル領域77上からLOCOS酸化膜84, 85のチャネル領域77側縁部に至る領域に形成されている。これにより、ゲート電極81の端部81aは、ゲート酸化膜80よりも厚いLOCOS酸化膜84, 85上に位置しており、電界の集中を防いで高耐圧を実現するドリフト・ドレイン構造が形成されている。

[0056] LOCOS酸化膜84, 85には、ドリフト層78, 79にソース電極およびドレイン電極をそれぞれ接合するためのコンタクト孔86, 87が形成されている。これらのコンタクト孔86, 87の直下の領域には、ドリフト層78, 79と同じ導電型でそれらよりも高濃度に不純物を含むソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成されている。図示は省略するが、さらに、上述の層間絶縁膜が、ゲート電極81上およびLOCOS酸化膜84, 85を覆うように形成されている。この層間絶縁膜には、ソース電極およびドレイン電極のためのコンタクト孔がそれぞれ形成されており、これらはLOCOS酸化膜84, 85に形成されたコンタクト孔86, 87に連通している。

[0057] ドリフト層78, 79は、LOCOS酸化膜84, 85の下方を回り込んでチャネル領域77へと進入している。LOCOS酸化膜84, 85のチャネル領域77側の縁部からチャネル領域77の内方へのドリフト層78, 79の進入距離X1, X2は、後述の製造方法の適用によって、ばらつきを抑制して、精度よく制御される。

第2領域70内に形成されている複数の高耐圧トランジスタ71は、いずれもNチャネル型トランジスタ(P型ウェル内にN型ドリフト層を形成したもの)であってもよいし、いずれもPチャネル型トランジスタ(N型ウェル内にP型ドリフト層を形成したもの)であってもよく、Nチャネル型トランジスタおよびPチャネル型トランジスタの両方を含んでいてもよい。

[0058] 高耐圧トランジスタ71は、低耐圧トランジスタ51よりも耐圧の高いトランジスタである。たとえば、高耐圧トランジスタ71の動作電圧は、40V程度であるのに対して、低耐圧トランジスタ51の動作電圧は、1.8V程度である。また、低耐圧トランジスタ51は、高耐圧トランジスタ71よりも微細な構造であり、高耐圧トランジスタ71の素子サイズ(素子形成領域73の大きさ)は20 μmのオーダーであるのに対して、低耐圧トランジスタ51の素子サイズ(素子形成領域53の大きさ)は1 μmのオーダーとなっている。

[0059] この実施形態の半導体装置では、素子形成領域53, 73の分離をSTI部52, 72によって行っているので、LOCOS法による素子分離の場合に比較して、素子分離のために占有される領域(素子分離領域)を小さくすることができる。これにより、とくに、低耐圧領域である第1領域50において微細構造の低耐圧トランジスタ51を高密度に形成することができる。その一方で、高耐圧領域である第2領域70においては、ドリフト・ドレイン構造のための厚い酸化膜は、LOCOS酸化膜84, 85で形成されている。これにより、この厚い酸化膜をSTI構造で形成する場合における電界集中の問題を克服することができ、高耐圧トランジスタ71の耐圧を向上することができる。

[0060] 図2A～2Lは、前記の半導体装置の製造方法を工程順に示す断面図である。まず、図2Aに示すように、STI部52, 72を形成したシリコン基板40が作製される。具体的には、シリコン基板40の表面の第1および第2領域50, 70に、たとえば反応性イオンエッチングによってトレンチ54, 74(深さ4000 Å程度)を形成し、さらに、全面に酸化シリコン膜(HDP: 高密度プラズマCVD酸化膜)が形成される。その後、CMP(化学的機械的研磨)法によって表面を平坦化し、トレンチ54, 74外の酸化シリコン膜を除去することにより、トレンチ54, 74内に酸化シリコン55, 75が埋め込まれた構造のSTI部52, 72が得られる。

[0061] この状態から、第2領域70のウェル76を形成すべき領域に開口を有するレジスト膜41でシリコン基板40の表面を覆い、このレジスト膜41をマスクとしてウェル76の形成のための不純物イオンが注入される。この不純物イオンは、ウェル76をP型とする場合であれば、たとえばホウ素イオンであり、ウェル76をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第1領域50はレジスト膜41で覆われているので、この第1領域50には不純物イオンは導入されない。

[0062] 次に、図2Bに示すように、レジスト膜41を剥離し、熱酸化法によって、シリコン基板40の表面全面にパッド酸化膜42が形成される。この際にシリコン基板40に与えられる熱を利用して、シリコン基板40に注入された不純物イオンの熱拡散(ドライブ)が行われ、シリコン基板40内にウェル76が形成される。

続いて、図2Cに示すように、CVD(化学的気相成長)法によって、パッド酸化膜42の全面を被覆する窒化シリコン膜43(たとえば、膜厚300 Å程度)が形成される。次

いで、図2Dに示すように、窒化シリコン膜43の表面にレジスト膜44のパターンが形成される。このレジスト膜44は、図1の構造におけるLOCOS酸化膜84, 85に対応するレジスト開口44a(チャネル領域77を挟んで対向する一対の領域に形成されるレジスト開口)を有し、残余の部分を被覆するものである。すなわち、レジスト膜44は、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。このレジスト膜44によって被覆されていない領域が第1酸化膜形成領域である。

[0063] このレジスト膜44をマスクとして、ドリフト層78, 79を形成するための不純物イオンが注入される。この不純物イオンは、ウェル76とは反対の導電型の不純物イオンであり、ドリフト層78, 79をN型とする場合であれば、たとえばリンイオンが用いられ、ドリフト層78, 79をP型とする場合であれば、たとえばホウ素イオンである。不純物イオンの注入エネルギーは、イオン投影飛程がSTI部72の厚さよりも小さくなるように設定される。

[0064] この後、図2Eに示すように、レジスト膜44をマスクとして、ドライエッチングである反応性イオンエッチング(RIE: Reactive Ion Etching)が行われ、後に耐酸化性マスク膜として用いられる窒化シリコン膜43がパターニングされる。すなわち、この窒化シリコン膜43は、レジスト膜44と同様、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。この窒化シリコン膜43は、レジスト膜44によってパターニングされるので、このレジスト膜44のレジスト開口44aと整合するマスク開口43aを有することになり、このマスク開口43aは、チャネル領域77を挟んで対向する一対の領域に形成される。

[0065] 次に、図2Fに示すように、窒化シリコン膜43を耐酸化性マスクとした熱酸化(LOCOS法)が行われる。これにより、第2領域70内において、チャネル領域77を挟んで対向する領域(ドリフト層78, 79の領域)にLOCOS酸化膜84, 85が形成されるとともに、注入されたイオンの熱拡散(ドライブ)が生じることにより、チャネル領域77を挟んで対向するドリフト層78, 79が形成されることになる。

[0066] LOCOS酸化膜84, 85は、2800 Å程度の膜厚を有している。また、ドリフト層78, 79は、LOCOS酸化膜84, 85のチャネル領域77側エッジ部よりも、チャネル領域7

7の内方に進入距離X1, X2だけ入り込んだ状態となる。図2Dおよび図2Eを参照して説明したとおり、ドリフト層78, 79の形成のためのイオン注入時に使用されるマスクとしてのレジスト膜44は、LOCOS酸化膜84, 85の形成時の耐酸化性マスクとしての窒化シリコン膜43のパターニングのためにも利用されている。したがって、ドリフト層78, 79およびLOCOS酸化膜84, 85は、自己整合的に形成されることになる。その結果、上記の進入距離X1, X2は、熱による拡散距離で決定されることになり、高精度に制御されるから、複数の高耐圧トランジスタ71間でのばらつきはもちろんのこと、複数の半導体装置間でのばらつきを抑制できる。これにより、耐圧のばらつきを大幅に低減することができる。

[0067] 図2Fに示すように、LOCOS酸化膜84, 85を形成するための熱酸化処理によって、窒化シリコン膜43の表面には、酸化皮膜(薄い酸化膜)45(たとえば膜厚150 Å程度)が形成され、この酸化皮膜45の分だけ窒化シリコン膜43の膜厚が減少する(たとえば150 Å程度となる)。LOCOS酸化膜84, 85の形成時に十分な膜厚の酸化皮膜45が窒化シリコン膜43上に成長しない場合には、たとえば、CVD法によって、窒化シリコン膜43を被覆する酸化皮膜45を成長させる工程を行ってもよい。

[0068] 次に、図2Gに示すように、チャネル領域77(LOCOS酸化膜84, 85の間の領域。第2酸化膜形成領域)を露出させるとともに、シリコン基板40上の残余の部分を被覆するパターンのレジスト膜46が形成される。そして、このレジスト膜46をマスクとして、ふつ酸液によるウェットエッチングが行われる。これにより、レジスト膜46から露出している領域において、窒化シリコン膜43の表面の酸化皮膜45がエッチング除去される。窒化シリコン膜43は、ふつ酸液によるエッチングレートが酸化シリコンに比較して十分に低いので、シリコン基板40上に残留する。

[0069] 次いで、図2Hに示すように、レジスト膜46を剥離した後、熱リン酸液(室温よりも高温のリン酸液)によるエッチングを行う。具体的には、たとえば、150℃のリン酸液中に約60分間シリコン基板40を浸漬する。これにより、表面に酸化皮膜45が形成されていない領域において、窒化シリコン膜43が剥離される。すなわち、LOCOS酸化膜84, 85の領域の窒化シリコン膜43が選択的に剥離されることになる。このとき、酸化シリコンは熱リン酸液によるエッチングレートが低いので、ほぼそのままシリコン基板40

上に残留する。こうして、第1領域50を窒化シリコン膜43で被覆(さらに、第2領域70内のチャネル領域77以外の領域を被覆)した状態で、チャネル領域77においてのみ、窒化シリコン膜43を選択的に除去することができる。熱リン酸液によるエッチングにおける窒化シリコン膜43のパッド酸化膜42(下地膜)に対する選択比は100以上であり、エッチング時間設計におけるマージンを大きくとることができる。

[0070] この後、ふっ酸液によつてエッチングを行うことにより、チャネル領域77の表面のパッド酸化膜42を除去して、シリコン基板40の表面を露出させることができる。

この状態から、熱酸化処理が行われ、図2Iに示すように、チャネル領域77にゲート酸化膜80(たとえば、膜厚1000 Å)が成長させられる。このとき、チャネル領域77以外の領域では、窒化シリコン膜43で覆われているので、この窒化シリコン膜43上に若干の酸化膜が成長するものの、シリコン基板40の表面における酸化膜の成長は生じない。

[0071] このように、第2領域70のチャネル領域77上の窒化シリコン膜43の選択除去は、ふっ酸液とリン酸液とを用いたウェットエッチング工程によって行われ、反応性イオンエッチングのようなドライエッチング工程を必要としない。そのため、チャネル領域77のシリコン基板40の表面にプラズマによるダメージが与えられることがないので、良好な膜質のゲート酸化膜80を形成することができるとともに、キャリアが移動するチャネル領域77の表層部におけるシリコン基板40の結晶状態を良好な状態に保持できる。反応性イオンエッチング工程によって窒化シリコン膜43にマスク開口43aを開く図2Eの工程では、LOCOS酸化膜84, 85が形成される領域が開くので、このときにシリコン基板40の表面に与えられるダメージが素子特性に影響することはない。

[0072] さらに、第1および第2領域50, 70の両方に、第2領域70に対応した厚いゲート酸化膜を形成し、第1領域50側の当該厚いゲート酸化膜を選択的に除去した後に、この第1領域50側に選択的に薄いゲート酸化膜を形成するような工程をとる場合と比較すると、第1および第2領域50, 70の間に顕著な段差が生じることを防止できるという利点がある。すなわち、第1領域50に対応したゲート酸化膜60、第2領域70に対応したゲート酸化膜80、およびLOCOS酸化膜84, 85の3種類の膜厚の酸化シリ

コン膜を、顕著な段差を生じさせることなく形成することができる。これにより、その後のリソグラフィ工程におけるフォーカスマージンの低下を抑制できる。

[0073] 次に、図2Iの工程に続いて、図2Jに示すように、シリコン基板40上の全部の窒化シリコン膜43が剥離される。具体的には、ふっ酸液によって窒化シリコン膜43の表面の酸化皮膜45をエッチングした後、熱リン酸液によって、窒化シリコン膜43が除去される。窒化シリコン膜43の表面の薄い酸化膜のエッチングによって、ゲート酸化膜80の若干の膜減りが生じるが、このときのエッチングは窒化シリコン膜43の表面の薄い酸化膜を除去するだけであるので、ゲート酸化膜80は、単に表層部分がエッチングされるだけであり、問題とはならない。

[0074] 次に、図2Kに示すように、第2領域70の全体を被覆するとともに、第1領域50においてウェル56に対応する領域においてシリコン基板40の表面を露出させるレジスト膜47が形成される。このレジスト膜47をマスクとしてウェル56の形成のための不純物イオンが注入される。この不純物イオンは、ウェル56をP型とする場合であれば、たとえばホウ素イオンであり、ウェル56をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第2領域70はレジスト膜47で覆われているので、この第2領域70には不純物イオンは導入されない。

[0075] 続いて、図2Lに示すように、レジスト膜47をマスクとして、ふっ酸液によるウェットエッチングを行い、第1領域50(とくにウェル56の領域)におけるシリコン基板40の表面のパッド酸化膜42が除去される。

そして、図2Mに示すように、熱酸化法によって、ウェル56の領域(第3酸化膜形成領域)にゲート酸化膜60が形成される。このゲート酸化膜60の膜厚は、たとえば32 Åである。このゲート酸化膜60を形成すべき領域におけるシリコン基板40の表面は、第2領域70にLOCOS酸化膜84, 85を形成する工程においても、また、第2領域70においてゲート酸化膜80を形成する工程においても、終始、窒化シリコン膜43によって保護されている。そのため、第1領域50に形成されるゲート酸化膜60は、LOCOS酸化膜84, 85や第2領域70におけるゲート酸化膜80の形成工程の影響を受けることなく、それらの厚い酸化膜を第1領域50のような微細パターン上に形成したときに生じる応力によってシリコン基板40に結晶欠陥が導入されることと、それによってリ

ーク電流が増大することを回避できる。

[0076] 次いで、図2Nに示すように、低耐圧トランジスタ51のゲート電極61および高耐圧トランジスタ71のゲート電極81が形成される。これらは、たとえばポリシリコン膜からなっているてもよい。具体的には、ポリシリコン膜をシリコン基板40の全面に被着形成した後、これをエッチングしてゲート電極61、81を形成すればよい。ゲート電極81は、そのエッジ部がLOCOS酸化膜84、85上に位置するパターンに形成される。

[0077] その後、ソースおよびドレインの形成のためのイオン注入が行われることにより、低耐圧トランジスタ51のソース拡散層58およびドレイン拡散層59がゲート電極61を挟んで対向する領域に形成され、さらに、ドリフト層78、79のLOCOS酸化膜84、85のほぼ中央の開口部の直下にソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成される。こうして、図1に示す構造の半導体装置が得られる。

[0078] 図3は、高耐圧トランジスタ71の近傍の平面図であり、図2Eの工程における構成が示されている。図2Eには、図3の切断面線II-IIに相当する断面構造が示されている。また、図4Aは、図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

反応性イオンエッチングによってパターニングされた状態の窒化シリコン膜43(図3において斜線を付して示す。)は、STI部72によって区画されるチャネル領域77の幅方向Wに関して、チャネル領域77からSTI部72側に微小距離 Δ (たとえば、0.1~0.2 μm)だけはみ出したパターンに形成される。チャネル領域77の長さ方向(一対のドリフト層78、79の対向方向)に関しては、チャネル領域77上の窒化シリコン膜43は、所望のチャネル長に対応した長さとなる。このチャネル領域77の両側では、STI部72および窒化シリコン膜43によって取り囲まれた一対の矩形領域91、92において、シリコン基板40の表面が露出することになる。この一対の矩形領域91、92のほぼ中央には、コンタクト孔86、87に対応した領域に窒化シリコン膜43が形成されている。

[0079] STI部72の上側縁部72a(チャネル領域77の縁部)には、不純物拡散工程(図2Bの工程など)前にその都度行われる洗浄処理(ふっ酸液によるライトエッチングなど)などに起因して、図4Aに示すような窪み(ディボット)93が生じている。この窪み93を

残したままでゲート酸化膜80を形成すると、この窪み93の部分において、ゲート酸化膜80には顕著な薄膜部が生じる。この薄膜部は、リークの原因となり、ゲート酸化膜耐圧の低下を招く。また、この薄膜部は、部分的に低しきい値の領域を形成することになるから、高耐圧トランジスタ71の静特性の悪化(しきい値が不安定になるなど)を招く。

[0080] この実施形態では、図4Bに示すように、ゲート酸化膜80を形成する工程より前に窪み93を取り除くために、LOCOS酸化膜84, 85を形成する熱酸化工程(ドリフト層78, 79を形成する熱拡散工程)において、STI部72からチャネル領域77へと延びるバズビーク94が成長させられる。すなわち、前述のとおり、窒化シリコン膜43は、チャネル領域77の幅方向に関して微小距離 Δ だけSTI部72側にはみ出しているとともに、STI部72とチャネル領域77との近傍の領域を露出させるパターンに形成されているので、酸素雰囲気中での加熱により、STI部72の露出部において酸化膜が成長し、バズビーク94が窒化シリコン膜43の下方へと潜り込んでチャネル領域77へと進入する。これにより、窪み93が取り除かれる。

[0081] 微小距離 Δ は、前記熱酸化工程によって成長するバズビーク94の根元部の膜厚 t が、ゲート酸化膜80の所望の膜厚(たとえば1000 Å)とほぼ等しくなるように定められる。より好ましくは、膜厚 t は、ゲート酸化膜80の所望の膜厚とパッド酸化膜42(後にふつ酸液によりエッチングされる。)の膜厚との和にほぼ等しく定められるとよい。

ゲート酸化膜80を形成するための熱酸化工程では、図4Cに示すように、チャネル領域77のシリコン基板40の表面に成長するゲート酸化膜80とバズビーク94とが接続し、チャネル領域77には、その中央領域からエッジ部に至る各所で均一な膜厚のゲート酸化膜80が形成されることになる。

[0082] 図5は、高耐圧トランジスタ71におけるゲート酸化膜耐圧を示す図であり、ゲート電圧 V_g (ゲート電極81に印加される電圧)とゲートリーク電流 I_g との関係が示されている。二点鎖線は、窪み93を取り除く対策をしなかった場合のゲート酸化膜耐圧特性を示し、実線は、窪み93を取り除く対策を施した場合のゲート酸化膜耐圧特性を示す。この図5から、窪み93を取り除く前述の対策を施すことによって、ゲート耐圧を明らかに向上できることが理解される。これは、窪み93を取り除く対策をしなかった場合

に、ゲート酸化膜に薄膜部が生じ、この薄膜部に電界が集中して耐圧の劣化を招く
のに対して、窪み93を取り除いてゲート酸化膜80の膜厚を均一化した構成では、そ
のような電界の集中を抑制できるからである。

[0083] 図6は、高耐圧トランジスタ71の静特性を示す図であり、ソース接地、ドレイン電圧
 $V_{ds}=0.1V$ のときにおける、ゲート電圧 V_{gs} に対するドレイン電流 I_{ds} の変化が示さ
れている。破線は、窪み93を取り除く対策をしなかった場合の特性を示し、実線は、
窪み93を取り除く対策を施した場合の特性を示す。また、複数の特性曲線は、バック
ゲート電圧BGV(シリコン基板40に印加する電圧)を0V, -2V, -4V, -6V, -8
Vにそれぞれ設定した場合の特性を示す。

[0084] この図6から、窪み93を取り除く対策を施しないと、複数のしきい値が現れる現象で
あるハンプが生じ、その傾向はバックゲート電圧BGVが高いほど顕著であることが分
かる。図6は、Nチャネル高耐圧トランジスタの特性例であるが、Pチャネル高耐圧トラ
ンジスタについても同様の減少が生じる。ハンプの原因は、ゲート酸化膜に窪み93
に対応した薄膜部が生じ、この薄膜部において部分的な導通が生じることによる。窪
み93を取り除いてゲート酸化膜80の膜厚を均一化した構成では、そのような部分的
な導通を抑制できるので、ハンプを抑制できる。これにより、バックゲート電圧を高くし
ても、良好な静特性を実現できる。

[0085] 図7は、この発明の他の実施形態に係る半導体装置の構成を説明するための図解
的な断面図である。この図7において、前述の図1に示された各部に対応する部分に
は、図1の場合と同一の参照符号を付して示す。

この実施形態では、第2領域70における素子形成領域は、STI部72ではなく、LO
COS酸化膜98によって分離されている。高耐圧領域としての第2領域70に関しては
、高耐圧トランジスタ71のサイズが大きいので、必ずしもSTI法による分離を適用する
必要はない。したがって、この実施形態のように、第2領域70における素子形成領域
73の分離を、LOCOS法によって行っても差し支えない。また、第1および第2領域5
0, 70の境界部に位置するLOCOS酸化膜98に顕著な段差が生じることもない。

[0086] 以上、この発明の2つの実施形態について説明したが、この発明は、他の形態で実
施することもできる。たとえば、第1および第2領域50, 70の両方に関してLOCOS法

による素子分離が行われてもよい。この場合でも、第1および第2領域50, 70の境界部におけるLOCOS酸化膜98に顕著な段差が生じることがないのは、前述の場合と同様である。

[0087] また上記の実施形態では、ドリフト・ドレイン構造のためにゲート電極81のエッジ部に配置される厚い酸化膜がLOCOS酸化膜84, 85で形成される例について説明したが、この厚い酸化膜をSTI部によって形成する場合にも、この発明を適用することができる。すなわち、LOCOS酸化膜84, 85の形成位置にSTI部を配置し、このSTI部上にゲート電極81のエッジ部が位置すればよい。このとき、窒化シリコン膜43を当該STI部側に微小距離だけはみ出したパターンに形成した状態で、ゲート酸化膜80の形成よりも前に、熱酸化処理を行うことによって、STI部からチャネル領域77側へと延びるバースピークを形成することができる。これにより、STI部の上側縁部における窪みを解消しておくことができる。

[0088] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

この出願は、いずれも2004年8月17日に日本国特許庁に提出された特願2004-237207号、特願2004-237208号、特願2004-237209号、特願2004-237210号および特願2004-237211号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

- [1] 半導体基板と、
この半導体基板上の領域であって、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された第1素子形成領域を有する第1領域と、
前記第1素子形成領域に形成された第1素子と、
前記半導体基板上の上記第1領域とは別の領域であって、第2素子形成領域を有する第2領域と、
前記第2素子形成領域に形成され、ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子とを含む、半導体装置。
- [2] 前記第2素子形成領域は、前記半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部によって分離された領域である、請求項1記載の半導体装置。
- [3] 前記第2素子形成領域は、LOCOS酸化膜によって分離された領域である、請求項1記載の半導体装置。
- [4] 前記第1素子は、前記第2素子よりも小さな素子サイズを有するものである、請求項1記載の半導体装置。
- [5] 半導体基板上の第1領域に、この半導体基板に形成されたトレンチ内に絶縁物を埋め込んだ素子分離部を形成し、この素子分離部によって分離された第1素子形成領域を形成する工程と、
前記半導体基板の前記第1領域とは異なる第2領域に第2素子形成領域を形成する工程と、
前記第1素子形成領域に第1素子を形成する工程と、
ゲート電極のエッジ部にゲート絶縁膜よりも厚いLOCOS酸化膜を配置したドリフト・ドレイン構造を有し、前記第1素子よりも高耐圧の第2素子を前記第2素子形成領域に形成する工程とを含む、半導体装置の製造方法。
- [6] 半導体基板上の第1領域の全域を覆い、第2領域内の所定領域を覆う窒化膜を形成する工程と、

この窒化膜の全表面に酸化皮膜を形成する酸化皮膜形成工程と、

この酸化皮膜形成工程の後に、前記第1領域上を被覆し、前記第2領域上の所定の酸化膜形成対象領域を被覆しないパターンのレジスト膜を前記窒化膜上に形成する工程と、

前記レジスト膜をマスクとしたふっ酸液によるウェットエッチングによって、前記酸化膜形成対象領域の窒化膜の表面に形成された前記酸化皮膜を選択的に除去して、その下地の前記窒化膜を露出させるふっ酸エッチング工程と、

前記レジスト膜を剥離する工程と、

室温よりも高い所定温度に加熱したリン酸液によって、前記露出した窒化膜を除去する工程と、

前記窒化膜が除去された酸化膜形成対象領域の基板表面に熱酸化による酸化膜を形成する工程とを含む、半導体装置の製造方法。

[7] 前記第1領域に第1素子を形成する工程と、

前記第2領域に前記第1素子よりも高耐圧の第2素子を形成する工程とをさらに含む、請求項6記載の半導体装置の製造方法。

[8] 前記第2領域内の前記酸化膜形成対象領域がトランジスタのチャネル領域を含む、請求項6記載の半導体装置の製造方法。

[9] 半導体基板上に、第1酸化膜形成領域に開口を有し、第2酸化膜形成領域および第3酸化膜形成領域を覆う窒化膜を形成する工程と、

前記窒化膜を耐酸化性マスクとして前記半導体基板に熱酸化処理を施すことにより、前記第1酸化膜形成領域に第1の膜厚の第1酸化膜を形成する工程と、

前記窒化膜の表面を覆う酸化皮膜を形成する工程と、

前記半導体基板上に、前記第2酸化膜形成領域に開口を有し、前記第3酸化膜形成領域を覆うレジスト膜を形成する工程と、

このレジスト膜をマスクとしてふっ酸液によるウェットエッチングを行い、前記第2酸化膜形成領域の前記窒化膜の表面を覆う前記酸化皮膜を除去する工程と、

前記レジスト膜を除去する工程と、

室温よりも高温のリン酸液によるウェットエッチングによって、前記第2酸化膜形成領

域の前記酸化皮膜が除去された前記窒化膜を除去する工程と、

熱酸化処理によって、前記第2酸化膜形成領域において前記窒化膜が除去された領域に、前記第1の膜厚よりも薄い第2の膜厚の第2酸化膜を形成する工程と、

ふっ酸液によるウェットエッチングによって、前記第3酸化膜形成領域の前記窒化膜の表面を覆う酸化皮膜を除去する工程と、

室温よりも高温のリン酸液によるウェットエッチングによって、前記第3酸化膜形成領域の前記酸化皮膜が除去された前記窒化膜を除去する工程と、

熱酸化処理によって、前記第3酸化膜形成領域において前記窒化膜が除去された領域に、前記第2の膜厚よりも薄い第3の膜厚の第3酸化膜を形成する工程とを含む、半導体装置の製造方法。

[10] 前記第3酸化膜をゲート酸化膜とした第1トランジスタ素子を形成する工程と、

前記第2酸化膜をゲート酸化膜とし、前記第1トランジスタよりも高耐圧の第2トランジスタを形成する工程とをさらに含む、請求項9記載の半導体装置の製造方法。

[11] 前記第1酸化膜は、前記第2トランジスタのゲート電極のエッジ部に配置され、この第2トランジスタのゲート酸化膜である前記第2酸化膜よりも厚い酸化膜を成すものである、請求項10記載の半導体装置の製造方法。

[12] 前記第1酸化膜は、前記半導体基板上で素子形成領域を分離するLOCOS酸化膜を含む、請求項10記載の半導体装置の製造方法。

[13] 半導体基板のチャネル領域に隣接してトレンチを形成する工程と、

このトレンチ内に酸化膜を埋め込む工程と、

前記チャネル領域を被覆し、前記トレンチ側に所定距離だけはみ出すとともに、前記トレンチ内の酸化膜において前記チャネル領域との境界近傍の領域を露出させる耐酸化性マスク膜を形成する工程と、

この耐酸化性マスク膜をマスクとした選択的熱酸化によって、前記トレンチから前記チャネル領域側に延びるバースビークを成長させる選択的熱酸化工程と、

この選択的熱酸化工程の後に、前記チャネル領域にゲート酸化膜を形成する工程とを含む、半導体装置の製造方法。

[14] 前記耐酸化性マスク膜を形成する工程は、前記耐酸化性マスク膜を、前記チャネル

領域を挟んで対向する一対の領域を露出させるパターンに形成する工程を含み、

前記選択的熱酸化工程は、前記一対の領域にLOCOS酸化膜を成長させる工程を含む、請求項13記載の半導体装置の製造方法。

[15] 前記トレンチを形成する工程は、前記チャネル領域を挟んで対向する一対の領域にトレンチを形成する工程を含む、請求項13記載の半導体装置の製造方法。

[16] 前記選択的熱酸化工程に先だって、前記一対の領域に不純物イオンを注入する工程を含み、

前記選択的熱酸化工程において前記半導体基板に付与される熱によって、前記一対の領域の半導体基板内部において不純物イオンを熱拡散させ、前記チャネル領域を挟んで対向する一対のドリフト層を形成する工程をさらに含む、請求項14記載の半導体装置の製造方法。

[17] ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法であって、

半導体基板を覆う耐酸化性マスク膜を形成する工程と、

前記耐酸化性マスク膜においてチャネル領域を挟んだ一対の領域にレジスト開口を有するレジスト膜を形成するレジスト膜形成工程と、

前記レジスト開口が形成された前記レジスト膜をマスクとして、前記トランジスタのドリフト層を形成するためのイオンを前記半導体基板に注入するイオン注入工程と、

前記レジスト膜をマスクとして前記耐酸化性マスク膜をエッチングし、この耐酸化性マスク膜に、前記レジスト膜の前記一対のレジスト開口に対応した一対のマスク開口を形成する耐酸化性マスク選択エッチング工程と、

前記イオン注入工程および前記耐酸化性マスク選択エッチング工程の後に、前記耐酸化性マスク膜をマスクとして前記半導体基板表面を熱酸化することにより、前記耐酸化性マスク膜に形成された一対のマスク開口に対応する領域にLOCOS酸化膜を形成するとともに、前記半導体基板に注入されたイオンを熱拡散させて、前記チャネル領域を挟んで対向する一対のドリフト層を形成する工程と、

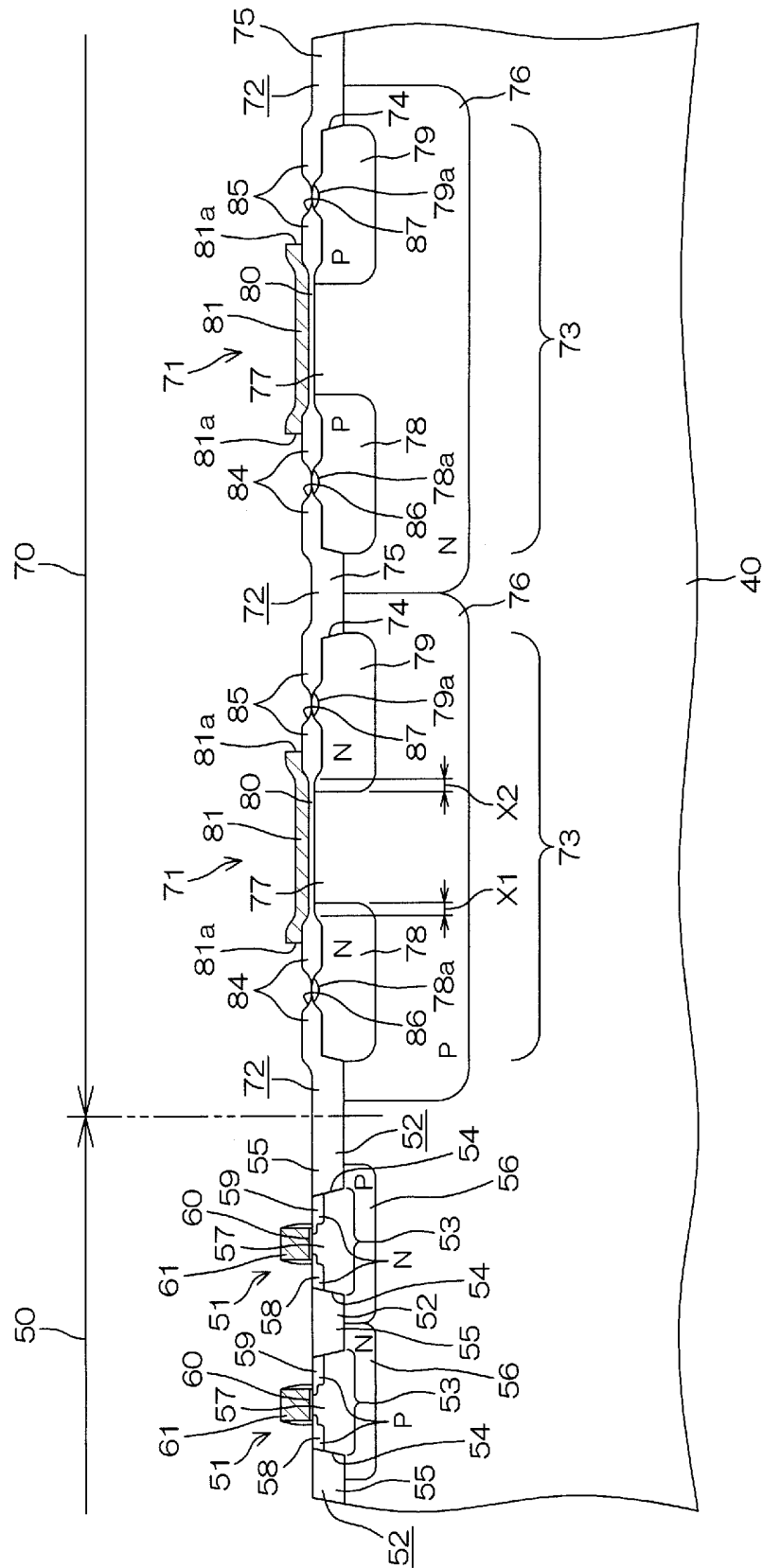
前記耐酸化性マスク膜を除去する工程と、

前記一対のドリフト層の間の前記半導体基板の表面に、前記LOCOS酸化膜よりも

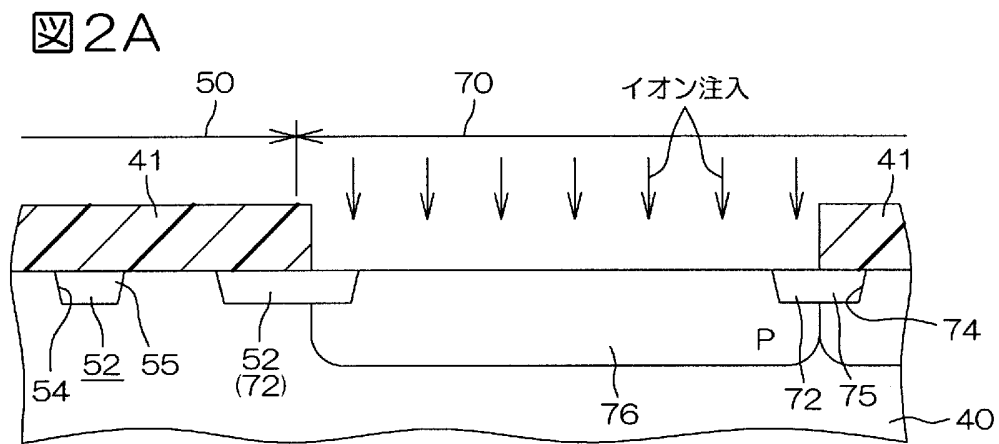
薄いゲート酸化膜を形成する工程と、

前記ゲート酸化膜の上部から前記LOCOS酸化膜の上部に至る領域に延在するゲート電極を形成する工程とを含む、半導体装置の製造方法。

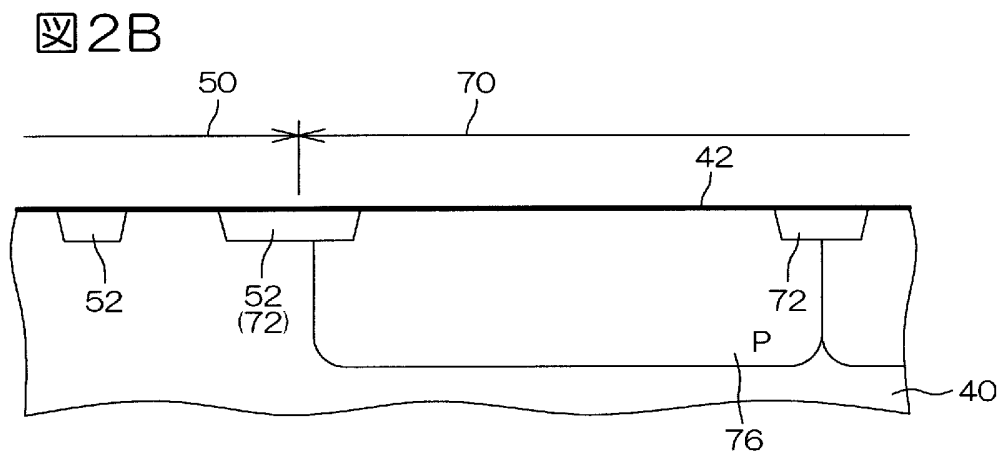
[図1]



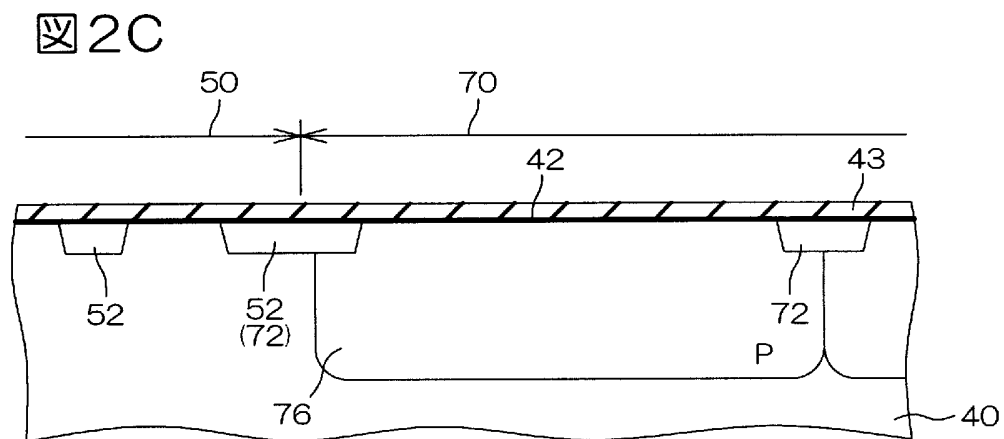
[図2A]



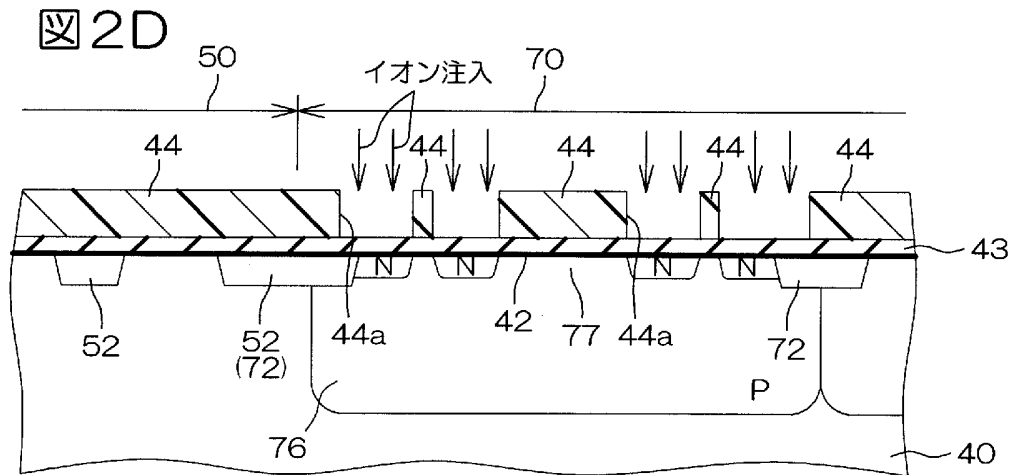
[図2B]



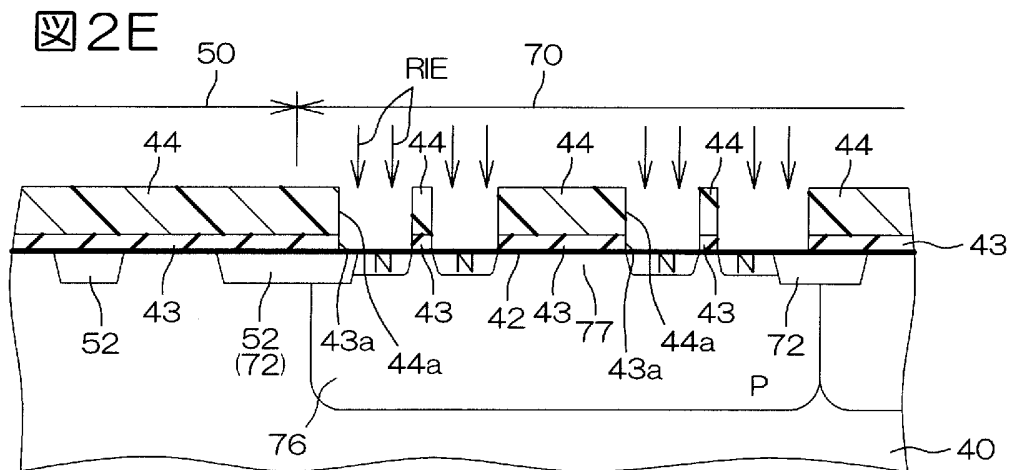
[図2C]



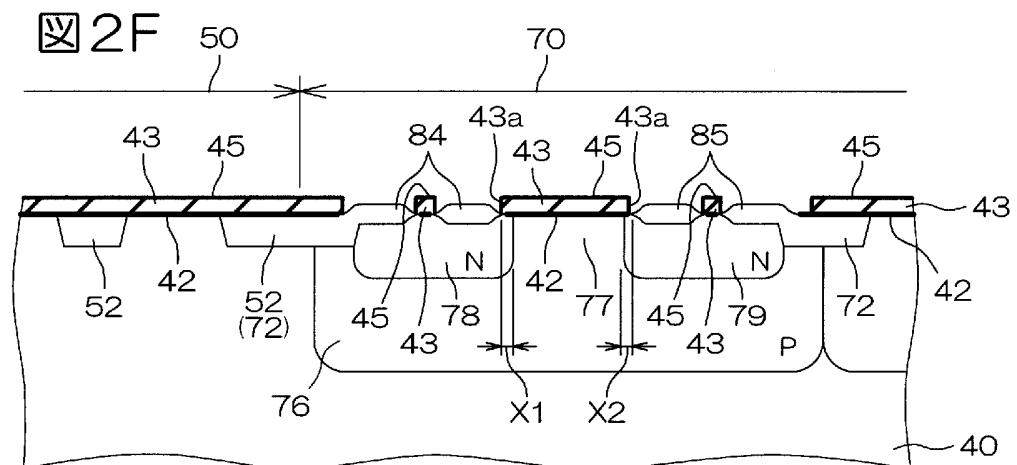
[図2D]



[図2E]

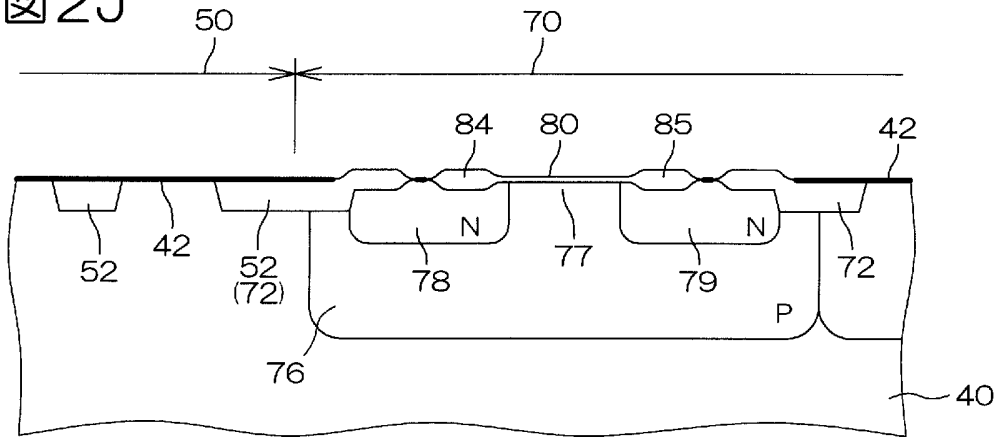


[図2F]



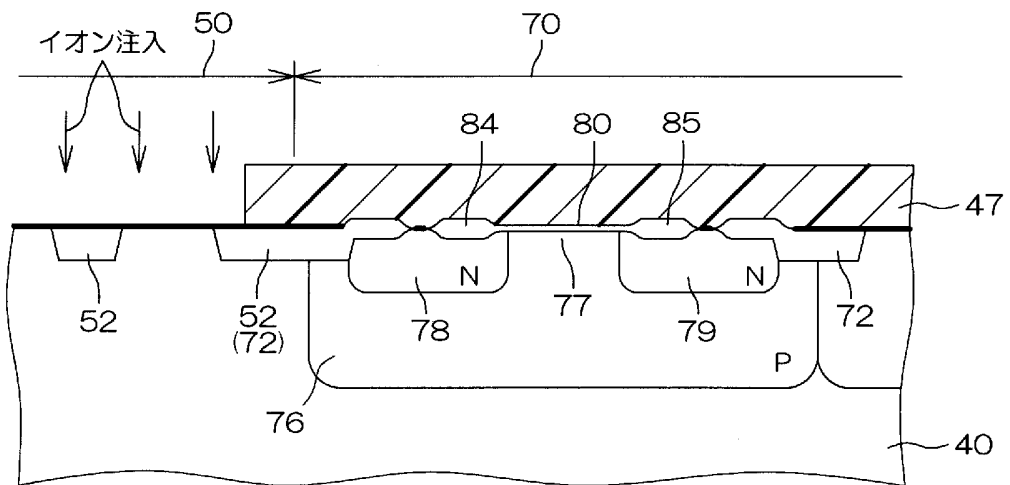
[図2J]

図2J



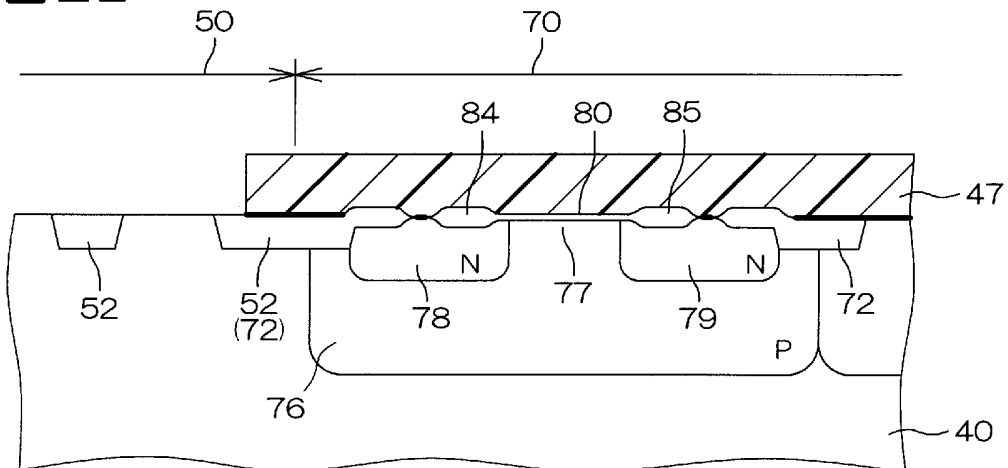
[図2K]

図2K



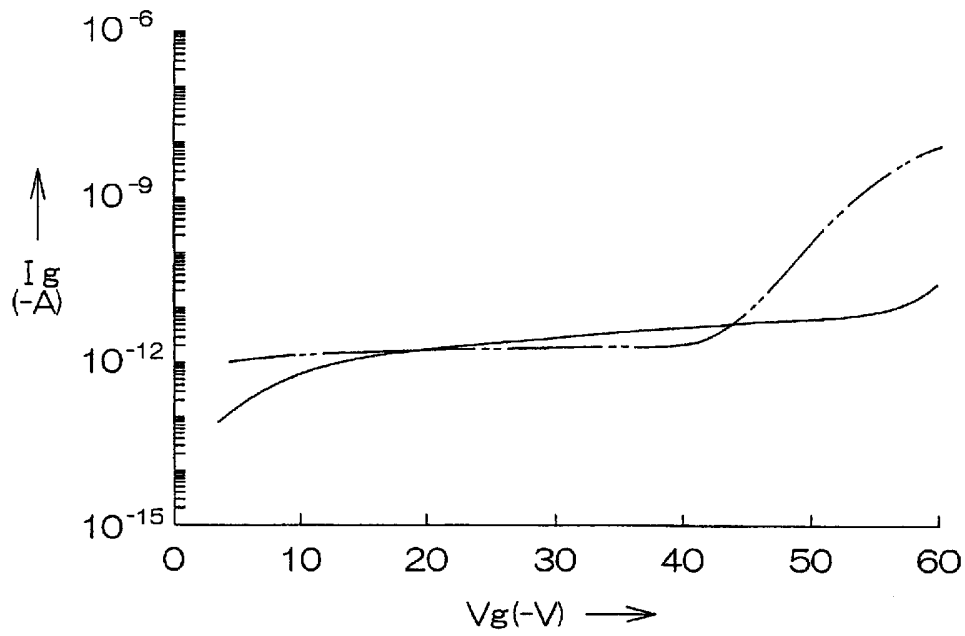
[図2L]

図2L



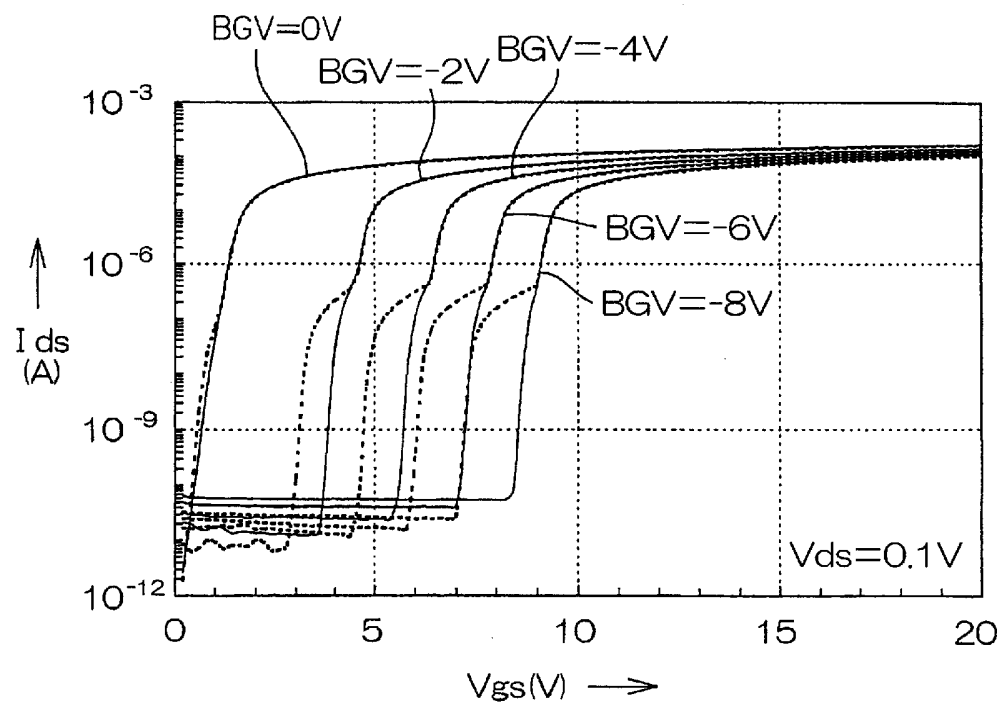
[図5]

図5



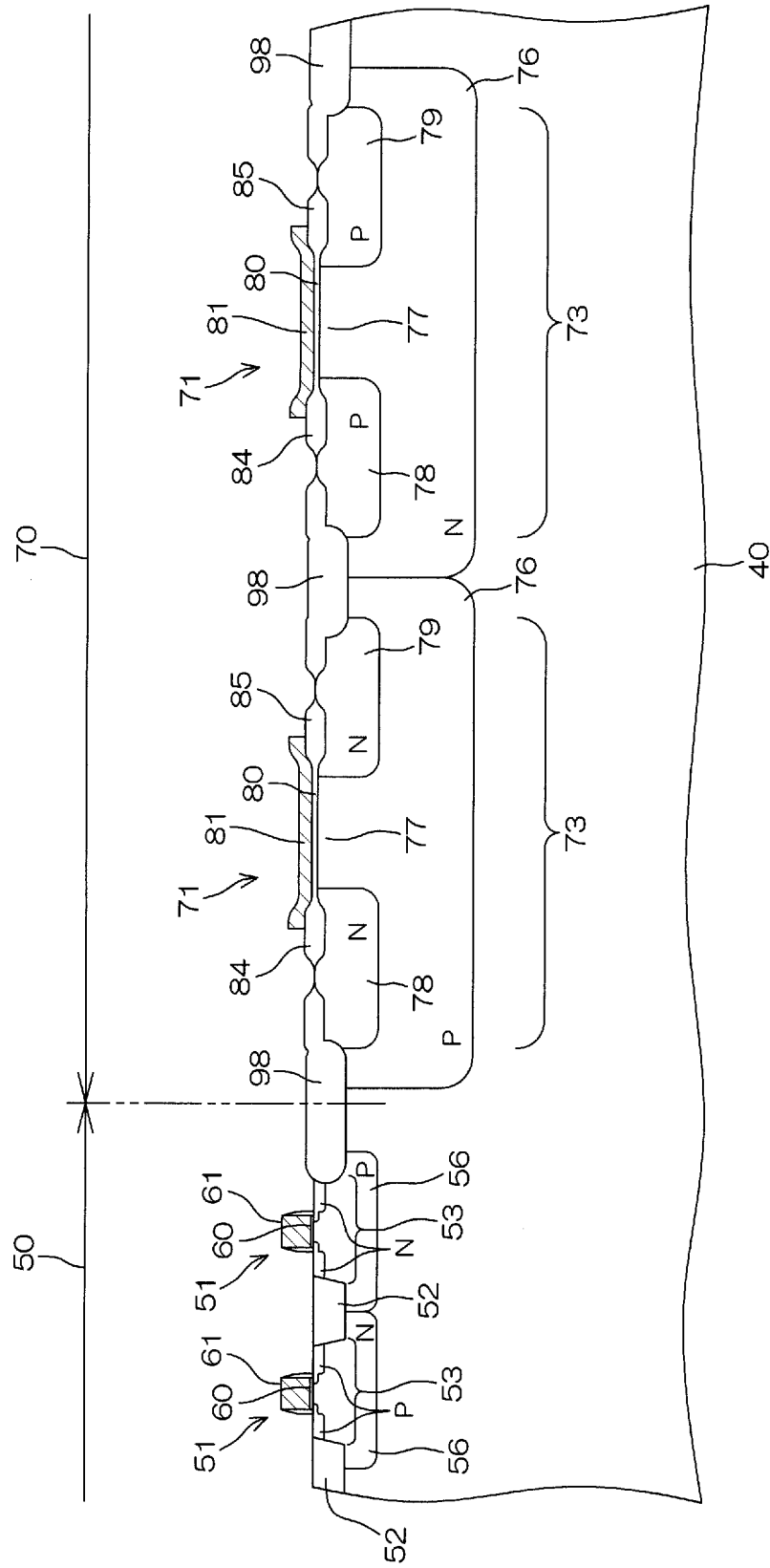
[図6]

図6

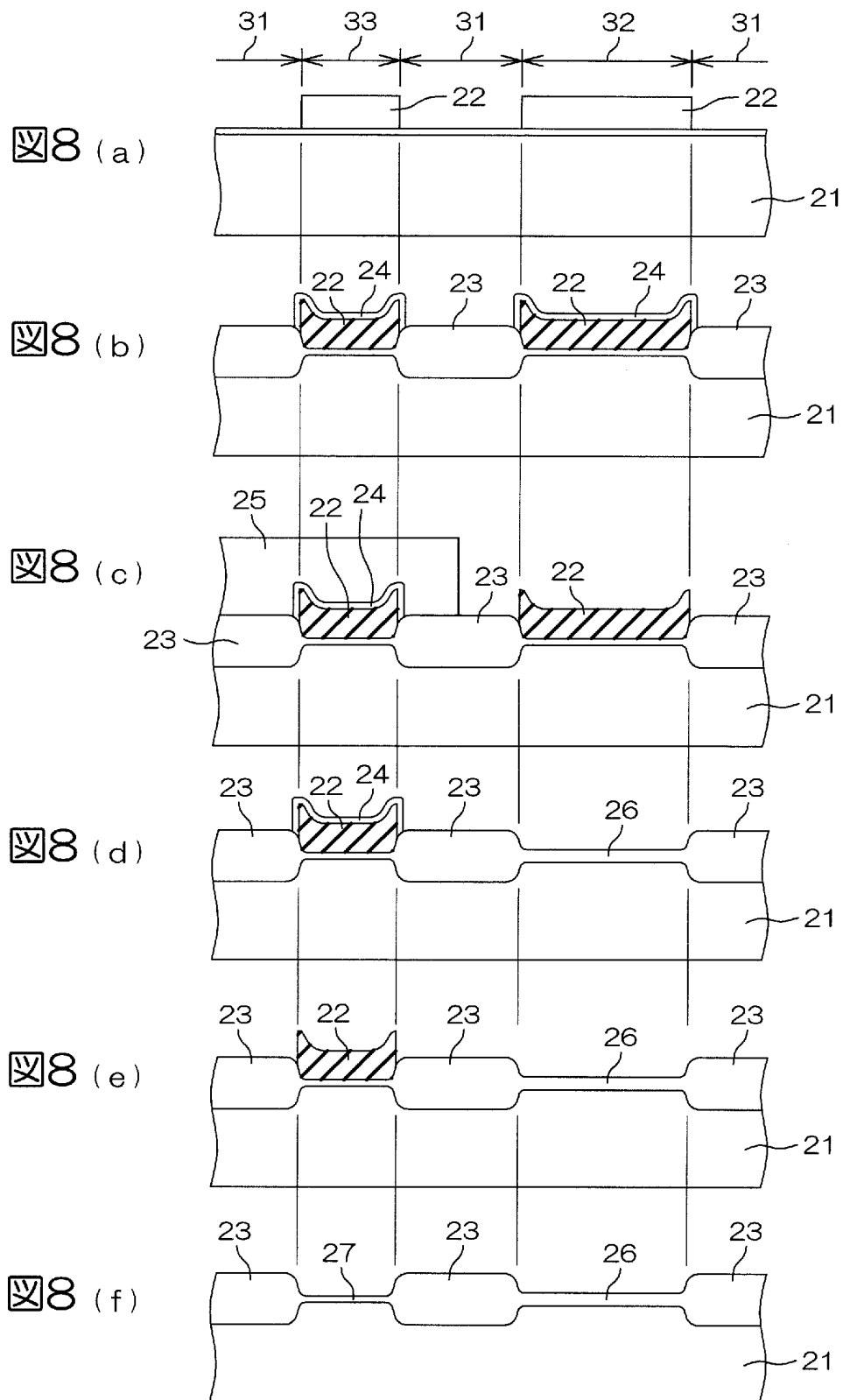


[図7]

[図7]



[図8]



[図9]

図9(a)

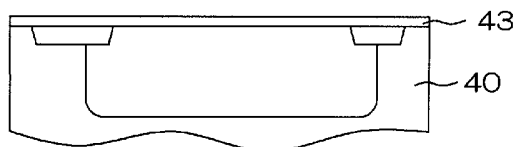


図9(b)

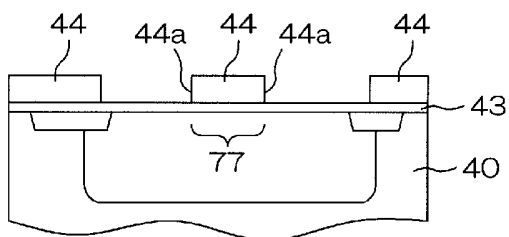


図9(c)

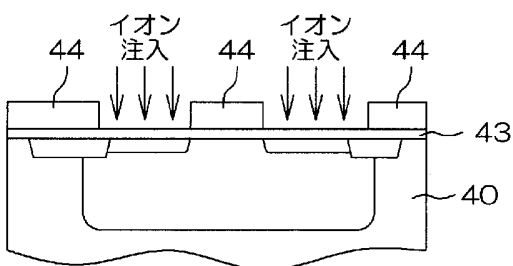


図9(d)

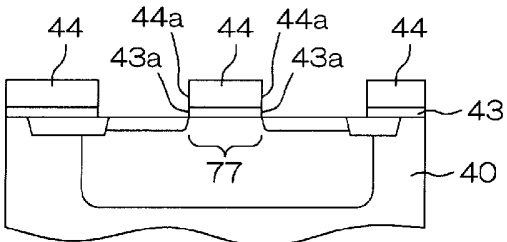


図9(e)

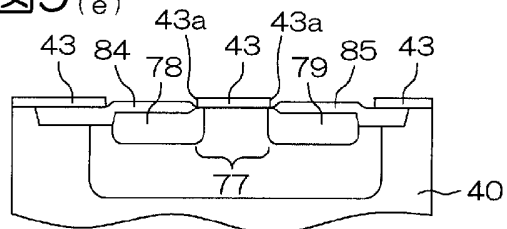


図9(f)

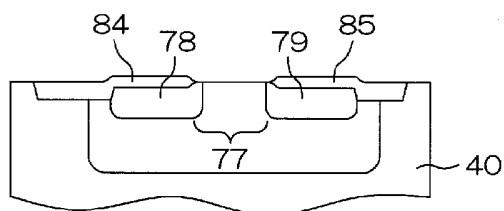


図9(g)

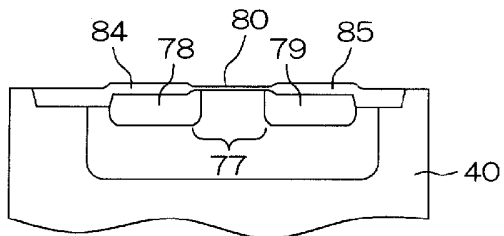
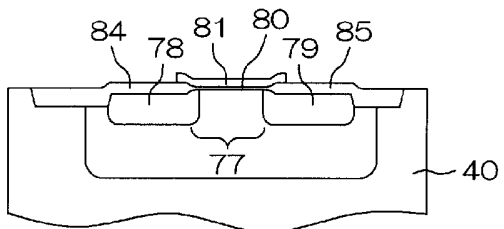
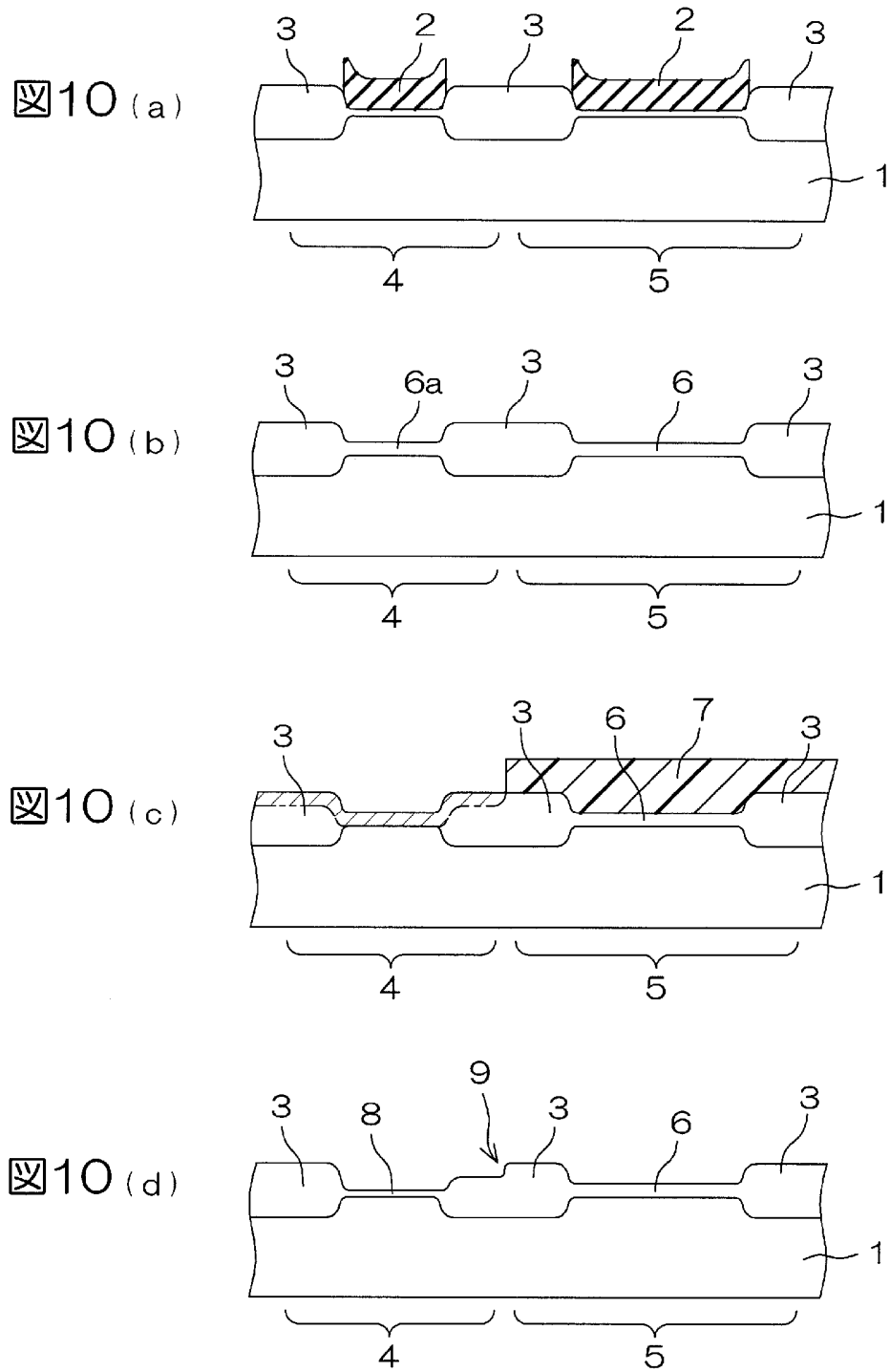


図9(h)

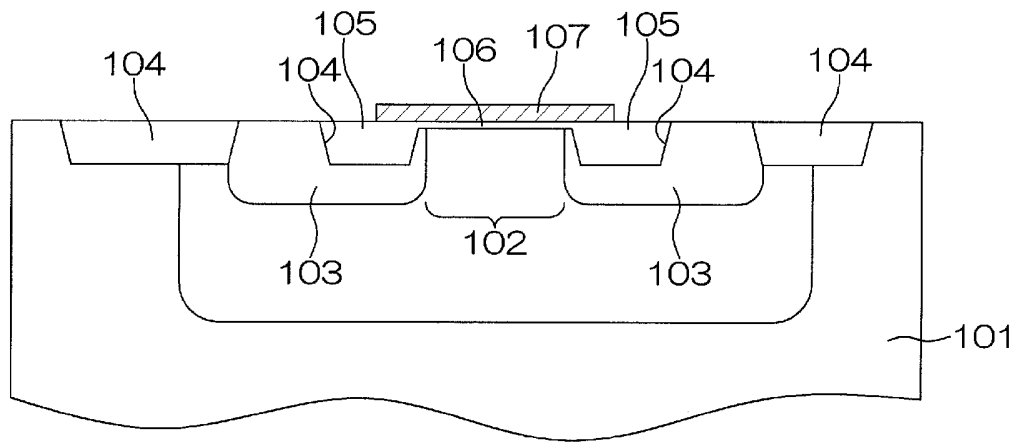


[図10]



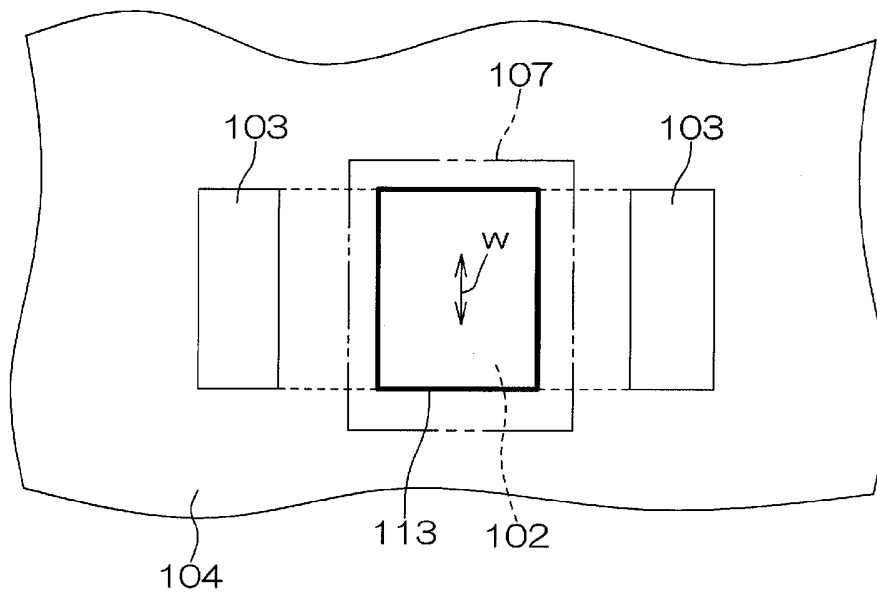
[図11]

図11



[図12]

図12



[図13]

図13(a)

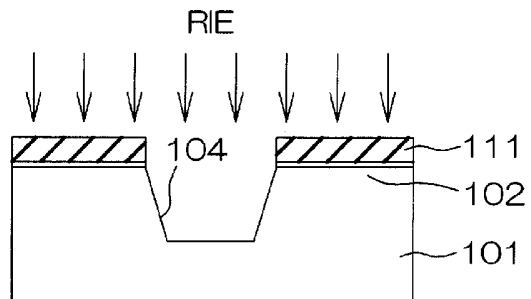


図13(d)

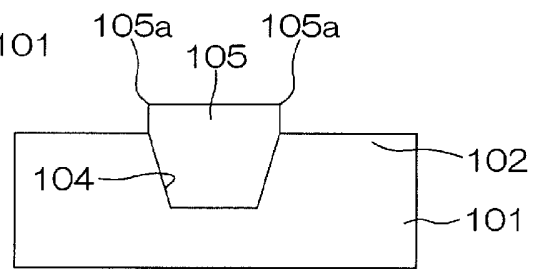


図13(b)

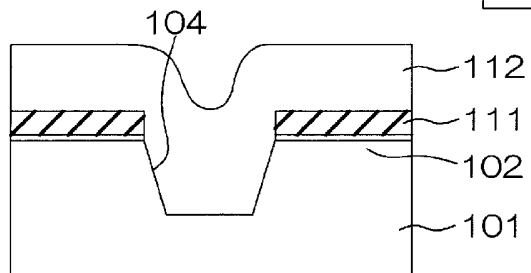


図13(e)

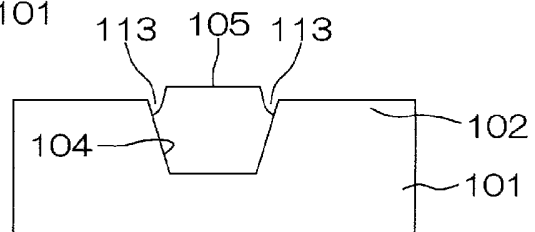


図13(c)

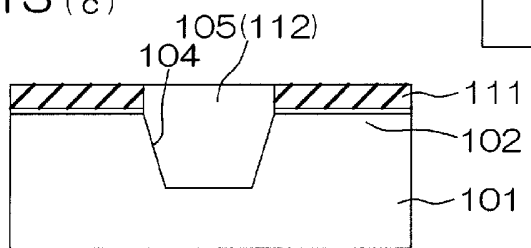
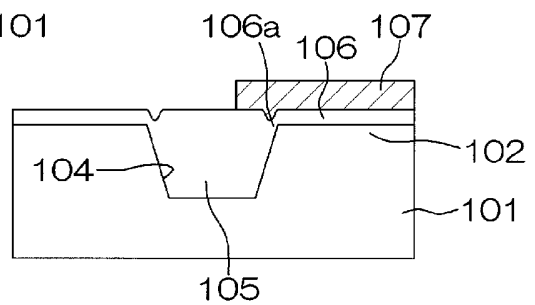


図13(f)



[図14]

図14 (a)

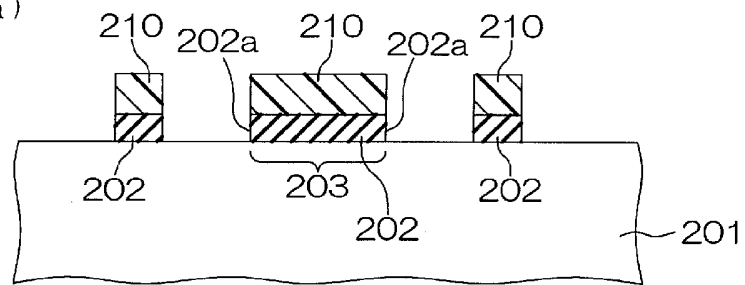


図14 (b)

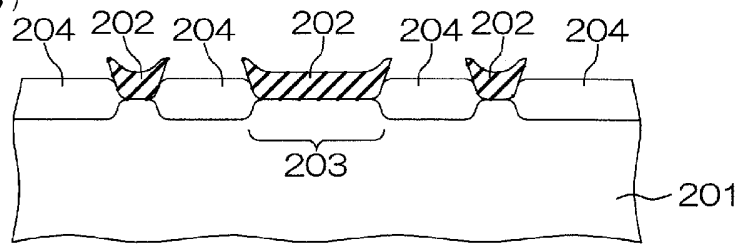


図14 (c)

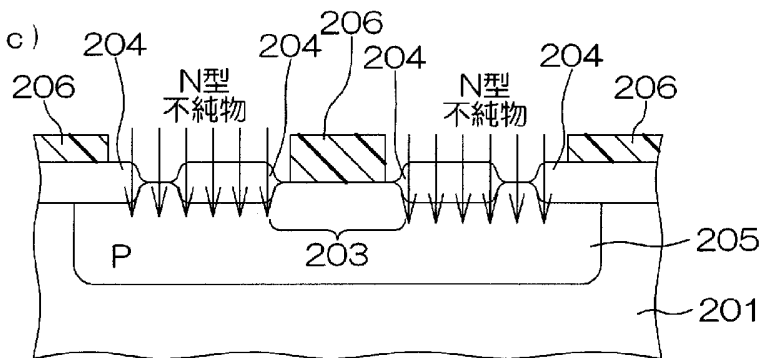
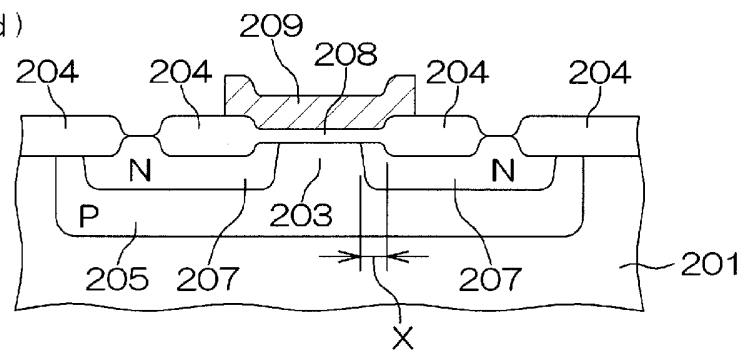
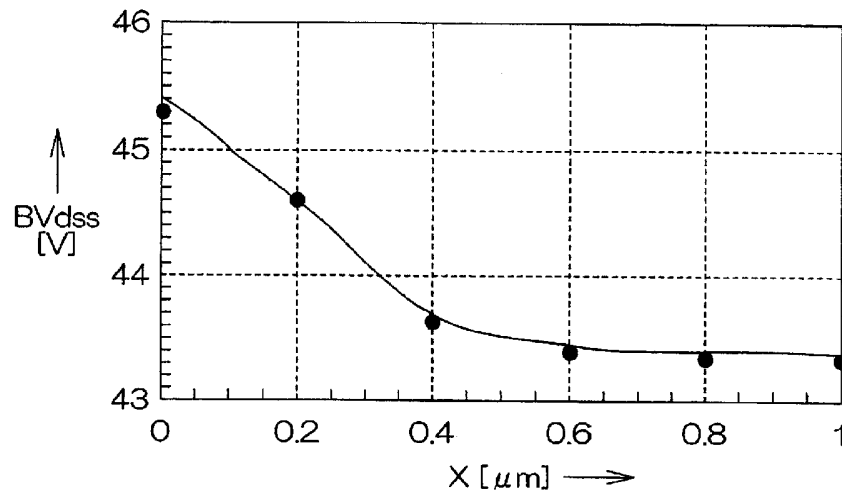


図14 (d)



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/014208

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8234 (2006.01), **H01L27/088** (2006.01), **H01L21/8238** (2006.01),
H01L27/092 (2006.01), **H01L27/08** (2006.01), **H01L21/76** (2006.01),
H01L29/78 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8234 (2006.01), **H01L27/088** (2006.01), **H01L21/8238** (2006.01),
H01L27/092 (2006.01), **H01L27/08** (2006.01), **H01L21/76** (2006.01),
H01L29/78 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 06-268162 A (Sumitomo Metal Industries, Ltd.), 22 September, 1994 (22.09.94), Par. Nos. [0002] to [0004]; Fig. 4 (Family: none)	1, 3, 4 2, 5
Y	JP 05-082637 A (Sony Corp.), 02 April, 1993 (02.04.93), Par. Nos. [0002] to [0004] (Family: none)	2, 5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 October, 2005 (18.10.05)

Date of mailing of the international search report
25 October, 2005 (25.10.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/014208

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-060025 A (Samsung Electronics Co., Ltd.), 28 February, 2003 (28.02.03), Par. Nos. [0010] to [0013]; Figs. 21 to 25 & US 6566207 B2 Column 2, line 58 to column 3, line 65; Figs. 3A to 3E & KR 387531 B	6-8 9-12
Y	JP 60-137024 A (Matsushita Electronics Corp.), 20 July, 1985 (20.07.85), Full text; all drawings (Family: none)	9-12
Y	JP 07-283302 A (Kawasaki Steel Corp.), 27 October, 1995 (27.10.95), Full text; all drawings (Family: none)	13-16
Y	JP 05-047919 A (Sony Corp.), 26 February, 1993 (26.02.93), Par. No. [0024]; Fig. 2C & US 5236861 A Column 4, lines 59 to 65; Fig. 3F	13-16
Y	JP 10-135448 A (Sharp Corp.), 22 May, 1998 (22.05.98), Full text; all drawings (Family: none)	17
Y	JP 06-029525 A (Fuji Electric Co., Ltd.), 04 February, 1994 (04.02.94), Par. No. [0010]; Fig. 3(c) (Family: none)	17
P,X	JP 2004-296754 A (Matsushita Electric Industrial Co., Ltd.), 21 October, 2004 (21.10.04), Full text; all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234 (2006.01), H01L27/088 (2006.01), H01L21/8238 (2006.01), H01L27/092 (2006.01), H01L27/08 (2006.01), H01L21/76 (2006.01), H01L29/78 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8234 (2006.01), H01L27/088 (2006.01), H01L21/8238 (2006.01), H01L27/092 (2006.01), H01L27/08 (2006.01), H01L21/76 (2006.01), H01L29/78 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 06-268162 A (住友金属工業株式会社)	1, 3, 4
Y	1994. 09. 22, 段落【0002】-【0004】、第4図 (ファミリーなし)	2, 5
Y	JP 05-082637 A (ソニー株式会社) 1993. 04. 02, 段落【0002】-【0004】 (ファミリーなし)	2, 5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18. 10. 2005

国際調査報告の発送日

25. 10. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宇多川 勉

電話番号 03-3581-1101 内線 3498

4 L

3125

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2003-060025 A (三星電子株式会社) 2003.02.28, 段落【0010】-【0013】, 第21-25図 & US 6566207 B2, 第2欄第58行-第3欄第65行目, 第3A-3E図 & KR 387531 B	6-8 9-12
Y	JP 60-137024 A (松下電子工業株式会社) 1985.07.20, 全文, 全図 (ファミリーなし)	9-12
Y	JP 07-283302 A (川崎製鉄株式会社) 1995.10.27, 全文, 全図 (ファミリーなし)	13-16
Y	JP 05-047919 A (ソニー株式会社) 1993.02.26, 段落【0024】, 第2C図 & US 5236861 A, 第4欄第59-65行目, 第3F図	13-16
Y	JP 10-135448 A (シャープ株式会社) 1998.05.22, 全文, 全図 (ファミリーなし)	17
Y	JP 06-029525 A (富士電機株式会社) 1994.02.04, 段落【0010】, 第3(c)図 (ファミリーなし)	17
PX	JP 2004-296754 A (松下電器産業株式会社) 2004.10.21, 全文, 全図 (ファミリーなし)	1-12