

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/823

[12] 发明专利说明书

[21] ZL 专利号 96113302.3

[45]授权公告日 2000年11月22日

[11]授权公告号 CN 1058809C

[22]申请日 1996.8.25 [24]颁证日 2000.8.12

[21]申请号 96113302.3

[30]优先权

[32]1995.8.25 [33]KR [31]26537/1995

[73]专利权人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 郑採贤

[56]参考文献

EP 460833A1 1991.12.11 H01L27/11

审查员 沈 丽

[74]专利代理机构 中国专利代理(香港)有限公司

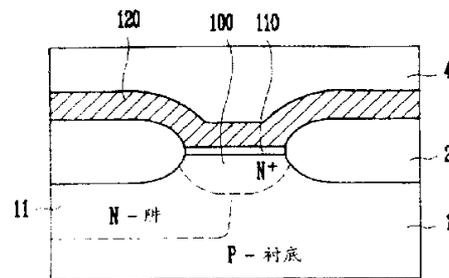
代理人 萧掬昌 王忠忠

权利要求书 1 页 说明书 3 页 附图页数 4 页

[54]发明名称 制造 CMOS 晶体管的方法

[57]摘要

本发明涉及一种制造 CMOS 晶体管的方法,能进一步减少芯片的尺寸,因为 PMOS 晶体管的栅电极和 NMOS 晶体管的栅电极,在形成栅电极工艺的期间,直接由多晶硅相互连接,不需要考虑金属接触工艺的裕度,该方法还能利用在多晶硅布线下面的有源区形成单元间隔区,防止寄生晶体管的形成。



ISSN 1008-4274

权利要求书

1.一种制造 CMOS 晶体管的方法,包括下列步骤:

在形成 N-阱的 P-衬底中,限定场区和有源区;

5 在所述场区中形成场氧化膜;

在所述 N-阱边缘选择部分形成单元隔离区;

在所述 N-阱中,形成具有公共栅电极,第 1 连接部分和第 2 连接部分的 PMOS 晶体管,形成具有公共栅电极,第 3 连接部分和第 4 连接部分的 NMOS 晶体管;

10 沿所述 N-阱边缘部分形成收集区;

形成所述收集区后在获得的结构上形成层间绝缘膜;

利用金属接触工艺,用第 1 金属布线连接所述第 1 连接部分和所述第 3 连接部分,用第 2 金属布线连接所述第 2 连接部分和所述第 4 连接部分。

15 2.按照权利要求 1 的方法,其特征是由多晶硅形成公共栅电极。

3.按照权利要求 1 的方法,其特征是,形成所述 PMOS 晶体管和 NMOS 晶体管的公共栅电极,其上面越过所述单元隔离区。

4.按照权利要求 1 的方法,其特征是,在所述单元隔离区和公共栅电极之间形成厚氧化膜。

20 5.按照权利要求 4 的方法,其特征是,在形成晶体管所述栅氧化膜工艺期间,形成厚氧化膜。

6.按照权利要求 1 的方法,其特征是,在所述 N-阱边缘连接所述单元隔离区和收集区。

说明书

制造 CMOS 晶体管的方法

5 本发明涉及制造互补金属氧化物(CMOS)的方法,特别是涉及制造 CMOS 晶体管的方法,它能防止在 PMOS 晶体管和 NMOS 晶体管之间形成寄生晶体管,并且减小芯片的尺寸。

通常,按下述方法制造 CMOS 晶体管,即在 P 衬底的部分形成 N-阱,在 N-阱中形成 PMOS 晶体管,在 P-衬底中形成 NMOS 晶体管。然后互
10 连 PMOS 晶体管的栅极和 NMOS 晶体管的栅极。通常,用多晶硅形成栅电极。在 CMOS 晶体管运作过程中,由于发生闭锁现象,降低晶体管的可靠性。为了防止闭锁现象发生,在隔离元件以便限定场区和有源区的工艺中,通过制作包括在有源区中的 N-阱边缘部分和把 N⁺杂质注入到 N-阱边缘部分的有源区,形成收集区(Pick-up)区。如上所述,在沿 N-阱边缘形成收集
15 区的情况,互连 PMOS 晶体管栅极和 NMOS 晶体管栅极的布线越过收集区在布线和收集区之间形绝缘层。在由形成栅电极的多晶硅形成布线的情况,存在下述缺点,在其间有绝缘层的多晶硅布线和收集区作为寄生晶体管,因此,它降低了 CMOS 晶体管的性能。下面参照图 1、图 2A 和图 2B 叙述克服上述缺点的方法。

20 图 1 是现有技术 CMOS 晶体管的布图,图 2A 是沿图 1 的 X-X'线剖开的剖视图。图 2B 是沿图 1 中 Y-Y'线剖开的剖视图。

参看图 1,图 2A 和图 2B。在部分 P-衬底 1 中形成 N-阱 11。通过
元件隔离工艺限定场区和有源区以后,利用氧化工艺在场区形成场氧化膜 2。
在 N-阱中形成 PMOS 晶体管 10,在 P-衬底 1 中形成 NMOS 晶体管 20。
25 PMOS 晶体管 10 包括第 1 栅电极 12,源和漏的第 1 和第 2 连接部分 13A
和 13B。NMOS 晶体管 20 包括第 2 栅电极 22 和源及漏的第 3 与第 4
连接部分 23A 和 23B。分别通过多晶硅淀积工艺和构图工艺形成第 1 和第
2 栅电极 12 与 22。沿 N-阱 11 的边缘部分,通过 N⁺杂质离子注入工艺
形成收集区 3。在形成收集区 3 以后,在获得的结构上形成层间绝缘层 4。以
30 后,通过金属接触工艺由第 1 金属布线 5A 连接 PMOS 晶体管 10 的第 1 连



元件隔离工艺限定场区和有源区后，利用氧化工艺在场区形成场氧化膜 2。利用单元 N⁺ 杂质离子注入工艺，在 N-阱边缘的选择部分，形成单元间隔区 100。在 N-阱 11 中形成 PMOS 晶体管 10，在 P-衬底 1 中形成 NMOS 晶体管 20。PMOS 晶体管 10 包括公共栅极 120，源和漏的第 1 和第 2 连接部分 13A 和 13B，NMOS 晶体管包括公共栅电极 120。源和漏的第 3 和第 4 连接部分 23A 和 23B。利用多晶硅淀积和构图工艺，形成公共栅电极 120，以便互连 PMOS 晶体管 10 和 NMOS 晶体管 20，并且越过单元间隔区 100。在单元间隔区 100 和在其上面越过单元间隔区 100 的公共栅电极之间形成厚氧化膜 110，该厚氧化膜 110 是在形成晶体管 10 和 20 形成工艺期间形成的。利用 N⁺ 杂质离子注入工艺沿 N-阱 11 边缘形成收集区 3，并使收集区 3 和单元间隔区 100 相连。形成收集区 3 后，在结构上形成层间绝缘层 4。以后，利用金属接触工艺由第 1 金属布线 5A 连接 PMOS 晶体管 10 的第 1 连接部分和 NMOS 晶体管 20 的第 3 连接部分 23A，由第二金属布线 5B 把 PMOS 晶体管 10 的第 2 连接部分 13B 和 NMOS 晶体管 20 的第 4 连接部分 23B 连到其它部分。

如上所述，由于在形成栅电极工艺期间，PMOS 晶体管的栅电极和 NMOS 晶体管的栅电极直接和多晶硅布线相连，不需要考虑金属接触工艺的裕度，所以可以进一步减少芯片的尺寸，由于在多晶硅布线下方的有源区形成单元间隔区，能防止寄生晶体管的形成。

如前所述，虽然叙述了优选的特殊实施例，那仅仅是为了说明本发明的原理。应该了解，本发明不限于上述公开和说明的优选实施例。因此，在本发明的范围和精神实质内所作的各种适当变化都包括在本发明的其它实施例中。

说明书附图

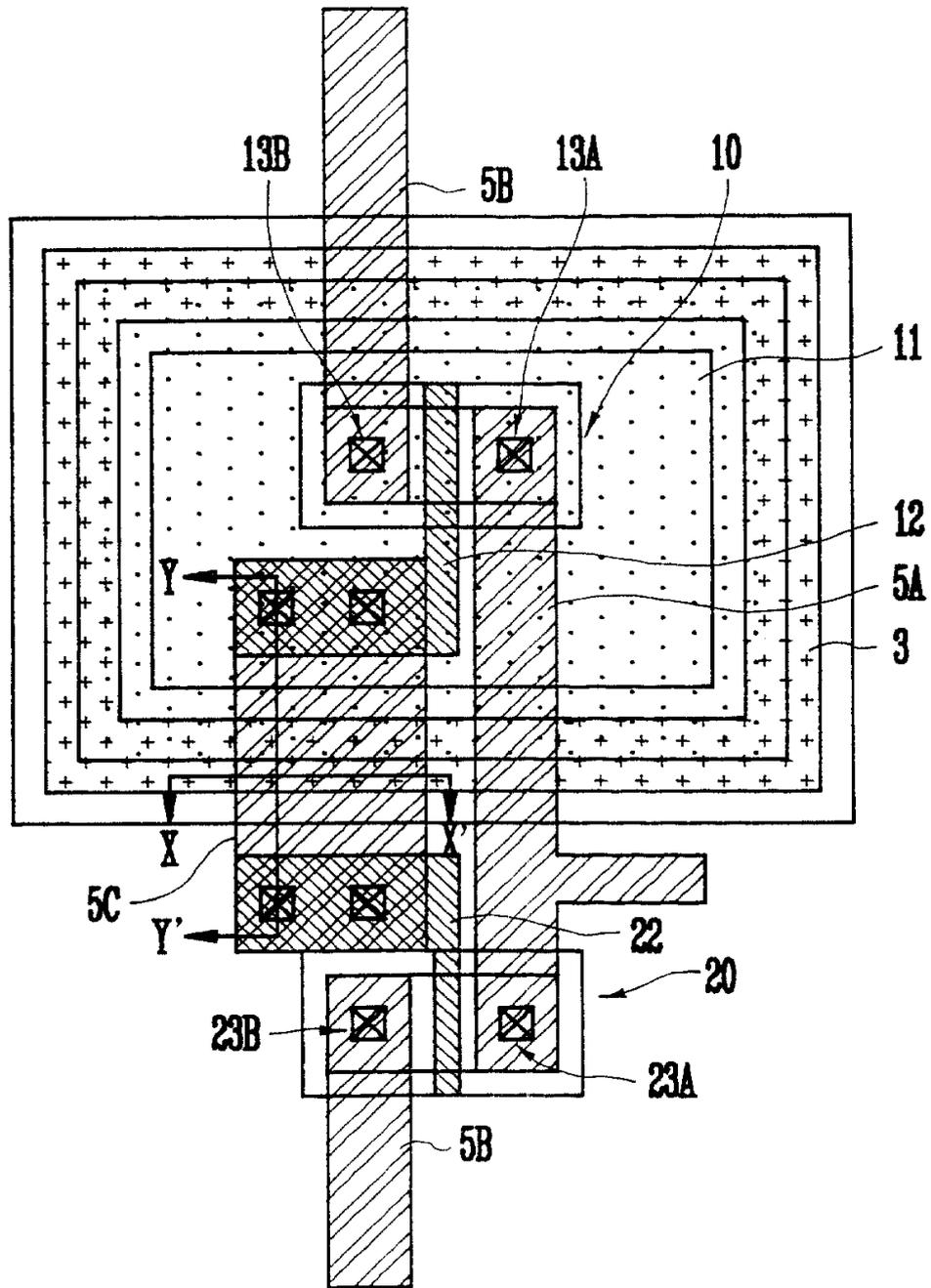


图 1

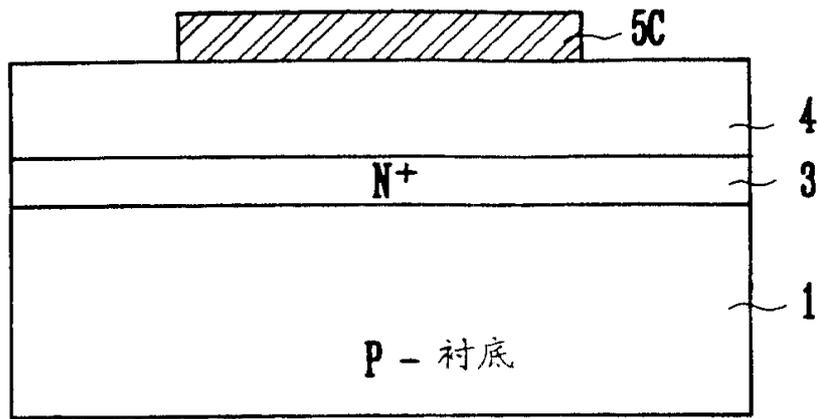


图 2A

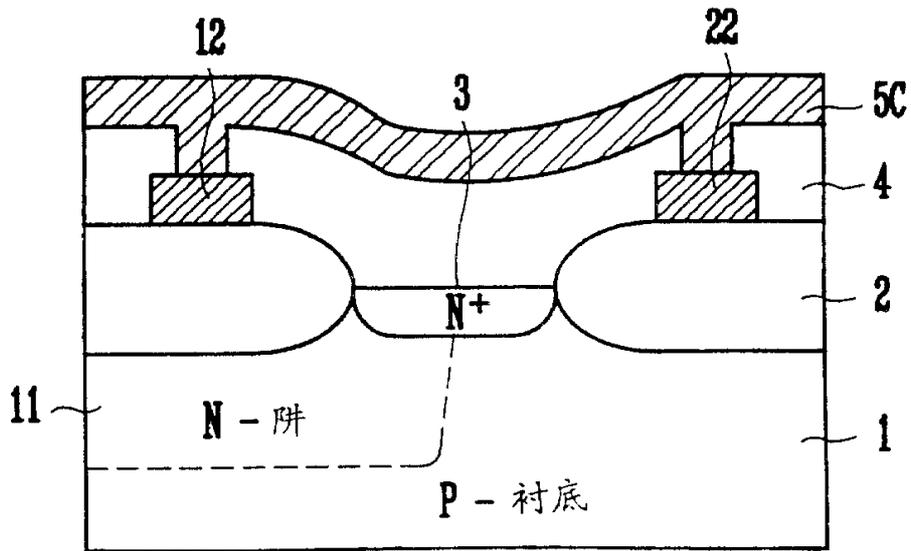


图 2B

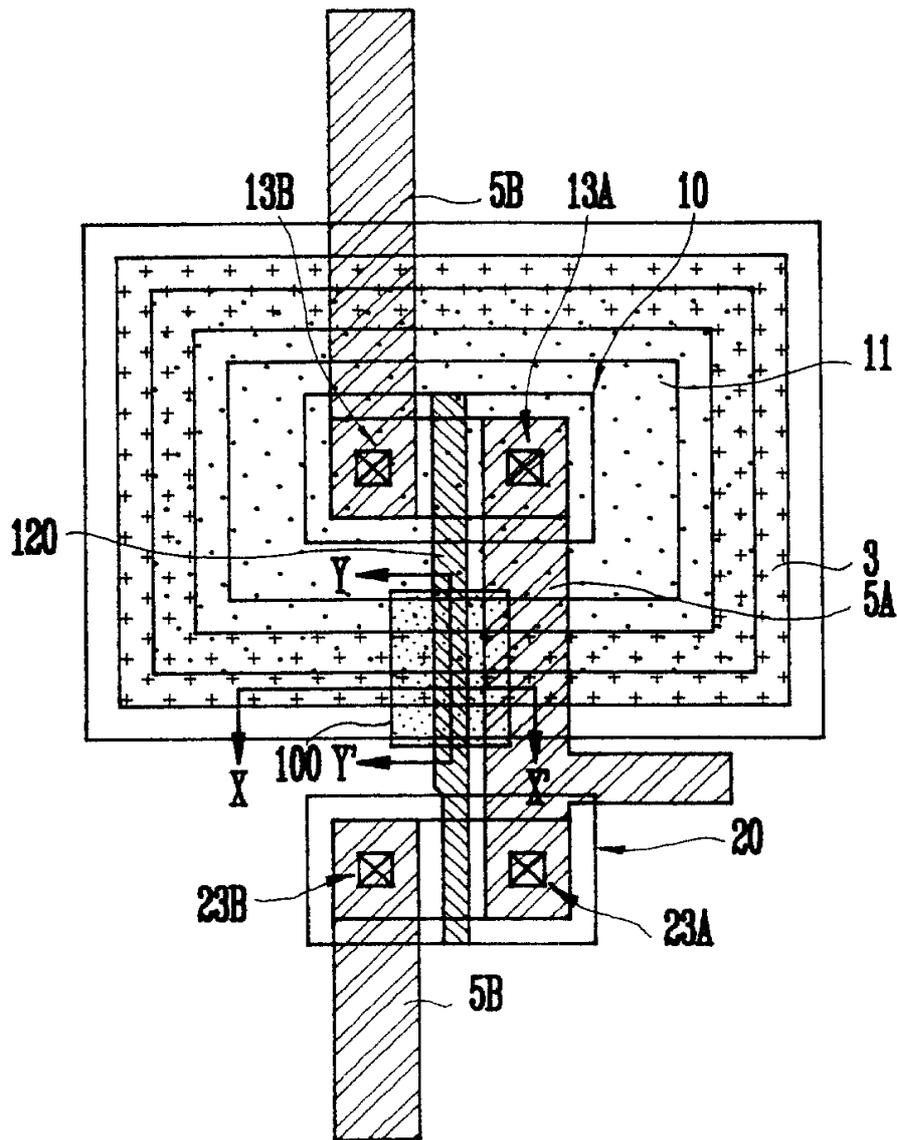


图 3

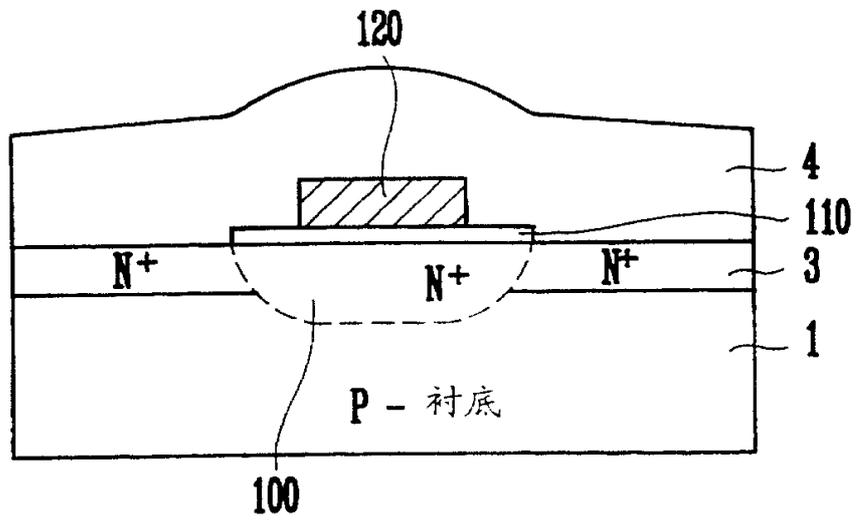


图 4A

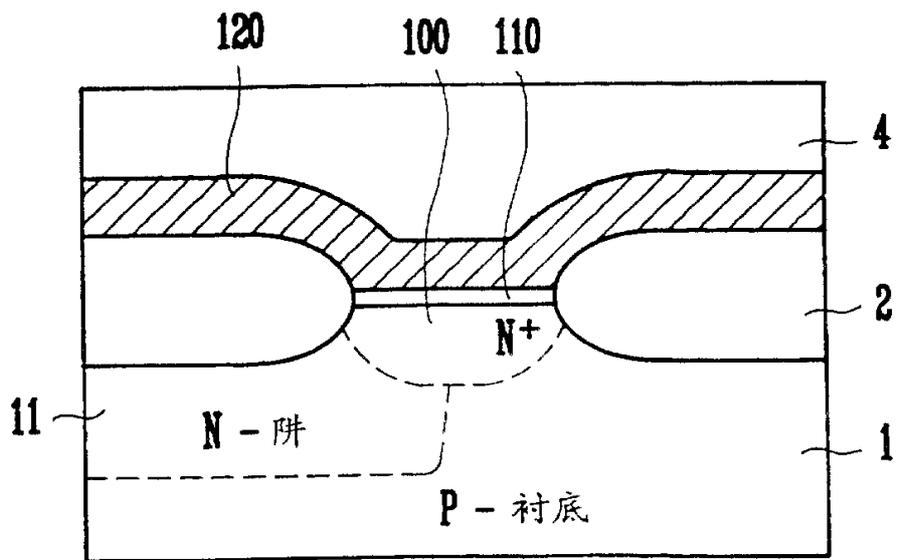


图 4B