

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/129044 A1

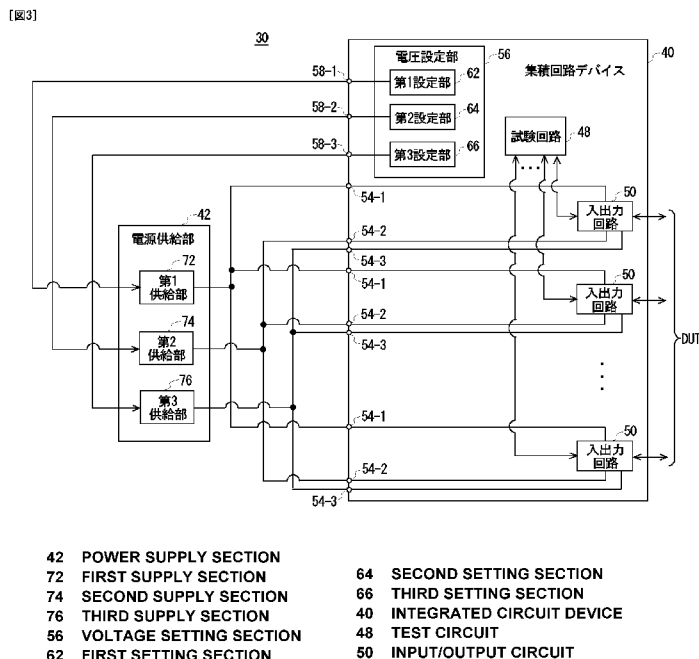
PCT

(43) 国際公開日
2011年10月20日(20.10.2011)

- (51) 国際特許分類:
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2011/000778
- (22) 国際出願日: 2011年2月10日(10.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-095141 2010年4月16日(16.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番2号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 樋口 彰 (HIGUCHI, Akira) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田2-9-2 日本エンジニアリング株式会社内 Kanagawa (JP). 譲原 章政 (YUZURIHARA, Akimasa) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田2-9-2 日本エンジニアリング株式会社内 Kanagawa (JP). 坂牧 大輔 (SAKAMAKI, Daisuke) [JP/JP]; 〒2140038 神奈川県川崎市多摩区生田2-9-2 日本エンジニアリング株式会社内 Kanagawa (JP).
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: APPARATUS FOR SUPPLYING VOLTAGE

(54) 発明の名称: 電圧を供給する装置



(57) Abstract: Disclosed is an apparatus for supplying voltages, wherein current supplying performance is improved without increasing the power supply capacity inside of an integrated circuit device. The apparatus is provided with the integrated circuit device, and a voltage supply section, which generates a drive voltage and supplies the drive voltage to the integrated circuit device. The integrated circuit device has: a plurality of circuits; a plurality of voltage input terminals, which receive, from the outside, a drive voltage for driving a corresponding circuit among the circuits; and a reference terminal, which outputs a reference voltage to be the reference of the drive voltage to be received from the outside. The voltage supply section generates the drive voltage, which is obtained by power-amplifying the reference voltage.

(57) 要約: 集積回路デバイスの内部の電源容量を大きくすることなく、電流供給能力を高くする。集積回路デバイスと、駆動電圧を発生して集積回路デバイスに供給する電圧供給部と、を備え、集積回路デバイスは、複数の回路と、複数の回路のうち対応する回路を

駆動するための駆動電圧を外部から受け取る複数の電圧入力端子と、外部から受け取る駆動電圧の基準となる基準電圧を出力する基準端子とを有し、電圧供給部は、基準電圧を電力増幅した駆動電圧を発生する、装置を提供する。

明 細 書

発明の名称： 電圧を供給する装置

技術分野

[0001] 本発明は、電圧を供給する装置に関する。

背景技術

[0002] 複数の被試験デバイス（DUTと呼ぶ場合もある）を並行して試験する試験装置が知られている（例えば特許文献1参照）。また、DUTを試験するために必要な機能を一枚のチップに実装した試験用の集積回路デバイスを備える試験装置も知られている（例えば非特許文献1参照）。

特許文献1 国際公開第2008/020555号パンフレット

非特許文献1 “B8501ESプレスリリース”、[online]、2009年11月19日、日本エンジニアリング株式会社、[2010年4月8日検索]、インターネット〈URL: http://www.jec.co.jp/news_b8501es.html〉

発明の概要

発明が解決しようとする課題

[0003] ところで、このような試験用の集積回路デバイスは、例えばDUTに供給すべき試験信号の数が増加した場合、試験信号を出力するために必要とする電流供給能力を大きくしなければならなかった。

課題を解決するための手段

[0004] 上記課題を解決するために、本発明の第1の態様においては、外部から受け取る駆動電圧の基準となる基準値を出力する基準端子を有する集積回路デバイスと、前記基準値に応じた前記駆動電圧を発生して前記集積回路デバイスに供給する電圧供給部と、を備える装置を提供する。

[0005] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0006] [図1]本発明の実施形態に係る試験装置 10 の構成を複数の DUT 200 とともに示す。

[図2]本発明の実施形態に係る試験ボード 20 の構成を示す。

[図3]本発明の実施形態に係る試験部 30 の構成を示す。

[図4]本発明の実施形態に係る入出力回路 50 の構成の一例を示す。

[図5]本発明の実施形態に係る電源部 90 を更に備える試験ボード 20 の構成を示す。

発明を実施するための形態

[0007] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0008] 図 1 は、本実施形態に係る試験装置 10 の構成を複数の DUT 200 とともに示す。試験装置 10 は、複数の DUT 200 を並行して試験する。DUT 200 は、一例として、フラッシュメモリ等の不揮発性メモリである。

[0009] 試験装置 10 は、複数の試験ボード 20 と、制御ボード 22 と、デバイス接続部 24 と、試験コントローラ 26 と、ネットワーク部 28 とを備える。複数の試験ボード 20 のそれぞれは、1 または複数の DUT 200 と接続される。複数の試験ボード 20 のそれぞれは、接続された 1 または複数の DUT 200 との間で信号を授受して、これら 1 または複数の DUT 200 を試験する。

[0010] 制御ボード 22 は、複数の試験ボード 20 のそれぞれに電源電圧を供給する。また、制御ボード 22 は、複数の試験ボード 20 のそれぞれを制御する。制御ボード 22 は、一例として、複数の試験ボード 20 と対応する DUT 200 との間の接続状態を制御する。試験装置 10 は、複数の制御ボード 22 を備えてもよい。複数の試験ボード 20 および制御ボード 22 は、一例として、当該試験装置 10 の本体部であるテストヘッドの内部に収納される。

[0011] デバイス接続部 24 は、複数の DUT 200 を外部から取付けおよび取外

し可能な状態で保持する。また、デバイス接続部 24 は、保持している複数の DUT 200 のそれぞれと対応する試験ボード 20 との間を電氣的に接続する。また、デバイス接続部 24 は、複数の DUT 200 と制御ボード 22 との間を電氣的に接続する。

[0012] 試験コントローラ 26 は、UDP/IP (User Datagram Protocol/Internet Protocol) 等の通信パケットを複数の試験ボード 20 および制御ボード 22 とやり取りして、複数の試験ボード 20 および制御ボード 22 を制御する。また、試験コントローラ 26 は、ユーザからの情報を入力し、ユーザに情報を出力する。試験コントローラ 26 は、一例として、プログラムを実行するコンピュータである。試験コントローラ 26 は、ユーザからの指示に応じてプログラムを実行して、当該試験装置 10 を制御する。

[0013] ネットワーク部 28 は、複数の試験ボード 20 および制御ボード 22 と、試験コントローラ 26 との間を通信可能に接続する。ネットワーク部 28 は、Ethernet (登録商標) 等の高速シリアルバスを中継するハブである。

[0014] 図 2 は、本実施形態に係る試験ボード 20 の構成を示す。試験ボード 20 は、複数の試験部 30 と、複数のサブコントローラ 32 と、複数のメモリ 34 と、ボードコントローラ 36 とを有する。例えば、試験ボード 20 を構成する、複数の試験部 30、複数のサブコントローラ 32、複数のメモリ 34 およびボードコントローラ 36 は一枚の基板に実装される。この場合において、ボードコントローラ 36 および試験部 30 等は、サブ基板に実装されてからコネクタにより一枚の基板に接続されてもよい。

[0015] 複数の試験部 30 のそれぞれは、論理パターンおよび期待値パターン等を順次に発生するためのシーケンスを表す試験プログラムを実行して、一つの DUT 200 を試験する。複数の試験部 30 のそれぞれは、対応する一つの DUT 200 との間で試験プログラムに示された論理パターンの信号を送受信することにより、対応する一つの DUT 200 を試験する。例えば DUT 200 が不揮発性メモリであれば、複数の試験部 30 のそれぞれは、対応す

るDUT200内のアドレス位置毎のセルの良否を検出する。

- [0016] また、複数の試験部30は、それぞれが独立に試験を実行する。例えば、複数の試験部30は、同一のタイミングに試験を開始した場合であっても、対応するDUT200の状態に応じて送受信する信号およびタイミングが異なる。
- [0017] 複数のサブコントローラ32のそれぞれは、複数の試験部30のうち互いに異なる1または複数の試験部30に接続される。本例においては、複数のサブコントローラ32のそれぞれは、2つの試験部30に接続される。複数のメモリ34のそれぞれは、複数のサブコントローラ32のそれぞれに一对一で対応する。複数のメモリ34のそれぞれは、対応するサブコントローラ32によりデータの書込みおよび読出しがされる。
- [0018] 複数のサブコントローラ32のそれぞれは、対応する試験部30とボードコントローラ36との間のデータの転送を制御する。また、複数のサブコントローラ32のそれぞれは、試験部30の内部メモリに記憶された試験結果を読み出して、メモリ34に記憶させる。例えばDUT200が不揮発性メモリであれば、不良アドレスの位置を示すフェイルデータを対応する試験部30の内部メモリから読み出して、対応するメモリ34に記憶させる。また、複数のサブコントローラ32のそれぞれは、対応する試験部30からの指示に応じて、対応するメモリ34に記憶された試験プログラムを読み出して対応する試験部30に転送する。
- [0019] ボードコントローラ36は、ネットワーク部28を介して試験コントローラ26と通信パケットのやり取りをする。また、ボードコントローラ36は、試験コントローラ26から供給された通信パケットに含まれる命令に基づき、複数の試験部30のうちの指定された試験部30に対してデータを書き込む。これにより、ボードコントローラ36は、試験コントローラ26から供給された命令に応じて、複数の試験部30のそれぞれを制御することができる。
- [0020] また、ボードコントローラ36は、通信パケットに含まれる命令に基づき

、複数の試験部 30 のうちの指定された試験部 30 またはメモリ 34 からデータを読み出す。これにより、ボードコントローラ 36 は、試験コントローラ 26 から供給された命令に応じて、指定された試験部 30 の試験結果等を試験コントローラ 26 に転送することができる。

[0021] 図 3 は、本実施形態に係る試験部 30 の構成を示す。試験部 30 は、集積回路デバイス 40 と、電源供給部 42 とを備える。集積回路デバイス 40 は、一例として、1 または複数のチップをパッケージ化したデバイスである。電源供給部 42 は、駆動電圧を発生して集積回路デバイス 40 に供給する。

[0022] 集積回路デバイス 40 は、試験回路 48 と、複数の入出力回路 50 と、複数の電圧入力端子 54 と、電圧設定部 56 と、基準端子 58 とを有する。

[0023] 試験回路 48 は、DUT 200 に供給すべき試験信号の論理を表す論理パターンを、DUT 200 の複数のピンのそれぞれに対応して発生する。さらに、試験回路 48 は、DUT 200 の複数のピンのそれぞれから出力された応答信号の受信値と、当該応答信号の期待値とを比較して、対応する DUT 200 のそれぞれのアドレス位置毎の良否を判定する。

[0024] 複数の入出力回路 50 のそれぞれは、DUT 200 の複数のピンのそれぞれに接続される。複数の入出力回路 50 のそれぞれは、試験回路 48 から対応する論理パターンを受け取り、受け取った論理パターンに応じた電圧レベルの試験信号を出力する。複数の入出力回路 50 のそれぞれは、一例として、受け取った論理パターンに応じて H 論理電圧または L 論理電圧の試験信号を出力する。また、複数の入出力回路 50 のそれぞれは、一例として、受け取った論理パターンに応じて、対応するピンを終端抵抗を介して終端電圧に接続する。

[0025] また、複数の入出力回路 50 のそれぞれは、対応する DUT 200 の対応するピンから応答信号を入力する。複数の入出力回路 50 のそれぞれは、入力した応答信号のレベルを閾値レベルと比較して、応答信号の値を表す論理信号を試験回路 48 に供給する。

[0026] ここで、複数の入出力回路 50 のそれぞれは、外部の電源供給部 42 から

供給された駆動電圧を受けて、受け取った駆動電圧により動作する。複数の入出力回路 50 のそれぞれは、一例として、駆動電圧として H 論理電圧および L 論理電圧を受け取る。これにより、複数の入出力回路 50 のそれぞれは、外部の電源供給部 42 の電力により試験信号を出力することができる。また、複数の入出力回路 50 のそれぞれは、駆動電圧として終端電圧を受け取る。これにより、複数の入出力回路 50 のそれぞれは、外部の電源供給部 42 の電力により対応するピンを終端させることができる。

[0027] 複数の電圧入力端子 54 のそれぞれは、複数の入出力回路 50 のそれぞれに対応して設けられ、対応する入出力回路 50 を駆動するための駆動電圧を外部の電源供給部 42 から受け取る。本例においては、集積回路デバイス 40 は、複数の入出力回路 50 のそれぞれに対応して、第 1 の電圧入力端子 54-1、第 2 の電圧入力端子 54-2 および第 3 の電圧入力端子 54-3 を有する。

[0028] 第 1 の電圧入力端子 54-1 は、H 論理電圧を電源供給部 42 から受け取る。第 2 の電圧入力端子 54-2 は、L 論理電圧を電源供給部 42 から受け取る。第 3 の電圧入力端子 54-3 は、終端電圧を電源供給部 42 から受け取る。これにより、複数の入出力回路 50 のそれぞれは、外部の電源供給部 42 から駆動電圧を受け取ることができる。

[0029] 電圧設定部 56 は、外部から受け取る駆動電圧の基準となる基準値を発生する。より具体的には、電圧設定部 56 は、複数の入出力回路 50 に供給すべき駆動電圧と等しい基準電圧を基準値として発生する。

[0030] 本例においては、電圧設定部 56 は、第 1 設定部 62 と、第 2 設定部 64 と、第 3 設定部 66 とを有する。第 1 設定部 62 は、H 論理電圧と等しい第 1 基準電圧を発生する。第 2 設定部 64 は、L 論理電圧と等しい第 2 基準電圧を発生する。第 3 設定部 66 は、終端電圧と等しい第 3 基準電圧を発生する。第 1 設定部 62、第 2 設定部 64 および第 2 設定部 64 は、一例として、D/A コンバータである。

[0031] 基準端子 58 は、電圧設定部 56 により発生された基準値を外部に出力す

る。より具体的には、基準端子 58 は、電圧設定部 56 により発生された基準電圧を基準値として外部に出力する。本例においては、集積回路デバイス 40 は、第 1 の基準端子 58-1 と、第 2 の基準端子 58-2 と、第 3 の基準端子 58-3 とを有する。第 1 の基準端子 58-1 は、第 1 設定部 62 により発生された第 1 基準電圧を外部に出力する。第 2 の基準端子 58-2 は、第 2 設定部 64 により発生された第 2 基準電圧を外部に出力する。第 3 の基準端子 58-3 は、第 3 設定部 66 により発生された第 3 基準電圧を外部に出力する。

[0032] 電源供給部 42 は、集積回路デバイス 40 から出力された基準値に応じた駆動電圧を発生して集積回路デバイス 40 に供給する。より具体的には、電源供給部 42 は、基準端子 58 から出力された基準電圧を、電流バッファ回路により電力増幅した駆動電圧を発生する。即ち、電源供給部 42 は、駆動電圧を一定とし、電流を負荷に応じて増幅する。

[0033] 本例において、電源供給部 42 は、第 1 供給部 72 と、第 2 供給部 74 と、第 3 供給部 76 とを有する。第 1 供給部 72 は、第 1 基準電圧を電力増幅した H 論理電圧を発生する。第 2 供給部 74 は、第 2 基準電圧を電力増幅した L 論理電圧を発生する。第 3 供給部 76 は、第 3 基準電圧を電力増幅した終端電圧を発生する。

[0034] また、電源供給部 42 は、発生した駆動電圧を、集積回路デバイス 40 の複数の電圧入力端子 54 のそれぞれに分配して供給する。電源供給部 42 は、一例として、駆動電圧の出力端と複数の電圧入力端子 54 のそれぞれとを接続する複数の配線を介して、駆動電圧を供給する。

[0035] 以上のような構成の試験部 30 によれば、集積回路デバイス 40 から DUT 200 に供給すべき試験信号の数が多い場合であっても、集積回路デバイス 40 の内部の電源を大きくすることなく、電流供給能力を高くすることができる。

[0036] なお、集積回路デバイス 40 は、複数の入出力回路 50 のそれぞれに供給すべき駆動電圧が同一値の場合、複数の電圧入力端子 54 を内部において

接続する接続線を更に有してもよい。これにより、集積回路デバイス 40 は、複数の入出力回路 50 から出力される試験信号の電圧を正確に同一レベルにすることができる。

[0037] 図 4 は、本実施形態に係る入出力回路 50 の構成を示す。入出力回路 50 は、一例として、入出力端子 78 と、ドライバ 80 と、第 1 コンパレータ 82 と、第 2 コンパレータ 84 と、終端抵抗 86 と、スイッチ 88 とを含む。入出力端子 78 は、DUT 200 における対応するピンに接続される。

[0038] ドライバ 80 は、試験回路 48 から発生された論理パターンが入力端に与えられ、出力端が入出力端子 78 に接続される。そして、ドライバ 80 は、H 論理を示す論理パターンを受けたことに応じて、第 1 の電圧入力端子 54-1 を介して受け取った H 論理電圧 V_{IH} を出力する。また、ドライバ 80 は、L 論理を示す論理パターンを受けたことに応じて、第 2 の電圧入力端子 54-2 を介して受け取った L 論理電圧 V_{IL} を出力する。

[0039] 第 1 コンパレータ 82 は、マイナス側入力端に、応答信号が H 論理か否かを判定するための H 側閾値電圧 V_{OH} を受け取る。また、第 1 コンパレータ 82 は、プラス側入力端が入出力端子 78 に接続される。そして、第 1 コンパレータ 82 は、入出力端子 78 を介して受け取った応答信号が H 側閾値電圧 V_{OH} 以上であるか否かを示す論理信号を出力する。

[0040] 第 2 コンパレータ 84 は、プラス側入力端に、応答信号が L 論理か否かを判定するための L 側閾値電圧 V_{OL} を受け取る。また、第 2 コンパレータ 84 は、マイナス側入力端が入出力端子 78 に接続される。そして、第 2 コンパレータ 84 は、入出力端子 78 を介して受け取った応答信号が L 側閾値電圧 V_{OL} 以下であるか否かを示す論理信号を出力する。

[0041] 終端抵抗 86 は、DUT 200 のピンを終端する抵抗値を有する。終端抵抗 86 は、一例として、50 Ω または 75 Ω の抵抗値を有する。終端抵抗 86 は、一端がスイッチ 88 を介して入出力端子 78 に接続され、他端に第 3 の電圧入力端子 54-3 を介して受け取った終端電圧 V_T が供給される。スイッチ 88 は、対応するピンを終端することを示す論理パターンを受けたこと

に応じて入出力端子 78 と終端抵抗 86 とを接続し、対応するピンを終端すること以外の論理パターンを受けたことに応じて入出力端子 78 と終端抵抗 86 とを開放する。

[0042] このような構成の入出力回路 50 は、外部の電源供給部 42 により供給された駆動電圧に基づき試験信号を出力することができる。また、このような入出力回路 50 は、DUT 200 の対応するピンを、終端抵抗を介して外部の電源供給部 42 により供給された終端電圧に接続することができる。

[0043] 図 5 は、複数の電源部 90 を更に備える試験ボード 20 の構成を示す。複数の試験ボード 20 のそれぞれは、複数の電源部 90 を更に備える構成であってもよい。

[0044] 複数の電源部 90 のそれぞれは、複数の集積回路デバイス 40 のそれぞれに一对一に対応して設けられる。本例においては、複数の電源部 90 のそれぞれは、対応する試験部 30 内に設けられる。

[0045] 複数の電源部 90 のそれぞれは、外部電源から供給された電圧を予め定められた変動範囲に安定化した電源電圧を生成する。複数の電源部 90 のそれぞれは、一例として、外部電源から供給された電圧を降圧して、予め定められた変動範囲（例えば、5 ボルトの $\pm 5\%$ の範囲）に安定化した電源電圧を生成する。そして、複数の電源部 90 のそれぞれは、対応する集積回路デバイス 40 に、生成した電源電圧を供給する。

[0046] このような試験ボード 20 によれば、集積回路デバイス 40 が許容する電源電圧の変動範囲が、外部電源から出力される電圧の変化量よりも狭い場合であっても、集積回路デバイス 40 を安定して動作させることができる。

[0047] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0048] 請求の範囲、明細書、および図面中において示した装置、システム、プロ

グラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0049] 10 試験装置、20 試験ボード、22 制御ボード、24 デバイス接続部、26 試験コントローラ、28 ネットワーク部、30 試験部、32 サブコントローラ、34 メモリ、36 ボードコントローラ、40 集積回路デバイス、42 電源供給部、48 試験回路、50 入出力回路、54 電圧入力端子、56 電圧設定部、58 基準端子、62 第1設定部、64 第2設定部、66 第3設定部、72 第1供給部、74 第2供給部、76 第3供給部、78 入出力端子、80 ドライバ、82 第1コンパレータ、84 第2コンパレータ、86 終端抵抗、88 スイッチ、90 電源部、200 DUT

請求の範囲

- [請求項1] 外部から受け取る駆動電圧の基準となる基準値を出力する基準端子を有する集積回路デバイスと、
前記基準値に応じた前記駆動電圧を発生して前記集積回路デバイスに供給する電圧供給部と、
を備える装置。
- [請求項2] 前記集積回路デバイスは、前記駆動電圧と等しい基準電圧を前記基準値として出力し、
前記電圧供給部は、前記基準電圧を電力増幅した前記駆動電圧を発生する
請求項 1 に記載の装置。
- [請求項3] 前記集積回路デバイスは、複数の回路と、前記複数の回路のうちの対応する回路を駆動するための前記駆動電圧を外部から受け取る複数の電圧入力端子とを有し、
前記電圧供給部は、前記駆動電圧を前記複数の電圧入力端子のそれぞれに分配して供給する
請求項 1 または 2 に記載の装置。
- [請求項4] 前記集積回路デバイスは、前記複数の電圧入力端子を内部において接続する接続線を有する
請求項 3 に記載の装置。
- [請求項5] 前記集積回路デバイスは、被試験デバイスを試験する
請求項 1 から 4 の何れか 1 項に記載の装置。
- [請求項6] 前記集積回路デバイスは、前記被試験デバイスに対して信号を供給する複数のドライバを有し、
前記電圧供給部は、前記複数のドライバが出力する試験信号の H 論理電圧および L 論理電圧を前記駆動電圧として発生する
請求項 5 に記載の装置。
- [請求項7] 前記集積回路デバイスは、前記被試験デバイスのピンを終端させる

終端抵抗を有し、

前記電圧供給部は、前記終端抵抗を介して前記ピンに接続する終端電圧を前記駆動電圧として発生する

請求項 5 または 6 に記載の装置。

[請求項 8]

当該装置は、被試験デバイスを試験する複数の試験ボードを備える試験装置であって、

前記複数の試験ボードのそれぞれは、

それぞれが被試験デバイスを試験する複数の前記集積回路デバイスと、

複数の前記電圧供給部と、

前記複数の集積回路デバイスのそれぞれに対応して設けられ、外部電源から供給された電圧を予め定められた変動範囲に安定化した電源電圧を生成して対応する集積回路デバイスに供給する複数の電源部と、

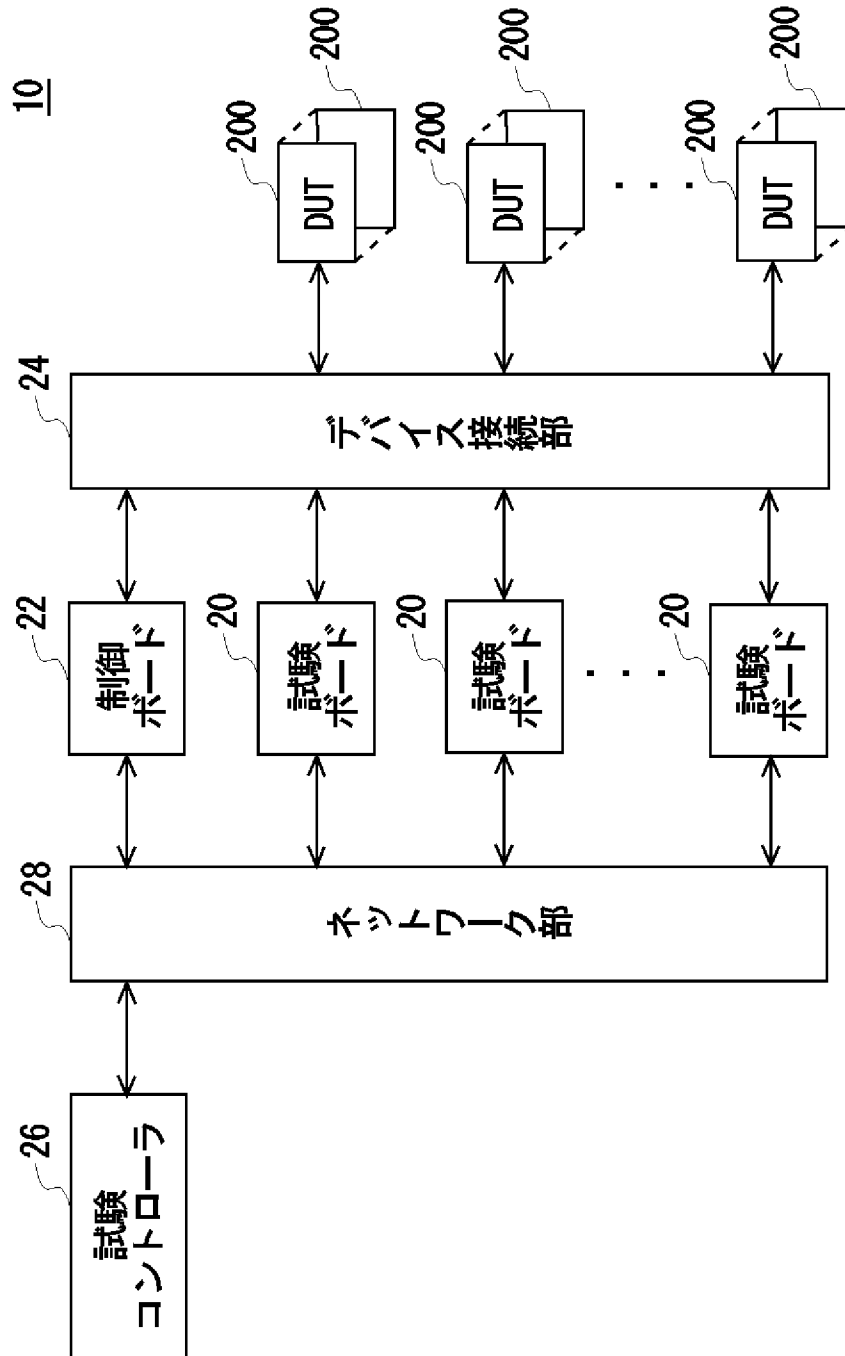
を備える請求項 1 から 7 の何れか 1 項に記載の装置。

[請求項 9]

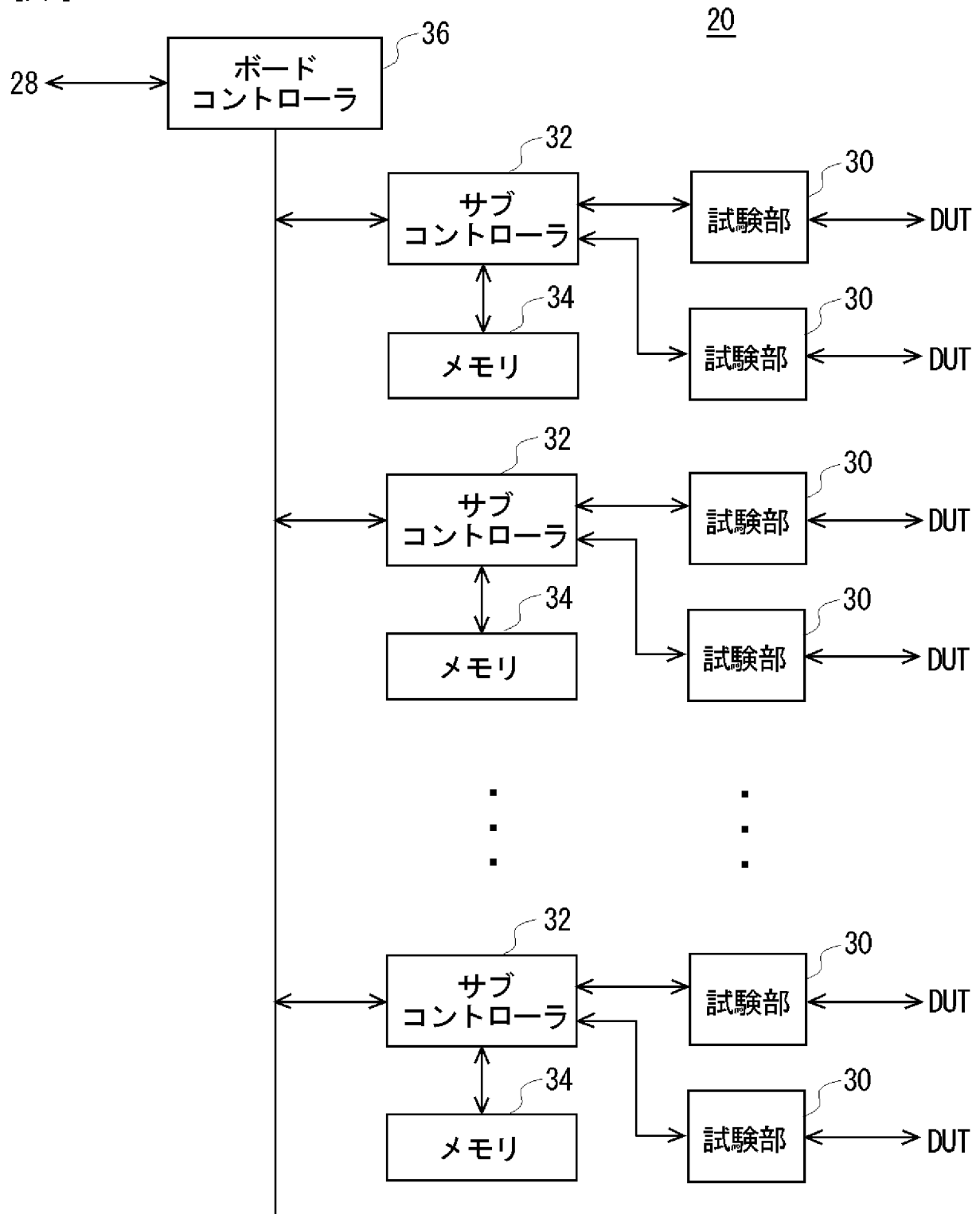
前記複数の電源部は、前記外部電源から供給された電圧を降圧して前記電源電圧を生成する

請求項 8 に記載の装置。

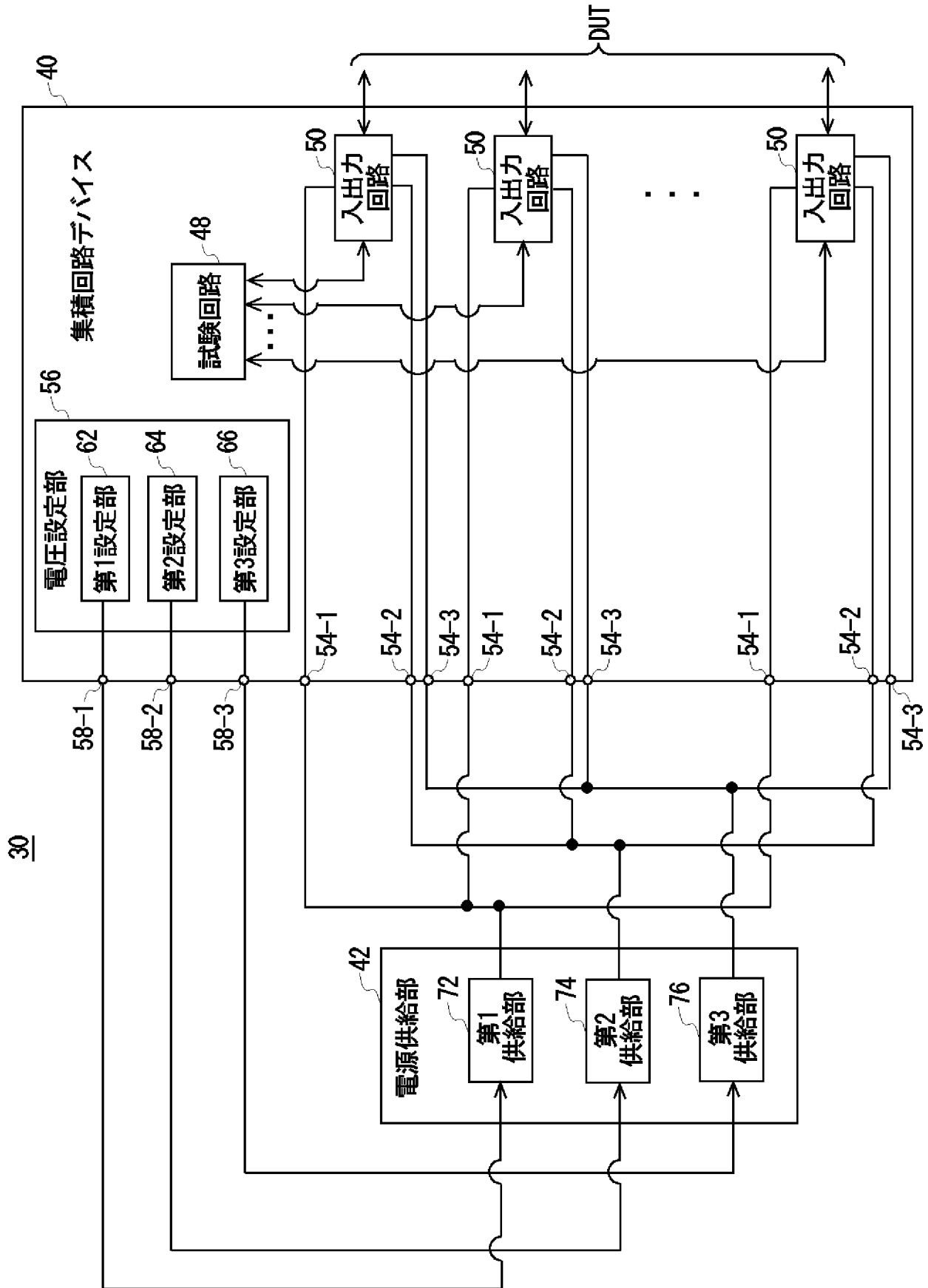
[図1]



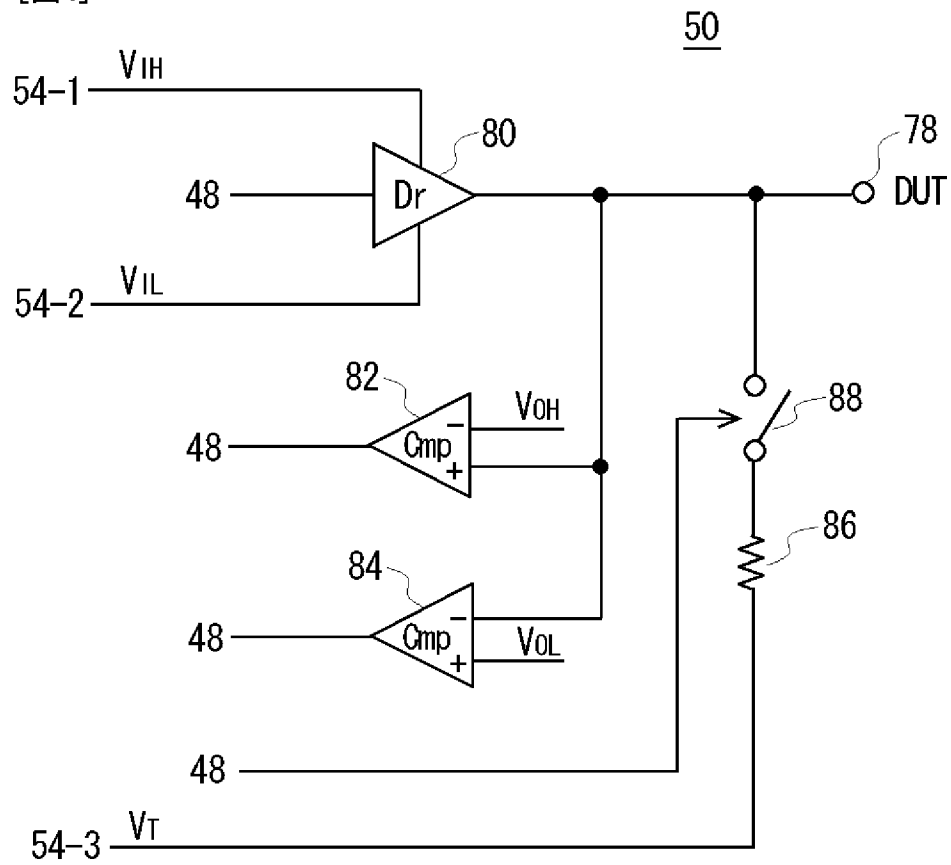
[図2]



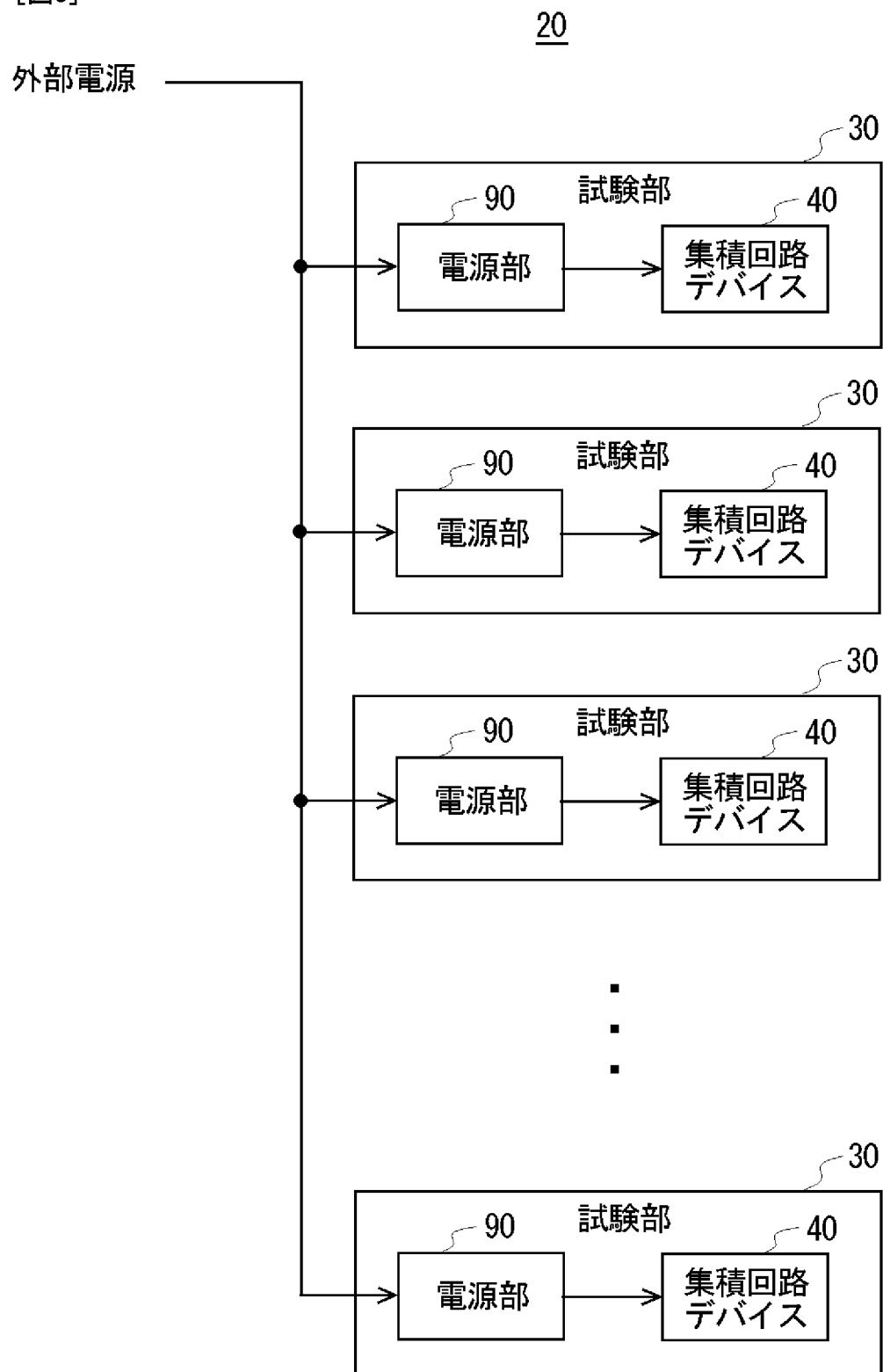
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000778

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2009/125491 A1 (Advantest Corp.), 15 October 2009 (15.10.2009), paragraphs [0035] to [0042] (Family: none)	1, 2, 5, 6 7-9 3, 4
Y	JP 4-131777 A (Ando Electric Co., Ltd.), 06 May 1992 (06.05.1992), page 2, upper left column, line 20 to upper right column, line 8 (Family: none)	7-9
Y	WO 2004/088339 A1 (Advantest Corp.), 14 October 2004 (14.10.2004), page 5, line 10 to page 8, line 27 & US 2004/0193990 A1 & EP 1610135 A1 & WO 2004/088339 A1 & DE 602004007498 D & KR 10-2005-0099626 A & CN 1756960 A	8, 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 April, 2011 (27.04.11)Date of mailing of the international search report
17 May, 2011 (17.05.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/000778

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-512682 A (FORMFACTOR INC.) , 24 April 2008 (24.04.2008) , paragraph [0037] & US 2006/0049820 A1 & EP 1794607 A & WO 2006/029340 A2 & KR 10-2007-0100695 A & CN 101115998 A	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/28 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2009/125491 A1 (株式会社アドバンテスト) 2009.10.15, [0035] - [0042] (ファミリーなし)	1, 2, 5, 6
Y		7-9
A		3, 4
Y	JP 4-131777 A (安藤電気株式会社) 1992.05.06, 2 頁左上欄 2 0 行 - 同頁右上欄 8 行 (ファミリーなし)	7-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 4 . 2 0 1 1

国際調査報告の発送日

1 7 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

菅藤 政明

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

2 S

9 3 0 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2004/088339 A1 (株式会社アドバンテスト) 2004.10.14, 5 頁 1 0 行－8 頁 2 7 行 & US 2004/0193990 A1 & EP 1610135 A1 & WO 2004/088339 A1 & DE 602004007498 D & KR 10-2005-0099626 A & CN 1756960 A	8, 9
A	JP 2008-512682 A (フォームファクター, インコーポレイテッド) 2008.04.24, 【0037】 & US 2006/0049820 A1 & EP 1794607 A & WO 2006/029340 A2 & KR 10-2007-0100695 A & CN 101115998 A	1-9