

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022년 9월 29일 (29.09.2022) **WIPO | PCT**



(10) 국제공개번호
WO 2022/203288 A1

- (51) 국제특허분류:
H01L 23/15 (2006.01) *H01L 25/11* (2006.01)
- (21) 국제출원번호: PCT/KR2022/003794
- (22) 국제출원일: 2022년 3월 18일 (18.03.2022)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2021-0038829 2021년 3월 25일 (25.03.2021) KR
- (71) 출원인: 주식회사 아모센스 (AMOSENSE CO., LTD.)
[KR/KR]: 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).
- (72) 발명자: 이지형 (LEE, Jihyung); 31040 충청남도 천안시 서북구 직산읍 4산단 5길 90 천안 제4지방산업단지 19-1블럭, Chungcheongnam-do (KR).
- (74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

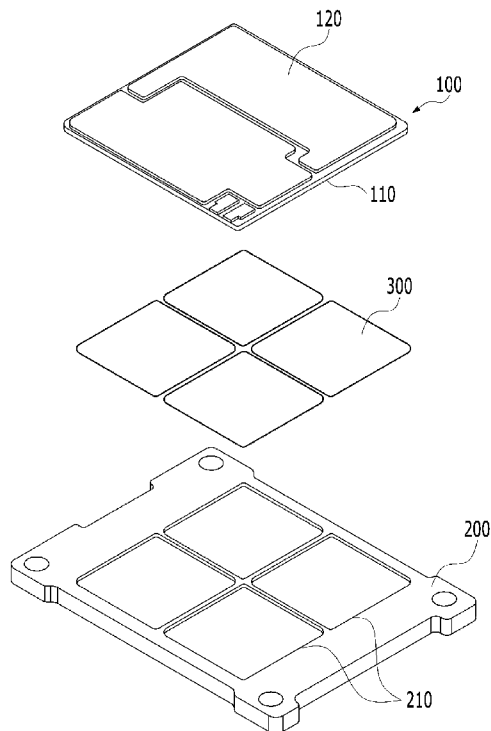
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: POWER MODULE AND METHOD FOR PRODUCING SAME

(54) 발명의 명칭: 파워모듈 및 그 제조방법



(57) Abstract: The present invention relates to a power module and a method for producing same, in which the bottom electrode layer of a ceramic substrate is inserted into recesses of a base plate, and, with the ceramic substrate stacked on the base plate, adhesion via brazing is carried out, thus improving adhesion reliability, preventing flexure, and provides highly efficient heat dissipation.

(57) 요약서: 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 베이스 플레이트의 요입홈에 세라믹 기판의 하부 전극층을 삽입하여 베이스 플레이트 상에 세라믹 기판을 적층한 상태로 브레이징 접합하므로, 접합 신뢰성이 높아지고 힘을 방지할 수 있으며, 방열 효과가 높다.



WO 2022/203288 A1

명세서

발명의 명칭: 파워모듈 및 그 제조방법

기술분야

- [1] 본 발명은 파워모듈 및 그 제조방법에 관한 것으로, 더욱 상세하게는 세라믹 기판과 베이스 플레이트의 접합 신뢰성을 향상시킬 수 있는 파워모듈 및 그 제조방법{POWER MODULE AND MANUFACTURING METHOD THEREOF}에 관한 것이다.

배경기술

- [2] 일반적으로 파워모듈에서 베이스 플레이트는 사각 플레이트 형상으로 형성되며 알루미늄 또는 구리 재질로 형성된다. 이러한 베이스 플레이트는 세라믹 기판의 하면에 접합되어 방열판으로 사용될 수 있다. 여기서, 베이스 플레이트는 방열에 유리하도록 세라믹 기판의 하면에 솔더링 접합될 수 있다.
- [3] 그런데, 종래의 베이스 플레이트의 경우, 열팽창 계수가 17.8ppm/K 이상이므로 세라믹 기판과의 접합 공정 중에 열팽창의 차이로 인한 휨이 발생할 수 있다. 또한 높은 온도에서 솔더페이스트가 녹아 베이스 플레이트의 휨, 결함 등이 유발될 수 있다.
- [4] 이에 대한 해결 방안으로 AISiC 또는 이와 유사한 재료로 250°C 이하의 온도에서 세라믹 기판과 베이스 플레이트를 접합한다. 종래의 베이스 플레이트와 세라믹 기판의 접합 구조에 의하면, 베이스 플레이트는 CuMo 또는 Ni-Au 재질로 이루어질 수 있고, 솔더프리폼(Solder Preform)을 매개로 세라믹 기판에 솔더링 접합된다. 이때, 솔더프리폼은 Sn, Ag, Cu를 포함하는 조성으로 이루어지는 SAC305를 사용하며, 솔더링 온도는 230~350°C이다.
- [5] 그런데, 종래의 세라믹 기판과 베이스 플레이트의 접합 구조는 접합에 사용되는 솔더페이스트와 솔더프리폼, 진공접합설비 등의 공정으로 인해 공정 비용이 상승하며, 접합 신뢰성과 수율 문제 등을 야기하고 있는 실정이다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명의 목적은 세라믹 기판과 베이스 플레이트의 접합 시 문제가 되는 휨이나 기공 결함 등을 방지하여 접합 신뢰성을 향상시키고, 다양한 베이스 플레이트에 대한 고신뢰성 접합이 가능하며, 공정 단순화 및 공정비용 절감이 가능한 파워모듈 및 그 제조방법을 제공하는 것이다.

과제 해결 수단

- [7] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 실시예에 따른 파워모듈은, 세라믹 기판과, 세라믹 기판의 하부에 접합된 베이스 플레이트를 구비하고, 세라믹 기판은, 세라믹 기재와, 세라믹 기재의 상면에 형성된 상부 전극층과, 세라믹 기재의 하면에 형성되고, 복수의 영역으로 분리된 하부 전극층을

- 구비하며, 베이스 플레이트는 하부 전극층에 대응하는 복수의 요입홈이 형성되고, 요입홈에 하부 전극층이 삽입될 수 있다.
- [8] 하부 전극층은 일부분이 두께 방향으로 식각되어 형성된 공간에 의해 복수의 영역으로 분리될 수 있다. 이러한 공간이 하부 전극층에 형성됨에 따라, 상부 전극층의 전체 부피를 하부 전극층의 전체 부피로 나눈 부피비는 0.9 내지 1.1 범위 내에 있도록 조절될 수 있다.
- [9] 또한, 상부 전극층과 하부 전극층의 두께가 동일한 경우, 상부 전극층의 전체 면적을 하부 전극층의 전체 면적으로 나눈 면적비가 0.9 내지 1.1 범위 내에 있도록 공간이 형성될 수 있다.
- [10] 브레이징 필러는 하부 전극층과 요입홈 사이에 배치되고, 세라믹 기판과 베이스 플레이트를 접합시킬 수 있다.
- [11] 베이스 플레이트의 요입홈은, 하부 전극층 및 브레이징 필러의 두께를 합한 것과 같은 깊이로 형성될 수 있다.
- [12] 본 실시예에 따른 파워모듈 제조방법은 세라믹 기재의 상하면에 상부 전극층 및 하부 전극층을 구비하고, 하부 전극층이 복수의 영역으로 분리된 세라믹 기판을 준비하는 단계와, 하부 전극층에 대응하는 요입홈이 형성된 베이스 플레이트를 준비하는 단계와, 요입홈에 하부 전극층을 삽입하는 단계와, 베이스 플레이트 상에 세라믹 기판을 적층한 상태로 접합하는 단계를 포함할 수 있다.
- [13] 세라믹 기판을 준비하는 단계는, 하부 전극층의 일부분을 두께 방향으로 식각하여 복수의 영역으로 분리하는 공간을 형성하는 단계를 포함할 수 있다.
- [14] 복수의 영역으로 분리하는 공간을 형성하는 단계는, 상부 전극층의 전체 부피를 하부 전극층의 전체 부피로 나눈 부피비가 0.9 내지 1.1이 되도록 공간을 형성할 수 있다.
- [15] 또한, 복수의 영역으로 분리하는 공간을 형성하는 단계는, 상부 전극층과 하부 전극층의 두께가 동일하면, 상부 전극층의 전체 면적을 하부 전극층의 전체 면적으로 나눈 면적비가 0.9 내지 1.1이 되도록 공간을 형성할 수 있다.
- [16] 베이스 플레이트를 준비하는 단계에서, 베이스 플레이트는 소둔 열처리되어 열응력이 제거될 수 있다.
- [17] 베이스 플레이트를 준비하는 단계는, 요입홈에 브레이징 필러를 배치하는 단계를 포함할 수 있다.
- [18] 베이스 플레이트를 준비하는 단계에서, 요입홈은 베이스 플레이트를 두께 방향으로 에칭하여 형성하고, 요입홈의 깊이는 하부 전극층 및 브레이징 필러의 두께를 합한 것과 같을 수 있다.
- [19] 브레이징 필러를 배치하는 단계는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러를 요입홈에 배치할 수 있다.
- [20] 베이스 플레이트 상에 세라믹 기판을 적층한 상태로 접합하는 단계는, 브레이징 필러를 용융시켜 브레이징하는 단계를 포함할 수 있다.

- [21] 브레이징하는 단계는, 780~900°C에서 수행하며, 브레이징 중에 상부 중량 또는 가압을 실시할 수 있다.

발명의 효과

- [22] 본 발명은 요입홈에 하부 전극층을 삽입하여 베이스 플레이트 상에 세라믹 기판을 적층한 상태로 브레이징 접합하므로, 접합 신뢰성이 높아지고 힘을 방지할 수 있으며, 방열 효과가 높다.
- [23] 또한, 본 발명은 하부 전극층과 요입홈이 크기에 맞게 끼워진 상태로 브레이징 접합시켜 절연겔 주입 시 기포가 발생하는 공간을 없앨 수 있고, 기공 결합을 방지할 수 있다.
- [24] 또한, 본 발명은 하부 전극층의 일부분을 두께 방향으로 식각하여 공간을 형성함으로써 상부 전극층 및 하부 전극층의 부피비, 면적비를 특정 범위 내에 있도록 제어하여 부피 차이에 의해 발생하는 휨 현상을 억제할 수 있다.
- [25] 또한, 본 발명은 베이스 플레이트를 열처리하여 열응력, 열변형 등을 사전에 제거한 후 브레이징 필러를 용융시켜 브레이징 접합하기 때문에 접합 신뢰성이 향상된다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 분해 사시도이다.
- [27] 도 2는 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 분해 단면도이다.
- [28] 도 3은 본 발명의 실시예에 의한 세라믹 기판의 상면과 하면을 보인 도면이다.
- [29] 도 4는 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 단면도이다.
- [30] 도 5은 SiC 칩을 구비한 파워모듈의 예를 나타낸 단면도이다.
- [31] 도 6은 GaN 칩을 구비한 파워모듈의 예를 나타낸 단면도이다.
- [32] 도 7은 본 발명의 실시예에 따른 파워모듈 제조방법을 도시한 흐름도이다.

발명의 실시를 위한 형태

- [33] 이하 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명하기로 한다.
- [34] 본 발명은 파워모듈에 포함되는 구성 중 세라믹 기판과 베이스 플레이트의 접합 구조에 특징이 있으므로, 이를 중심으로 설명하기로 한다.
- [35] 도 1은 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 분해 사시도이고, 도 2는 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 분해 단면도이며, 도 3은 본 발명의 실시예에 의한 세라믹 기판의 상면과 하면을 보인 도면이고, 도 4는 본 발명의 실시예에 의한 파워모듈용 세라믹 기판과 베이스 플레이트의 접합 구조를 보인 단면도이다.
- [36] 도 1 및 도 2에 도시된 바에 의하면, 본 발명의 실시예에 의한 파워모듈은

세라믹 기판(100) 및 세라믹 기판(100)의 하부에 접합된 베이스 플레이트(200)를 구비할 수 있다.

- [37] 세라믹 기판(100)은 세라믹 기재(110)와 상기 세라믹 기재(110)의 상하면에 상하부 전극층(120,130)을 구비한 AMB(Active Metal Brazing) 기판일 수 있다. 실시예는 AMB 기판을 예로 들어 설명하나 DBC(Direct Bonding Copper) 기판, TPC(Thick Printing Copper) 기판, DBA 기판(Direct Brazed Aluminum)을 적용할 수도 있다. AMB 기판은 내구성 및 반도체 칩으로부터 발생하는 열의 방열 효율면에서 가장 적합하다.
- [38] 세라믹 기판(100)의 세라믹 기재(110)는 알루미나(Al_2O_3), AlN, SiN, Si_3N_4 중 어느 하나인 것을 일 예로 할 수 있다.
- [39] 도 3에 도시된 바에 의하면, 상부 전극층(120)은 세라믹 기재(110)의 상면(110a)에 전극 패턴으로 형성될 수 있다. 예컨대, 상부 전극층(120)은 금속박 형태로 구비되어 세라믹 기재(110)의 상면(110a)에 브레이징 접합되고, 이후에 에칭에 의해 반도체 칩을 실장하는 전극 패턴 및 구동소자를 실장하는 전극 패턴으로 형성될 수 있다. 상부 전극층(120)은 Cu, Cu합금, OFC, EPT Cu, Al 중 하나로 이루어지는 것을 일 예로 할 수 있다. OFC는 무산소동이다.
- [40] 하부 전극층(130)은 세라믹 기재(110)의 하면(110b)에 형성되고, 복수의 영역(130a,130b,130c,130d)으로 분리될 수 있다. 예컨대, 하부 전극층(130)은 Cu, Cu합금, OFC, EPT Cu, Al 중 하나로 이루어진 금속박 형태로 구비되어 세라믹 기재(110)의 하면(110b)에 브레이징 접합되고, 이후에 일부분이 두께 방향으로 식각되어 형성된 공간(131)에 의해 복수의 영역(130a,130b,130c,130d)으로 분리될 수 있다.
- [41] 하부 전극층(130)이 공간(131) 없이 베이스 플레이트(200)와의 접합 면적을 높이도록 평판으로 형성될 경우, 전극 패턴으로 형성된 상부 전극층(120)의 전체 부피와 비교했을 때 부피 차이가 커서 고온 환경에서 세라믹 기판(100)이 휘어지는 현상이 발생한다. 경험적 데이터에 의하면, 전극 패턴으로 형성된 상부 전극층(120)의 전체 부피를 평판 형태인 하부 전극층(130)의 전체 부피로 나눈 부피비는 약 0.76이며, 이때 휘어지는 정도는 0.4%를 초과하여 불량으로 폐기될 수밖에 없다. 이러한 불량 발생 비율은 전체 생산량에서 비교적 큰 비중을 차지하여 지속적인 생산 손실의 문제를 야기시키고 있다.
- [42] 상기와 같은 문제를 해결하기 위하여, 본 발명은 공간(131)을 통해 상부 전극층(120) 및 하부 전극층(130)의 부피비 및 면적비를 특정 범위 내에 있도록 제어하여 부피 차이에 의해 발생하는 휨 현상을 억제할 수 있다.
- [43] 세라믹 기판(100)의 상부 전극층(120)은 반도체 칩이 실장되는 전극 패턴으로 형성되기 때문에 그 형태나 두께, 길이 등이 고정되어 설계되는 경우가 많다. 따라서, 본 발명은 하부 전극층(130)의 일부분을 두께 방향으로 식각하여 공간(131)을 형성하고, 이를 통해 하부 전극층(130)을 복수의 영역(130a,130b,130c,130d)으로 분리하여 하부 전극층(130)의 전체 부피 및

- 면적을 조절할 수 있다. 즉, 하부 전극층(130)에 공간(131)이 형성되어 하부 전극층(130)의 전체 부피 및 면적이 감소하면, 상부 전극층(120)과 하부 전극층(130)의 부피비 및 면적비가 0.9 내지 1.1 범위 내에 있도록 조절될 수 있다.
- [44] 구체적으로, 세라믹 기판(100)은 상부 전극층(120)의 전체 부피를 하부 전극층(130)의 전체 부피로 나눈 부피비가 0.9 내지 1.1 범위 내에 있도록 설계되는 것이 바람직하고, 힘을 최소화하기 위해 부피비는 1.0에 가깝도록 설계되는 것이 더 바람직하다.
- [45] 전체 부피는 전체 면적과 두께의 곱으로 계산되기 때문에, 상하부 전극층(120,130)의 두께가 동일하면 두께에 따른 면적을 조절하여 부피비가 0.9 내지 1.1 범위 내에 있도록 할 수 있다.
- [46] 일례로, 상부 전극층(120)과 하부 전극층(130)의 두께는 0.3T 또는 0.5T로 동일할 수 있다. 이와 같이, 상부 전극층(120)과 하부 전극층(130)의 두께가 동일한 경우 상부 전극층(120)의 전체 면적을 상기 하부 전극층(130)의 전체 면적으로 나눈 면적비가 0.9 내지 1.1 범위 내에 있도록 설계되는 것이 바람직하고, 힘을 최소화하기 위해 면적비는 1.0에 가깝도록 설계되는 것이 더 바람직하다. 즉, 두께가 동일한 경우, 면적비가 0.9 내지 1.1 범위 내에 있도록 설계되면, 부피비도 0.9 내지 1.1 범위 내로 조절될 수 있다.
- [47] 한편, 하부 전극층(130)은 공간(131)에 의해 다양한 형태로 분리될 수 있다. 예컨대, 도 3과 같이 하부 전극층(130)은 십자 형태로 식각된 공간(131)에 의해 단면이 사각형이고 서로 면적이 동일한 4개의 영역(130a,130b,130c,130d)으로 분리될 수 있다. 이외에도 하부 전극층(130)은 식각되어 형성된 공간에 의해 삼각형 등의 다양한 형태를 가진 복수의 영역으로 분리될 수 있다.
- [48] 도 4에 도시된 바에 의하면, 베이스 플레이트(200)는 세라믹 기판(100)의 하부에 접합되고, 세라믹 기판(100)에 실장된 반도체 칩에서 발생하는 열을 방열하기 위해 사용될 수 있다. 베이스 플레이트(200)는 소정의 두께를 가지는 사각 플레이트 형상으로 형성될 수 있다. 또한, 베이스 플레이트(200)는 열팽창 계수와 접합 면적 또는 부피를 사전에 계산하여 도출한 힘 변화량을 바탕으로 힘이 최소화되는 형태로 설계될 수 있다.
- [49] 베이스 플레이트(200)는 방열 효율을 높일 수 있는 소재로 형성된다. 일례로, 베이스 플레이트(200)는 Cu, Al, Ni-Au, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어질 수 있다. Cu, Al, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu의 소재는 열전도도가 우수하고, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu 및 Cu/W/Cu의 소재는 저열팽창 계수를 가져 세라믹 기판(100)과 접합 시 힘 발생을 최소화할 수 있다.
- [50] 베이스 플레이트(200)는 Cu/CuMo/Cu의 3층 접합 금속시트 구조로 형성되거나 AlSiC로 형성되는 경우, 세라믹 기판(100)과의 접합에서 우수한 접합 특성을 가질 수 있으며, 열팽창 계수는 6.8~12ppm/K, 열전도도는 220~280W/m·K인

열특성을 가질 수 있다.

- [51] 베이스 플레이트(200)는 상면에 하방으로 요입된 요입홈(210)이 형성될 수 있다. 요입홈(210)은 복수의 영역(130a, 130b, 130c, 130d)으로 분리된 하부 전극층(130)에 대응하는 형태 및 개수로 형성될 수 있다. 실시예에서 요입홈(210)은 하부 전극층(130)에 대응하여 단면이 사각형이고 서로 면적이 동일한 4개의 홈으로 형성될 수 있다.
- [52] 요입홈(210)은 세라믹 기판(100)과 베이스 플레이트(200)를 접합시키는 브레이징 필러(300)가 배치될 수 있다. 여기서, 요입홈(210)은 하부 전극층(130) 및 브레이징 필러(300)의 두께를 합한 것과 같은 깊이로 형성될 수 있다. 즉, 브레이징 필러(300)와 하부 전극층(130)이 요입홈(210)에 크기에 맞게 수용될 수 있기 때문에 하부 전극층(130)과 베이스 플레이트(200) 사이에 공간이 생기지 않아 기포 발생을 방지할 수 있다. 일례로, 하부 전극층(130)의 두께가 0.5T이고, 브레이징 필러(300)의 두께가 0.03T일 경우, 요입홈(210)의 깊이는 0.53T일 수 있다.
- [53] 이러한 브레이징 필러(300)는 세라믹 기판(100)과 베이스 플레이트(200) 간의 접합 특성을 확보하기 위한 것이다. 세라믹 기판(100)과 베이스 플레이트(200)를 솔더링 접합할 경우, 고온에서 휨 발생으로 인해 공극이 발생하여 접합 신뢰성이 낮아진다.
- [54] 반면, 본 발명은 하부 전극층(130)과 요입홈(210) 사이에 브레이징 필러(300)가 배치되고, 요입홈(210)에 하부 전극층(130)이 삽입되어 하부 전극층(130)의 네 면이 모두 요입홈(210)의 내면에 접하는 상태로 브레이징 접합되기 때문에 접촉 면적이 증가하여 접합력이 더 우수하다. 따라서, 세라믹 기판(100)의 휨이 베이스 플레이트(200)에 의해 억제될 수 있고, 방열 효과가 높다.
- [55] 또한, 하부 전극층(130)이 요입홈(210)에 삽입되므로 세라믹 기판(100)과 베이스 플레이트(200)의 상호 얼라인(align)을 정확히 일치시키기가 용이하고, 브레이징 시 고온 환경에서 서로 위치가 틀어지는 문제가 발생하지 않아 접합 정밀도를 향상시킬 수 있다는 장점이 있다.
- [56] 브레이징 필러(300)는 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다. 여기서, Ag와 Cu는 열전도도가 높아 접합력을 높이는 역할과 동시에 세라믹 기판(100)과 베이스 플레이트(200) 간의 열 전달을 용이하게 하여 방열 효율을 높일 수 있다. 또한, Ti는 젖음성이 좋아 Ag와 Cu가 요입홈(210)의 내면에 용이하게 부착되게 할 수 있다.
- [57] 브레이징 필러(300)는 다층 구조의 박막으로 형성될 수도 있다. 다층 구조의 박막은 부족한 성능을 보완하여 접합력을 높이기 위한 것이다. 일례로, 브레이징 필러(300)는 Ag층과 Ag층 상에 형성된 Cu층을 포함하는 2층 구조로 이루어질 수 있다. 또는 브레이징 필러(300)는 Ti층과 Ti층 상에 형성된 Ag층과 Ag층 상에 형성된 Cu층을 포함하는 3층 구조로 이루어질 수 있다. 이러한 브레이징 필러(300)는 세라믹 기판(100)과 베이스 플레이트(200)의 브레이징 접합에

사용된 이후에 다층 구조의 경계가 모호해질 수 있다.

- [58] 도 5은 SiC 칩을 구비한 파워모듈의 예를 나타낸 단면도이고, 도 6은 GaN 칩을 구비한 파워모듈의 예를 나타낸 단면도이다.
- [59] 도 5 및 도 6에 도시된 바에 의하면, 파워모듈은 세라믹 기판(100)의 상부 전극층(120)에 반도체 칩(C)이 실장될 수 있다. 반도체 칩(C)은 도 5 및 도 6에 도시된 SiC 칩, GaN 칩 이외에도 Si 칩, MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGBT(Insulated Gate Bipolar Transistor), JFET(Junction Field Effect Transistor), HEMT(High Electric Mobility Transistor) 중 어느 하나가 구비될 수 있다.
- [60] 도 5에 도시된 바에 의하면, SiC 칩(C)의 하부는 솔더층(s)을 매개로 세라믹 기판(100)의 상부 전극층(120)에 접합되고, SiC 칩(C)의 상부는 본딩 와이어(w)에 의해 외부와 전기적으로 연결될 수 있다.
- [61] 도 6에 도시된 바에 의하면, GaN 칩(C)의 하부는 솔더층(s)을 매개로 하부 세라믹 기판(100)의 상부 전극층(120)에 접합되고, GaN 칩(C)의 상부는 본딩층(b)에 의해 플립칩 형태로 상부 세라믹 기판(400)에 접합될 수 있다. 상부 세라믹 기판(400)은 세라믹 기재(410)의 상면에 상부 전극층(420)을 구비하고, 세라믹 기재(410)의 하면에 하부 전극층(430)을 구비한 것으로, GaN 칩(C)의 상부는 하부 전극층(430)의 하면에 플립칩 형태로 접합될 수 있다.
- [62] 도 5 및 도 6에 도시된 바와 같이, 파워모듈은 반도체 칩(C)이 실장되므로 반도체 칩의 보호, 진동의 완화 및 절연의 목적으로 하우징(h)의 내부 공간에 실리콘, 에폭시 등의 절연겔 재료가 주입될 수 있다. 이때, 세라믹 기판(100)의 하부 전극층(130)과 베이스 플레이트(200) 사이에 공간이 있을 경우 기포가 발생하여 기공 결함이 발생한다. 따라서, 본 발명은 하부 전극층(130)과 요입홈(210)이 크기에 맞게 끼워진 상태로 브레이징 접합시켜 기포가 발생하는 공간이 없앨 수 있고, 이를 통해 기공 결함을 방지할 수 있다. 아울러, 하부 전극층(130)이 요입홈(210)에 삽입되기 때문에 전체 모듈의 두께를 줄일 수 있다는 장점도 있다.
- [63] 도 7은 본 발명의 실시예에 따른 파워모듈 제조방법을 도시한 흐름도이다.
- [64] 본 발명의 실시예에 따른 파워모듈 제조방법은 도 7에 도시된 바와 같이, 세라믹 기재(110)의 상하면에 상부 전극층(120) 및 하부 전극층(130)을 구비하고, 하부 전극층(130)이 복수의 영역(130a, 130b, 130c, 130d)으로 분리된 세라믹 기판(100)을 준비하는 단계(S10)와, 하부 전극층(130)에 대응하는 요입홈(210)이 형성된 베이스 플레이트(200)를 준비하는 단계(S20)와, 요입홈(210)에 하부 전극층(130)을 삽입하는 단계(S30)와, 베이스 플레이트(200) 상에 세라믹 기판(100)을 적층한 상태로 접합하는 단계(S40)를 포함할 수 있다.
- [65] 세라믹 기판(100)을 준비하는 단계(S10)에서, 세라믹 기판(100)은 세라믹 기재(110)의 상하면에 상하부 전극층(120, 130)을 구비한 AMB(Active Metal Brazing) 기판일 수 있다.

- [66] 세라믹 기판(100)을 준비하는 단계(S10)는, 하부 전극층(130)의 일부분을 두께 방향으로 식각하여 복수의 영역으로 분리하는 공간(131)을 형성하는 단계를 포함할 수 있다. 공간(131)이 하부 전극층(130)에 형성됨으로써, 하부 전극층(130)은 복수의 영역(130a, 130b, 130c, 130d)으로 분리될 수 있다.
- [67] 복수의 영역으로 분리하는 공간(131)을 형성하는 단계는, 상부 전극층(120)의 전체 부피를 상기 하부 전극층(130)의 전체 부피로 나눈 부피비가 0.9 내지 1.1이 되도록 공간(131)을 형성할 수 있다.
- [68] 또한, 복수의 영역으로 분리하는 공간(131)을 형성하는 단계는, 상부 전극층(120)과 상기 하부 전극층(130)의 두께가 동일하면, 상부 전극층(120)의 전체 면적을 하부 전극층(130)의 전체 면적으로 나눈 면적비가 0.9 내지 1.1이 되도록 공간(131)을 형성할 수 있다.
- [69] 이와 같이, 본 발명은 하부 전극층(130)의 일부분을 두께 방향으로 식각하여 공간(131)을 형성함으로써 하부 전극층(130)의 전체 부피 및 면적을 조절하고, 이를 통해 상부 전극층(120)과 하부 전극층(130)의 부피비, 면적비가 0.9 내지 1.1 범위 내에 있도록 조절할 수 있다. 상부 전극층(120)은 반도체 칩이 실장되는 전극 패턴으로 형성되기 때문에, 하부 전극층(130)이 평판으로 형성되어 부피 차이가 클 경우 고온 환경에서 세라믹 기판(100)이 휘어지는 현상이 발생한다. 따라서, 본 발명은 하부 전극층(130)의 일부분을 두께 방향으로 식각하여 형성한 공간(131)을 통해 상부 전극층(120) 및 하부 전극층(130)의 부피비, 면적비를 특정 범위 내에 있도록 제어하여 부피 차이에 의해 발생하는 휨 현상을 억제할 수 있다.
- [70] 베이스 플레이트(200)를 준비하는 단계(S20)에서, 베이스 플레이트(200)는 하부 전극층(130)에 대응하는 요입홈(210)이 형성될 수 있다. 베이스 플레이트(200)는 Cu, Al, Ni-Au, AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu, Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어지는 플레이트를 준비한다. 바람직하게는 베이스 플레이트(200)는 AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu, Cu/W/Cu 중 적어도 하나 또는 이들의 복합소재로 이루어지는 플레이트를 준비한다. AlSiC, CuMo, CuW, Cu/CuMo/Cu, Cu/Mo/Cu, Cu/W/Cu 재질은 Cu와 Al에 비해 낮은 열팽창 계수를 가져 고온에서 열팽창 계수의 차이로 인해 발생하는 휨 현상을 최소화할 수 있다.
- [71] 베이스 플레이트(200)의 두께는 1.0mm~3.0mm 범위일 수 있다. 바람직하게는 베이스 플레이트(200)의 두께는 2.0mm 이상인 것이 방열에 유리하고 휨 발생이 최소화될 수 있다.
- [72] 또한, 베이스 플레이트(200)를 준비하는 단계(S20)에서, 베이스 플레이트(200)는 소둔 열처리되어 열응력이 제거될 수 있다. 이러한 소둔 열처리는 베이스 플레이트(200)의 열 응력을 사전에 제거하기 위한 것으로, 전기로나 가스로에서 600~750°C의 온도로 실시될 수 있다. 이와 같이 베이스 플레이트(200)에 부여된 열 응력이 사전에 제거되면, 세라믹 기판(100)과 베이스

플레이트(200)을 브레이징 접합하는 과정에서 열팽창과 열수축에 의해 생성되는 열응력이 완화되어 접합 신뢰성을 향상시킬 수 있다. 또한, 접합 부위가 손상되지 않기 때문에 열 전달 효과가 우수해져 방열 특성을 향상시킬 수 있다.

[73] 베이스 플레이트(200)를 준비하는 단계(S20)는, 요입홈(210)에 브레이징 필러(300)를 배치하는 단계를 포함할 수 있다. 브레이징 필러(300)는 세라믹 기판(100)과 베이스 플레이트(200)를 접합하기 위한 것으로, 브레이징 필러(300)가 요입홈(210)에 배치된 후, 하부 전극층(130)이 요입홈(210)에 삽입될 수 있다.

[74] 베이스 플레이트(200)를 준비하는 단계(S20)에서, 요입홈(210)은 베이스 플레이트(200)를 두께 방향으로 에칭하여 형성할 수 있다. 이때, 요입홈(210)은 하부 전극층(130) 및 브레이징 필러(300)의 두께를 합한 것과 같은 깊이로 형성될 수 있다. 즉, 요입홈(210)은 브레이징 필러(300)와 하부 전극층(130)이 크기에 맞게 수용되도록 형성될 수 있다.

[75] 브레이징 필러(300)를 배치하는 단계는, 페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러(300)를 요입홈(210)에 배치할 수 있다. 브레이징 필러(300)는 Ag, Cu, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다.

[76] 베이스 플레이트(200) 상에 세라믹 기판(100)을 적층한 상태로 접합하는 단계(S40)는 브레이징 필러(300)를 용융시켜 브레이징하는 단계를 포함할 수 있다.

[77] 브레이징하는 단계는 450°C 이상, 바람직하게는 $780\sim 900^{\circ}\text{C}$ 에서 수행하고, 브레이징 중에 접합력을 높이기 위해 상부 중량 또는 가압을 실시할 수 있다.

[78] 일 예로, 브레이징하는 단계는, 브레이징 필러(300)를 배치한 요입홈(210)에 하부 전극층(130)을 삽입하여 베이스 플레이트(200) 상에 세라믹 기판(100)을 적층한 적층체를 준비하고, 상기 적층체를 브레이징로(미도시) 내의 상부 가압지그와 하부 가압지그 사이에 배치하여 가열 중에 적층체의 상하면을 가압할 수 있다.

[79] 또는, 상기 적층체를 브레이징로 내에 배치하고 적층체의 상면에 중량체를 배치하여 상부에서 가압할 수도 있다. 브레이징 접합하는 단계에서 상부 중량 또는 가압을 실시하는 것은 보이드(Void)가 없는 접합을 위한 것이다.

[80] 브레이징 접합은 솔더프리폼의 사용처럼 진공접합설비 등을 요구하지 않으므로 공정단순화가 가능하고, 상부 중량 또는 가압을 실시함으로써 기공 결합이 방지되며 접합강도가 높아지므로 높은 접합 신뢰성을 갖는다.

[81] 브레이징하는 단계를 거치면, 베이스 플레이트(200)는 세라믹 기판(100)과 일체화될 수 있다.

[82] 전술한 실시예는 베이스 플레이트(200)가 단층 구조로 이루어진다. 그러나 베이스 플레이트(200)는 저열팽창 계수(Low CTE)를 가지도록 다층 구조로 이루어질 수도 있다. 일예로, 베이스 플레이트(200)는 열팽창 계수가 상대적으로

낮은 CuMo 재질 금속시트의 상면과 하면에, 열팽창 계수는 상대적으로 높으나 열전도도가 높은 Cu 재질 금속시트가 형성된 3층 금속시트 구조로 구비될 수 있다. 이러한 베이스 플레이트(200)는 Cu 재질 금속시트의 힘을 CuMo 재질 금속시트가 흡수할 수 있고, 이로 인해 고온에서 열팽창 계수의 차이로 발생하는 휨 현상을 줄일 수 있다.

- [83] 이와 같이, 베이스 플레이트(200)가 Cu/CuMo/Cu의 3층 접합 금속시트 구조로 형성되거나 AlSiC로 형성되는 경우, 세라믹 기판(100)과의 접합에서 우수한 접합 특성을 가질 수 있으며, 열팽창 계수는 6.8~12ppm/K, 열전도도는 220~280W/m·K인 열특성을 가질 수 있다.
- [84] 상술한 본 발명은 베이스 플레이트(200)의 요입홈(210)에 세라믹 기판(100)의 하부 전극층(130)을 삽입하여 베이스 플레이트(200) 상에 세라믹 기판(100)을 적층한 상태로 브레이징 접합하므로, 접합 신뢰성이 높아지고 힘을 방지할 수 있으며, 방열 효과가 높다.
- [85] 특히, 브레이징 접합은 종래의 솔더프리폼의 사용처럼 진공접합설비 등을 요구하지 않으므로 공정단순화가 가능하고, 상부 중량 또는 가압을 실시함으로써 기공 결함이 방지되며 접합강도가 높아지므로 접합 신뢰성을 높일 수 있다.
- [86] 또한, 하부 전극층(130)과 요입홈(210)이 크기에 맞게 끼워진 상태로 브레이징 접합시켜 절연겔 주입 시 기포가 발생하는 공간을 없앨 수 있고, 기공 결함을 방지할 수 있다.
- [87] 아울러, 하부 전극층의 일부분을 두께 방향으로 식각하여 형성하여 공간(131)을 형성함으로써, 상부 전극층(120) 및 하부 전극층(130)의 부피비, 면적비를 특정 범위 내에 있도록 제어하여 부피 차이에 의해 발생하는 휨 현상을 억제할 수 있다.
- [88] 상술한 세라믹 기판의 베이스 플레이트의 접합 구조는 파워모듈에 적용되는 것을 예로 들어 설명하였으나, 고신뢰성 접합이 요구되는 다양한 접합 구조에 적용 가능하다.
- [89] 본 발명은 도면과 명세서에 최적의 실시예가 개시되었다. 여기서, 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 발명은 기술분야의 통상의 지식을 가진 자라면, 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 권리범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

청구범위

- [청구항 1] 세라믹 기판; 및
상기 세라믹 기판의 하부에 접합된 베이스 플레이트를 구비하고,
상기 세라믹 기판은,
세라믹 기재;
상기 세라믹 기재의 상면에 형성된 상부 전극층; 및
상기 세라믹 기재의 하면에 형성되고, 복수의 영역으로 분리된 하부 전극층을 구비하며,
상기 베이스 플레이트는 상기 하부 전극층에 대응하는 복수의 요입홈이 형성되고, 상기 요입홈에 상기 하부 전극층이 삽입된 파워모듈.
- [청구항 2] 제1항에 있어서,
상기 하부 전극층은 일부분이 두께 방향으로 식각되어 형성된 공간에 의해 복수의 영역으로 분리되는 파워모듈.
- [청구항 3] 제1항에 있어서,
상기 상부 전극층의 전체 부피를 상기 하부 전극층의 전체 부피로 나눈 부피비는 0.9 내지 1.1인 파워모듈.
- [청구항 4] 제1항에 있어서,
상기 상부 전극층과 상기 하부 전극층의 두께는 동일하고,
상기 상부 전극층의 전체 면적을 상기 하부 전극층의 전체 면적으로 나눈 면적비는 0.9 내지 1.1인 파워모듈.
- [청구항 5] 제1항에 있어서,
상기 하부 전극층과 상기 요입홈 사이에 배치되고, 상기 세라믹 기판과 상기 베이스 플레이트를 접합시키는 브레이징 필러를 구비하는 파워모듈.
- [청구항 6] 제5항에 있어서,
상기 요입홈은,
상기 하부 전극층 및 상기 브레이징 필러의 두께를 합한 것과 같은 깊이로 형성된 파워모듈.
- [청구항 7] 세라믹 기재의 상하면에 상부 전극층 및 하부 전극층을 구비하고, 상기 하부 전극층이 복수의 영역으로 분리된 세라믹 기판을 준비하는 단계;
상기 하부 전극층에 대응하는 요입홈이 형성된 베이스 플레이트를 준비하는 단계;
상기 요입홈에 상기 하부 전극층을 삽입하는 단계; 및
상기 베이스 플레이트 상에 상기 세라믹 기판을 적층한 상태로 접합하는 단계;
를 포함하는 파워모듈 제조방법.
- [청구항 8] 제7항에 있어서,

상기 세라믹 기판을 준비하는 단계는,
상기 하부 전극층의 일부분을 두께 방향으로 식각하여 복수의 영역으로 분리하는 공간을 형성하는 단계를 포함하는 파워모듈 제조방법.

[청구항 9] 제8항에 있어서,
상기 복수의 영역으로 분리하는 공간을 형성하는 단계는,
상기 상부 전극층의 전체 부피를 상기 하부 전극층의 전체 부피로 나눈 부피비가 0.9 내지 1.1이 되도록 공간을 형성하는 파워모듈 제조방법.

[청구항 10] 제8항에 있어서,
상기 복수의 영역으로 분리하는 공간을 형성하는 단계는,
상기 상부 전극층과 상기 하부 전극층의 두께가 동일하면, 상기 상부 전극층의 전체 면적을 상기 하부 전극층의 전체 면적으로 나눈 면적비가 0.9 내지 1.1이 되도록 공간을 형성하는 파워모듈 제조방법.

[청구항 11] 제7항에 있어서,
상기 베이스 플레이트를 준비하는 단계에서,
상기 베이스 플레이트는 소둔 열처리되어 열응력이 제거된 파워모듈 제조방법.

[청구항 12] 제7항에 있어서,
상기 베이스 플레이트를 준비하는 단계는,
상기 요입홈에 브레이징 필러를 배치하는 단계를 포함하는 파워모듈 제조방법.

[청구항 13] 제12항에 있어서,
상기 베이스 플레이트를 준비하는 단계에서,
상기 요입홈은 상기 베이스 플레이트를 두께 방향으로 에칭하여 형성하고, 상기 요입홈의 깊이는 상기 하부 전극층 및 상기 브레이징 필러의 두께를 합한 것과 같은 파워모듈 제조방법.

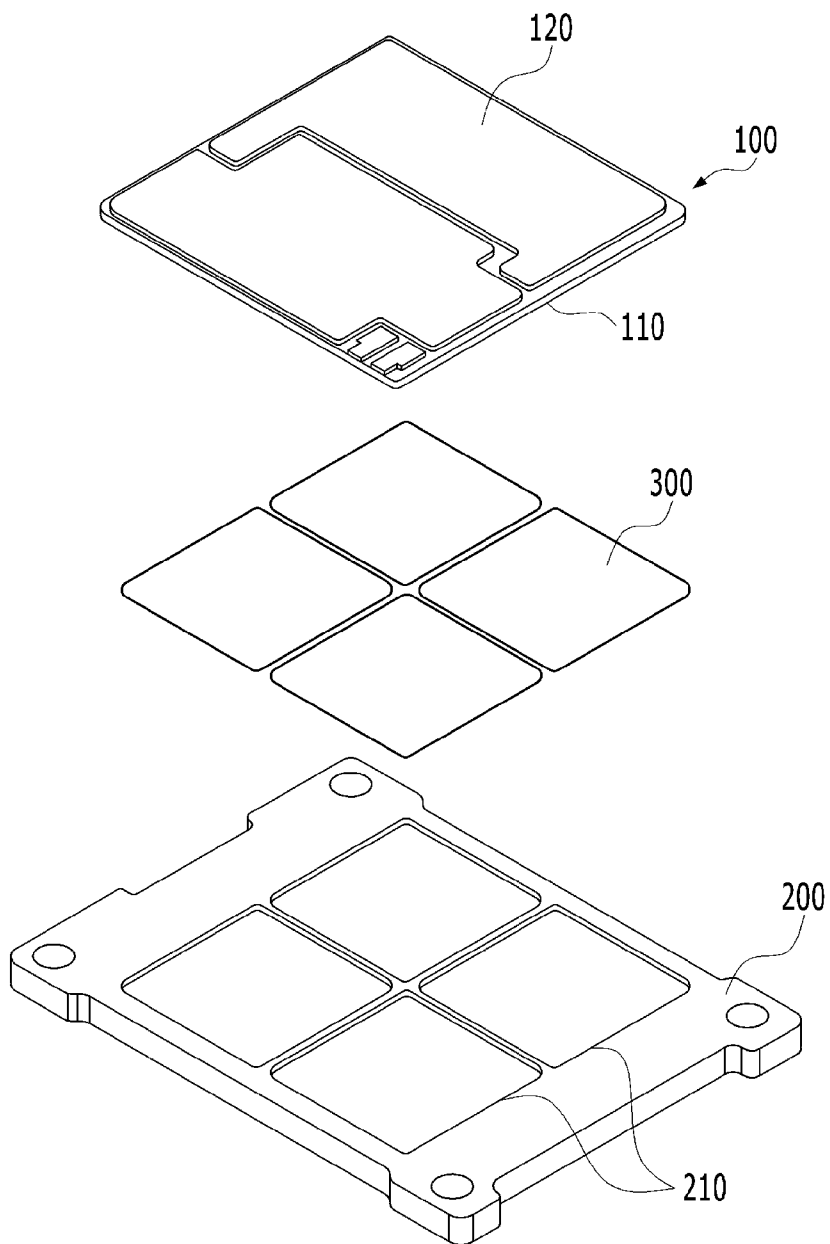
[청구항 14] 제12항에 있어서,
상기 브레이징 필러를 배치하는 단계는,
페이스트 도포, 포일(foil) 부착, P-filler 중 어느 하나의 방법으로 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하의 두께를 갖는 브레이징 필러를 상기 요입홈에 배치하는 파워모듈 제조방법.

[청구항 15] 제12항에 있어서,
상기 베이스 플레이트 상에 상기 세라믹 기판을 적층한 상태로 접합하는 단계는,
상기 브레이징 필러를 용융시켜 브레이징하는 단계를 포함하는 파워모듈 제조방법.

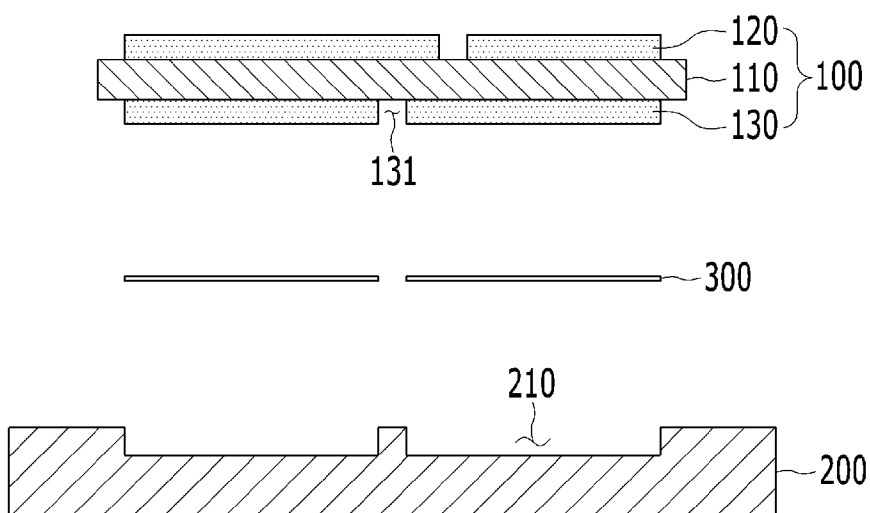
[청구항 16] 제15항에 있어서,
상기 브레이징하는 단계는,
 $780\sim 900^{\circ}\text{C}$ 에서 수행하며, 브레이징 중에 상부 중량 또는 가압을 실시하는

파워모듈 제조방법.

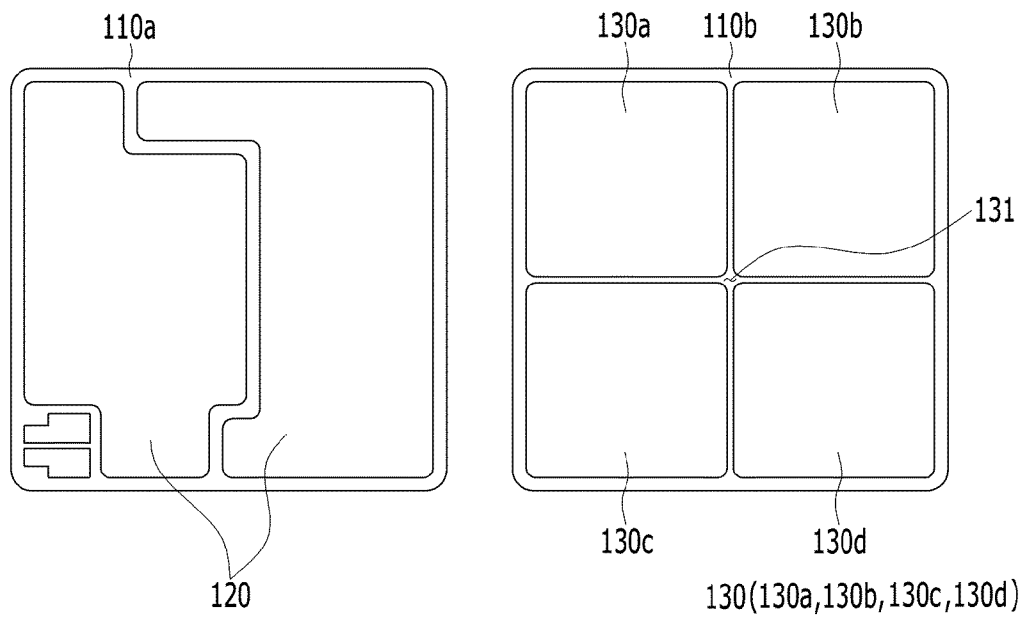
[도1]



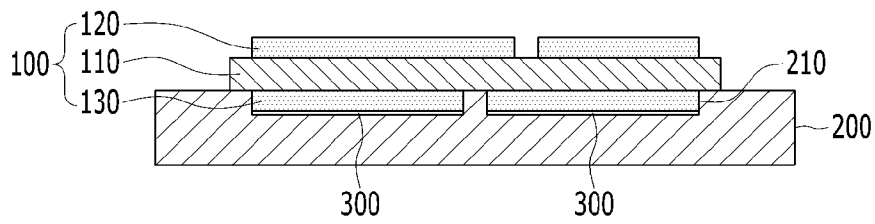
[도2]



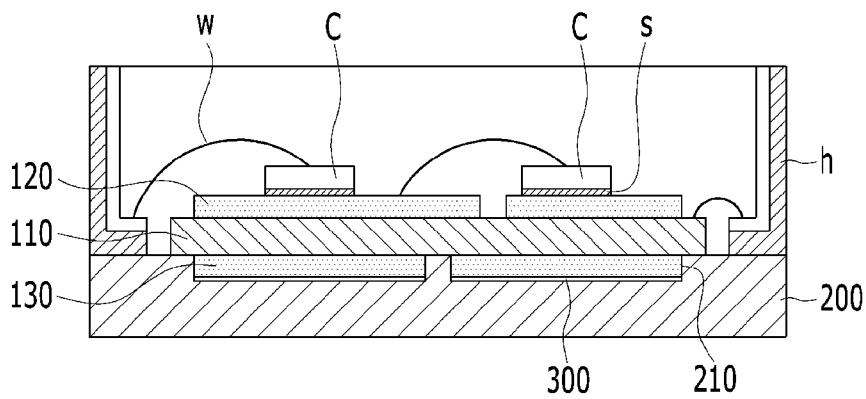
[도3]



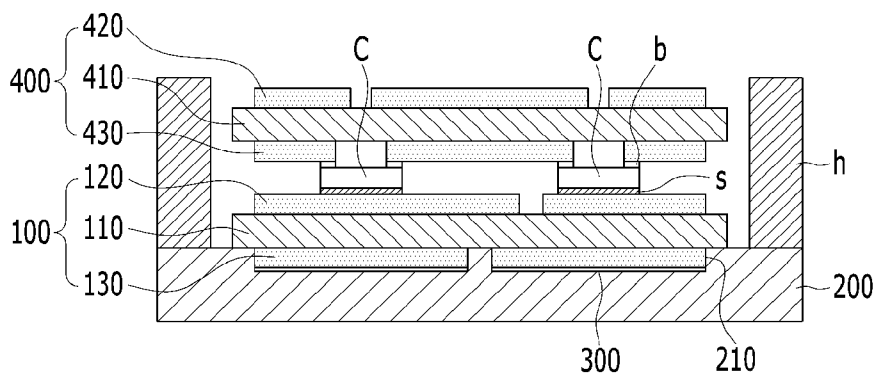
[도4]



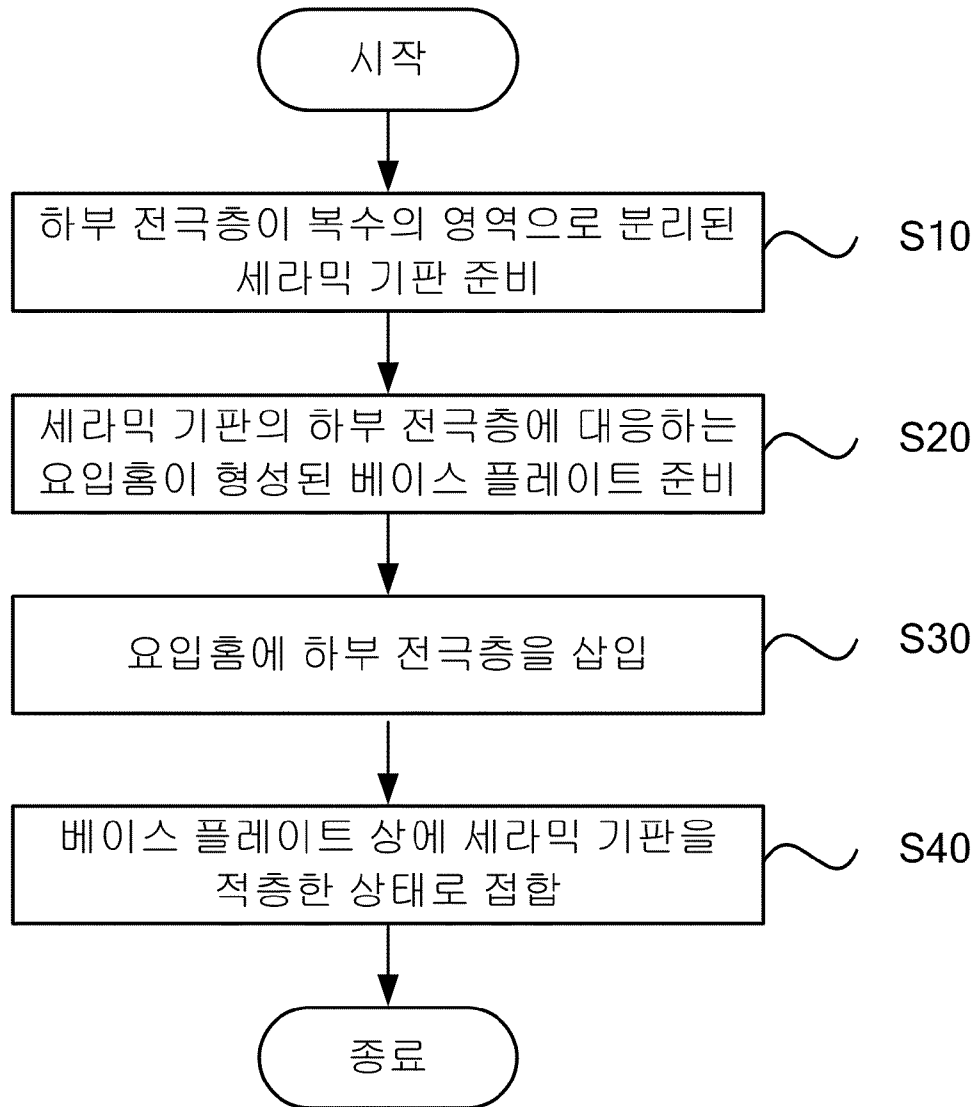
[도5]



[도6]



[도7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/003794

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/15**(2006.01)i; **H01L 25/11**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/15(2006.01); H01L 23/04(2006.01); H01L 23/13(2006.01); H01L 23/29(2006.01); H01L 23/34(2006.01);
H01L 25/07(2006.01); H01L 25/18(2006.01); H05K 7/20(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 파워 모듈(power module), 세라믹(ceramic), 전극(electrode), 베이스 플레이트
(base plate), 요입홈(groove)**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-212620 A (TOSHIBA CORP.) 24 September 2010 (2010-09-24) See paragraphs [0011]-[0021] and figures 1-3.	1-16
A	KR 20-2015-0002505 U (LSIS CO., LTD.) 26 June 2015 (2015-06-26) See paragraphs [0042]-[0080] and figure 4.	1-16
A	KR 10-2015-0053522 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 18 May 2015 (2015-05-18) See paragraphs [0020]-[0050] and figures 1-3.	1-16
A	JP 2019-125730 A (MITSUBISHI ELECTRIC CORP.) 25 July 2019 (2019-07-25) See entire document.	1-16
A	JP 2013-197432 A (MITSUBISHI ELECTRIC CORP.) 30 September 2013 (2013-09-30) See entire document.	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 June 2022

Date of mailing of the international search report

21 June 2022

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/003794

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2010-212620	A	24 September 2010	None			
KR	20-2015-0002505	U	26 June 2015	None			
KR	10-2015-0053522	A	18 May 2015	None			
JP	2019-125730	A	25 July 2019	None			
JP	2013-197432	A	30 September 2013	DE	102012218304	A1	26 September 2013
				DE	102012218304	B4	08 November 2018
				JP	5738226	B2	17 June 2015
				US	2013-0249100	A1	26 September 2013
				US	8569890	B2	29 October 2013

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 23/15(2006.01)i; H01L 25/11(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 23/15(2006.01); H01L 23/04(2006.01); H01L 23/13(2006.01); H01L 23/29(2006.01); H01L 23/34(2006.01); H01L 25/07(2006.01); H01L 25/18(2006.01); H05K 7/20(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 파워 모듈(power module), 세라믹(ceramic), 전극(electrode), 베이스 플레이트(base plate), 요입홈(groove)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2010-212620 A (TOSHIBA CORP.) 2010.09.24 단락 [0011]-[0021] 및 도면 1-3	1-16
A	KR 20-2015-0002505 U (엘에스산전 주식회사) 2015.06.26 단락 [0042]-[0080] 및 도면 4	1-16
A	KR 10-2015-0053522 A (삼성전기주식회사) 2015.05.18 단락 [0020]-[0050] 및 도면 1-3	1-16
A	JP 2019-125730 A (MITSUBISHI ELECTRIC CORP.) 2019.07.25 전체 문헌	1-16
A	JP 2013-197432 A (MITSUBISHI ELECTRIC CORP.) 2013.09.30 전체 문헌	1-16
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2022년06월21일(21.06.2022)		국제조사보고서 발송일 2022년06월21일(21.06.2022)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 박혜련 전화번호 +82-42-481-3463

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2010-212620 A	2010/09/24	없음	
KR 20-2015-0002505 U	2015/06/26	없음	
KR 10-2015-0053522 A	2015/05/18	없음	
JP 2019-125730 A	2019/07/25	없음	
JP 2013-197432 A	2013/09/30	DE 102012218304 A1	2013/09/26
		DE 102012218304 B4	2018/11/08
		JP 5738226 B2	2015/06/17
		US 2013-0249100 A1	2013/09/26
		US 8569890 B2	2013/10/29