



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I608604 B

(45)公告日：中華民國 106 (2017) 年 12 月 11 日

(21)申請案號：104104781

(22)申請日：中華民國 104 (2015) 年 02 月 12 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/20 (2006.01)

H01L29/772 (2006.01)

(30)優先權：2014/03/27 世界智慧財產權組織 PCT/US14/32059

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：艾維可 尤嘉 AVCI, UYGAR E. (TR)；寇利爾 羅沙 KOTLYAR, ROZA (US)；

楊 艾恩 YOUNG, IAN A. (US)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0067495A1

US 2010/0059737A1

US 2010/0200916A1

US 2011/0042757A1

US 2011/0084319A1

US 2012/0043607A1

US 2012/0153263A1

US 2012/0193679A1

審查人員：賴炳昆

申請專利範圍項數：20 項 圖式數：6 共 39 頁

(54)名稱

有袋部的 P 穿隧場效電晶體裝置

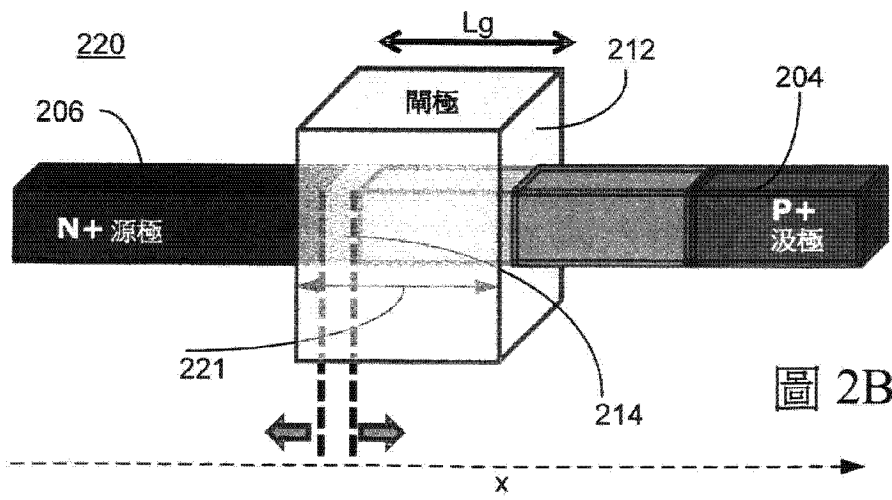
P-TUNNELING FIELD EFFECT TRANSISTOR DEVICE WITH POCKET

(57)摘要

本發明揭露一種穿隧場效電晶體(TFET)，其包含：一汲極區，具有第一導電類型；一源極區，具有相反於第一導電類型之第二導電類型；一閘極區，用於導致源極與汲極區之間的一通道區形成；及一袋部，設置接近於源極區之一接面，其中袋部區係由一材料形成，材料之一類型原子之百分比低於該類型原子在源極區、通道區、及汲極區中之百分比。

Described is a tunneling field effect transistor (TFET), comprising: a drain region having a first conductivity type; a source region having a second conductivity type opposite of the first conductivity type; a gate region to cause formation of a channel region between the source and drain regions; and a pocket disposed near a junction of the source region, wherein the pocket region formed from a material having lower percentage of one type of atom than percentage of the one type of atom in the source, channel, and drain regions.

指定代表圖：



符號簡單說明：

204 . . . 源極區

206 . . . 汲極區

212 . . . 閘極介電質

214 . . . 袋部

220 . . . 多維圖

221 . . . 通道

圖 2B

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

有袋部的 P 穿隧場效電晶體裝置

P-tunneling field effect transistor device with pocket

【技術領域】

本發明係關於一種電晶體，特別是一種有袋部的 P 穿隧場效電晶體裝置。

【先前技術】

過去數十年來，積體電路(ICs)中之特性的縮放已然是成長中之半導體工業背後的驅動力。縮至越來越小之特性可以增加半導體晶片有限區域上之功能單元的密度。例如，縮小電晶體尺寸可供晶片上併入增量之記憶體裝置，導致製成具有增加處理能力之產品。惟，較具處理能力之動力並非沒有問題。將各裝置之性能及能量消耗最佳化的必要性即日趨重要。

在積體電路裝置之製造中，多閘極電晶體(像是三閘極電晶體)已隨著裝置維度持續縮小而漸行普遍。在習知製程中，三閘極電晶體一般製成於塊狀矽基板或絕緣層覆矽基板上。在某些情況中，塊狀矽基板較佳，這是因為其成本較低及因為其可達成較不複雜之三閘極製程。惟，在

塊狀矽基板上，當在電晶體主體底部處(亦即，俗稱之鰭片)將金屬閘極電極之底部對準源極與汲極延伸段末梢時，三閘極電晶體之製程常遭遇問題。當三閘極電晶體形成於一塊狀基板時，必須正確對準以利於理想之閘控及減少短通道效應。例如，若源極與汲極延伸段末梢比金屬閘極電極深，則可能發生擊穿。或者，若金屬閘極電極比源極與汲極延伸段末梢深，結果可能是一不必要的閘極寄生電容。許多不同技術曾嘗試減少電晶體外漏。惟，在抑制外漏之領域中仍然需要大幅改善。

隨著積體電路中之電晶體尺寸持續減小，電晶體之電力供給電壓需減小。因為電力供給電壓減小，積體電路中之電晶體之臨限電壓也減小。較低之臨限電壓很難在一般金屬氧化物半導體場效電晶體(MOSFET)中取得，因為隨著臨限電壓減小，接通(ON)電流對斷開(OFF)電流之比率(I_{on}/I_{off})也減小。接通電流是指當施加之閘極電壓在臨限電壓之上且耦合為與供給電壓等高時，通過金屬氧化物半導體場效電晶體之電流。斷開電流是指當施加之閘極電壓在臨限電壓之下並等於零時，通過金屬氧化物半導體場效電晶體之電流。

穿隧場效電晶體(TFET)屬折衷型裝置，即其因為有較陡峭之次臨限斜率而容許顯著的性能增加及能量消耗減少。目前之穿隧場效電晶體裝置苦於在相同科技節點下之電流較低於矽金屬氧化物半導體場效電晶體者，以及在斷開電流期間有一寄生之源極-汲極穿隧漏電流，亦即，

on/off 比率減小。

【圖式簡單說明】

本發明之實施例可以從文後之詳細說明及從本發明之許多實施例之附圖充分瞭解，惟，不應將本案侷限於特定實施例，本案僅用於闡釋及供瞭解。

圖 1A 揭示金屬氧化物半導體場效電晶體及穿隧場效電晶體之 I_d 對 V_g 曲線的圖表。

圖 1B 揭示使用均質及異質界面之 p 穿隧場效電晶體及 n 穿隧場效電晶體之 I_d 對 V_g 曲線的圖表。

圖 2A 揭示根據本發明之一實施例之具有諧振袋的異質界面 p 穿隧場效電晶體之截面圖。

圖 2B 揭示根據本發明之一實施例之具有諧振袋的異質界面 p 穿隧場效電晶體之多維圖。

圖 2C 揭示根據本發明之一實施例之具有低帶隙材料諧振袋的異質界面 p 穿隧場效電晶體之能帶圖。

圖 3A 揭示根據本發明之一實施例當應變層中之錫百分比相對於鬆弛層變化時，價電子能帶 (VB) 偏移輪廓之圖表。

圖 3B 揭示根據本發明之一實施例當應變層中之錫百分比相對於鬆弛層變化時，袋部中之電洞穿隧質量輪廓之圖表。

圖 4 揭示根據本發明之一實施例之異質界面 p 穿隧場效電晶體之 IV 曲線，其與異質界面 n 穿隧場效電晶體之

IV 曲線有大致相同行為表現。

圖 5 揭示根據本發明之一實施例之用於形成 p 穿隧場效電晶體的方法流程圖。

圖 6 係一具有根據本發明之一實施例的異質界面穿隧場效電晶體之智慧型裝置或計算機系統或系統晶片 (SoC)。

【發明內容及實施方式】

諸實施例揭述一異質界面 p 穿隧場效電晶體裝置(例如，錫化銻裝置)，其可達成對稱之 n 型及 p 型裝置特徵(例如， I_d 對 V_g 曲線)。在一實施例中，異質界面 p 穿隧場效電晶體裝置具有比錫化銻均質界面 n 型或 p 型穿隧場效電晶體者高之電流驅動(例如，高出 4 倍之電流驅動)。某些實施例可以有比現行互補型金屬氧化物半導體式電晶體所能達成者低之功率電晶體。

在文後之說明中，許多細節係經探討以提供對於本發明之實施例有較徹底之瞭解。惟，習於此技者應該瞭解本發明之實施例可在沒有這些細節的情況下實施。在其他情況下，習知結構及裝置係以方塊圖形式揭示，而非詳細說明，以避免模糊了本發明之實施例。

請注意在實施例之對應圖式中，信號是以線條表示。有些線較粗，表示組成信號路徑，及/或具有一或多頭的箭號，則表示基本資訊流動方向。這些表示方式並非為了限制。反而，線條是使用相關於一或多個示範性實施例，

以利於瞭解電路或邏輯單元。因設計需要或喜好所示之任意代表符號實際上可包含一或多個在任一方向行進之信號及可以藉由任意適當類型之信號體系實施。

在說明書全文及申請專利範圍中，「連接」一詞是指無中間裝置而連接之物件之間的直接電氣連接。「耦合」一詞是指連接物件之間的直接電氣連接或透過一或多個被動或主動中間裝置的間接連接。「電路」一詞是指一或多個被動及/或主動組件配置成彼此配合，以提供所想要的功能。「信號」一詞是指至少一電流信號、電壓信號或資料/時脈信號。「一(a)」、「一(an)」及「該(the)」之意義包括複數。「內(in)」之意義包括「內(in)」及「上(on)」。

「換算(scaling)」一詞大抵是指將一設計(概略及布局)從一製程科技轉換成另一製程科技。「縮放(scaling)」一詞大抵也指縮小同一科技節點內之布局及裝置。「調整(scaling)」一詞也指一信號頻率相對於另一參數之調整(例如，減緩)，例如電源供給位準。「大致(substantially)」、「接近(close)」、「近似(approximately)」、「接近(near)」及「大約(about)」大抵是指在一目標值之 $\pm 20\%$ 以內。

除非另有說明，否則序數形容詞「第一」、「第二」及「第三」等等是揭述一共同物件，其僅在表示相同物件之不同情況的關係，並非意指所述之物件在時間上、空間上必定依一既定順序、等級或任意其他情形。

為了實施例起見，電晶體係場效電晶體類型，其包括

汲極、源極、閘極、及若干端子。電晶體也包括例如三閘極鰭片型、多閘極圓柱形電晶體、穿隧場效電晶體、方線、或長帶形電晶體等結構之使用，或其他可實施穿隧場效電晶體之電晶體功能性的結構。源極與汲極端子可以是相同端子並且可以互換使用。習於此技者應該瞭解在不脫離本發明之範疇下也可以使用其他電晶體結構。「N」一詞表示 n 型電晶體及「P」一詞表示 p 型電晶體。

圖 1A 揭示金屬氧化物半導體場效電晶體及穿隧場效電晶體之 I_d 對 V_g 曲線的圖表 100。在此實施例中，圖表 100 包含閘極電壓值之 x 軸線及汲極電流值之 y 軸線(正常化為通道寬度)。曲線 102 代表金屬氧化物半導體場效電晶體之電壓/電流特徵，而曲線 104 代表穿隧場效電晶體之電壓/電流特徵。

習知金屬氧化物半導體場效電晶體中難以取得較低臨限電壓，因為隨著臨限電壓減小，接通(ON)電流對斷開(OFF)電流之比率(I_{on}/I_{off})也減小。在此所稱之 I_{on} 是指當施加之閘極電壓在臨限電壓以上且耦合成和供給電壓一樣高時，通過一電晶體之電流，及 I_{off} 是指當施加之閘極電壓在臨限電壓以下且等於零伏特時，通過一電晶體之電流。

金屬氧化物半導體場效電晶體之次臨限斜率(亦即，電流從 I_{off} 到 I_{on} 之增加率並定義成 $SS=1e3/[d\log_{10}(I)/dV_g]$)具有一在室溫時為 60 mV/dec 之理論極限，意即在維持高 I_{on}/I_{off} 比率之同時，供給電壓不可能大幅減小。任何目標

I_{off} 值係由電晶體之備用電源規定決定，例如，具有理論次臨限斜率為零之電晶體可以在極低施加電壓時操作，而賦予一低備用電源。 I_{off} 值對於低電源備用應用(例如，行動計算裝置)是重要的參數。

再者，針對低主動電源應用而言，較佳在低供給電壓下操作，因為主動電源對於施加電壓有強烈依存性；惟，由於金屬氧化物半導體場效電晶體之次臨限斜率極限為 60 mV/dec，當這些電晶體在低供給電壓下操作時， I_{on} 大幅降低，因為其可在接近臨限電壓下操作。在此，曲線 102 揭示成具有較低電流上升，其大約需要 0.5V 即可切換到 I_{on} 。穿隧場效電晶體可以達成較急遽之轉換接通動作(亦即，有較陡的斜率)及比金屬氧化物半導體場效電晶體改善之 I_{on}/I_{off} 比率。

圖 1B 揭示使用均質及異質界面之 p 穿隧場效電晶體及 n 穿隧場效電晶體之 I_d 對 V_g 曲線的圖表 120。在此，x 軸線為閘極電壓(V)及 y 軸線為汲極電流 $I_D(\mu A/\mu m)$ 。圖表 120 揭示兩組曲線，第一組 121a/b 及第二組 122a/b。在此，第一組包括 p 型及 n 型均質界面穿隧場效電晶體各別之 IV 曲線 121a、121b。均質界面穿隧場效電晶體是指無袋部區域耦合至源極區，僅有沿著裝置之相同材料(例如，沿著裝置之錫化鍺材料)之穿隧場效電晶體。IV 曲線 121a、121b 大致相同，其顯示出 p 型及 n 型均質界面穿隧場效電晶體表現相似；惟，其驅動電流 I_D 輸出小於 n 型異質界面穿隧場效電晶體之驅動電流 I_D 輸出。在此，

第二組包括異質界面 p 型及 n 型穿隧場效電晶體之 IV 曲線 122a、122b。

異質界面穿隧場效電晶體係具有一袋部耦合於源極區的穿隧場效電晶體。在此，一原子類型之相同百分比合金材料(例如，7.5%的錫)使用於穿隧場效電晶體。在一實施例中，袋部區域中有增添百分比之一原子類型合金材料(例如，20%的錫)即比裝置之其餘部分產生較高來自於 n 型穿隧場效電晶體之電流輸送，其為在與均質界面穿隧場效電晶體比較之下(亦即，IV 曲線 121b 顯示其在相同 V_g 時有高於 IV 曲線 122a/b 之電流)。惟，當同樣增添 20% 之源極材料添加入異質界面 p 型穿隧場效電晶體之袋部區域中時，相較於裝置之其餘部分，則由異質界面 p 型穿隧場效電晶體提供之電流輸送即低於由異質界面 n 型穿隧場效電晶體提供者(亦即，IV 曲線 121a 顯示其在相同 V_g 時有較低於 IV 曲線 121b 及 122a/b 之電流)。

此項行為表現是有違常識的，因為形成有較高錫百分比之袋部區域並且分別耦合於異質界面 n 型及 p 型穿隧場效電晶體中之源極區時，在相同 V_g 下，異質界面 n 型及 p 型穿隧場效電晶體兩者應該比均質界面穿隧場效電晶體之電流驅動增加電流輸出。n 型異質界面穿隧場效電晶體相較於 p 型異質界面穿隧場效電晶體下之此項不對稱電流表現是不必要的。本文內所述之某些實施例可達成對稱之 n 型及 p 型異質界面穿隧場效電晶體裝置特徵(亦即，大致相同於 IV 曲線)，及亦提供比以均質界面穿隧場效電晶體

為主之 n 型及 p 型裝置高的驅動電流(例如，某些實施例提供比以均質界面穿隧場效電晶體為主之 n 型及 p 型裝置之驅動電流高 4 倍的驅動電流)。

圖 2A 揭示根據本發明之一實施例之具有諧振袋的異質界面 p 穿隧場效電晶體之截面圖 200。在此實施例中，p 穿隧場效電晶體 200 揭示為製成於半導體基板 202 上；此半導體基板可包含任意適當半導體材料，例如矽(Si)、鍺(Ge)、矽鍺(SiGe)、砷化銮(InAs)、矽鍺(SiIn)、鍺錫(GeSn)、矽鍺錫(SiGeSn)、或任意其他 III-V 族或 II-VI 族之半導體。

基板 202 可以摻雜、不摻雜或兼具含有摻雜與未摻雜區於其內。基板 202 也可以包括一或多個摻雜(n 或 p)區；若其包括多數摻雜區，這些區域可以是相同，或者其可具有不同導電率及/或摻雜濃度。這些摻雜區習稱為「井」，及其可用於界定不同裝置區。

在此實施例中，p 穿隧場效電晶體 200 揭示成包括源極區 204、汲極區 206、位於源極與汲極區之間的通道區 208、及一設於通道區上方並且包含閘極介電質 212 及閘極導體 210 之閘極堆疊。p 穿隧場效電晶體源極區 204 可包含摻有 n 型摻雜物種之半導體材料，汲極區 206 可包含摻有 p 型摻雜物種之半導體材料。在某些實施例中，汲極區 206 及源極區 204 摻入相反載體。在一實施例中，通道區 208 可以為了最佳性能而摻雜、輕度摻雜或不摻雜。一施加於閘極堆疊並在臨限電壓以上之閘極電壓(V_g)將 p 穿

隧場效電晶體 200 從斷開(OFF)狀態切換至接通(ON)狀態。

當一電洞或一電子通過位於由施加閘極電壓調制過之源極/通道接面處的一電位障壁時，閘極下方即發生穿隧。當閘極電壓高時，源極/通道接面處之電位障壁寬及穿隧受到抑制而施予一低 I_{off} 電流。當閘極電壓低時，電位障壁窄及穿隧電流高而施予 I_{on} 電流及高 I_{on}/I_{off} 比。此舉提供一較低之次臨限斜率，其容許使用較低之操作電壓。在此實施例中，針對 p 穿隧場效電晶體，載體(電洞或電子)穿隧於源極/通道接面處的源極區之傳導能帶與通道區之價電子能帶之間，在此處其可容易地輸送至汲極區 206。針對 p 穿隧場效電晶體 200，電位障壁取決於源極之傳導能帶與通道中之價電子能帶之間的能量間距。包含均質材料之穿隧場效電晶體中的此能帶間距(即穿隧障壁)即該材料之帶隙。

因此，穿隧場效電晶體在低供給電壓時可達成比金屬氧化物半導體場效電晶體高之 I_{on} 值。復參閱圖 1，曲線 104 揭示一砷化銻穿隧場效電晶體之電壓/電流特徵，其揭示用於達成一比金屬氧化物半導體場效電晶體曲線 102 者急遽之接通行為(亦即，較低次臨限斜率)。惟，如圖 1 中所示，當電壓高於 0.3V 時，曲線 104 即變平緩。復參閱圖 2A，此曲線取決於源極 204 與通道 208 之間的帶隙。

欲進一步增強 p 穿隧場效電晶體 200 之穿隧電流時，異質材料 214 之諧振袋設於 p 穿隧場效電晶體裝置之源極

/通道接面處。在一實施例中，袋部 214 可包含具有帶隙不同於 p 穿隧場效電晶體 200 之其他組件所使用者的任意半導體材料，像是銻化鎵 (GaSb) 或砷化銻。在一實施例中，袋部 214 之帶隙係經選擇，使穿隧障壁在異質裝置中比在均質裝置中低。

進一步如文後所詳述，袋部 214 之維度係經選擇，以進一步增強 p 穿隧場效電晶體 200 之接面電流 (亦即，增強通道 208 中之穿隧電流)，所以電晶體有低 I_{off} 值及高 I_{on} 值。 I_{off} 係由裝置之帶隙決定，亦即，帶隙越大則 I_{off} 越低；惟，高帶隙也使 I_{on} 減小。因此，在此實施例中，p 穿隧場效電晶體 200 之主體係建構成具有較高帶隙，同時袋部 214 在源極/通道接面處產生較低帶隙，用於低穿隧障壁。

在一實施例中，金屬接觸件耦合於各 n^+ 及 p^+ 摻雜區，以利各別提供源極與汲極接觸件。位於閘極金屬下方之 n^- 摻雜主動區可以過度延伸形成如圖所示之閘極欠疊。在一實施例中，p 穿隧場效電晶體係鰭狀結構 (雙閘極場效電晶體)、三閘極或多閘極、圓形或方形奈米線為主之場效電晶體裝置。

圖 2B 揭示根據本發明之一實施例之具有諧振袋的異質接面 p 穿隧場效電晶體之多維圖 220。圖式指出參考編號 (或名稱) 與任意其他圖式元件者相同之圖 2B 的諸元件可以用相似於已揭述之任意方式操作或發揮功能，但是並不侷限於此。在此圖中揭示形成於閘極下方之通道 221 (與

通道 208 相同)。

圖 2C 揭示根據本發明之一實施例之具有低帶隙材料諧振袋的異質界面 p 穿隧場效電晶體之能帶圖 230。圖式指出參考編號(或名稱)與任意其他圖式元件者相同之圖 2C 的諸元件可以用相似於已揭述之任意方式操作或發揮功能，但是並不侷限於此。

在此，x 軸線係從源極區 206 到汲極區 204 之距離「x」，及 y 軸線係電子伏特(eV)中之傳導能帶與價電子能帶之能量 E。在此，能量刻度上之數字表示至真空度之距離。在斷開(OFF)狀態中，異質界面 p 穿隧場效電晶體之源極與通道之間有一寬電位障壁，故無穿隧發生。在此，斷開狀態發生在閘極 212 耦合於高電力供給時。當閘極電壓超過臨限電壓時，異質界面 p 穿隧場效電晶體之源極與通道之間的電位障壁變窄到足以容許顯著之穿隧電流(亦即，切換至接通(ON)狀態)。在此，231 揭示袋部能帶圖，袋部具有比裝置之其餘部分較低的傳導能帶緣部及較高的價電子能帶緣部；233 揭示袋部與通道之間的過渡處之價電子帶突變；及 232 揭示源極價電子能帶緣部較低於汲極中之價電子能帶緣部。

在一實施例中，袋部區 214(其影響是由隆起部 233 表示)產生一量子井，用於輸送方向中之載體。載體並非在所有能量下均等傳輸通過此量子井。有最佳能量可供增強傳輸(或是諧振)。在 p 穿隧場效電晶體中實施一異質材料袋部而且不瞭解諧振度效應時將造成裝置無法對準目標

(亦即，袋部材料呈現相同或劣於一般均質者之表現)。在某些實施例中，p 穿隧場效電晶體主體及異質接面材料之袋部尺寸的限制可以建構成將諧振狀態之能量位準最佳化，以傳遞改善之穿隧場效電晶體特徵。

圖表 200 揭示用於 p 型穿隧場效電晶體之能帶對準，電晶體具有一由高度摻雜典型 III-V、IV-IV、及 IV 族(例如，銻、銻化鎵)之 n 型(例如， n^{++} 摻雜)材料構成的源極區。在一實施例中，汲極區是由高度摻雜之 p 型(例如， p^{++} 摻雜)材料構成。類似裝置中之閘極通常/理想上是環繞於通道材料/區(例如，輕度摻雜)或至少從一側接觸此區，如圖 2B 所示。閘極金屬與通道材料/區(例如，輕度摻雜)之間有介電材料(例如，高 K 材料)。復參閱圖 2C，袋部係一預留位置，揭示袋部在空間上沿 x 軸線而設置處。

在一實施例中，袋部 214 增強驅動電流是假設一較低帶隙材料添入袋部 214 中。由於錫化銻帶隙是隨著錫百分比增加而減小，所以預期較高錫百分比有較低帶隙，因而有較高驅動電流。儘管上述假設針對 n 型異質穿隧場效電晶體時為真，但是在 p 型穿隧場效電晶體之袋部 214 中之錫百分比增加多於在 p 型穿隧場效電晶體之其他區域中之錫百分比時，所減少之驅動電流甚至低於同質接面 p 型穿隧場效電晶體之驅動電流。此項異常可以根據一實施例參考於圖 3A-B 之解釋及解決。

圖 3A 揭示根據本發明之一實施例當應變層中之錫百分比相對於鬆弛層變化時，價電子能帶(VB)輪廓之圖表

300。在此，x 軸線係應變層(亦即，袋部 214 區域)中之錫百分比，及 y 軸線係鬆弛層(亦即，袋部 214 以外之源極 206、通道 221、汲極 204 等區域)中之錫百分比。儘管諸實施例係參考錫做闡釋，其他元素及/或化合物亦可使用。例如，像是矽化錫、砷化銻鎵等材料可以藉由改變化合物之一原子之原子百分比而有相似行為。

點狀線 301 揭示當袋部 214 中之錫百分比等於鬆弛層中之錫百分比時的 VB。在此，袋部區 214 係在應變區中，同時源極、通道、及汲極區在鬆弛層中。點狀線 301 上之一特殊點揭示為相交點 304。在方向 302、303 中之 VB 偏移輪廓產生較大的 VB 偏移。當袋部區 214 中之錫百分比係相對於在此例子中維持在 7.5%之鬆弛層中之錫百分比而增加到 20%時(亦即，在相交點 306)，袋部區 214 之帶隙減少了(例如，125mV)袋部區 214 在相交點 304 時之帶隙。

如上所述，降低袋部區 214 中之帶隙預期可增加 p 穿隧場效電晶體之驅動電流。圖表 300 中另一項引人興趣的觀察為當袋部區 214 中之錫百分比係相對於鬆弛層中之錫百分比而減少到 0%時(亦即，在相交點 305)，袋部區 214 之帶隙亦減小。惟，穿隧質量之效應無法單憑圖表 300 理解。電洞之穿隧質量亦衝擊到穿隧電流(亦即，驅動電流)，如同帶隙衝擊到穿隧電流。

圖 3B 揭示根據本發明之一實施例當應變層中之錫百分比相對於鬆弛層變化時，袋部中之電洞穿隧質量輪廓之

圖表 320。圖式指出參考編號(或名稱)與任意其他圖式元件者相同之圖 3B 的諸元件可以用相似於已揭述之任意方式操作或發揮功能，但是並不侷限於此。在此，x 軸線係應變層(亦即，袋部 214 區域)中之錫百分比，及 y 軸線係鬆弛層(亦即，袋部 214 以外之源極 206、通道 221、汲極 204 等區域)中之錫百分比。

袋部區 214 中之電洞穿隧質量在方向 322 上的輪廓產生較高質量，而袋部區 214 中之電洞穿隧質量在方向 323 上的輪廓產生較低質量。延續圖 3A 之範例，藉由選擇 20%錫於應變層(亦即，袋部區 214)及維持鬆弛層之錫百分比為 7.5%，如相交點 306 所示，袋部區 214 中之電洞穿隧質量變高，如相交點 326 所示。袋部區 214 中之高電洞穿隧質量減少了穿隧電流。在此例子中，袋部區 214 中之高電洞穿隧質量在穿隧電流上之效應係比袋部區 214 中 20%錫相較於鬆弛區之錫百分比所得之低帶隙效應更具優勢。在此，電洞質量從例如大約 $0.1 m_0$ 至大約 $0.23 m_0$ ，增加 2.3 倍，其中 m_0 為自由電子質量。

隨著袋部區 214 中之錫百分比減少並等於鬆弛區中之錫百分比(例如，7.5%)，如相交點 324 所示，袋部區 214 中之電洞穿隧質量減少，其有助於增加穿隧電流，但是當錫百分比在相交點 304 時，袋部區 214 中之帶隙增大。在相同之施加閘極電壓下，較高帶隙使穿隧電流減少。請注意，相交點 324 是指以同質接面穿隧場效電晶體，其中袋部區中之錫百分比相同於鬆弛區中之錫百分比。

在一實施例中，當袋部區 214 中之錫百分比係相較於鬆弛區中之錫百分比(例如，相交點 325 所示之 7.5%)而進一步減少時(例如，減少到 0%)，袋部區 214 中之電洞穿隧質量減少，但是當錫百分比在相交點 305 時，袋部區 214 中之帶隙也減小。在此實施例中，袋部區 214 中之低電洞穿隧質量在穿隧電流上之效應係比袋部區 214 中 0% 錫相較於鬆弛區之錫百分比(例如，7.5%)所得之低帶隙效應劣勢。p 穿隧場效電晶體之此實施例之技術效應在於通過袋部區 214 之穿隧電流增加並且變成大致相等於異質界面 n 穿隧場效電晶體之穿隧電流。

在一實施例中，當維持袋部區 214 中之錫百分比於 0%，及進一步增加鬆弛區中之錫百分比(例如，增加到 7.5%以上至 10%)時，對 p 穿隧場效電晶體裝置而言即進一步增加穿隧電流。

圖 4 揭示根據本發明之一實施例之異質界面 p 穿隧場效電晶體之 IV 曲線 400，其與異質界面 n 穿隧場效電晶體之 IV 曲線有大致相同行為表現。在此，x 軸線係閘極電壓(V)及 y 軸線係汲極電流 $I_d(\mu A/\mu m)$ 。同質界面 n 穿隧場效電晶體及 p 穿隧場效電晶體之 I_d 由 IV 曲線 401 揭示。在應變區(亦即，袋部區 214)中使用 0%錫及在鬆弛層中使用 10%錫之異質界面 p 穿隧場效電晶體之 I_d 係由 IV 曲線 402 揭示。在應變區(亦即，袋部區)中使用 20%錫及在鬆弛層中使用 7.5%錫之異質界面 n 穿隧場效電晶體之 I_d 則由 IV 曲線 403 揭示。在此實施例中，p 穿隧場效電

晶體之電流驅動大致相等於通過閘極電壓之 n 穿隧場效電晶體之電流驅動。在此例子中，異質接面穿隧場效電晶體取得比使用 7.5%錫之同質接面穿隧場效電晶體者高 3.8 倍之電流驅動。

圖 5 揭示根據本發明之一實施例之用於形成 p 穿隧場效電晶體的方法流程圖 500。儘管圖 5 之流程圖中之方塊係依特定順序揭示，動作順序可做調整。因此，所示之實施例可依不同順序執行，而且某些動作/方塊可以並行執行。圖 5 中列示之某些方塊及/或操作係根據特定實施例而為選項性。所示方塊之編號是為了清楚，而非規定諸方塊必須依此操作順序進行。此外，來自不同流程之操作可有許多組合使用方式。

在方塊 501，汲極區 204 製成具有第一導電類型(亦即， p^+ 摻雜區)。在方塊 502，源極區 206 製成具有第二導電類型(亦即， n^+ 摻雜區)。在方塊 503，閘極區 212 製成當電壓施加於閘極上時即導致一通道區形成。在方塊 504，袋部區 214 製成接近源極區 204 之一接面處，其中袋部區 214 係由一材料形成(例如，錫)，材料之某類型原子之百分比(例如，0%錫)較低於該類型原子在源極、汲極、及通道區中之百分比(例如，源極、汲極、及通道區具有 10%錫)。

圖 6 係一具有根據本發明之一實施例的穿隧場效電晶體之智慧型裝置或計算機系統或系統晶片(SoC)。圖式指出參考編號(或名稱)與任意其他圖式元件者相同之圖 6 的

諸元件可以用相似於已揭述之任意方式操作或發揮功能，但是並不侷限於此。

圖 6 揭示一行動裝置實施例之方塊圖，其中可以使用平坦表面介面連接器。在一實施例中，計算裝置 1700 代表一行動計算裝置，像是計算平板電腦、行動電話或智慧型手機、無線致能式電子閱讀器、或其他無線行動裝置。應該瞭解的是特定組件係大致性揭示，並非此裝置之所有組件皆揭示於計算裝置 1700 中。

在一實施例中，計算裝置 1700 包括一具有上述實施例所述穿隧場效電晶體之第一處理器 1710。計算裝置 1700 之其他方塊也包括參考上述實施例所示之穿隧場效電晶體。本發明之不同實施例亦可包含一設在 1770 內之網路介面，像是無線網路，使得一系統實施例可併入一無線裝置中，例如，行動電話或個人數位助理。

在一實施例中，處理器 1710(及處理器 1790)包括一或多個實體裝置，像是微處理器、應用處理器、微控制器、可編程邏輯裝置、或其他處理裝置。處理器 1710 執行之處理操作包括供應用及/或裝置功能在其上執行之操作平台或操作系統的執行。處理操作包括關於藉由人類使用者或其他裝置之輸入/輸出(I/O)的操作、關於電力管理的操作、及/或關於連接計算裝置 1700 至另一裝置的操作。處理操作也可包括關於音頻輸入/輸出及/或顯示輸入/輸出的操作。

在一實施例中，計算裝置 1700 包括音頻子系統

1720，其代表硬體(例如，音頻硬體及音頻電路)及軟體(例如，驅動器、編碼譯碼器)組件，係有關於提供音頻功能至計算裝置。音頻功能可包括喇叭及/或耳機輸出，以及麥克風輸入。用於諸功能之裝置可整合至計算裝置 1700 內，或連接於計算裝置 1700。在一實施例中，使用者利用提供由處理器 1710 接收及處理之命令，而與計算裝置 1700 互動。

顯示子系統 1730 代表硬體(例如，顯示裝置)及軟體(例如，驅動器)組件，其提供使用者一視覺及/或觸覺顯示，以利與計算裝置 1700 互動。顯示子系統 1730 包括顯示介面 1732，其包括特殊螢幕或硬體裝置，用於提供顯示給使用者。在一實施例中，顯示介面 1732 包括分離於處理器 1710 之邏輯器，以執行至少一些與顯示相關的處理。在一實施例中，顯示子系統 1730 包括一觸控螢幕(或觸控面板)裝置，其提供輸出及輸入給使用者。

輸入/輸出控制器 1740 代表與使用者互動有關之硬體裝置及軟體組件。輸入/輸出控制器 1740 可操作管理屬於音頻子系統 1720 及/或顯示子系統 1730 之一部分的硬體。此外，輸入/輸出控制器 1740 揭示一用於其他裝置之連接點，諸裝置連接於計算裝置 1700，藉此供使用者可與系統互動。例如，可附接於計算裝置 1700 之裝置可包括麥克風裝置、喇叭或立體音響系統、視頻系統或其他顯示裝置、鍵盤或小鍵盤裝置、或其他供配合特定應用(像是讀卡機或其他裝置)使用之輸入/輸出裝置。

如上所述，輸入/輸出控制器 1740 可以和音頻子系統 1720 及/或顯示子系統 1730 互動。例如，透過麥克風或其他音頻裝置輸入可以對計算裝置 1700 之一或多個應用或功能提供輸入。此外，取而代之、或除了顯示輸出以外，可以提供音頻輸出。在另一例子中，若顯示子系統 1730 包括一觸控螢幕，則顯示裝置亦作為一輸入裝置，其可至少部分由輸入/輸出控制器 1740 管理。計算裝置 1700 上也可以另外設有按鈕或開關，以提供由輸入/輸出控制器 1740 管理之輸入/輸出功能。

在一實施例中，輸入/輸出控制器 1740 管理例如加速度計、照相機、光感測器或其他環境感測器、或其他可包括在計算裝置 1700 內之硬體。輸入可以是直接使用者互動之一部分，以及提供環境輸入至系統，以影響其操作(例如，過濾雜訊、調整顯示供亮度偵測、供照相機施加閃光、或其他特性)。

在一實施例中，計算裝置 1700 包括電力管理 1750，其管理電池電力使用、電池充電、及有關省電操作之特性。記憶子系統 1760 包括記憶裝置，用於將資訊儲存於計算裝置 1700 中。記憶體可包括非揮發性(若記憶裝置之供電中斷則狀態不變)及/或揮發性(若記憶裝置之供電中斷則狀態不確定)記憶裝置。記憶子系統 1760 可以儲存應用資料、使用者資料、音樂、照片、文件、或其他資料，以及關於計算裝置 1700 之應用及功能執行的系統資料(無論長期或暫時性)。

實施例之元件亦提供作為一機器可讀媒體(例如，記憶體 1760)，用於儲存電腦可執行指令(例如，用於執行本文內所述任意其他製程之指令)。機器可讀媒體(例如，記憶體 1760)可包括但是不限定的有快閃記憶體、光碟、CD-ROMs、DVD ROMs、RAMs、EPROMs、EEPROMs、磁性或光學性卡、相變化記憶體(PCM)、或適用於儲存電子或電腦可執行指令之其他類型機器可讀媒體。例如，本發明之實施例可以下載成一電腦程式(例如，BIOS)，其可藉由資料信號從一遠端電腦(例如，伺服器)經過一通信鏈路(例如，數據機或網路連接)轉移至一請求電腦(例如，用戶)。

連接性 1770 包括硬體裝置(例如，無線及/或有線連接器及通信硬體)及軟體組件(例如，驅動器、協定疊)，使計算裝置 1700 達成與外部裝置通信。計算裝置 1700 可以是分離式裝置，像是其他計算裝置、無線網路基地台或基地台，以及周邊裝置，像是耳機、列印機、或其他裝置。

連接性 1770 可包括多數不同類型連接性。大致上，計算裝置 1700 揭示成具有蜂巢連接性 1772 及無線連接性 1774。蜂巢連接性 1772 大抵是指由無線載體提供之蜂巢網路連接性，像是透過全球行動通信系統(GSM)或其變化型式或衍生物、分碼多重擷取(CDMA)或其變化型式或衍生物、分時多工(TDM)或其變化型式或衍生物、或其他蜂巢服務標準提供。無線連接性(或無線介面)1774 是指非蜂巢式無線連接性，及可包括個人區域網路(像是藍牙、近

場、等等)、區域網路(像是 Wi-Fi)、及/或廣域網路(像是 WiMax)、或其他無線通信。

周邊連接 1780 包括硬體介面及連接器，以及軟體組件(例如，驅動器、協定疊)，以達成周邊連接。應該瞭解的是計算裝置 1700 可以兼任其他計算裝置之周邊裝置(亦即，「往」1782)，以及具有周邊裝置(亦即，「來」1784)連接至此。計算裝置 1700 一般具有一「對接」連接器，以連接於其他計算裝置，像是用於管理(例如，下載及/或上載、改變、同步)計算裝置 1700 上之內容。此外，對接連接器可以容許計算裝置 1700 連接於特定周邊裝置，其容許計算裝置 1700 控制內容輸出至例如視聽或其他系統。

除了專用之對接連接器或其他對接連接硬體外，計算裝置 1700 可以透過普通或標準連接器達成周邊連接 1780。普通型式可包括通用序列匯流排(USB)連接器(其可包括許多不同硬體介面之任一者)、包括有微型顯示埠(MDP)、高清晰度多媒體介面(HDMI)、火線、或其他型式。

說明書中所參考之「一實施例」、「某實施例」、「某些實施例」、或「其他實施例」是指相關於實施例所述之一特殊特性、結構、或特徵係包括在至少某些實施例中，但是不必然是所有實施例中。「一實施例」、「某實施例」、或「某些實施例」之不同外觀並不必然全指向相同實施例。若說明書載明一組件、特性、結構、或特徵

「可」、「可能」、或「或可」包括在內，則該特殊特性、結構、或特徵並不一定包括在內。若說明書或請求項指「一」元件，其並不意味該元件僅有一個。若說明書或請求項指「另一」元件，其亦不排除有一或多個另一元件。

再者，在一或多個實施例中，特殊特性、結構、或特徵可依任意適當方式組合。例如，只要是在與兩實施例相關聯之特殊特性、結構、或特徵不互相排斥的任何地方，第一實施例皆可與第二實施例組合。

儘管本發明已配合其特定實施例揭述，習於此技者可藉由先前說明瞭解諸實施例之許多替代型式、修改及變化。例如，其他記憶體架構(例如，動態隨機存取記憶體(DRAM))可使用上述實施例。本發明之實施例用意在於將諸此替代型式、修改及變化涵蓋於申請專利範圍之廣泛範圍內。

此外，對於積體電路(IC)晶片及其他組件之習知電源/接地連接可揭示或不揭示於圖式中，以便簡化繪示及探討，並且不致於模糊本發明。再者，配置方式可用方塊圖形式揭示，以避免模糊本發明，同時也是鑑於有關諸方塊圖配置實施之特性高度依賴本發明欲實施於其內之平台所致(亦即，請項特性應在習於此技者之識見範圍內)。在載述特定細節(例如，電路)以揭述本發明之示範性實施例處，習於此技者應該瞭解本發明可以在有或無這些特定細節之變換型式下實施。所以本文應視為揭示而非限制。

文後之範例關於進一步之實施例。範例中之特性可用在一或多實施例中之任意處。本文內所述裝置之所有選項性特性也可以相關於一方法或製程實施。

例如，本發明提供一種穿隧場效電晶體(TFET)，其包含：一汲極區，具有第一導電類型；一源極區，具有相反於第一導電類型之第二導電類型；一閘極區，用於導致源極與汲極區之間的一通道區形成；及一袋部，設置接近於源極區之一接面，其中袋部區係由一材料形成，材料之某類型原子之百分比較低於該類型原子在源極區、通道區、及汲極區中之百分比。

在一實施例中，材料係來自週期表之 III-V 族。在一實施例中，材料係錫，及其中袋部中之錫百分比大致為零，及其中源極區、通道區、及汲極區中之錫百分比為 10%。在一實施例中，袋部中之材料係該百分比，以利於降低穿隧質量及降低袋部之帶隙。在一實施例中，第一導電類型係 p 型及第二導電類型係 n 型。在一實施例中，穿隧場效電晶體係 p 型穿隧場效電晶體。在一實施例中，穿隧場效電晶體係鰭片型場效電晶體、三閘極型或方形非線式裝置。

在一實施例中，本發明提供一種形成 p 型穿隧場效電晶體之方法，其包含：形成一汲極區，具有第一導電類型；形成一源極區，具有相反於第一導電類型之第二導電類型；形成一閘極區，用於導致源極與汲極區之間的一通道區形成；及形成一袋部，設置接近於源極區之一接面，

其中袋部區係由一材料形成，材料之某類型原子之百分比較低於該類型原子在源極區、通道區、及汲極區中之百分比。

在一實施例中，材料係來自週期表之 III-V 族。在一實施例中，材料係錫，及其中袋部中之錫百分比大致為零，及其中源極、通道、及汲極區中之錫百分比為 10%。在一實施例中，袋部中之材料係該百分比，以利於降低穿隧質量及降低袋部之帶隙。在一實施例中，第一導電類型係 p 型及第二導電類型係 n 型。在一實施例中，穿隧場效電晶體係 p 型穿隧場效電晶體。在一實施例中，穿隧場效電晶體係鰭片型場效電晶體、三閘極型或方形非線式裝置。

在另一範例中，本發明提供一種系統，其包含：一記憶體；一處理器，耦合於記憶體，處理器具有根據上述穿隧場效電晶體之穿隧場效電晶體；及一無線天線，用於提供處理器與另一裝置通信。在一實施例中，系統進一步包含一顯示單元。在一實施例中，顯示單元係一觸控螢幕。

本發明提供之發明摘要可供讀者確定技術揭露之本質及要旨。應該瞭解的是發明摘要不應被用來限制申請專利範圍之範疇或意義。文後之申請專利範圍特此併入詳細說明中，各項申請專利範圍本身即為一各別實施例。

【符號說明】

100：圖表

- 102 , 104 : 曲線
- 120 : 圖表
- 121a , 121b , 122a , 122b : 曲線
- 200 : P 穿隧場效電晶體
- 202 : 半導體基板
- 204 : 源極區
- 206 : 汲極區
- 208 : 通道區
- 210 : 閘極導體
- 212 : 閘極介電質
- 214 : 袋部
- 221 : 通道
- 230 : 能帶圖
- 231 : 袋部能帶圖
- 232 : 源極價電子帶緣部
- 233 : 價電子帶突變
- 300 , 320 : 圖表
- 301 : 點狀線
- 302 , 303 , 322 , 323 : 方向
- 304 , 305 , 306 , 324 , 325 , 326 : 相交點
- 400 , 401 , 402 , 403 : IV 曲線
- 500 : 方法流程圖
- 1700 : 計算裝置
- 1710 : 第一處理器

- 1720：音頻子系統
- 1730：顯示子系統
- 1732：顯示介面
- 1740：輸入/輸出控制器
- 1750：電力管理
- 1760：記憶子系統
- 1770：連接性
- 1772：蜂巢連接性
- 1774：無線連接性
- 1780：周邊連接
- 1782：往
- 1784：來
- 1790：處理器

發明摘要

※申請案號：104104781

※申請日：104 年 02 月 12 日

※IPC 分類： H01L 29/06 (2006.01)
H01L 29/20 (2006.01)
H01L 29/772 (2006.01)

【發明名稱】(中文/英文)

有袋部的 P 穿隧場效電晶體裝置

P-tunneling field effect transistor device with pocket

【中文】

本發明揭述一種穿隧場效電晶體(TFET)，其包含：一汲極區，具有第一導電類型；一源極區，具有相反於第一導電類型之第二導電類型；一閘極區，用於導致源極與汲極區之間的一通道區形成；及一袋部，設置接近於源極區之一接面，其中袋部區係由一材料形成，材料之一類型原子之百分比比較低於該類型原子在源極區、通道區、及汲極區中之百分比。

【英文】

Described is a tunneling field effect transistor (TFET), comprising: a drain region having a first conductivity type; a source region having a second conductivity type opposite of the first conductivity type; a gate region to cause formation of a channel region between the source and drain regions; and a pocket disposed near a junction of the source region, wherein the pocket region formed from a material having lower percentage of one type of atom than percentage of the one type of atom in the source, channel, and drain regions.

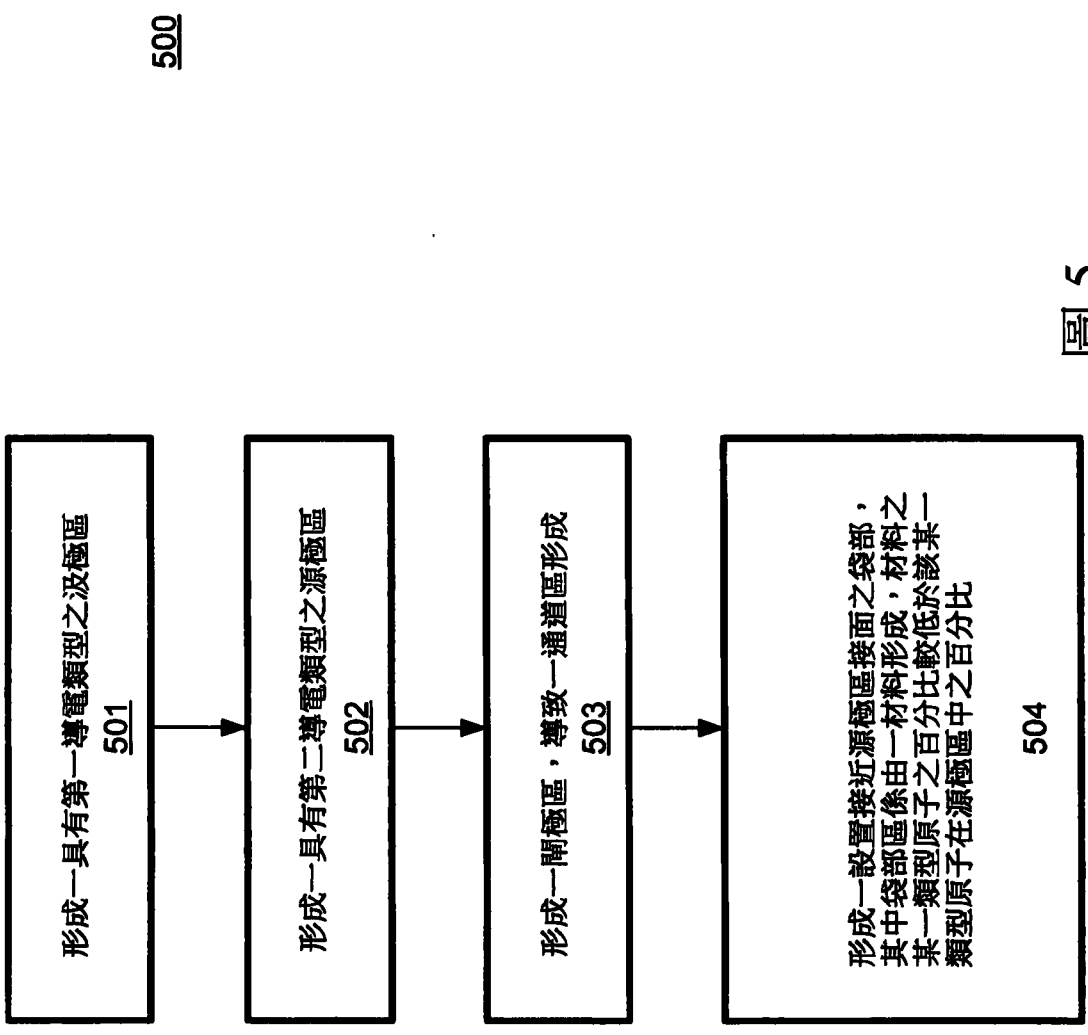
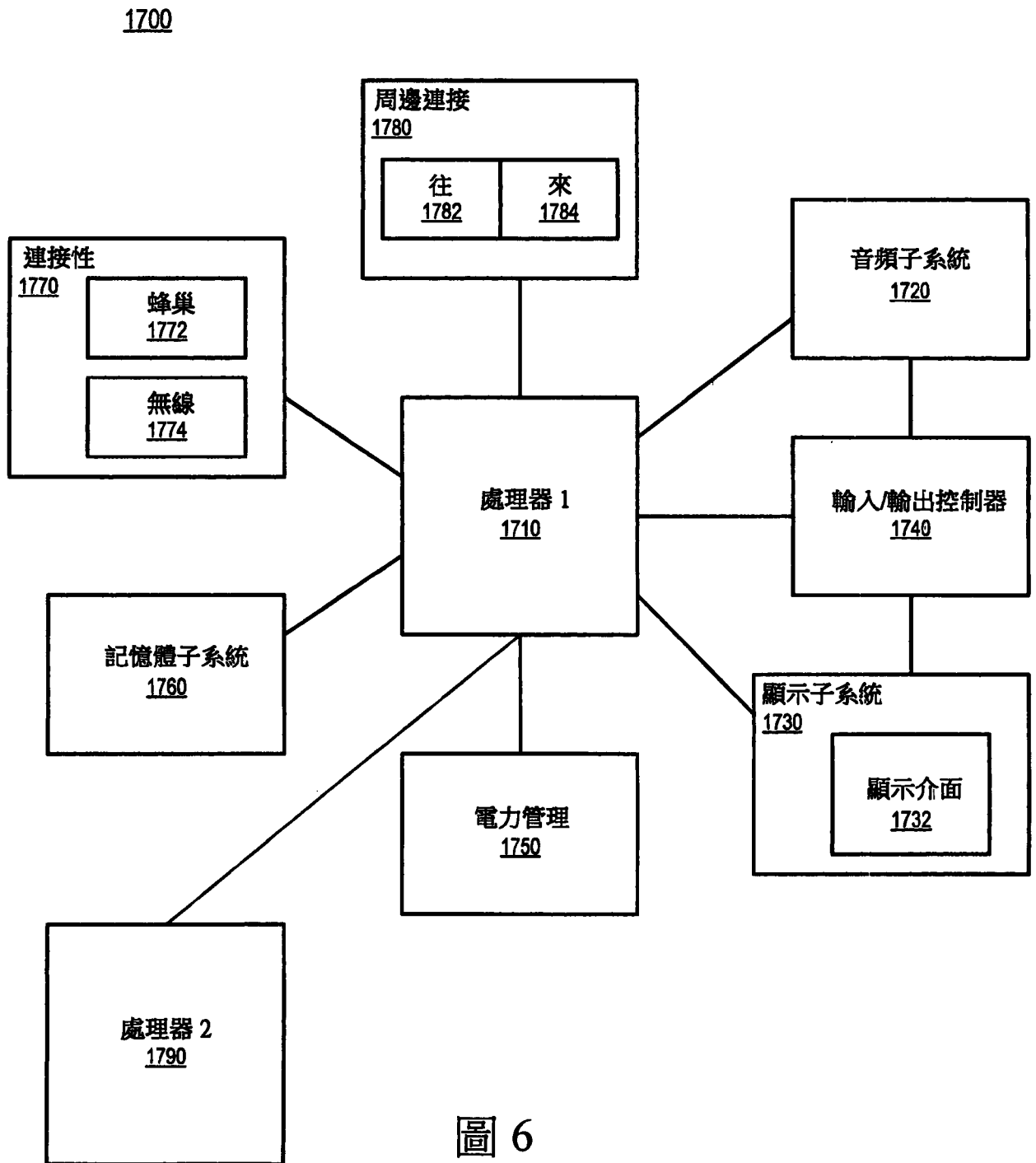


圖 5



【代表圖】

【本案指定代表圖】：第(2B)圖。

【本代表圖之符號簡單說明】：

204：源極區

206：汲極區

212：閘極介電質

214：袋部

220：多維圖

221：通道

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種穿隧場效電晶體(TFET)，其包含：
汲極區，具有第一導電類型；
源極區，具有相反於該第一導電類型之第二導電類型；
閘極區，用於導致該源極與該汲極區之間的通道區形成；及
袋部，設置接近於該源極區之接面，其中該袋部在該源極區及該汲極區之間且不在該源極區之中或之下，其中該袋部區係由一材料形成，該材料的組成元素之一類型原子之百分比較低於該類型原子在該源極區、該通道區、及該汲極區中之百分比，其中該袋部中之錫百分比大致為零，及其中該源極區、該通道區、及該汲極區中之錫百分比為大於或等於 7.5%且小於或等於 10%。
2. 如申請專利範圍第 1 項之穿隧場效電晶體，其中該材料的該組成元素係來自週期表之 III-V 族。
3. 如申請專利範圍第 1 項之穿隧場效電晶體，其中該源極區、該通道區、及該汲極區中之錫百分比為 10%。
4. 如申請專利範圍第 1 項之穿隧場效電晶體，其中該袋部中之該材料的該組成元素係利於降低穿隧質量及降低該袋部之帶隙的百分比。
5. 如申請專利範圍第 1 項之穿隧場效電晶體，其中該第一導電類型係 p 型及該第二導電類型係 n 型。
6. 如申請專利範圍第 1 項之穿隧場效電晶體，其中該

穿隧場效電晶體係 p 型穿隧場效電晶體。

7.如申請專利範圍第 1 項之穿隧場效電晶體，其中該穿隧場效電晶體係鰭片型場效電晶體、三閘極型或方形非線式裝置。

8.一種形成 p 型穿隧場效電晶體之方法，該方法包含：

形成汲極區，具有第一導電類型；

形成源極區，具有相反於該第一導電類型之第二導電類型；

形成閘極區，用於導致該源極與該汲極區之間的通道區形成；及

形成袋部，其中該袋部在該源極區及該汲極區之間且不在該源極區之中或之下，設置接近於該源極區之接面，其中該袋部係由材料形成，該材料的組成元素之一類型原子之百分比比較低於該類型原子在該源極區、該通道區、及該汲極區中之百分比，其中該袋部中之錫百分比大致為零，及其中該源極區、該通道區、及該汲極區中之錫百分比為大於或等於 7.5%且小於或等於 10%。

9.如申請專利範圍第 8 項之方法，其中該材料的該組成元素係來自週期表之 III-V 族。

10.如申請專利範圍第 8 項之方法，其中該源極區、該通道區、及該汲極區中之錫百分比為 10%。

11.如申請專利範圍第 8 項之方法，其中該袋部中之該材料的該組成元素係利於降低穿隧質量及降低該袋部之

帶隙的百分比。

12.如申請專利範圍第 8 項之方法，其中該第一導電類型係 p 型及該第二導電類型係 n 型。

13.如申請專利範圍第 8 項之方法，其中該穿隧場效電晶體係 p 型穿隧場效電晶體。

14.如申請專利範圍第 8 項之方法，其中該穿隧場效電晶體係鰭片型場效電晶體、三閘極型或方形非線式裝置。

15.一種包含穿隧場效電晶體(TFET)的系統，該系統包含：

記憶體；

處理器，耦合於該記憶體，該處理器具有該穿隧場效電晶體，其包含：

汲極區，具有第一導電類型；

源極區，具有相反於該第一導電類型之第二導電類型；

閘極區，用於導致該源極與該汲極區之間的通道區形成；及

袋部，設置接近於該源極區之接面，其中該袋部在該源極區及該汲極區之間且不在該源極區之中或之下，其中該袋部係由一材料形成，該材料的組成元素之一類型原子之百分比低於該類型原子在該源極區、該通道區、及該汲極區中之百分比，其中該袋部中之錫百分比大致為零，及其中該源極區、該通道區、及該汲極區中之錫

百分比為大於或等於 7.5%且小於或等於 10%；及

無線天線，用於提供該處理器與另一裝置通信。

16.如申請專利範圍第 15 項之系統，進一步包含顯示單元。

17.如申請專利範圍第 16 項之系統，其中該顯示單元係觸控螢幕。

18.如申請專利範圍第 15 項之系統，其中該材料的該組成元素係來自週期表之 III-V 族。

19.如申請專利範圍第 15 項之系統，其中該源極、該通道、及該汲極區中之錫百分比為 10%。

20.如申請專利範圍第 15 項之系統，其中該袋部中之該材料的該組成元素係利於降低穿隧質量及降低該袋部之帶隙的百分比。