(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3655927号

(P3655927)

(45)発行日　平成17年6月2日(2005.6.2)　(24)登録日　平成17年3月11日(2005.3.11)

(51)Int.Cl.[7]	F I		
H04N 7/24	H04N	7/13	Z
H04N 5/14	H04N	5/14	Z
H04N 5/262	H04N	5/262	
H04N 5/91	H04N	5/91	N

請求項の数 4　(全 10 頁)

(21)出願番号　特願平5-174775
(22)出願日　平成5年6月22日(1993.6.22)
(65)公開番号　特開平7-79431
(43)公開日　平成7年3月20日(1995.3.20)
審査請求日　平成12年6月14日(2000.6.14)
審判番号　不服2003-11671(P2003-11671/J1)
審判請求日　平成15年6月24日(2003.6.24)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100082762
弁理士　杉浦　正知
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　中屋　秀雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

合議体
審判長　藤内　光武
審判官　新宮　佳典
審判官　高瀬　勤

(54)【発明の名称】シーンチェンジ検出装置

(57)【特許請求の範囲】

【請求項１】

ディジタル画像信号のシーンチェンジ検出装置において、

注目フレームの前のフレームに含まれる複数の第１の画素と複数の第１の係数、並びに上記注目フレームの後のフレームに含まれ、上記第１の画素と空間的に対応する位置に存在する複数の第２の画素と複数の第２の係数とからなる線形１次結合式によって上記注目フレームに含まれ、且つ上記第１の画素の一つと空間的に対応する位置の第３の画素の値の予測値を複数の第３の画素について演算し、上記予測値と上記第３の画素の実際の値との誤差を最小とする上記複数の第１の係数および上記複数の第２の係数を取得する係数取得手段と、

上記第１の係数を合計した第１の合計値と、上記第２の係数を合計した第２の合計値とをそれぞれ求める手段と、

上記第１および上記第２の合計値の一方を、第１のしきい値と上記第１のしきい値より小さい第２のしきい値とそれぞれ比較する第１の比較手段と、

上記第１および上記第２の合計値の他方を、第１のしきい値と上記第１のしきい値より小さい第２のしきい値とそれぞれ比較する第２の比較手段と、

上記第１および第２の係数のそれぞれの絶対値を第３のしきい値と比較する第３の比較手段と、

上記第１、第２および第３の比較手段の比較出力が供給され、

上記第１の合計値が上記第１のしきい値より大で、上記第２の合計値が上記第２のしき

い値より小で、且つ上記第２の係数のそれぞれの絶対値が上記第３のしきい値より小の場合に、上記注目フレームと後のフレームの間でシーンチェンジが生じたものと決定し、
　上記第２の合計値が上記第１のしきい値より大で、上記第１の合計値が上記第２のしきい値より小で、且つ上記第１の係数のそれぞれの絶対値が上記第３のしきい値より小の場合に、上記前のフレームと注目フレームの間でシーンチェンジが生じたものと決定するシーンチェンジ決定手段と
　を有することを特徴とするシーンチェンジ検出装置。
【請求項２】
　上記第２の画素は、　上記注目フレームの後のフレームに含まれ、上記第１の画素と空間的に同一の位置に存在する画素であり、
　上記第３の画素は、上記注目フレームに含まれ、且つ上記第１の画素の一つと空間的に同一の位置に存在する画素であることを特徴とする請求項１記載のシーンチェンジ検出装置。
【請求項３】
　上記第１のしきい値は、０の値より１の値と近く、上記第２のしきい値は、１の値より０の値と近いことを特徴とする請求項１記載のシーンチェンジ検出装置。
【請求項４】
　上記係数取得手段は、
　最小自乗法のアルゴリズムによって上記第１および第２の係数を取得することを特徴とする請求項１記載のシーンチェンジ検出装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、ディジタル画像信号を対象とするシーンチェンジ検出装置に関する。
【０００２】
【従来の技術】
ディジタル画像信号のシーンチェンジは、時間方向の画像の相関が断たれることを意味する。従って、予測符号化、輝度信号および色信号を分離するＹ／Ｃ分離、ノイズ除去回路等のディジタル画像信号の処理において、シーンチェンジ検出が必要とされる。また、ディジタルＶＴＲ、ディスク記録装置等の画像記録装置において、シーンチェンジ直後の画像を記憶し、記録画像のインデックスとして使用することも可能である。
【０００３】
従来のシーンチェンジ検出回路は、現フレームに属する複数の画素の値と前フレームに属する複数の画素の値との間で、同一位置の画素同士の値の差分を求め、差分の絶対値和（または二乗和）を計算し、これがしきい値より大きい場合には、シーンチェンジが発生したものと検出する方式が知られている。
【０００４】
【発明が解決しようとする課題】
従来のシーンチェンジ検出回路は、照明等の影響によって画像の全体的な明るさが変わった時に、これを誤ってシーンチェンジと検出する問題があった。また、しきい値を正しく設定することが難しい問題があった。
【０００５】
従って、この発明の目的は、より正確にシーンチェンジを検出することが可能なシーンチェンジ検出装置を提供することにある。
【０００６】
【課題を解決するための手段】
　請求項１の発明は、ディジタル画像信号のシーンチェンジ検出装置において、
　注目フレームの前のフレームに含まれる複数の第１の画素と複数の第１の係数、並びに注目フレームの後のフレームに含まれ、第１の画素と空間的に対応する位置に存在する複数の第２の画素と複数の第２の係数とからなる線形１次結合式によって注目フレームに含

まれ、且つ第１の画素の一つと空間的に対応する位置の第３の画素の値の予測値を複数の第３の画素について演算し、予測値と第３の画素の実際の値との誤差を最小とする複数の第１の係数および複数の第２の係数を取得する係数取得手段と、

第１の係数を合計した第１の合計値と、第２の係数を合計した第２の合計値とをそれぞれ求める手段と、

第１および第２の合計値の一方を、第１のしきい値と第１のしきい値より小さい第２のしきい値とそれぞれ比較する第１の比較手段と、

第１および第２の合計値の他方を、第１のしきい値と第１のしきい値より小さい第２のしきい値とそれぞれ比較する第２の比較手段と、

第１および第２の係数のそれぞれの絶対値を第３のしきい値と比較する第３の比較手段と、

第１、第２および第３の比較手段の比較出力が供給され、

第１の合計値が第１のしきい値より大で、第２の合計値が第２のしきい値より小で、且つ第２の係数のそれぞれの絶対値が第３のしきい値より小の場合に、注目フレームと後のフレームの間でシーンチェンジが生じたものと決定し、

第２の合計値が第１のしきい値より大で、第１の合計値が第２のしきい値より小で、且つ第１の係数のそれぞれの絶対値が第３のしきい値より小の場合に、前のフレームと注目フレームの間でシーンチェンジが生じたものと決定するシーンチェンジ決定手段と

を有することを特徴とするシーンチェンジ検出装置である。

【０００７】

【作用】

時間的に連続する３フレームの画像を用い、中央の注目フレームの画像を前後のフレームのデータと係数の線形１次結合により表現する。誤差の二乗和が最小の係数が決定される。連続シーンでは、時間的および空間的な相関が存在するので、注目フレームの推定に対して、前後のフレームの寄与する割合ガ略等しい。一方、シーンチェンジが発生すると、この相関が断たれるので、前後のフレームの寄与する割合が大きく異なる。この相違が前のフレームに係数と後のフレームの係数とから識別できる。

【０００８】

【実施例】

以下、この発明によるシーンチェンジ検出回路について説明する。この発明の理解を容易とするために、まず、時空間モデルで画像を記述することについて、図１を参照して説明する。

【０００９】

図１は、１／２駒落としのモデルを示し、Ｔ０、Ｔ１、Ｔ２は、時間的に連続する３フレームを示す。中央のフレームＴ１が駒落としされるフレームである。後述するように、フレームＴ１がシーンチェンジの検出の対象とする注目フレームである。このフレームＴ１に含まれる画素の値ｙを前のフレームＴ０および後のフレームＴ２の画素の値と係数の線形１次結合で表す。

【００１０】

より具体的には、フレームＴ０およびＴ２から空間的に同一位置の（３×３）の領域をそれぞれ切り出す。２個の領域によって一つの３次元ブロックが構成される。以下により詳細に説明するように、フレームＴ１の中央の画素の値ｙが画素の値x_iと係数の線形１次結合モデルで表され、線形１次結合で表現されるデータの実データに対する誤差の二乗が最小となるように、係数が最小二乗法で決定される。１フレームで１組の係数が確定される。

【００１１】

図１に示す時空間モデルにおいて、２個の領域を含むブロック内には、合計で１８個の画素が含まれる。この画素の値をx_i（ｉ＝１，２，・・・，１８）とする。そして、画素のそれぞれに乗じられる係数は、w_1～w_{18}と表す。フレームＴ１のブロックの中央の画素の値をｙとすると、この値を他のフレームＴ０、Ｔ２の画素と係数の線形１次結合x_i

w_i で表現する。すなわち、フレームＴ１の中央位置の値ｙは、このように１８タップの入力画素の線形１次結合$w_1 x_1 + w_2 x_2 + \cdots + w_{18} x_{18}$によって表される。この線形１次結合モデルにおける係数w_i については、実際の値と線形１次結合で表される値との残差が最小になるものが求められる。

【００１２】

この未定係数w_i を決定するために、入力画像を空間方向（水平方向および垂直方向）に１画素ずつずらした時の図１に示すブロックの画素の値x_i （ｉ＝１，・・・，ｎ）と補間対象画素の実際の値y_j （ｊ＝１，・・・，ｍ）をそれぞれ代入した線形１次結合の式を作成する。ここでの例では、（ｎ＝１８）である。例えば１フレームに対して１組の係数を求める時には、１フレームの画像に対して、ブロックの切り出しを１画素ずつシフトすることによって、非常に多くの式、すなわち、１フレームの画素数（＝ｍ）の連立方程式（観測方程式と称する）が作成される。１８個の係数を決定するためには、最低で（ｍ＝１８）の連立方程式が必要である。方程式の個数ｍは、精度の問題と処理時間との兼ね合いで適宜選定できる。観測方程式は、

ＸＷ＝Ｙ　　（１）

である。ここでＸ、Ｗ、Ｙは、それぞれ下記のような行列である。

【００１３】

【数１】

$$X=\begin{pmatrix} x_{11} & x_{12} & \cdots & x_{1n} \\ x_{21} & x_{22} & \cdots & x_{2n} \\ \cdots & \cdots & \cdots & \cdots \\ x_{m1} & x_{m2} & \cdots & x_{mn} \end{pmatrix},\ W=\begin{pmatrix} w_1 \\ w_2 \\ \cdots \\ w_n \end{pmatrix},\ Y=\begin{pmatrix} y_1 \\ y_2 \\ \cdots \\ y_m \end{pmatrix} \qquad (2)$$

【００１４】

係数ｗとして、実際の値との誤差を最小にするものを最小二乗法により求める。このために、観測方程式の右辺に残差行列Ｅを加えた下記の残差方程式を作成する。すなわち、最小二乗法において、残差方程式における残差行列Ｅの要素の二乗、すなわち二乗誤差が最小になる係数行列Ｗを求める。

【００１５】

【数２】

$$XW=Y+E,\qquad E=\begin{pmatrix} e_1 \\ e_2 \\ \cdots \\ e_m \end{pmatrix} \qquad (3)$$

【００１６】

次に、残差方程式（３）から係数行列Ｗの各要素w_i の最確値を見いだすための条件は、ブロック内の画素に対応するｍ個の残差をそれぞれ二乗してその総和を最小にする条件を満足させればよい。この条件は、下記の式（４）により表される。

【００１７】
【数３】

$$e_1\frac{\partial e_1}{\partial w_i}+e_2\frac{\partial e_2}{\partial w_i}+\cdots e_m\frac{\partial e_m}{\partial w_i}=0 \qquad (i=1,\ 2,\ \ldots,\ n) \quad (4)$$

【００１８】
ｎ個の条件を入れてこれを満足する係数行列Ｗの要素である未定係数w_1，w_2，・・・，w_nを見出せばよい。従って、残差方程式（３）より、
【００１９】
【数４】

$$\frac{\partial e_i}{\partial w_1}=x_{i1},\quad \frac{\partial e_i}{\partial w_2}=x_{i2},\quad \cdots,\quad \frac{\partial e_i}{\partial w_n}=x_{im}\ (i=1,\ 2,\ \ldots,\ n) \quad (5)$$

【００２０】
となる。式（４）の条件をｉ＝１，２，・・・，ｎ）について立てれば、それぞれ
【００２１】
【数５】

$$\sum_{i=1}^{n}e_ix_{i1}=0,\quad \sum_{i=1}^{n}e_ix_{i2}=0,\quad \cdots,\quad \sum_{i=1}^{n}e_ix_{im}=0 \quad (6)$$

【００２２】
が得られる。式（３）と式（６）から、下記の正規方程式が得られる。
【００２３】
【数６】

$$
\begin{cases}
\left(\sum_{j=1}^{m} x_{j1}x_{j1}\right)w_1 + \left(\sum_{j=1}^{m} x_{j1}x_{j2}\right)w_2 + \cdots + \left(\sum_{j=1}^{m} x_{j1}x_{jn}\right)w_n = \left(\sum_{j=1}^{m} x_{j1}y_j\right) \\
\left(\sum_{j=1}^{m} x_{j2}x_{j1}\right)w_1 + \left(\sum_{j=1}^{m} x_{j2}x_{j2}\right)w_2 + \cdots + \left(\sum_{j=1}^{m} x_{j2}x_{j2}\right)w_n = \left(\sum_{j=1}^{m} x_{j2}y_j\right) \\
\vdots \\
\left(\sum_{j=1}^{m} x_{jn}x_{j1}\right)w_1 + \left(\sum_{j=1}^{m} x_{jn}x_{j2}\right)w_2 + \cdots + \left(\sum_{j=1}^{m} x_{jn}x_{jn}\right)w_n = \left(\sum_{j=1}^{m} x_{jn}y_j\right)
\end{cases} \quad (7)
$$

【００２４】
正規方程式（７）は、丁度、未知数の数がｎ個だけある連立方程式である。これにより、最確値たる各未定係数w_iを求めることができる。正確には、式（７）における、w_iにかかるマトリクスが正則であれば、解くことができる。実際には、Gauss-Jordanの消去法（別名、掃き出し法）を用いて未定係数w_iを求めている。このようにして、注目フレームの画素を表すための係数が１フレームで１組確定する。
【００２５】
この実施例は、決定された係数を使用して、フレームＴ１およびＴ２間（すなわち、後側のシーンチェンジ）を検出する。図２は、連続シーンの場合に、上述のようにして決定された係数の一例であり、また、図３は、後側でシーンチェンジが生じた時の係数の一例である。w_1～w_9が前フレームの画素データx_1～x_9にそれぞれ乗じられる係数であり、w_{10}～w_{18}が後フレームの画素データx_{10}～x_{18}にそれぞれ乗じられる係数である。シーンチェンジは、時空間の画像の相関を断つので、図３から分かるように、シーンチェンジが発生すると、後のフレームＴ２の画素データに対する係数が略０である。係数のかかる特徴に基づいてシーンチェンジを検出しようとするのがこの発明である。
【００２６】
図４は、この発明によるシーンチェンジ検出回路の一例のブロック図である。入力端子１からのディジタル画像データが間引き回路２に供給され、間引き処理がなされる。図１に示される１／２駒落としがその一例である。間引き回路２からのフレームＴ０およびＴ２データが最小二乗法の演算回路３に供給される。
【００２７】
この演算回路３には、入力端子１から注目フレームＴ１の実データも供給される。最小二乗法の演算回路３では、図１に示すような時空間モデルに関して、最小二乗法のアルゴリズムによって、例えば１フレームで１組の係数w_iを決定する。演算回路３からは、確定係数が出力される。この係数が係数メモリ４に格納される。メモリ４に格納されている係数を使用して、後述のように、シーンチェンジの検出処理がなされる。演算回路３からの係数は、高能率符号化の出力データとして扱っても良い。すなわち、間引かれないデータと係数とを伝送し、受信側では、これらのデータから間引かれたデータを補間することができる。
【００２８】

ここで、図５は、最小二乗法の演算回路３のより詳細な構成を示す。入力ディジタル画像信号が供給され、時空間モデルを構成するデータ、すなわち、対象画素の実データｙと線形１次結合に使用するデータx_iを同時化するための時系列変換メモリ１１が設けられている。時系列変換メモリ１１からのデータが乗算器アレー１２に供給される。乗算器アレー１２に対して加算メモリ１３が接続される。これらの乗算器アレー１２および加算メモリ１３は、正規方程式生成回路を構成する。

【００２９】

乗算器アレー１２は、各画素同士の乗算を行ない、加算メモリ１３は、乗算器アレー１２からの乗算結果が供給される加算器アレーとメモリアレーとで構成される。図６は、乗算器アレー１２の具体的構成である。図６において、その一つを拡大して示すように、四角のセルが乗算器を表す。乗算器アレー１２において各画素同士の乗算が行われ、その結果が加算メモリ１３に供給される。

【００３０】

加算メモリ１３は、図７に示すように、加算器アレー１３ａとメモリ（またはレジスタ、以下同様）アレー１３ｂとが直列接続され、メモリアレー１３ｂの出力が加算器アレー１３ａに帰還される。これらの乗算器アレー１２、加算器アレー１３ａ、メモリアレー１３ｂによって積和演算がなされる。前述の正規方程式（７）のw_iにかかる積和演算の項を見ると、右上の項を反転すると、左下と同じものとなる。従って、（７）式を左上から右下に向かう線によって斜めに分割し、上側の三角形部分に含まれる項のみを演算すれば良い。この点から乗算器アレー１２、加算器アレー１３ａ、メモリアレー１３ｂは、図６および図７に示すように、上側の三角形部分に含まれる項を演算するのに必要とされる、乗算セルあるいはメモリセルを備えている。

【００３１】

以上のようにして、入力画像が到来するに従って積和演算が行われ、正規方程式が生成される。この正規方程式の各項の結果は、メモリアレー１３ｂに記憶されており、次に図５に示すように、この正規方程式の各項が掃き出し法のＣＰＵ演算回路１４に計算される。ＣＰＵを用いた演算によって正規方程式（連立方程式）が解かれ、最確値である係数が求まる。この係数が出力される。

【００３２】

図４に戻って、この発明の特徴とするシーンチェンジ検出回路について説明する。係数メモリ４に格納されている係数が読出され、加算器２１、２２および絶対値化回路２３に供給される。加算器２１は、前フレームＴ０に関連する係数w_1～w_9の和ＳＵＭｐ（＝w_1＋w_2＋・・・＋w_9）を生成し、加算器２２は、後フレームＴ２に関連する係数w_{10}～w_{18}の和ＳＵＭｎ（＝w_{10}＋w_{11}＋・・・＋w_{18}）を生成する。絶対値化回路２３は、係数w_{10}～w_{18}の値を絶対値へ変換する。

【００３３】

上述の図２の例のように、連続するシーンにおいては、ＳＵＭｐおよびＳＵＭｎがそれぞれ０．５に近い値を示すことが多い。一方、図３の例のように、注目フレームの後側でシーンチェンジが発生した時には、ＳＵＭｐが１に近い値を示し、ＳＵＭｎが０に近い値を示すことが多い。これは、シーンチェンジによって、以前の画像との時空間の相関が断たれるからである。

【００３４】

そこで、第１段階の処理として、加算器２１および２２の出力を比較器２４および２５に供給し、しきい値Ｔｈ１およびＴｈ２と比較する。一例として、Ｔｈ１＝０．８、Ｔｈ２＝０．２に選定される。比較器２４の出力（ＳＵＭｐ≧Ｔｈ１でハイレベル）と比較器２５の出力を反転したもの（ＳＵＭｎ≦Ｔｈ２でハイレベル）とがＡＮＤゲート２６に供給される。ＡＮＤゲート２６からのフラグ０がレジスタ２７に供給され、レジスタ２７から１クロック遅延されたフラグ１が発生する。

【００３５】

フラグ０（フラグ１）がハイレベルの時は、（ＳＵＭｐ≧Ｔｈ１）で、且つ（ＳＵＭｎ≦

Ｔｈ２）を意味する。この条件が成立するものは、シーンチェンジの候補と判定する。若し、何れか一方の条件が成立しない時には、シーンチェンジの候補としない。

【００３６】

次に、シーンチェンジの候補が本当にシーンチェンジかどうかの確認のための第２の判定処理を行う。これは、後のフレームＴ２と対応する各係数の絶対値を調べ、全ての値があるしきい値Ｔｈ３（例えば０．１）を超えなかった場合に、シーンチェンジであるとするものである。このため絶対値化回路２３の出力が比較器２８に供給され、しきい値Ｔｈ３と比較される。比較器２８に対しては、レジスタ２７からのフラグ１がイネーブルＥＮとして供給される。ＥＮがハイレベルの場合、すなわち、第１の判定処理の結果がシーンチェンジの候補を意味する場合に、比較器２８がアクティブである。

【００３７】

比較器２８の比較出力を反転したものがレジスタ２９を介してレジスタ３０にリセット信号として供給される。このレジスタ３０は、レジスタ２７からのフラグ１を受け取って、最終的なフラグ２を出力する。このフラグ２は、ハイレベルでシーンチェンジの発生を指示し、ローレベルで連続シーンを指示する。従って、フラグ１がハイレベルで、また、レジスタ３０がリセットされなければ、フラグ２がハイレベルとなり、このフラグ２がシーンチェンジの発生を指示することになる。

【００３８】

上述の比較器２８の反転出力は、（｜w_{10}｜～｜w_{18}｜＞Ｔｈ３）の時に、ローレベルである。ローレベルの出力によって、レジスタ３０がリセットされ、フラグ２がローレベルとなる。従って、

｜w_{10}｜≦Ｔｈ３and ｜w_{11}｜≦Ｔｈ３and ｜w_{12}｜≦Ｔｈ３and ・・・・and

｜w_{17}｜≦Ｔｈ３and ｜w_{18}｜≦Ｔｈ３

が満たされる時に、レジスタ３０がリセットされず、その結果、シーンチェンジの候補がフラグ２として出力されることになる。

【００３９】

この例では、後側のシーンチェンジの発生を検出している。各フレームを注目フレームとする処理を順次行うことによって、全ての後側のシーンチェンジを検出することができる。シーンチェンジの検出結果は、入力信号に対して、１フレームと等しいか、またはそれ以上の遅れて生じる。この補償は、メモリまたは遅延回路によって補償できる。

【００４０】

１フレームおきのフレームを注目フレームとし、前および後のシーンチェンジを共に検出する構成も可能である。後側のシーンチェンジの発生の検出は、上述の一実施例と同様になされる。前側のシーンチェンジの発生は、下記の条件が成立する時に検出される。

ＳＵＭｐ≦Ｔｈ２（例えば０．２） and ＳＵＭｎ≧Ｔｈ１（例えば０．８）

【００４１】

さらに、時空間モデルとしては、図１に示すものに限られない。線形１次結合のタップ数を増やすことで、空間的な広がりが増し、画像の動きをシーンチェンジと誤って検出する可能性を低くできる。もっとも、タップ数の増大は、計算時間の増加をもたらす問題がある。この問題に対処するには、サブサンプリングを行えば良い。

【００４２】

図８は、前後のフレームＴ０およびＴ２において、五の目格子状のサブサンプリングを行なう例である。このサブサンプリングによって、画素数を１／２に減少できるので、計算時間の増大を抑えながら、空間的広がりを増大させることができる。勿論、１／４サブサンプリング、１／８サブサンプリング等を採用することもできる。

【００４３】

【発明の効果】

以上の説明からも明らかなように、この発明によれば、照明等による明るさの変動の影響を受けずに、より正確にシーンチェンジを検出することができる。また、この発明は、伝送データ量を圧縮するために、サブサンプリングを行ない、伝送画素データと係数とを伝

送するシステムにおいて、整合性が良いシーンチェンジ検出回路を提供できる。

【図面の簡単な説明】

【図１】この発明の一実施例における時空間モデルを説明するための略線図である。

【図２】連続シーンの場合の線形１次結合の係数の一例を示す略線図である。

【図３】後側でシーンチェンジが発生した場合の線形１次結合の係数の一例を示す略線図である。

【図４】この発明の一実施例のブロック図である。

【図５】最小二乗法の演算回路の一例のブロック図である。

【図６】最小二乗法の演算回路に含まれる乗算器アレーを説明するための略線図である。

【図７】最小二乗法の演算回路に含まれる加算器アレーおよびメモリアレーを説明するための略線図である。

【図８】この発明を適用できる時空間モデルの他の例の略線図である。

【符号の説明】

２　間引き回路

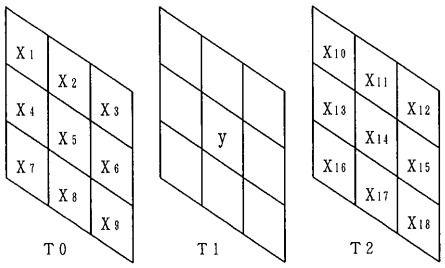
３　最小二乗法の演算回路

２１、２２　加算器

２３　絶対値化回路

２４、２５、２８　比較器

【図１】



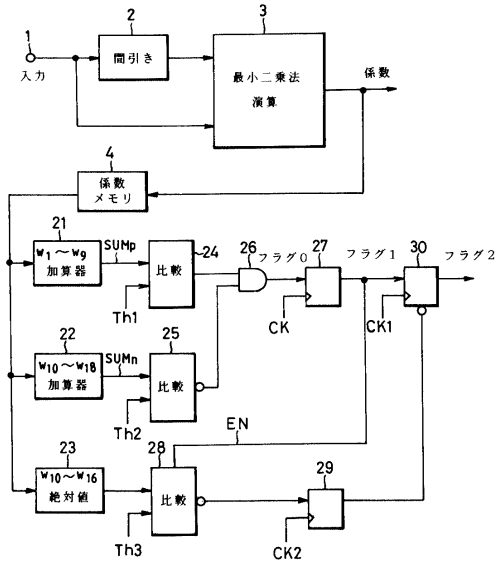
【図２】

w_1=-0.02	w_2=-0.02	w_3= 0.00	w_{10}= 0.01	w_{11}=-0.01	w_{12}= 0.04
w_4= 0.56	w_5=-0.12	w_6= 0.02	w_{13}=-0.05	w_{14}= 0.29	w_{15}= 0.30
w_7=-0.01	w_8=-0.02	w_9= 0.00	w_{16}=-0.00	w_{17}= 0.01	w_{18}= 0.02

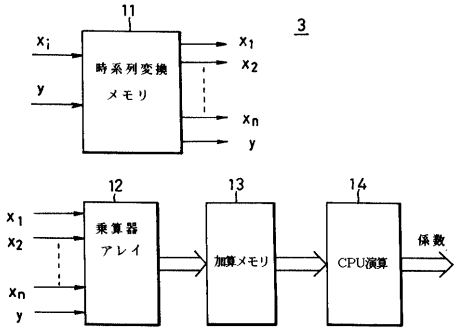
【図３】

w_1=-0.02	w_2=-0.02	w_3= 0.00	w_{10}= 0.01	w_{11}=-0.01	w_{12}= 0.04
w_4= 0.05	w_5= 0.89	w_6= 0.05	w_{13}=-0.05	w_{14}= 0.01	w_{15}= 0.00
w_7=-0.01	w_8=-0.02	w_9= 0.00	w_{16}=-0.00	w_{17}= 0.01	w_{18}= 0.02

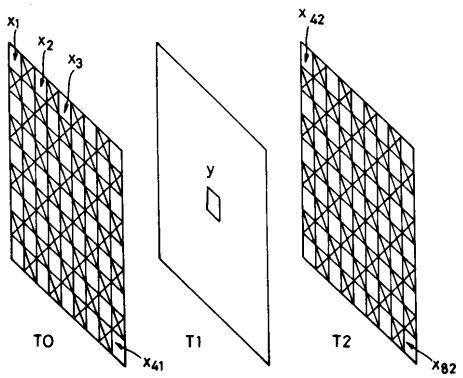
【図４】



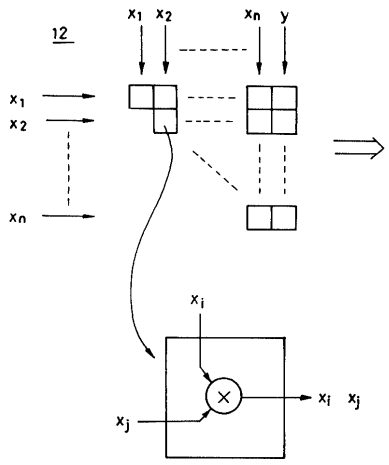
【図５】


11
3
時系列変換
メモリ
12
乗算器
アレイ
13
加算メモリ
14
CPU演算
係数

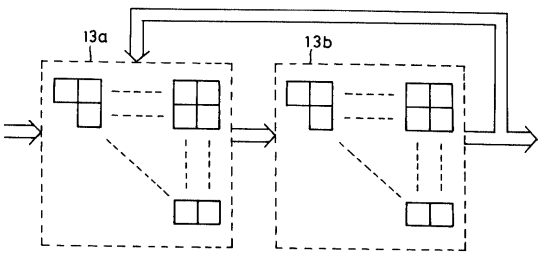
【図８】


T0
T1
T2
y

【図６】


12

【図７】


13a
13b