



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 198 01 557 B4 2004.08.05

(12)

## Patentschrift

(21) Aktenzeichen: 198 01 557.7  
(22) Anmelddetag: 16.01.1998  
(43) Offenlegungstag: 11.02.1999  
(45) Veröffentlichungstag  
der Patenterteilung: 05.08.2004

(51) Int Cl.<sup>7</sup>: G01R 31/28  
G01R 31/26, G11C 29/00, H01L 21/66

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:  
9-188405 14.07.1997 JP

(72) Erfinder:  
Tanida, Susumu, Tokio/Tokyo, JP

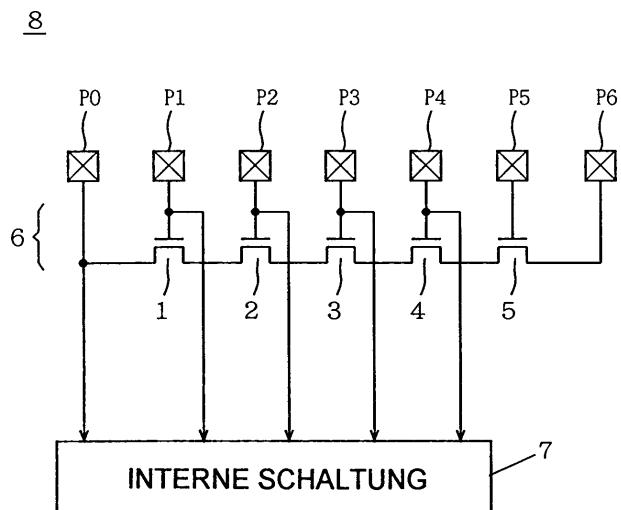
(71) Patentinhaber:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
DE 38 84 040 T2

(74) Vertreter:  
PRÜFER & PARTNER GbR, 81545 München

### (54) Bezeichnung: Kontakt-Prüfschaltung in einer Halbleitereinrichtung

(57) Hauptanspruch: Kontakt-Prüfschaltung (6, 18, 18', 25, 35, 45) in einer Halbleitereinrichtung und einer ersten bis n-ten Anschlußfläche (P0–P6) ist eine ganze Zahl größer oder gleich zum Empfangen externer Signale, bei der die Kontakt-Prüfschaltung (6, 18, 18', 25, 35, 45) zum Ausführen eines Kontaktprüfens zwischen der ersten und der n-ten Meßspitze eines Halbleiter-Testgeräts und der ersten bis n-ten Anschlußfläche (P0–P6) vor einem Test vorgesehen ist, die Kontakt-Prüfschaltung (6, 18, 18', 25, 35, 45) erste bis (n – 2)-te Transistoren (1–5) aufweist, die bezüglich ihrer Schaltstrecken in Reihe zwischen der ersten Anschlußfläche (P0) und der n-ten Anschlußfläche (P6) geschaltet sind, und die Transistoren entsprechende, mit der zweiten bis (n – 1)-ten Anschlußfläche (P1–P5) verbundene Eingabeelektroden aufweisen, und bei der beim Kontaktprüfen ein Testsignal an jede der zweiten bis (n – 1)-ten Meßspitze anzulegen ist, um jeden der ersten bis (n – 2)-ten Transistoren (1–5) leitend zu machen, und damit das Leiten zwischen der ersten...



## Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Kontakt-Prüfschaltung in einer Halbleitereinrichtung zum Prüfen eines Kontaktes zwischen einer Mehrzahl von Anschlußflächen zum Empfangen externer Signale und einer Mehrzahl von Meßspitzen eines Halbleitertestgerätes vor einem Test.

[0002] Bisher wurde ein Einbrenntest für Halbleitereinrichtungen wie zum Beispiel ein DRAM (Dynamic Random Access Memory, Dynamischer Direktzugriffsspeicher) ausgeführt. Dieser Test beschleunigt einen frühen Fehler durch Betreiben einer Einrichtung wie zum Beispiel einen Wafer unter der harten Bedingung einer höheren Spannung und einer höheren Temperatur als gewöhnlich.

[0003] In einem Einbrenntest werden Signale von einem Halbleitertestgerät in eine Halbleitereinrichtung eingegeben durch eine Mehrzahl von Meßspitzen des Halbleitertestgeräts in Kontakt mit einer Mehrzahl von Anschlußflächen der Halbleitereinrichtung. Der Einbrenntest kann nicht richtig ausgeführt werden, falls die Meßspitzen und die Anschlußflächen nicht in ausreichendem Kontakt zueinander stehen. Daher wird in jeder Halbleitereinrichtung eine Kontakt-Prüfschaltung vorgesehen, um den Kontakt zwischen den Meßspitzen und den Anschlußflächen vor einem Einbrenntest zu prüfen.

[0004] **Fig. 8** ist eine schematische Darstellung einer Struktur einer bei der Anmelderin vorhandenen Halbleitereinrichtung **50** mit einer Kontakt-Prüfschaltung **55**. Wie in **Fig. 8** gezeigt ist, weist die Halbleitereinrichtung **50**, die auf einem Halbleiterwafer (zum Beispiel einen Siliziumwafer) gebildet ist, eine Massen-Anschlußfläche **P10**, Signalanschlußflächen **P11–P14**, eine Kontakt-Prüfschaltung **55** und eine interne Schaltung **56** auf.

[0005] Die Massen-Anschlußfläche **P10** empfängt einen Massenpotential GND von außen (Halbleitersteinrichtung). Die Signalanschlußflächen **P11** bis **P14** empfangen entsprechend externe Signale. Die Kontakt-Prüfschaltung **55** weist n-Kanal-MOS-Transistoren **51** bis **54** auf. Die n-Kanal-MOS-Transistoren **51** bis **54** sind zwischen jeder der Signalflächen **P11–P14** und der Massen-Anschlußfläche **P10** entsprechend geschaltet, wobei ihre Gates gemeinsam mit der Massen-Anschlußfläche **P10** verbunden sind. Die interne Schaltung **56** führt einen vorgeschriebenen Betrieb (das Schreiben und Lesen von Daten im Falle eines DRAMs) gemäß der Signale aus, die extern durch die Anschlußflächen **P10–P14** eingegeben werden.

[0006] **Fig. 9** ist eine schematische Darstellung, die ein Verfahren zum Prüfen eines Kontaktes zwischen den Anschlußflächen **P10–P14** der Halbleitereinrichtung **50** und der Meßspitzen **60–64** eines Halbleiter- testgeräts **70** veranschaulicht. Es wird auf **Fig. 9** Bezug genommen; das Halbleiter- testgerät **70** weist ein Relais **71**, ein Strommeßgerät **73** und eine Gleichstromversorgung **74** auf. Der Meßfühler **60** liegt auf

Masse. Die Meßfühler **61–64** sind mit den Schaltanschlüssen **72.1–72.4** des Relais **71** entsprechend verbunden. Ein negatives Potential –V ist an einen allgemeinen Anschluß **72.0** des Relais **71** über das Strommeßgerät **73** durch die Gleichstromversorgung **74** angelegt.

[0007] Um den Kontakt zu überprüfen, ist ein negatives Potential –V an den Meßfühler **61** angelegt durch beispielsweise Leiten eines Stromes zwischen dem Anschluß **72.0** und dem Anschluß **72.1** des Relais **71**. Nur wenn die Anschlußflächen **P10**, **P11** und die Meßfühler **60** bzw. **61** in ausreichendem Kontakt zueinander stehen wird der n-Kanal-MOS-Transistor **51** leitend gemacht, was einen Stromfluß in das Strommeßgerät **73** verursacht. Wenn die Anschlußfläche **P10** und der Meßfühler **60** und/oder die Anschlußfläche **P11** und der Meßfühler **61** nicht in ausreichendem Kontakt zueinander stehen, fließt kein Strom in das Strommeßgerät **73**. Auf diese Weise wird eine Kontaktprüfung zwischen den Anschlußflächen **P10**, **P11** und den Meßfühlern **60**, **61** ermöglicht. Die Kontakte zwischen den anderen Anschlußflächen **P12–P14** und den anderen Meßfühlern **62–64** können in derselben Art geprüft werden.

[0008] Das bisherige Verfahren zum Kontaktprüfen ist jedoch zeitaufwendig, weil eine Anschlußfläche-zu-Anschlußfläche-Prüfung erforderlich ist.

[0009] Der Zeitaufwand für das Kontaktprüfen kann durch gleichzeitiges Ausführen des Kontaktprüfens aller Anschlußflächen **P10–P14** verringert werden. In diesem Fall werden die Kosten eines Halbleiter- testgerätes **74** jedoch hoch, weil es nötig ist, so viele Strommeßgeräte **73** wie Anschlußflächen **P11–P14** vorzusehen.

[0010] Zusätzlich ist die bisherige Methode des Kontaktprüfens nicht geeignet zum Prüfen einer Anschlußfläche eines DRAMs, an den ein positives Potential wie beispielsweise ein Stromversorgungspotential Vcc oder ein erhöhtes Potential Vpp angelegt ist, weil bei diesem Verfahren ein negatives Potential –V an eine zu prüfende Anschlußfläche angelegt wird. Allgemein ist, wenn beispielsweise ein CMOS-Inverter in einer Chipschaltung vorhanden ist, eine Anschlußfläche für das Stromversorgungspotential Vcc auch mit einer n-Wanne verbunden. In einem p-Typ-Siliziumsubstrat kann ein Energieniveau einer n-Wanne möglicherweise niedriger sein als ein Energieniveau des p-Typ-Siliziumsubstrats, falls die Anschlußfläche für das Stromversorgungspotential Vcc ein negatives Potential erreicht. In einem derartigen Fall zerstört ein Starkstrom, der durch einen in Durchlaßrichtung vorgespannten pn-Übergang verursacht ist, die interne Schaltung **56**.

[0011] Aus der DE 38 84 040 T2 ist eine Prüfschaltung in einer Halbleitereinrichtung zu entnehmen. Die Prüfschaltung besteht aus Anschlußflächen zum Empfangen externer Signale und aus Transistoren, welche mit den Anschlußflächen verbundene Eingabeelektroden aufweisen. Beim Prüfen wird dabei ein Testsignal angelegt, um die Transistoren leitend zu

machen und das Leiten zu prüfen.

### Aufgabenstellung

[0012] Aufgabe der vorliegenden Erfindung ist es daher, eine Kontakt-Prüfschaltung anzugeben, die ein schnelles Kontaktprüfen mit einer einfachen Einrichtung ermöglicht und zu dem das Kontaktprüfen einer Anschlußfläche ermöglicht, an die ein positives Potential angelegt ist.

[0013] Diese Aufgabe wird gelöst durch eine Kontakt-Prüfschaltung in einer Halbleitereinrichtung nach Anspruch 1.

[0014] Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0015] Eine Kontakt-Prüfschaltung gemäß der vorliegenden Erfindung weist einen ersten bis  $(n - 2)$ -ten Transistor auf, welche bezüglich ihrer Schaltstrecken in Reihe zwischen einer Anschlußfläche und einer  $n$ -ten Anschlußfläche geschaltet sind. Die Eingabeelektroden des ersten bis  $(n - 2)$ -ten Transistors sind mit der zweiten bis  $(n - 1)$ -ten Anschlußfläche entsprechend verbunden. Beim Kontaktprüfen wird ein Testsignal an jede der zweiten bis  $(n - 1)$ -ten Meßspitze angelegt, um einen Strom durch jeden des ersten bis  $(n - 2)$ -ten Transistors zu leiten. Die Leitung zwischen der ersten und der  $n$ -ten Meßspitze wird geprüft. Der Kontakt zwischen den Meßspitzen und den Anschlußflächen wird dann als ausreichend ermittelt, wenn ein Strom zwischen der ersten und der  $n$ -ten Meßspitze fließt, wogegen ein nicht ausreichender Kontakt zwischen den Meßspitzen und den Anschlußflächen ermittelt wird, wenn kein Strom zwischen der ersten und der  $n$ -ten Meßspitze fließt.

[0016] Daher kann der Kontakt zwischen den Meßspitzen und den Anschlußflächen auf einmal geprüft werden. Deshalb wird die Zeit, die für das Kontaktprüfen erforderlich ist, zu einem großen Teil verringert im Vergleich zu dem bisherigen Anschlußfläche-zu-Anschlußfläche-Prüfverfahren. Zusätzlich werden die Kostensteigerung und die Kompliziertheit eines Halbleiter-Testgeräts vermieden, weil es nur notwendig ist, die Testsignale an die zweite bis  $(n - 1)$ -te Meßspitze anzulegen und die Leitung zwischen der ersten und der  $n$ -ten Meßspitze zu prüfen. Ferner wird die Verwendung eines Signals mit einem positiven Potential als ein Testsignal durch das Verwenden von  $n$ -Kanal-MOS-Transistoren ermöglicht, wobei ein Kontaktprüfen einer Anschlußfläche, an die ein Signal mit einem positiven Potential angelegt ist, möglich ist ohne irgendeine Unbequemlichkeit, wie sie bisher auftrat.

[0017] Vorzugsweise weist die Kontakt-Prüfschaltung weiter ein erstes bis  $(n - 2)$ -tes Widerstandselement auf, welche zwischen den Eingabeelektroden des ersten bis  $(n - 2)$ -ten Transistors und der ersten Anschlußfläche entsprechend geschaltet sind. Beim Kontaktprüfen wird ein Inaktivierpotential an die erste Meßspitze angelegt, um den ersten bis  $(n - 2)$ -ten Transistor nicht leitend zu machen. In diesem Fall

kann, wenn die zweite Meßspitze und die zweite Anschlußfläche beispielsweise nicht geeignet in Kontakt stehen, der erste Transistor auf sichere Weise nicht leitend gemacht werden durch ein an die erste Anschlußfläche angelegtes Inaktivierpotential. Daher kann ein Prüffehler verhindert werden, der durch die mit dem Aktivierpotential geladene zweite Anschlußfläche verursacht wird.

[0018] Vorzugsweise wird eine der zweiten bis  $(n - 1)$ -ten Anschlußfläche als eine Chip-Auswahlfläche verwendet. Beim Kontaktprüfen wird ein Chip-Auswahlsignal anstelle eines Testsignals an eine der Anschlußfläche entsprechende Meßspitze angelegt. Dies ist deswegen vorteilhaft, weil es sequentielle Auswählen und Prüfen einer Mehrzahl von auf einem Wafer gebildeter Chips ermöglicht.

[0019] Weiter vorzugsweise weist die Kontakt-Prüfschaltung weiter ein zwischen einer Eingabeelektrode des ersten Chip-Auswahltransistors und der ersten Anschlußfläche verbundenes erstes Widerstandselement und zweite bis  $(n - 2)$ -te Gruppen von Chip-Auswahltransistoren und Widerstandselementen auf, welche zwischen den Eingabeelektroden der Transistoren, die nicht der erste Chip-Auswahltransistor sind, und der ersten Anschlußfläche entsprechend in Reihe geschaltet sind. Zum Zeitpunkt des Kontaktprüfens wird ein Inaktivierpotential an die erste Meßspitze angelegt, um jeden Transistor nicht-leitend zu machen. In diesem Fall wird verhindert, daß Strom zwischen der zweiten bis  $n$ -ten Anschlußfläche und der ersten Anschlußfläche fließt, außer beim Kontaktprüfen. Auf diese Weise wird der Stromverbrauch verringert.

[0020] Es folgt die Beschreibung von Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Figuren. von den Figuren zeigen:

[0021] **Fig. 1** eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung gemäß einer ersten Ausführungsform der Erfindung;

[0022] **Fig. 2** eine schematische Teildarstellung eines Verfahrens eines Kontaktprüfens der in **Fig. 1** gezeigten Kontakt-Prüfschaltung;

[0023] **Fig. 3** eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung gemäß einer zweiten Ausführungsform der Erfindung;

[0024] **Fig. 4** eine schematische Darstellung einer Verbesserung der Kontakt-Prüfschaltung aus **Fig. 3**;

[0025] **Fig. 5** bis 7 schematische Darstellungen von Strukturen von Kontakt-Prüfschaltungen nach einer dritten bis fünften Ausführungsform der Erfindung;

[0026] **Fig. 8** eine schematische Darstellung einer Struktur einer bei der Anmelderin vorhandenen Kontakt-Prüfschaltung;

[0027] **Fig. 9** eine schematische Darstellung eines Verfahrens eines Kontaktprüfens der in **Fig. 8** gezeigten Kontakt-Prüfschaltung.

## Ausführungsbeispiel

## Erste Ausführungsform

[0028] **Fig. 1** zeigt eine schematische Darstellung der Struktur einer Halbleitereinrichtung **8**. Es wird auf **Fig. 1** Bezug genommen; die auf einem Halbleiterwafer gebildete Halbleitereinrichtung **8** weist eine Massen-Anschlußfläche **P0**, Stromversorgungs- oder Signalanschlußflächen **P1–P4**, eine Chip-Auswahlauschlußfläche **P5**, eine Prüfanschlußfläche **P6**, eine Kontakt-Prüfschaltung **6** gemäß der ersten Ausführungsform der Erfindung und eine interne Schaltung **7** auf.

[0029] Ein Massenpotential GND ist an die Massen-Anschlußfläche **P0** angelegt. Bei einem Einbrenntest eines Wafers werden die Stromversorgungs- oder Signalanschlußflächen **P1** bis **P4** benutzt. Die Chip-Auswahlauschlußfläche **P5** wird zum Auswählen eines zu prüfenden Chips einer Mehrzahl auf einem Wafer gebildeter Chips benutzt. Die Auswahlauschlußfläche **P6** zum Prüfen, ob eine Anschlußfläche geprüft werden soll, steht mit einer Meßspitze in ausreichendem Maße in Kontakt.

[0030] Die Kontakt-Prüfschaltung **6** weist n-Kanal-MOS-Transistoren **1** bis **5** auf, die in Reihe zwischen den Anschlußflächen **P0** und **P6** verbunden sind. Die Gates der n-Kanal-MOS-Transistoren **1** bis **5** sind entsprechend mit den Anschlußflächen **P1–P4** verbunden. Die interne Schaltung **7** führt einen vorgeschriebenen Betrieb aus gemäß einer Versorgungsspannung und eines Signals, das von außen durch die Anschlußflächen **P0–P4** angelegt ist.

[0031] Bei einem Kontaktprüfen vor einem Einbrenntest wird eine Meßspitze (nicht gezeigt) eines Halbleitertestgeräts in Kontakt zu jeder der Anschlußflächen **P0–P6** gebracht. Falls jede der Anschlußflächen **P0–P4** in ausreichendem Kontakt zu einer Meßspitze steht, werden die n-Kanal-MOS-Transistoren **1** bis **4** leitend gemacht, wenn ein Massenpotential GND an einer Meßspitze entsprechend der Massen-Anschlußfläche **P0** angelegt ist, und jede der den Anschlußflächen **P1–P4** entsprechenden Meßspitzen wird auf einen H (logisch hoch)-Pegel angehoben.

[0032] Falls die Anschlußflächen **P0–P6** zu den Meßspitzen in ausreichendem Maße in Kontakt stehen, fließt ein Strom zwischen einer der Prüfanschlußfläche **P6** entsprechenden Meßspitze und einer der Massen-Anschlußfläche **P0** entsprechenden Meßspitze, wenn eine der Chip-Auswahlauschlußfläche **P5** entsprechenden Meßspitze auf einen H-Pegel angehoben wird und eine ausreichende Spannung an eine der Auswahlauschlußfläche **P6** entsprechende Meßspitze in diesem Zustand angelegt wird. Falls mindestens eine der Anschlußflächen **P0–P6** nicht in ausreichendem Kontakt zu der entsprechenden Meßspitze steht, fließt jedoch kein Strom.

[0033] Daher wird ein Kontaktprüfen zwischen den

Anschlußflächen **P0–P6** der Halbleitereinrichtung **8** und den Meßspitzen des Halbleiter-Testgeräts ermöglicht durch Überwachen des Stromes, der in die der Prüfanschlußfläche **P6** entsprechenden Meßspitze fließt.

[0034] Zusätzlich kann, da nur eine Messung pro Chip für das Prüfen erforderlich ist, die nötige Zeit auf nur 1/n derjenigen verringert werden, die bisher erforderlich war (n ist eine Anzahl von Stromversorgungs- oder Signalanschlußflächen, die im Einbrenntest benutzt werden; in der Figur ist n = 4).

[0035] Außerdem ist das Kontaktprüfen einer Meßspitze und einer Anschlußfläche möglich, an die ein positives Stromversorgungspotential wie eine Stromversorgungsspannung Vcc oder ein erhöhtes Potential Vpp angelegt ist, was in einem bei der Anmelderin vorhandenen Kontakt-Prüfverfahren, bei dem ein negatives Potential an die Anschlußflächen **P1–P4** angelegt ist, schwierig ist, da die Anschlußflächen **P1–P4** einen H-Pegel erreichen.

[0036] **Fig. 2** ist eine schematische Darstellung, die auf spezielle Weise ein Kontakt-Prüfverfahren der in **Fig. 1** gezeigten Halbleitereinrichtung **8** veranschaulicht.

[0037] Es wird auf **Fig. 2** Bezug genommen; mehrfache Halbleitereinrichtungen **8** sind in X Zeilen und Y Spalten (X und Y sind natürliche Zahlen) auf einer Waferoberfläche gebildet. Ein Halbleiter-Testgerät **10** schließt Relais **11** und **13**, Widerstandselemente **15.x** (x ist eine natürliche Zahl von 1 bis X) und ein Spannungsmeßgerät **16** ein. Die Chip-Auswahlfächen **P5** aller Halbleitereinrichtungen **8** in der y-ten Spalte (y ist eine natürliche Zahl von 1 bis Y) sind gemeinsam mit einem Schaltanschluß **12.y** des Relais **11** über eine Meßspitze (nicht gezeigt) verbunden. Ein H-Pegel (Stromversorgungspotential Vcc) ist an einen gemeinsamen Anschluß **12.0** des Relais **11** angelegt. Die Prüfanschlußflächen **P6** aller Halbleitereinrichtungen **8** in der x-ten Zeile sind gemeinsam mit einem Schaltanschluß **14.x** des Relais **13** über eine Meßspitze (nicht gezeigt) verbunden. Der Schaltanschluß **14.x** des Relais **13** ist mit einer Leitung des Stromversorgungspotentials Vcc (der Stromversorgung) über das Widerstandselement **15.x** zum Hochsetzen der Spannung verbunden. Der gemeinsame Anschluß **14.0** des Relais **13** ist mit dem Spannungsmeßgerät **16** verbunden.

[0038] Bei einem Kontaktprüfen wird zuerst ein H-Pegel an eine der Anschlußflächen **P1–P4** jeder Halbleitereinrichtung **8** entsprechende Meßspitze angelegt. Ein Massenpotential GND wird an die Massen-Anschlußfläche **P0** angelegt. Danach wird ein H-Pegel an eine der Chip-Auswahlfächen **P5** jeder Halbleitereinrichtung **8** in der ersten Spalte entsprechende Meßspitze angelegt durch Leiten eines Stromes zwischen dem Anschluß **12.0** und dem Anschluß **12.1** beispielsweise des Relais **11**. Dann wird eine der Prüfanschlußflächen **P6** jeder Halbleitereinrichtung **8** in der ersten Zeile entsprechende Meßspitze mit dem Spannungsmeßgerät **16** verbunden

durch Leiten eines Stroms zwischen dem Anschluß **14.0** und dem Anschluß **14.1** beispielsweise des Relais **13**.

[0039] Wenn die Anschlußflächen P0–P6 der Halbleitereinrichtung **8** in der ersten Zeile, in der ersten Spalte in ausreichendem Kontakt zu den Meßspitzen stehen, weist das Spannungsmeßgerät **14** eine Spannung auf, die kleiner ist als die Hochsetz-Spannung Vcc, wegen des Stroms von einer Leitung des Stromversorgungspotentials Vcc (der Stromversorgung) zur Halbleitereinrichtung **8** über das Widerstandselement **15.1**. Wenn die Anschlußflächen nicht in ausreichendem Kontakt zu den Meßspitzen stehen, zeigt das Spannungsmeßgerät **14** die Hochsetz-Spannung Vcc an, da kein Strom von der Leitung des Stromversorgungspotentials Vcc (der Stromversorgung) zur Halbleitereinrichtung **8** über das Widerstandselement **15.1** fließt. In der oben beschriebenen Art wird das Kontaktprüfen der Halbleitereinrichtung **8** in der ersten Zeile und in der ersten Spalte ausgeführt. Andere Halbleitereinrichtungen **8** können auch in derselben Art geprüft werden.

#### Zweite Ausführungsform

[0040] **Fig. 3** ist eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung in einer Halbleitereinrichtung **17** gemäß der zweiten Ausführungsform der Erfindung. Es wird auf **Fig. 3** Bezug genommen; die Halbleitereinrichtung **17** weist Anschlußflächen P0–P4 und P6, die Kontakt-Prüfschaltung **18** und eine interne Schaltung **7** auf. Die Halbleitereinrichtung **17** unterscheidet sich von der Halbleitereinrichtung **8** darin, daß die Chip-Auswahlanchlussfläche P5 und der n-Kanal-MOS-Transistor **5** nicht vorgesehen sind.

[0041] In der Halbleitereinrichtung **17** wird die in einem Einbrenntesten benutzte Stromversorgungs- oder Signalanschlußfläche P4 auch als eine Chip-Auswahlanchlussfläche beim Kontaktprüfen benutzt. Deshalb kann die Anzahl der zu prüfenden Anschlußflächen wie auch die Layout-Fläche verringert werden.

[0042] Zusätzlich ist es möglich, wie in **Fig. 4** gezeigt ist, die Anschlußfläche P3 als eine Chip-Auswahlanchlussfläche und die Anschlußfläche P4 als eine Prüfanschlußfläche zu benutzen, durch Entfernen der Anschlußfläche P6 und des n-Kanal-MOS-Transistors **4** und anschließendes Verbinden der Anschlußfläche P4 mit dem Drain des n-Kanal-MOS-Transistors **3**.

#### Dritte Ausführungsform

[0043] **Fig. 5** ist eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung in einer Halbleitereinrichtung **20** gemäß der dritten Ausführungsform der Erfindung.

[0044] Wie in **Fig. 5** gezeigt ist, ist die Halbleitereinrichtung **20** mit Anschlußflächen P0–P4 und P6, der

Kontakt-Prüfschaltung **25** und einer internen Schaltung **7** versehen. Der Unterschied zwischen der Halbleitereinrichtung **20** und der Halbleitereinrichtung **17** der **Fig. 3** liegt darin, daß die Widerstandselemente **21–24** zum Heruntersetzen der Spannung neu vorgesehen sind. Die Widerstandselemente **21–24** sind zwischen den Gates der n-Kanal-MOS-Transistoren **1–4** und der Anschlußfläche P0 entsprechend verbunden. Hier sind die Widerstandselemente **21–24** beispielsweise aus einem ein Gate bildendes Material, ein eine Bitleitung bildendes Material oder einer Diffusionswiderstandsschicht gebildet. Die Widerstandselemente **21–24** können auch einen MOS-Transistor aufweisen, an dessen Gate ein konstantes Potential angelegt ist.

[0045] In der Halbleitereinrichtung **20** kann der n-Kanal-MOS-Transistor **1**, wenn die Anschlußfläche P1 nicht in ausreichendem Kontakt zu einer Meßspitze steht, auf sichere Weise nicht leitend gemacht werden, da ein Gate des n-Kanal-MOS-Transistors **1** über das Widerstandselement **21** und die Anschlußfläche P0 auf Masse liegt. Auf diese Weise würde das Gate des n-Kanal-MOS-Transistors **1**, wenn die Anschlußfläche P1 und eine Meßspitze nicht in ausreichendem Maße zueinander in Kontakt stehen, nicht mit einem positiven Potential geladen werden, wodurch ein vom leitenden Zustand des N-Kanal-MOS-Transistors **1** herbeigeführter Prüf-Fehler verhindert wird.

#### Vierte Ausführungsform

[0046] **Fig. 6** ist eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung in einer Halbleitereinrichtung **30** gemäß der vierten Ausführungsform der Erfindung.

[0047] Es wird auf **Fig. 6** Bezug genommen; eine Halbleitereinrichtung **30** weist Anschlußflächen P0–P4 und P6, die Kontakt-Prüfschaltung **35** und eine interne Schaltung **7** auf. Die Halbletereinrichtung **30** unterscheidet sich von der Halbletereinrichtung **20** der **Fig. 5** darin, daß die n-Kanal-MOS-Transistoren **31–33** zusätzlich vorgesehen sind. Die n-Kanal-MOS-Transistoren **31–33** sind zwischen den Gates der n-Kanal-MOS-Transistoren **1–3** und der Widerstandselemente **21–23** entsprechend verbunden, wobei die Gates der n-Kanal-MOS-Transistoren **31–33** miteinander mit dem Gate des n-Kanal-MOS-Transistors **4** verbunden sind.

[0048] In der Halbletereinrichtung **30** sind die n-Kanal-MOS-Transistoren **31–33** nicht leitend, außer wenn ein H-Pegel-Signal als ein Chip-Auswahlsignal an die als Chip-Auswahlanchlussfläche benutzte Anschlußfläche P4 angelegt ist. Daher wird ein Stromfluß von den Anschlußflächen P1–P3 zur Massen-Anschlußfläche P0 über die Widerstandselemente **21–23** verhindert, was die Verringerung des Stromverbrauchs erleichtert.

## Fünfte Ausführungsform

[0049] **Fig. 7** ist eine schematische Darstellung einer Struktur einer Kontakt-Prüfschaltung in einer Halbleitereinrichtung **40** gemäß der fünften Ausführungsform der Erfindung. Es wird auf die

[0050] **Fig. 7** Bezug genommen; die Halbleitereinrichtung **40** weist Anschlußflächen P0–P4 und P6, die Kontakt-Prüfschaltung **45** und eine interne Schaltung **7** auf. Die Halbleitereinrichtung **40** unterscheidet sich von der Halbleitereinrichtung **17** der **Fig. 3** darin, daß die n-Kanal-MOS-Transistoren **1–4** durch p-Kanal-MOS-Transistoren **41–44** ersetzt sind.

[0051] Beim Kontaktprüfen wird die Leitung zwischen den Anschlußflächen P0 und P6 geprüft, wobei das Massenpotential GND an die Massen-Anschlußfläche P0 und ein negatives Potential an jede der Anschlußflächen P1–P4 angelegt ist. Das Vorhandensein eines Stroms zwischen den Anschlußflächen P0 und P6 bedeutet einen ausreichenden Kontakt zwischen den Anschlußflächen P0–P6 und den Meßspitzen, wogegen das Nicht-Vorhandensein eines Stroms zwischen den Anschlußflächen P0 und P6 das Fehlen eines ausreichenden Kontaktes zwischen den Anschlußflächen P0–P6 und den Meßspitzen bedeutet.

[0052] Die oben beschriebene Ausführungsform ist vorteilhaft, wenn ein positives Potential nicht an die Anschlußflächen P0–P4 angelegt werden kann.

## Patentansprüche

1. Kontakt-Prüfschaltung (**6, 18, 18', 25, 35, 45**) in einer Halbleitereinrichtung und einer ersten bis n-ten Anschlußfläche(P0–P6) ist eine ganze Zahl größer oder gleich zum Empfangen externer Signale, bei der die Kontakt-Prüfschaltung (**6, 18, 18', 25, 35, 45**) zum Ausführen eines Kontaktprüfens zwischen der ersten und der n-ten Meßspitze eines Halbleiter-testgeräts und der ersten bis n-ten Anschlußfläche (P0–P6) vor einem Test vorgesehen ist, die Kontakt-Prüfschaltung (**6, 18, 18', 25, 35, 45**) erste bis (n – 2)-te Transistoren (**1–5**) aufweist, die bezüglich ihrer Schaltstrecken in Reihe zwischen der ersten Anschlußfläche (P0) und der n-ten Anschlußfläche (P6) geschaltet sind, und die Transistoren entsprechende, mit der zweiten bis (n – 1)-ten Anschlußfläche (P1–P5) verbundene Eingabeelektroden aufweisen, und bei der beim Kontaktprüfen ein Testsignal an jede der zweiten bis (n – 1)-ten Meßspitze anzulegen ist, um jeden der ersten bis (n – 2)-ten Transistoren (**1–5**) leitend zu machen, und damit das Leiten zwischen der ersten und der n-ten Meßspitze prüfen zu können.

2. Kontakt-Prüfschaltung (**25**) nach Anspruch 1, bei der erste bis (n – 2)-te Widerstandselemente (**21–24**) vorgesehen sind, die zwischen den Eingabeelektroden des ersten bis (n – 2)-ten Transistors (**1–4**) und der ersten Anschlußfläche (P0) geschaltet

sind, und ein Inaktivier-Potential an die erste Meßspitze angelegt ist, um den ersten bis (n – 2)-ten Transistor (**1–4**) nicht leitend zum Zeitpunkt des Kontaktprüfens zu machen.

3. Kontakt-Prüfschaltung nach Anspruch 1 oder 2, bei der eine der zweiten bis (n – 1)-ten Anschlußfläche als eine Chip-Auswahlauschlußfläche benutzt wird und ein der Anschlußfläche entsprechender Transistor als ein erster Chip-Auswahltransistor benutzt wird, und zum Zeitpunkt des Kontaktprüfens ein Chip-Auswahlsignal anstelle des Testsignals an eine der Chip-Auswahlauschlußfläche entsprechende Meßspitze angelegt ist, um die Halbleitereinrichtung durch Leitend-machen des ersten Chip-Auswahltransistors auszuwählen.

4. Kontakt-Prüfschaltung (**35**) nach Anspruch 3, mit einem zweiten bis (n – 2)-ten Chip-Auswahltransistor (**31–33**), deren Eingabeelektroden miteinander mit einer Eingabeelektrode des ersten Chip-Auswahltransistors (**4**) verbunden sind und deren erste Elektroden entsprechend mit den Eingabeelektroden der anderen Transistoren (**1–3**) und nicht des Transistors (**4**) verbunden sind, welcher als der erste Chip-Auswahltransistor unter den ersten bis (n – 2)-ten Transistoren (**1–4**) benutzt wird; einem ersten Widerstandselement (**24**), das zwischen einer Eingabeelektrode des ersten Chip-Auswahltransistors (**4**) und der ersten Anschlußfläche (P0) geschaltet ist; und zweiten bis (n – 2)-ten Widerstandselementen (**21–23**), die entsprechend zwischen den zweiten Elektroden des zweiten bis (n – 2)-ten Chip-Auswahltransistors (**31–33**) und der ersten Anschlußfläche (P0) geschaltet sind; wobei beim Kontaktprüfen ein Inaktivierungspotential an die erste Meßspitze angelegt ist, um den ersten bis (n – 2)-ten Transistor (**1–4**) und den zweiten bis (n – 2)-ten Chip-Auswahltransistor (**31–33**) nicht-leitend zu machen.

Es folgen 6 Blatt Zeichnungen

FIG. 1

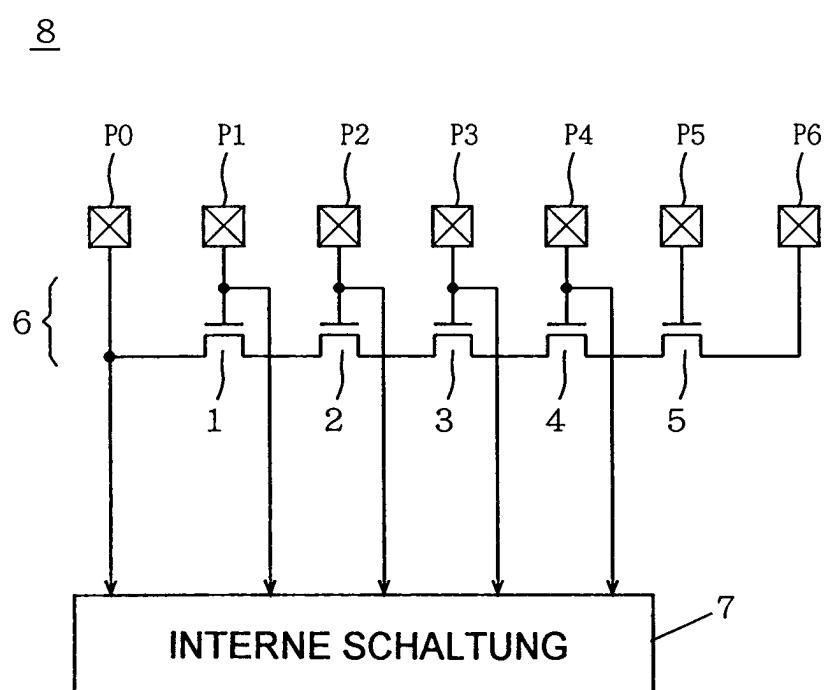


FIG. 2

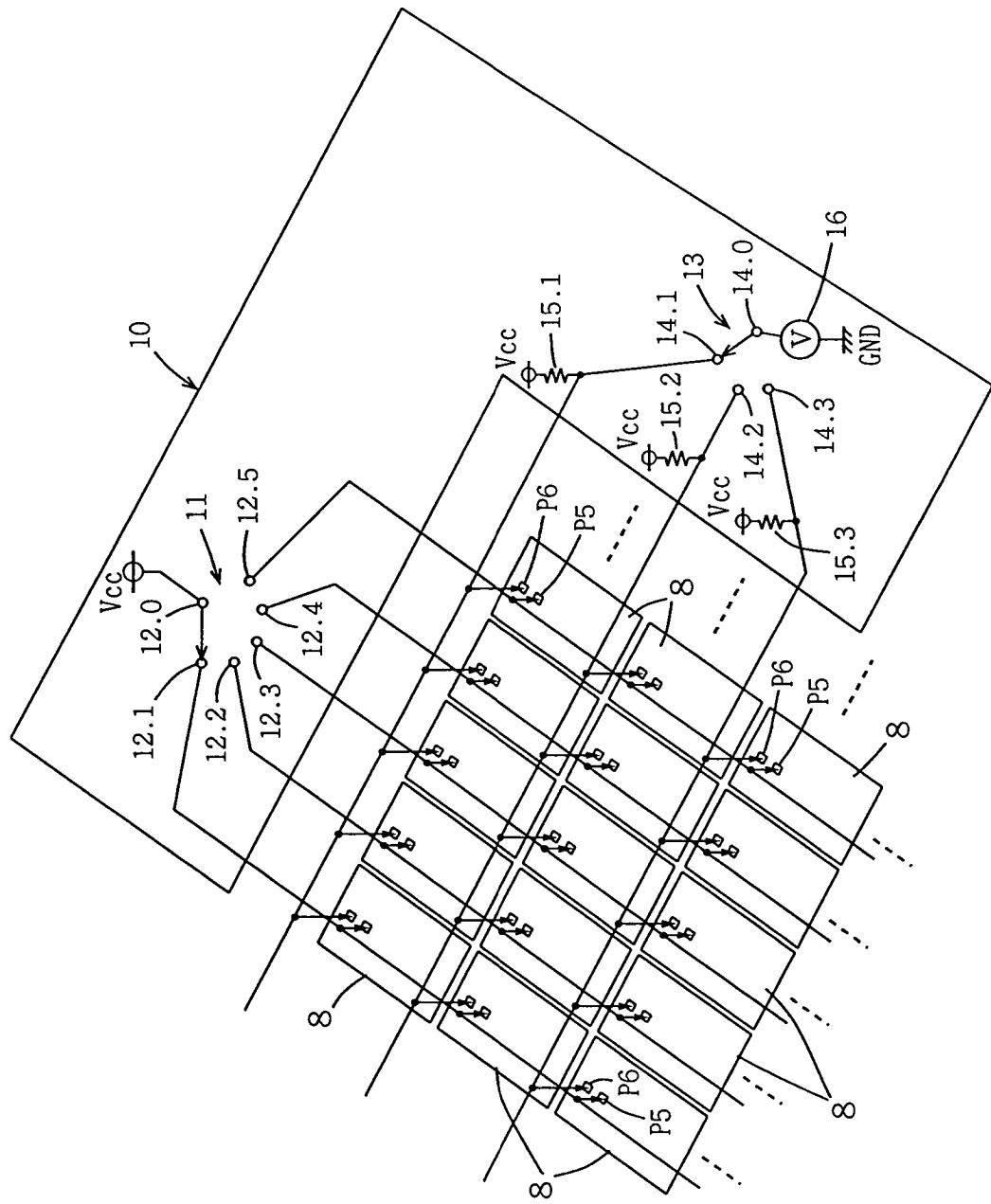


FIG. 3

17

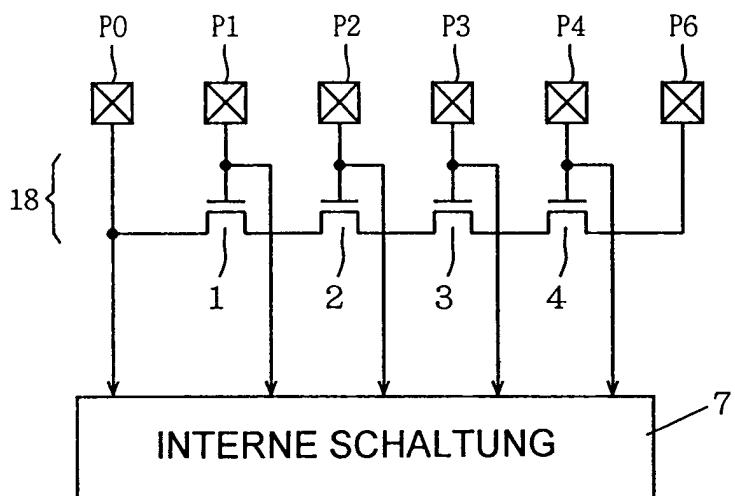


FIG. 4

17'

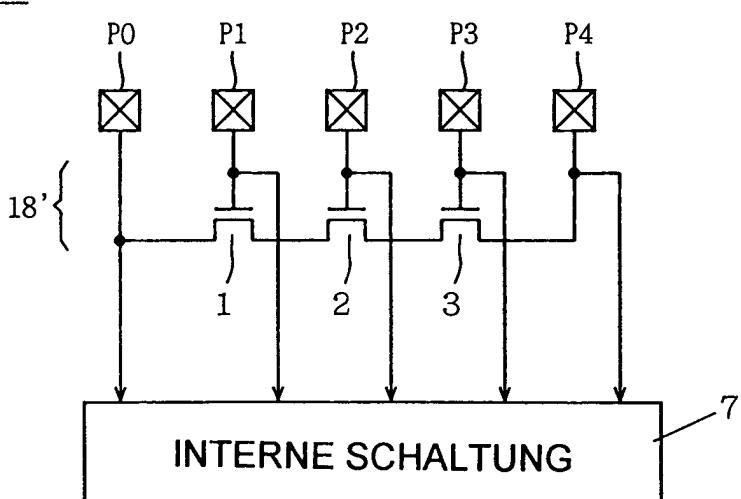


FIG. 5

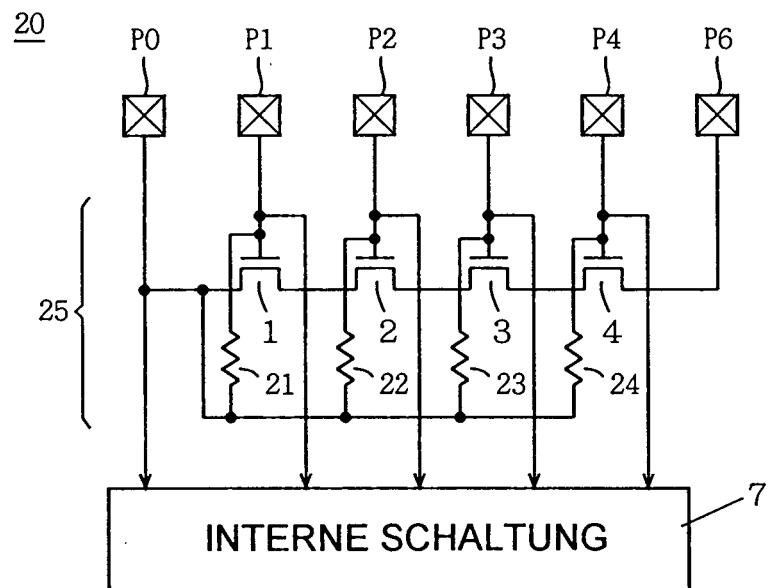


FIG. 6

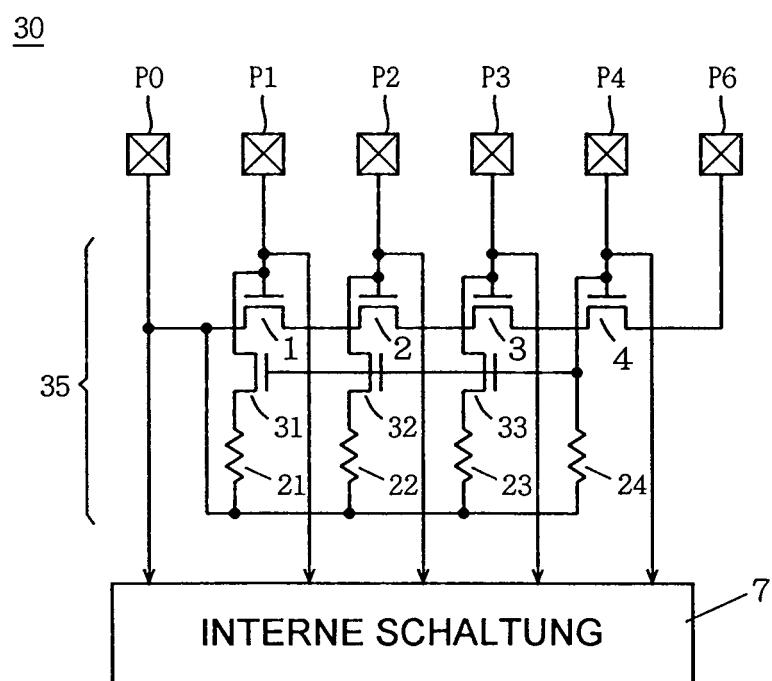


FIG. 7

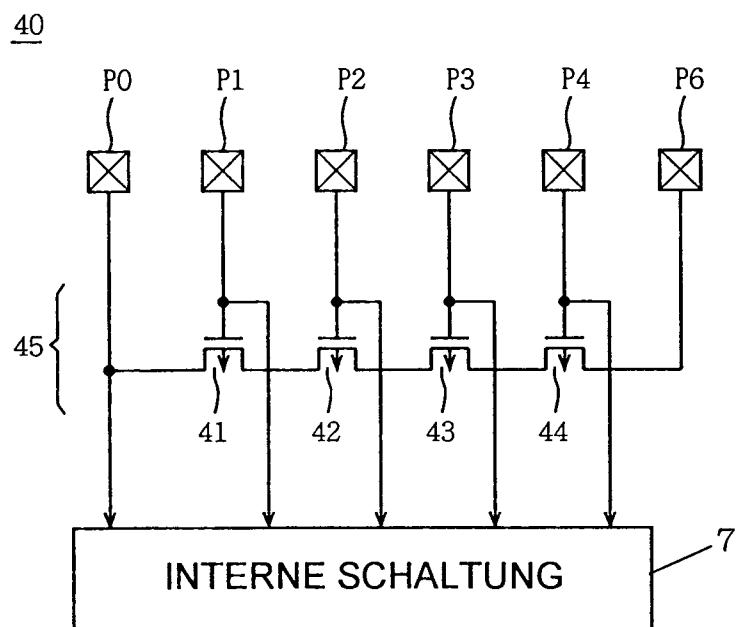


FIG. 8

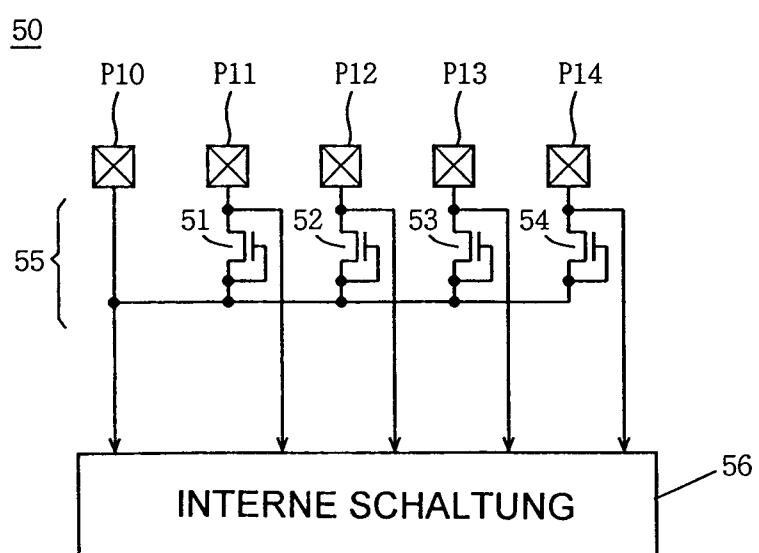


FIG. 9

