



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 269 078**

51 Int. Cl.:
H04L 27/20 (2006.01)
H04L 25/03 (2006.01)
H03D 7/14 (2006.01)
H03C 3/40 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **00401370 .2**
86 Fecha de presentación : **17.05.2000**
87 Número de publicación de la solicitud: **1156635**
87 Fecha de publicación de la solicitud: **21.11.2001**

54 Título: **Disposición de multiplicadores, modulador de señal y emisor.**

45 Fecha de publicación de la mención BOPI:
01.04.2007

45 Fecha de la publicación del folleto de la patente:
01.04.2007

73 Titular/es: **ALCATEL**
54, rue La Boétie
75008 Paris, FR

72 Inventor/es:
Sevenhans, Joannes Mathilda Josephus;
Verstraeten, Bart y
Taraborrelli, Silvio

74 Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de multiplicadores, modulador de señal y emisor.

La presente invención se refiere a una disposición de multiplicadores como se describe en el preámbulo de la reivindicación primera.

Una tal disposición de multiplicadores se conoce ya en la técnica, por ejemplo del artículo "Trends in Silicon Radio Large Scale Integration: Zero IF Receiver ! Zero I & Q Transmitter ! Zero Discrete Passives!", por J. Sevenhans, B. Verstraeten and S. Taraborrelli, IEEE Communications Magazine, Enero de 2000, Vol. 38, Número 1, pp 142 - 147. En él, en la figura 5 de la página 144, se muestra un modulador tradicional de transmisión Cartesiana I y Q, que incluye dos bloques indicados por una "X", así como un dispositivo indicado por un signo "+". Los dos bloques señalados con "X" son mezcladores en un modulador tradicional de transmisión I/Q, cada uno de los cuales recibe un respectivo par de señales de oscilador local de alta frecuencia, así como uno respectivo de los componentes Cartesianos de la información de fase analógica, a saber $\sin(\varphi)$, resp. $\cos(\varphi)$. Cada uno de ellos genera, a partir de su componente Cartesiano, así como de sus respectivas señales de oscilador local, un componente correspondiente de un vector de fase de alta frecuencia. Estos dos componentes son subsiguientemente añadidos en el bloque indicado con "+", para ser considerados como correspondientes a los medios de suma de la disposición de multiplicadores bajo consideración. Estos mezcladores, en adición con este dispositivo de adición, pueden ser así considerados como correspondientes a un componente multiplicador, según se describe en el preámbulo de la reivindicación primera.

Una desventaja de esta disposición de multiplicadores de la técnica anterior es que consume una gran cantidad de potencia, ya que ambos mezcladores son continuamente activos durante la totalidad del funcionamiento de esta disposición. Además, es necesario un amplificador de potencia lineal, ya que estos mezcladores están realizando ellos mismos también una operación de rechazo de imagen. Los amplificadores lineales de potencia son igualmente muy consumidores de potencia.

Es por tanto un objeto de la presente invención una disposición de multiplicadores de la clase anteriormente conocida, pero que consume menos potencia.

Este objeto se consigue gracias al hecho de que el vector de fase de alta frecuencia sintetizado sigue un cuadrado durante una primera categoría de transiciones predeterminadas de la señal de fase φ o las diagonales de este cuadrado durante una segunda categoría de transiciones predeterminadas de esta señal de fase φ , ambas de acuerdo con la característica según se describen en la parte caracterizadora de la reivindicación independiente 1.

Esto no sólo da lugar a una reducción de potencia de 50%, como resultará claro de la parte descriptiva de este documento, sino que esta solución permite utilizar un amplificador de potencia lineal menor, como se describirá también con más detalle, con lo que se reduce igualmente el consumo total de potencia del transmisor completo. Además, efectuando no sólo una excursión en el cuadrado, sino también en las diagonales de este cuadrado, se pueden seguir

también los esquemas de modulación de QPSK, que se añaden a la versatilidad de la disposición.

Se ha de observar que la Patente de Estados Unidos US-4.726.039 describe un sistema de modulación de fase (Figs. 6a, 7c, 8a; columna 5, líneas 6-21; columna 7, líneas 10-15) que comprende una disposición de multiplicadores que incluye un par de terminales de entrada a los que se proporciona información de fase analógica. Como en la presente disposición de multiplicadores, la disposición conocida está además adaptada a recibir un conjunto de señales de oscilador local de alta frecuencia que están desplazadas 90 grados ($\pi/2$) de fase una con respecto a otra. La disposición conocida está también destinada a generar componentes de un vector de fase de alta frecuencia (Figura 6a: señal de salida $g(t)$) a partir de información de fase analógica y a partir de señales de oscilador local de alta frecuencia, y a sintetizar el vector de fase de alta frecuencia a partir de estos componentes dentro de unos medios de sumar de la disposición de multiplicadores (Figura 6a: red de suma 47). Esta disposición de multiplicadores conocida está además destinada a proporcionar el vector de fase de alta frecuencia como un vector que o bien está efectuando una excursión a lo largo del contorno de un cuadrado dentro del plano complejo durante una primera categoría de transiciones predeterminadas de una señal de fase en la que la información de fase analógica es dependiente (Figura 7c), o está efectuando una excursión a lo largo de las diagonales de este cuadrado (Figura 8a).

Sin embargo, la disposición de multiplicadores conocida no utiliza *cuatro* señales de oscilador local de alta frecuencia y no consiste en una disposición de cuatro amplificadores de dos cuadrantes, como se menciona en la presente reivindicación 1. Además, la disposición de multiplicadores conocida no describe multiplicadores que estén controlados por conmutadores de manera que en cada momento sólo estén activos dos multiplicadores.

Como consecuencia, la disposición de multiplicadores conocida no es apta para generar componentes de un vector de fase de alta frecuencia a partir de las cuatro señales de oscilador local de alta frecuencia y a partir de un par de información de fase analógica, bajo el control de dichos conmutadores. La señal de salida (vector) de la disposición de multiplicadores efectúa de este modo una excursión a lo largo de sólo la mitad de los contornos de un cuadrado dentro del plano complejo durante la primera categoría de las transiciones predeterminadas de la señal de fase, o sólo a lo largo de la mitad de las diagonales del cuadrado durante la segunda categoría de las transiciones predeterminadas de la señal de fase.

Otra particularidad característica de la presente invención se describe en la reivindicación 2, que da lugar a una ejecución completamente diferencial de la disposición.

Todavía una particularidad característica más de la presente invención se menciona en la reivindicación 3.

Se obtiene por ello una realización sencilla que incluye un conjunto de multiplicadores, cada uno de los cuales es controlado por el funcionamiento de un conmutador.

Por ello, cada uno de los multiplicadores suministra unos respectivos de los componentes del vector de fase, como se describe en la reivindicación 4.

Otros rasgos característicos de la presente invención se mencionan en las reivindicaciones 5 y 6.

Con ello se obtiene una realización muy simple y de coste moderado en el ámbito de los transistores.

La presente invención se refiere también a un modulador de señal que incluye una disposición de multiplicadores de la presente invención, así como un limitador de envolvente adicional como se describe en la reivindicación 7.

Este limitador de envolvente tiene la función de convertir la trayectoria seguida por el vector de fase de un cuadrado en un círculo. Esto permite así esquemas constantes de modulación de GMSK de envolvente, que son necesarios en aplicaciones de GSM.

Todavía un rasgo característico más de la presente invención se describe en la reivindicación 8.

El modulador de señal incluye por ello los circuitos de control para la provisión de las respectivas señales de control, para el control del funcionamiento de los conmutadores de la disposición de multiplicadores.

Como se menciona en la reivindicación 9, el circuito de control está destinado a generar respectivas señales de control de tal manera que controla estos conmutadores de modo que se activan sólo a un máximo de dos multiplicadores a la vez. En comparación con el caso de la técnica anterior, cada uno de los propios mezcladores consiste por ello en dos multiplicadores comparables, y como estos dos mezcladores y de ese modo, consecuentemente, cuatro de tales estructuras de multiplicadores comparables estaban activas al mismo tiempo, la presente solución es muy eficaz en cuanto a potencia, mientras es al mismo tiempo muy sencilla.

Por ello, se da en la reivindicación 10 una realización, en el ámbito de los transistores, de un limitador de envolvente diferencial completamente.

La presente invención se refiere asimismo a un transmisor que incluye el modulador de señal en cuestión y la disposición de multiplicadores, como se describe en la reivindicación 11.

La reivindicación 12 muestra además que el circuito de información de impulso analógico, destinado a generar la información de fase analógica, es ahora muy sencillo en comparación con el circuito de información de impulso analógico de la técnica anterior, que necesita una ROM de aproximadamente capacidad doble y dos convertidores de D/A.

El anteriormente mencionado y otros objetos y características de la invención resultarán más evidentes y la propia invención será mejor comprendida mediante referencia a la siguiente descripción de una realización tomada en combinación con los dibujos que se acompañan, en los cuales:

La figura 1 muestra un esquema básico de un transmisor de IF cero TXP de la técnica anterior, que incluye un modulador de señal SMP de la técnica anterior;

La figura 2 muestra una realización detallada en el ámbito de transistor de una disposición de multiplicadores MAP de la técnica anterior, incluida en el modulador de señal SMP de la técnica anterior;

La figura 3 muestra un esquema básico de un transmisor TX que incluye un modulador de señal SM, una disposición de multiplicadores MUXER, así como un circuito de información BAP de impulso analógico de acuerdo con la invención;

La figura 4 muestra una realización más detallada

de la disposición de multiplicadores MUXER y el limitador de envolvente EL del modulador de señal SM de la figura 3; y

La figura 5 explica esquemáticamente cómo el vector de fase de alta frecuencia es sintetizado matemáticamente dentro del circuito de MUXER de las figuras 3 ó 4.

Un modulador de señal de acuerdo con la presente invención se utiliza, por ejemplo, en aplicaciones de IF cero de GSM y UMTS. Los transmisores tradicionales de IF cero, tales como los mostrados en la figura 1, están compuestos por ello de un circuito acumulador de fase, indicado con PH, que recibe los datos de transmisión bajo la forma de una señal de entrada digital, a 270 kbit/seg para aplicaciones de GSM y a 3840 kbit/seg para aplicaciones de UMTS, y deriva de ella la fase φ , de acuerdo con los principios de GMSK ó QPSK, respectivamente. Los datos de transmisión se originan de una fuente de datos de transmisión (no mostrada en la figura 1), que en transmisores de GSM puede incluir un micrófono, convertidores de A/D, filtros, procesadores de habla, codificadores y encriptadores. La señal de fase φ es el símbolo que será transmitido. En transmisores tradicionales de GSM de IF cero, esta señal de fase es además transformada en sus coordenadas I y Q como los valores de coseno y seno de esta fase. Ambos valores son proporcionados en una forma digital a partir de una tabla de ROM, que tiene así dos salidas digitales, proporcionando cada una respectivamente el $\cos(\varphi)$ y el $\sin(\varphi)$ en una forma digital. La información digital es transformada en una señal de información de banda de base o fase analógica en convertidores de D/A, DACI y DACQ resp., que son respectivamente seguidos por dos mezcladores M1P y M2P. Estos multiplican respectivamente las dos componentes de banda de base analógicas, indicadas I y Q, de la señal de banda de base analógica con una portadora de alta frecuencia. Esta frecuencia es de 900 MHz para el GSM y de 3,58 GHz para las aplicaciones de UMTS. Las ondas sinusoidales portadoras de ambos mezcladores difieren entre sí en que estas tienen un desfase de 90° una con respecto a otra. Siendo LO1 la onda sinusoidal de alta frecuencia de referencia a 0°, LO2 está a 90°, LO3 a 180° y LO4 a 270°. Estas cuatro portadoras de alta frecuencia son generadas por un generador de cuadratura QG que incluye, en general, un oscilador controlado por voltaje de referencia denominado VCO, seguido por un circuito divisor D, como se muestra en la figura 1. Se añaden las señales de salida de los dos multiplicadores, que son componentes de un vector de fase de alta frecuencia, con lo que se obtiene la suma de vectores de dos componentes Cartesianas. Este es el vector de fase de alta frecuencia que, en la técnica anterior, corresponde también a la señal de salida de alta frecuencia que se ha de transmitir, después de ser amplificada por el amplificador de potencia PAP.

Ambos mezcladores y el circuito de sumar, indicado por un "+", constituyen la disposición de multiplicadores MAP de la técnica anterior, mientras que esta disposición de multiplicadores de la técnica anterior, juntamente con el generador de cuadratura QG, constituye el acumulador de señales de la técnica anterior, denominado SMP.

Una posible ejecución en el ámbito de los transistores de un tal modulador SMP de señal de la técnica anterior se muestra en la figura 2. Ambos mezcladores M1P y M2P consisten por ello en un multiplica-

dor de celda Gilbert. La figura 2 muestra una ejecución completamente diferente, que proporciona una señal de salida diferencial entre dos terminales de salida OUT1 y OUT2. Puesto que esta solución es bien conocida y descrita en diversos manuales didácticos, su funcionamiento se considera conocido por una persona experta en la técnica y por tanto no se explicará con más detalle.

Esta solución requiere dos convertidores de D/A y dos tablas de ROM, posiblemente integradas con una ROM: una para suministrar la componente de seno y una segunda para la componente de coseno de la fase φ . Además, debido a la construcción Cartesiana de la forma de onda a continuación, ambos multiplicadores de celda Gilbert son continuamente activos, conduciendo a una gran cantidad de consumo de potencia en los 12 transistores representados en la figura 2. Otra desventaja de este sistema es que estos multiplicadores producen ellos mismos armónicos y ruido y realizan un rechazo de imagen. Debido al rechazo de imagen todavía no perfecta (unos - 30 dB) están presentes todavía componentes de modulación de amplitud. Estos pueden causar modulación de fase en amplificadores de potencia no lineales, que se ha de evitar de manera absoluta. Es así preceptivo un propio amplificador de potencia lineal para amplificar finalmente la señal así generada antes de transmitirla a través de una antena. Este amplificador de potencia está indicado por PAP en la figura 1. Los amplificadores de clase B o clase AB son muy lineales, pero consumen igualmente una gran cantidad de potencia. El transmisor TXP de la técnica anterior es así muy consumidor de potencia.

El transmisor TX que incluye el modulador de señal SM de la presente invención, y representado en la figura 3, es mucho más eficaz en cuanto a potencia. Esto no sólo resulta del hecho de que se utilice sólo un convertidor de D/A en lugar de dos, sino que resultará claro, de la explicación dada en los párrafos siguientes, que puede ser ahora utilizado un amplificador de potencia eficaz en cuanto a potencia, tal como un amplificador de clase C. Además, se explicará también que están activos durante el funcionamiento del sistema muchos menos transistores de la disposición de multiplicadores MUXER incluida en SM, en comparación con el número de transistores activos de los multiplicadores de Celda Gilbert del modulador de señal SMP de la técnica anterior. Además, este sistema requiere también menos áreas de chip para el transmisor en comparación con la solución de la técnica anterior. Esto resulta claro igualmente del hecho de que sólo se utiliza un convertidor de D/A, pero que también se requiere sólo una tabla de ROM. Los circuitos adicionales requeridos con respecto a la técnica anterior consisten en el circuito de control CC y el limitador de envolvente EL, que sólo requiere pocos transistores. La solución total consume así mucha menor área de chip.

El transmisor TX, que incluye el modulador de señal SM de la presente invención, incluye también un circuito acumulador de fase, indicado con PAC, que puede ser el mismo que el circuito acumulador de fase PH de la técnica anterior. Este circuito acumulador de fase PAC recibe así la señal digital de banda de base o datos de transmisión, que fueron proporcionados por la fuente de datos de transmisión (no mostrada en la figura 3) que puede ser similar a la de la técnica anterior. Este dispositivo de PAC deriva de él los símbolos

de fase φ , de acuerdo con los principios de modulación de GMSK ó QPSK. Esta información de fase es transformada en dos señales analógicas equilibradas dentro de un circuito de información de impulso analógico indicado por BAP. Por definición, dos señales está equilibradas si su suma es siempre igual a un valor no nulo constante de DC. Un ejemplo de dos de tales señales equilibradas son $c+k.\text{sen}(a.\varphi)$ y $c-k.\text{sen}(a.\varphi)$, siendo c , k y a constantes, pero se pueden utilizar otras funciones geométricas de la fase, tales como $c+k.\text{cos}(a.\varphi)$ y $c-k.\text{cos}(a.\varphi)$.

Para el resto del texto, se utilizarán las siguientes dos señales equilibradas: $0,5 \cdot \text{VDD} + 0,5 \cdot \text{VDD} \cdot \cos(2\varphi)$ y $0,5 \cdot \text{VDD} - 0,5 \cdot \text{VDD} \cdot \cos(2\varphi)$, por lo que VDD es el valor del voltaje V_{cc} de suministro del modulador SM de señal completa.

En la figura 3 estas señales equilibradas están indicadas con B y $\bar{B}$.

Existen varias realizaciones para generar estas dos señales equilibradas. Una primera posibilidad consiste en calcular u obtener primeramente el coseno de 2φ , seguido por una multiplicación por $0,5 \cdot \text{VDD}$, por una eventual operación de signo eventual y por una adición de $0,5 \cdot \text{VDD}$. Esto se puede hacer por medio de un procesador de señal DSP, o se puede realizar en diferentes etapas. A continuación, las señales digitales así obtenidas tienen que ser convertidas en analógicas en convertidores de D/A. Una ejecución más barata, representada en la figura 3, sin embargo, consiste en obtener primeramente el valor del $\cos(2\varphi)$, por ejemplo de una ROM, indicada con ROMm. Esta señal se puede introducir en un convertidor de D/A completamente equilibrado, indicado con DAC, que genera entonces a partir de ella automáticamente dos señales equilibradas, con valores de coseno de pico entre sus suministros positivo y negativo. Estas señales equilibradas son de la forma anteriormente mencionada si el voltaje de referencia de tierra se toma como el suministro de potencia negativo de este convertidor DAC de D/A. La señal de salida equilibrada puede ser opcionalmente filtrada en un filtro de aliado indicado con SF, también parte del circuito de información de impulso analógico BAP, antes de suministrarla a los dos terminales de salida del circuito de BAP. Estos terminales de salida son acoplados a respectivos terminales de entrada SM1 y SM2 del modulador de señal SM. Este modulador de señal, que incluye además un generador de cuadratura QG comparable con el de la técnica anterior, incluye además una disposición de multiplicadores MUXER, así como un circuito de control CC. La disposición de multiplicadores MUXER incluye cuatro multiplicadores de dos cuadrantes, indicados con M1 a M4, por lo que la operación de cada uno de estos multiplicadores de dos cuadrantes está controlado por un respectivo conmutador, indicados con SW1 a SW4 en la figura 3. Estos conmutadores son controlados a su vez por respectivas señales de control, indicadas por c1 a c4, que se obtienen del circuito de control CC. Uno de los terminales de los respectivos conmutadores SW1 a SW4 es con ello acoplado al respectivo terminal de entrada de señal inm1 a inm4 de los respectivos multiplicadores M1 a M4. Estos conmutadores controlan si la señal de entrada de un multiplicador es o bien B, $\bar{B}$, o si este terminal de entrada está a tierra, desconectando con ello este multiplicador. La operación de este circuito de control, así como el respectivo control de los conmutadores, se explicará en otro párrafo.

Cada uno de los respectivos multiplicadores, M1 a M4, recibe además señales de entrada de portadora de modulación de alta frecuencia, de manera similar al caso de la técnica anterior. Estas formas de onda son también designadas con LO1 a LO4 y difieren entre sí en que están desfasadas con un desfase de 90° de cada multiplicador al siguiente. En la figura 3 se muestra una ejecución diferencial completa por la que el multiplicador M1 recibe así una onda sinusoidal de referencia de alta frecuencia diferencial, compuesta de LO1 y LO3, el multiplicador M2 recibe esta onda sinusoidal de referencia, desfasada en 90° e indicada con LO2, LO4, la siguiente, LO3, LO1 está desfasada en 180° con respecto a la primera LO1, LO3; mientras que LO4, LO2 está desfasada en 270° con respecto a LO1, LO2.

Estas cuatro portadoras de alta frecuencia son generadas, como en el caso de la técnica anterior, dentro de un circuito generador de cuadratura QG. Este puede consistir igualmente en un oscilador VCO controlado por voltaje que suministra una forma de onda de referencia al doble de la frecuencia de modulación, seguido por un circuito divisor D, también similar al de la técnica anterior. Sin embargo, existen también otras ejecuciones, asimismo conocidas para un experto en la técnica. Las frecuencias de modulación de alta frecuencia para LO1 a LO4 son 900 y 1800 Mhz para GSM y DCS, y 2400 MHz para UMTS.

Los conmutadores controlan el funcionamiento de los multiplicadores de tal manera que estén activos cada vez sólo dos amplificadores sencillos, en contraposición a la técnica anterior, en la que están activos continuamente un equivalente de 4 de estos multiplicadores sencillos de dos cuadrantes.

Las señales de salida, proporcionadas en pares de terminales de salida diferenciales, indicados respectivamente por outm11 y outm12, outm21 y outm22, outm31 y outm32, outm41 y outm42, para los cuatro multiplicadores, son por ello adicionalmente añadidos en un circuito de suma, designado por SUM en la figura 3 e incluido en la disposición de multiplicadores MUXER. Este circuito de suma proporciona una señal de salida diferencial entre su par de terminales de salida S1 y S2, que están acoplados al par de terminales de salida outmx1 y outmx2 de la disposición de multiplicadores. Antes de ser amplificada dentro del amplificador de potencia PA, esta señal de salida diferencial tiene que ser primeramente modificada en un dispositivo indicado por EL, que es un limitador de envolvente constante. Los respectivos terminales de entrada inel1 e inel2 de EI se acoplan por lo tanto a los respectivos terminales de salida de la disposición de multiplicadores, con lo que los terminales de salida outel1 y outel2 del limitador de envolvente se acoplan además a los respectivos terminales de entrada inpa1 e inpa2 del amplificador de potencia PA.

Una ejecución más detallada de esta MUXER, como se representa en la figura 4, se explicará ahora en relación con su funcionamiento. Se ha de recalcar que, aunque se muestra una ejecución que utiliza transistores bipolares, se pueden utilizar también otras tecnologías de chip, tales como GaAs ó CMOS.

Como ya se ha mencionado, el circuito de MUXER incluye 4 multiplicadores únicos simples M1 a M4 de par acoplados por emisor, de dos cuadrantes, de los cuales sólo M1 está indicado explícitamente en la figura 4 con el fin de no sobrecargar el dibujo. M1 está compuesto de transistores T11 y T12 en una con-

figuración de par diferencial, siendo proporcionada su corriente de cola por un circuito de transconductor TC, que consiste, por ejemplo, en un transistor T13 en serie con un emisor o una resistencia R1 de degeneración de fuente, como se muestra en la figura 4. El voltaje de control de este circuito de transconductor es proporcionado al terminal de control de este transistor T13, que está además acoplado al terminal de salida inm1 del multiplicador M1. Similarmente, M2 está compuesto de transistores de pares diferenciales T21 y T22, estando sus emisores o fuentes acoplados al colector o sumidero del transistor T23, el emisor o fuente del cual está acoplado al terminal de tierra a través de la resistencia R2 de degeneración de emisor. El terminal de control de T23 se acopla por ello al terminal de entrada inm2 del multiplicador M2. M3 está, de una manera similar, compuesto de transistores T31, T32, T33 y resistencia R3, mientras que M4 está compuesto de transistores T41, T42 y T43 y la resistencia R4. Cada uno de los cuatro pares diferenciales recibe en sus dos entradas dos componentes de una onda sinusoidal diferencial compuesta de ondas sinusoidales de oscilador local. Estos son LO1 y LO3 para M1; LO2 y LO4 para M2, LO3 y LO1 para M3 y LO4 y LO2 para M4. Los colectores o sumideros de T11, T21, T31 y T41 se acoplan con ello entre sí, constituyendo por tanto un primer nodo de suma, constituyendo en la realización representada en la figura 4 un terminal de salida del circuito de suma, así como un terminal de salida outmux1 de la disposición de multiplicadores. Similarmente, los colectores o sumideros de T12, T22, T32 y T42 se acoplan entre sí, constituyendo con ello un segundo nodo de suma, constituyendo también en esta realización otro terminal de salida del circuito de suma y de la disposición de multiplicadores, estando este terminal de salida designado por outmux2. Ambos nodos de suma se acoplan también, a través de respectivas resistencias R5 y R6 del circuito de suma, al terminal de voltaje de alimentación VCC. Outmux1 y outmux2 se acoplan también adicionalmente a respectivos terminales de entrada inpa1 e inpa2 del amplificador de potencia PA, a través de un limitador EL de envolvente constante que se describirá en un párrafo siguiente.

Los terminales de entrada de señal inm1 a inm4 de todos los 4 mezcladores equilibrados sencillos M1 a M4 están acoplados, a través de respectivos conmutadores controlables SW1, SW2, SW3 y SW4, ya sea al terminal de entrada inmux1 o al terminal de entrada inmux2 o al terminal de referencia de tierra. En los respectivos terminales de entrada inmux1 e inmux2, se proporcionan las dos señales B y B de información de fase analógicas equilibradas.

Como resultó claro de la figura 3, los cuatro conmutadores SW1 a SW4 están respectivamente controlados por señales de control c1 a c4, que fueron proporcionadas por un circuito de control CC. Estas señales de control son tales que en cada momento sólo uno de los cuatro mezcladores recibe la señal de B, otro de los cuatro mezcladores recibe la señal de B, y los dos mezcladores restantes tienen su entrada de señal acoplada al terminal de referencia de tierra. En las figuras 3 y 4 se muestra la situación en la que la entrada de control de M1 recibe la señal de B proporcionada en inmux1, mientras que la entrada de control de M2 recibe la señal de B proporcionada en inmux2. Las entradas de control de M3 y M4 están acopladas a la tierra.

Los transistores T13 y T32 reciben por ello en su respectivo terminal de entrada de control dos señales equilibradas, siendo se suma VDD, que varían respectivamente de acuerdo con los voltajes de entrada B y $\bar{B}$. Estas señales pueden por tanto ser expresadas como $0,5VDD + 0,5VDD \cdot \cos(2\varphi)$ y $0,5 \cdot VDD - 0,5 \cdot VDD \cdot \cos(2\varphi)$. Estas señales se multiplican con las señales de LO diferenciales. Puesto que las señales de LO en las entradas de los pares diferenciales de los multiplicadores constituyen una señal diferencial de alta frecuencia y, si se considera la de la izquierda de cada señal de entrada diferencial como la referencia para representar el correspondiente vector en el plano complejo, dos sucesivos de estos multiplicadores definen con ello un cuadrante en el plano complejo. Para el ejemplo representado en las figuras 3 a 5, este es el cuadrante determinado por M1 y M2, de este modo entre LO1 y LO2 de LO. Mediante la operación de ambos multiplicadores M1 y M2, se obtienen dos vectores componentes: un primero, que es LO1 multiplicado con el valor de B, y un segundo, que es LO2 multiplicado con el valor de $\bar{B}$. Esto se representa esquemáticamente en la figura 5, en la que el componente de M1 está designado por BV1 que tiene una amplitud B, y en la que el componente de M2 está indicado por BV2, con una amplitud $\bar{B}$. La suma de ambos vectores componentes es un vector de alta frecuencia que varía en el primer cuadrante del plano complejo, de acuerdo con la ecuación matemática $x + y = VDD$. Esto es debido a que la suma de las señales equilibradas es VDD, y siempre que el módulo de las ondas sinusoidales de alta frecuencia sea igual a uno. Con el fin de efectuar una excursión sobre esta línea completa S1 en el primer cuadrante del plano z complejo, las señales B y $\bar{B}$ tienen ambas que realizar una excursión entre 0 y VCC. Puesto que esta línea tiene que corresponder al vector de fase φ que realiza una excursión de 90° como se prescribe por el código de GMSK, es usado el $\cos(2\varphi)$ en lugar del $\cos(\varphi)$ para la derivación de las señales de B y $\bar{B}$. En caso de que el vector de fase se desplace otros 90° durante el siguiente período del símbolo, se ha de realizar una excursión en el contorno S2 del cuadrado dentro del siguiente cuadrante. En el caso de que el vector de fase se desplace en retroceso 90° , se ha de seguir una excursión en el lado ya seguido S1 en el mismo cuadrante, pero ahora en el sentido opuesto. El cambio del sentido dentro de un cuadrante, así como la realización de una excursión dentro del siguiente cuadrante, se obtiene por medio del control de los conmutadores. Estos cuatro cuadrantes del plano complejo están determinados resp. por LO1-LO2, LO2-LO3, LO3-LO4 y LO4-LO1.

En el ejemplo representado en la figura 5, la fase se desplaza continuamente 90° adicionales tal como para realizar una excursión completa de 360° . Inicialmente se sigue el primer cuadrante, según fue obtenido por el control de los conmutadores, como se representa en la figura 4. Entonces es realizada una excursión en el lado S1 del cuadrado por el vector de fase de alta frecuencia resultante entre los puntos p1 y p2. En el punto p2, la información de fase es tal que se selecciona un cuadrante siguiente en el plano complejo, lo que tiene que dar lugar a una excursión por el vector de fase de alta frecuencia a lo largo del lado S2 de este cuadrado. En el circuito de MUXER esto se consigue por el hecho de que el conmutador SW1 es controlado de tal manera que acopla la entrada de

control de T13 a la tierra. SW2 es con ello controlado de tal manera que inm2, acoplado a la entrada de control de T23, está ahora acoplado a inm1 y ya no lo está a inm2. Al mismo tiempo SW3 es controlado de tal manera que inm3, que está acoplado a la entrada de control de T33, está ahora acoplado a inm2, mientras que SW4 se deja sin cambio, permaneciendo inm4 acoplado al nivel de referencia de tierra. Desde el momento en que se establecen los conmutadores como tales, el vector de fase de alta frecuencia resultante está determinado por los cuadrantes definidos por M2 y M3, de este modo que cuadrante entre LO2 y LO3. El vector de fase de alta frecuencia resultante efectúa así una excursión por el lado S2 del cuadrado, desde el punto p2 al punto p3. Cuando, durante un periodo de símbolo siguiente, la señal de fase tiene que moverse todavía otros 90° , SW1 permanecerá a tierra, SW2 será controlado de tal manera que acopla inm2 a tierra, SW3 será controlado de tal manera que acople inm3 a inm1, mientras que SW4 será controlado de tal manera que acople inm4 a inm2. El vector de fase de alta frecuencia resultante está ahora determinado por el cuadrante LO3-LO4, de modo que seguirá el lado S3 del cuadrado, desde los puntos p3 a p4. Y similarmente, si durante el siguiente periodo de símbolo la fase gira todavía 90° más, será seguido el lado S4 en el cuadrado, desde p4 a p1, determinado por el cuadrante LO4-LO1. El multiplicador M1 está por ello recibiendo señal $\bar{B}$, se desconectan los multiplicadores M2 y M3, mientras que el multiplicador M4 está recibiendo señal B.

En el caso en que la fase se ha desplazado continuamente entre $+y - 90^\circ$, sólo se utiliza un cuadrante, por lo que los multiplicadores ya activos son conmutados entre inm1 y inm2 durante subsiguientes periodos de símbolo. En el supuesto de que fuera utilizado originalmente el lado S1 entre los puntos p1 y p2, este mismo lado es seguido ahora entre los puntos p2 y p1 durante el siguiente periodo de símbolo.

Todas las otras excursiones que pueda efectuar el vector de fase de alta frecuencia para el esquema de codificación de GMSK se pueden obtener como una combinación de los ejemplos anteriormente mencionados. El control de los conmutadores es por ello crucial y se obtiene del circuito de control CC. Este puede consistir en una tabla de observación o consulta en la cual la siguiente posición de los diferentes conmutadores está indicada como una función de su posición actual y de la evolución del propio símbolo. Esto puede ser previamente calculado y almacenado de este modo como una memoria de sólo lectura, y puede ser recuperado fácilmente por un puntero o dirección que sea ella misma una función de la señal de fase φ .

Hasta ahora sólo fueron cubiertos los esquemas de codificación de GMSK. Este es el esquema utilizado para aplicaciones de GSM y DCS. Para que el modulador de señal sea capaz de cumplir adicionalmente con el esquema de modulación de QPSK, según es requerido en aplicaciones de UMTS, se ha de prever una excursión adicional del vector de fase de alta frecuencia, a saber una excursión a través de una diagonal del cuadrado. Esto se consigue de otra manera: durante una transición en diagonal entre p1 y p3 ó p2 y p4, la señal en inm1 y inm2 es congelada temporalmente en los valores correspondientes a p1 y p2, o p2 y p4, respectivamente. Esto se puede conseguir por medio de un enganche en el circuito de información analógico, entre la ROMm y el DAC (no mostrado en

la figura 3). La transición en diagonal es ahora controlada por los conmutadores de la siguiente manera: para una transición desde p1 a p3, durante el primer medio periodo de la transición, SW1 está conectado a inmux1 y la señal de inmux1 es constante en el valor máximo (VDD). SW3 está conectado a inmux2, e inmux2 está en el valor mínimo (0). A medio camino de la transición, SW1 es conmutado desde inmux1 a inmux2 y SW3 es conmutado desde inmux2 a inmux1. Todas las otras transiciones en diagonal se pueden obtener de un modo similar.

Sin embargo, la transición súbita a medio camino del trayecto en diagonal no es aceptable en sistemas prácticos debido a que el cambio brusco tiene un elevado contenido en armónicos que exceden la anchura de banda disponible. Para esta finalidad, se toma una señal $\cos(4\varphi)$ de control de AM desde ROMm (no mostrada) y se introduce, a través de un convertidor de D/A adicional (no mostrado en la figura 3), en una entrada de control de potencia de este amplificador de potencia (tampoco mostrado en la figura 3). La amplitud del vector de salida del amplificador de potencia es por ello conformado de manera alisada de acuerdo con la forma de coseno realzada, derivada de este $\cos(4\varphi)$, para hacer el cruce por cero del vector de salida en el punto de conmutación entre SW1 y SW3. Tales técnicas de la modulación adicional de la señal del amplificador son ya conocidas para una persona experta en el sector y por lo tanto no se explicarán más en este documento.

Puesto que en todos los casos están activos dentro de la MUXER un máximo de dos de los cuatro multiplicadores, se genera menos ruido en comparación con la disposición de multiplicadores de la técnica anterior. Además, está claro que la presente invención se refiere a una modulación de fase directa sin requisitos de rechazo de imagen del circuito de banda de base, en contraposición a los moduladores de I/Q Cartesianos, que realizan un rechazo de imagen adicional. Una tal modulación de VCO directa evita los componentes de la imagen en el espectro de salida de la señal que se ha de transmitir. Por lo tanto, se puede utilizar un amplificador de potencia no lineal y en consecuencia más eficaz en cuanto a la potencia, tal como un amplificador de clase C.

La señal de salida del circuito de MUXER es de ese modo un vector de fase de alta frecuencia que se está moviendo sobre el cuadrado, de acuerdo con una primera categoría de transiciones predeterminadas de la fase que relaciona al esquema de codificación de GMSK, o sobre la diagonal del cuadrado, de acuerdo con una segunda categoría de transiciones predeterminadas de la fase. No obstante, de acuerdo con las

especificaciones de GSM, el vector que se ha de transmitir para esta primera categoría de transiciones predeterminadas de la señal de fase, se ha de mover sobre un círculo, siendo así de amplitud constante. Con el fin de transformar el cuadrado en el círculo, como se muestra también en la figura 5, un limitador de envolvente se pone en serie con la disposición de multiplicadores. Este limitador de envolvente está indicado por EL en la figura 3 y está incluido en el modulador de señal SM. EL incluye dos terminales de entrada inel1 e inel2, a los que se proporciona la señal de salida diferencial de la MUXER, y los cuales están por tanto acoplados a los terminales de salida outmux 1 y outmux 2 de la disposición de multiplicadores. Los terminales de salida outel1 y outel2 de este limitador de envolvente EL están acoplados a respectivos terminales de entrada inpa 1 e inpa 2 del amplificador de potencia PA. En la figura 4 se representa una realización de un tal limitador de envolvente. Esta realización incluye asimismo un par diferencial de transistores Te1 y Te2, los terminales de control de los cuales constituyen los terminales de entrada de EL. Los colectores o sumideros de estos transistores están acoplados al terminal de voltaje de suministro VCC a través de resistencias R7 y R8. Los emisores o fuentes de estos transistores están acoplados conjuntamente y al colector o sumidero de un transistor de polarización Te3, el cual, en esta realización representada, constituye el terminal de salida de un circuito de polarización BC. El emisor o fuente de este transistor de polarización está acoplado al terminal de referencia de tierra a través de otra resistencia R9. La función de un tal transistor de polarización en serie con la resistencia R9 es para proporcionar una corriente de polarización de DC para el circuito EL. La señal de entrada diferencial en los terminales de entrada de control de Te1 y Te2, que corresponde así a la señal de salida de la muxer, es por ello tal que la corriente a través de las resistencias R7 y R8 toma la corriente de cola total de R9, bloqueando con ello la señal de salida al voltaje de VDD del suministro. De este modo, la señal de salida que aparece entre los terminales de salida outel1 y outel2 está teniendo una amplitud constante, que es VDD, pero que tiene todavía la información de fase correcta. Este vector está así de nuevo de acuerdo con la norma de modulación de GMSK de envolvente constante, y diferente fase.

Aunque los principios de la invención han sido descritos anteriormente en relación con aparatos concretos, es ha de entender claramente que esta descripción está hecha sólo a modo de ejemplo y no como una limitación del alcance de la invención.

REIVINDICACIONES

1. Disposición de multiplicadores (MUXER) que incluye un par de terminales de entrada (inmux1, inmux2) a los que se proporciona información de fase analógica,

estando dicha disposición de multiplicadores (MUXER) destinada a recibir un conjunto de señales de oscilador local de alta frecuencia (LO1, LO2, LO3, LO4) que están desplazadas 90 grados de fase entre sí,

estando dicha disposición de multiplicadores (MUXER) destinada

a generar componentes de un vector de fase (PV) de alta frecuencia a partir de dicha información de fase analógica y a partir de dichas señales de oscilador local de alta frecuencia (LO1, LO2, LO3, LO4), y

a sintetizar dicho vector de fase (PV) de alta frecuencia a partir de dichas componentes dentro de unos medios de suma (SUM) de dicha disposición de multiplicadores,

caracterizada dicha disposición de multiplicadores (MUXER) porque comprende cuatro multiplicadores (M1-M4) de dos cuadrantes que están controlados por conmutadores (SW1-SW4) de manera que sólo son activos de cada vez dos de dichos multiplicadores,

dichas componentes del vector de fase (PV) de alta frecuencia son generadas a partir de un conjunto de cuatro señales de oscilador local de alta frecuencia (LO1-LO3, LO2-LO4, LO3-LO1, LO4-LO2) y a partir de un par de dicha información de fase analógica bajo control de dichos conmutadores,

y porque dichos medios de suma (SUM) están destinados a añadir la salida de dichos multiplicadores para obtener con ello la suma de vectores de dos componentes Cartesianas de manera que dicho vector de fase (PV) de alta frecuencia efectúa una excursión a lo largo de los contornos de un cuadrado dentro del plano complejo durante una primera categoría de transiciones predeterminadas de una señal de fase (φ) o a lo largo de las diagonales del cuadrado durante una segunda categoría de transiciones predeterminadas de dicha señal de fase.

2. Disposición de multiplicadores (MUXER) de acuerdo con la reivindicación 1,

caracterizada dicha disposición de multiplicadores (MUXER) porque incluye un par de terminales de salida (outmux1, outmux2) en los que dicho vector de fase (PV) de alta frecuencia es proporcionado como un vector de fase diferencial de alta frecuencia.

3. Disposición de multiplicadores (MUXER) de acuerdo con la reivindicación 2,

caracterizada porque

cada multiplicador de dichos cuatro multiplicadores (M1, M2, M3, M4) de dos cuadrantes tiene un respectivo terminal de entrada (inm1, inm2, inm3, inm4) que está acoplado a un primer terminal de uno asociado de dichos conmutadores (SW1, SW2, SW3, SW4), estando acoplado un segundo terminal de dicho conmutador asociado a uno de dicho par de terminales de entrada (inmux1, inmux2) de dicha disposición de multiplicadores o al terminal de referencia de tierra bajo el control de una señal de control respectiva (c1, c2, c3, c4), por lo que dicha disposición de multiplicadores incluye un conjunto de terminales de entrada de control a los que son proporcionadas dichas respectivas señales de control.

4. Disposición de multiplicadores (MUXER) de acuerdo con la reivindicación 3,

caracterizada porque

dichos multiplicadores (M1, M2, M3, M4) de dicha pluralidad de multiplicadores están destinados a suministrar unas respectivas componentes de dicho vector de fase (PV) de alta frecuencia.

5. Disposición de multiplicadores (MUXER) de acuerdo con la reivindicación 3,

caracterizada porque

un multiplicador (M1) de dicha pluralidad incluye un par diferencial de transistores (T11, T112),

- respectivos terminales de control de dichos transistores están adaptados a recibir respectivas componentes de una señal diferencial de oscilador local de alta frecuencia de dicho conjunto de señales diferenciales de oscilador local de alta frecuencia,
- respectivos primeros terminales de dichos transistores de dicho par diferencial están acoplados al terminal de salida de un circuito transconductor (TC), un terminal de entrada del cual está acoplado a dicho respectivo terminal de entrada (inm1) de dicho amplificador (M1),
- estando respectivos segundos terminales conductores de dichos transistores de dicho par diferencial acoplados a terminales de entrada de dichos medios de suma (SRM).

6. Disposición de multiplicadores (MUXER) de acuerdo con la reivindicación 5,

caracterizada porque

dicho circuito transconductor (TC) incluye un transistor (T13), un terminal de control del cual está acoplado a dicho terminal de entrada de dicho circuito transconductor, un primer terminal conductor del cual está acoplado al terminal de referencia de tierra a través de un dispositivo de impedancia (R1), un segundo terminal conductor del cual está acoplado a dicho terminal de salida de dicho circuito transconductor.

7. Modulador de señal (SM) destinado a generar una señal de salida de alta frecuencia a partir de información de fase analógica, incluyendo dicho modulador de señal

- un par de terminales de entrada (SM1, SM2) a los que es proporcionada dicha información de fase analógica,
- un generador de cuadratura (QG) destinado a generar un conjunto de señales de oscilador local (LO1, LO2, LO3, LO4) de alta frecuencia, que están desplazadas entre sí 90 grados de fase,
- una disposición de multiplicadores (MUXER) destinada a recibir dicha información de fase analógica y dicho conjunto de señales de oscilador local de alta frecuencia y a generar a partir de ello un vector de fase (PV) de alta frecuencia,

caracterizado porque dicha disposición de multiplicadores (MUXER) es una disposición de multiplicadores de acuerdo con cualquiera de las reivindicaciones 1 ó 2,

y porque dicho modulador de señal incluye ade-

más un limitador de envolvente (EL) destinado a transformar dicho vector de fase de alta frecuencia en dicha señal de salida de alta frecuencia.

8. Modulador de señal (SM) de acuerdo con la reivindicación 7,

caracterizado porque

dicho modulador de señal (SM) incluye un circuito de control (CC) destinado de recibir dicha señal de fase (φ) y a obtener de ella dichas señales de control respectivas (c1, c2, c3, c4) para proporcionar a la disposición de multiplicadores (MUXER) de dicho modulador de señal (SM).

9. Modulador de señal (SM) de acuerdo con la reivindicación 8,

caracterizado porque

dicho circuito de control (CC) está además adaptado para generar dichas respectivas señales de control (c1, c2, c3, c4) de tal manera que como mucho dos multiplicadores de dicha pluralidad de multiplicadores (M1 - M4) están acoplados a uno respectivo de dicho par de terminales de entrada (inmux1, inmux2) de dicha disposición de multiplicadores (MUXER).

10. Modulador de señal (SM) de acuerdo con la reivindicación 9,

caracterizado porque

dicho limitador de envolvente (EL) incluye otro par diferencial de transistores (Te1, Te2),

- respectivos terminales de control del cual están acoplados a dicho par de terminales de salida (outmux1, outmux2) de dicha disposición de multiplicadores (MUXER),
- respectivos primeros terminales conductores del cual están acoplados al terminal de salida de un circuito de polarización (BC),
- respectivos segundos terminales conductores del cual están acoplados a un par de terminales de salida diferenciales (outel1, outel2) de dicho limitador de envolvente (EL) y que están acoplados al terminal de voltaje de suministro (Vcc) a través de respectivos dispositivos de impedancia (R7,

R8).

11. Transmisor (TX) que incluye

- una fuente de datos de transmisión destinada a suministrar datos de transmisión a
- un acumulador de fase (PAC) de dicho transmisor (TX), estando destinado dicho acumulador de fase (PAC) a determinar a partir de dichos datos de transmisión una señal de fase (φ) para suministrar a
- un circuito de información de impulso analógico (BAP) de dicho transmisor (TX), estando dicho circuito de información de impulso analógico destinado a generar a partir de dicha señal de fase (φ) información de fase analógica para suministrarla a
- un modulador de señal (SM) de dicho transmisor que está destinado a generar una señal de salida de alta frecuencia a partir de dicha información de fase analógica para suministrar a
- un amplificador de potencia (PA) de dicho transmisor que está destinado a amplificar dicha señal de salida de alta frecuencia para transmisión adicional a un receptor,

caracterizado porque dicho circuito de información de impulso analógico está adaptado además para generar dicha información de fase analógica como dos señales analógicas equilibradas (B, B),

y porque dicho modulador de señal es un modulador de señal de acuerdo con cualquiera de las reivindicaciones 8 a 10.

12. Transmisor de acuerdo con la reivindicación 11,

caracterizado porque

dicho circuito de información de impulso analógico (BAP) incluye un dispositivo de memoria de sólo lectura (ROMm) acoplado a un convertidor de digital en analógico (DAC).

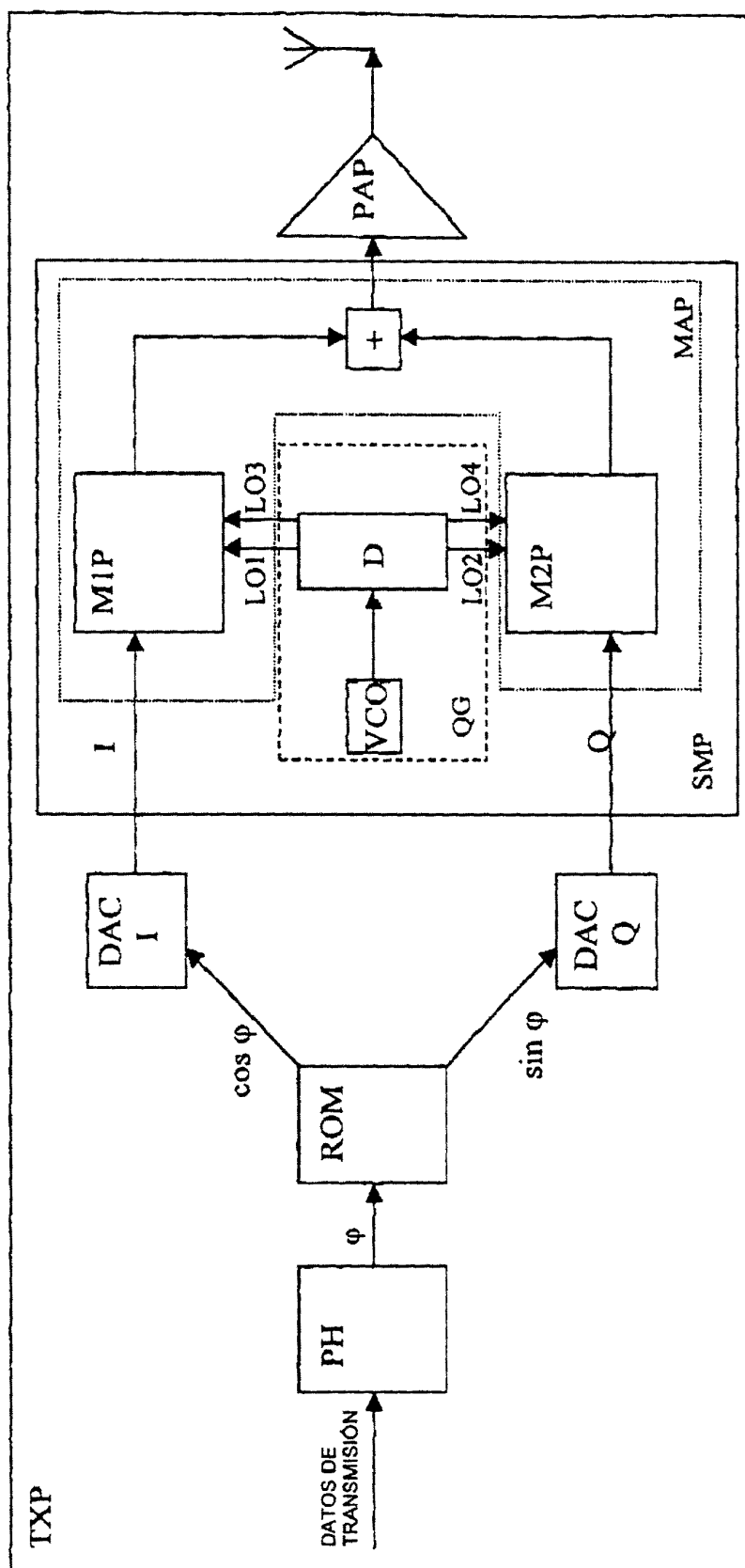


Fig. 1

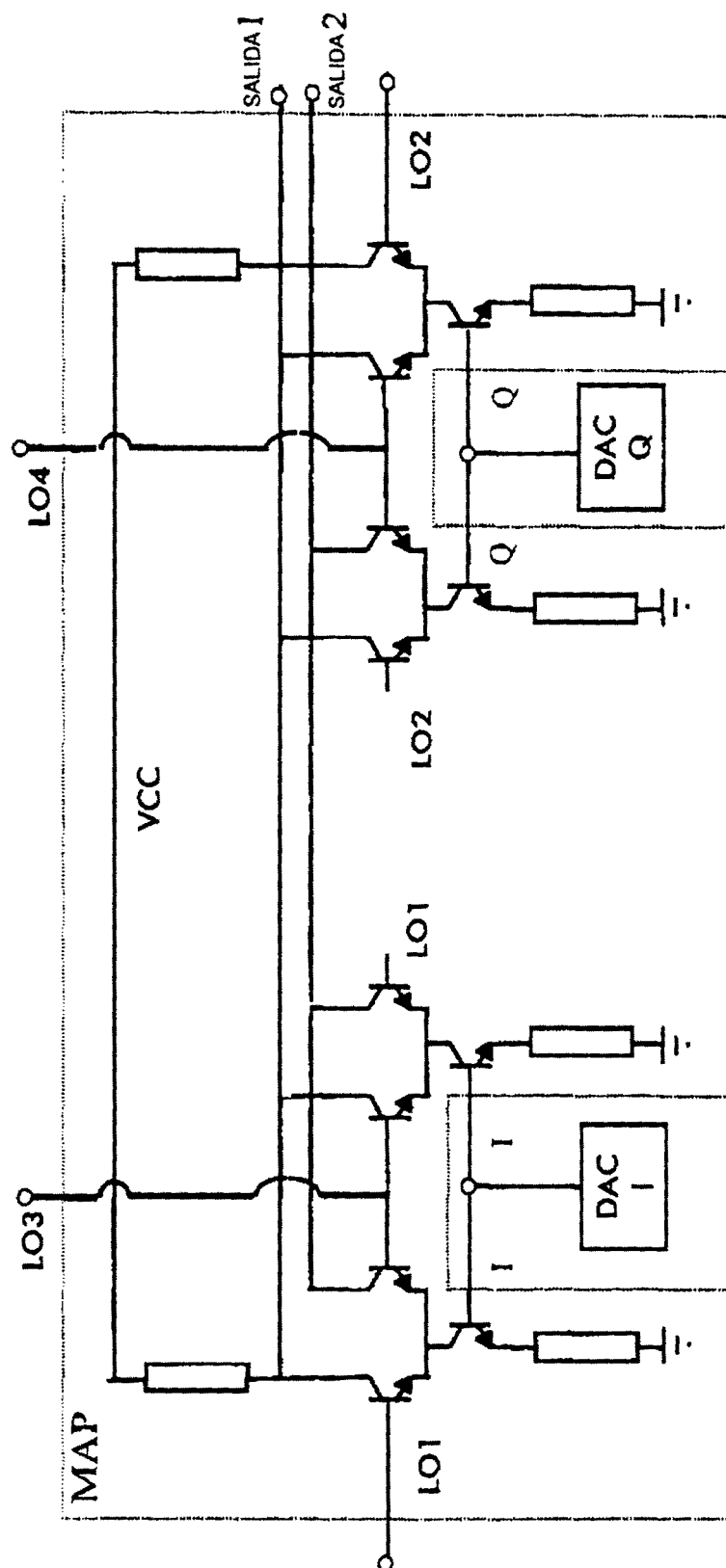


Fig. 2

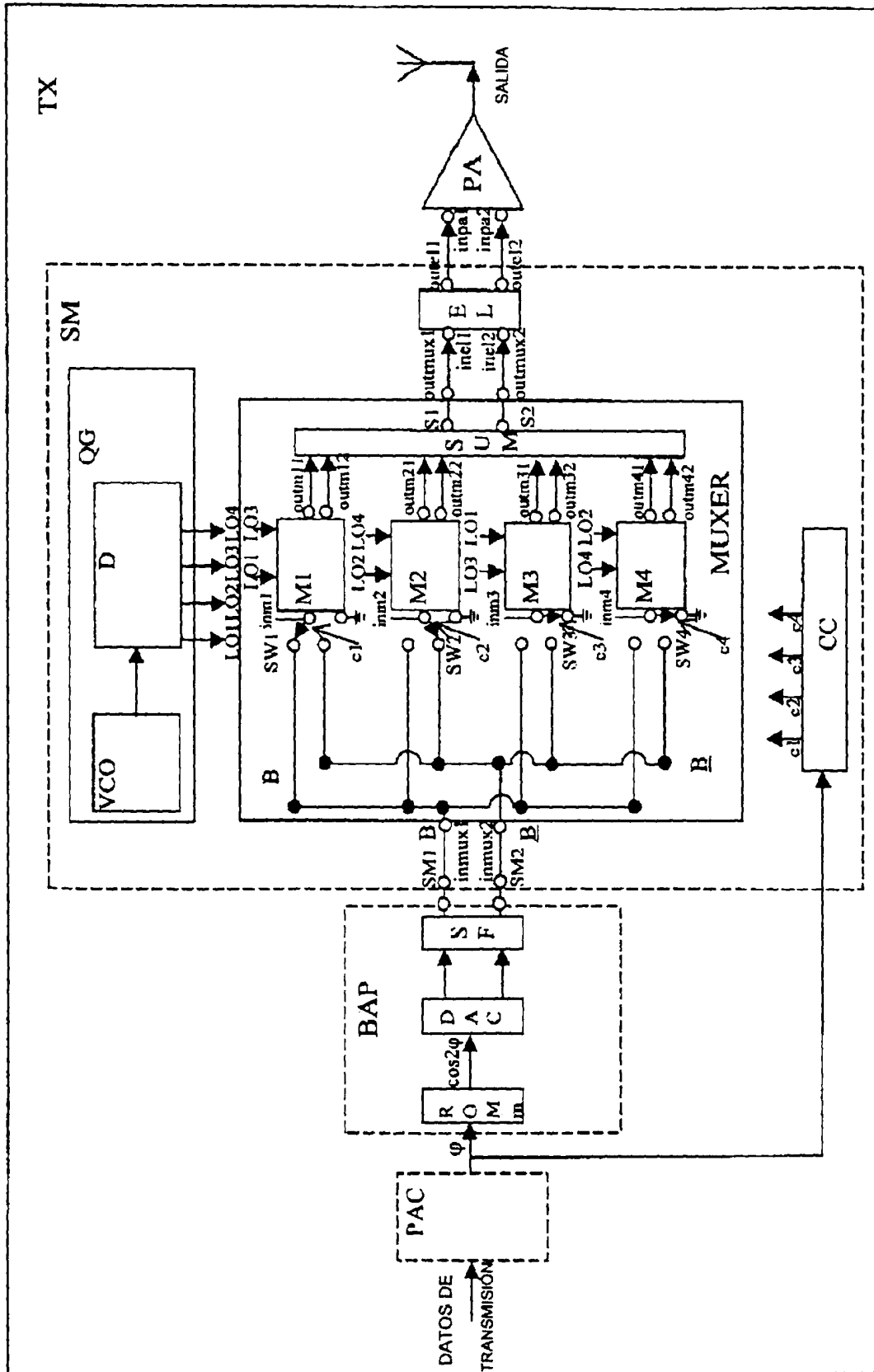


Fig. 3

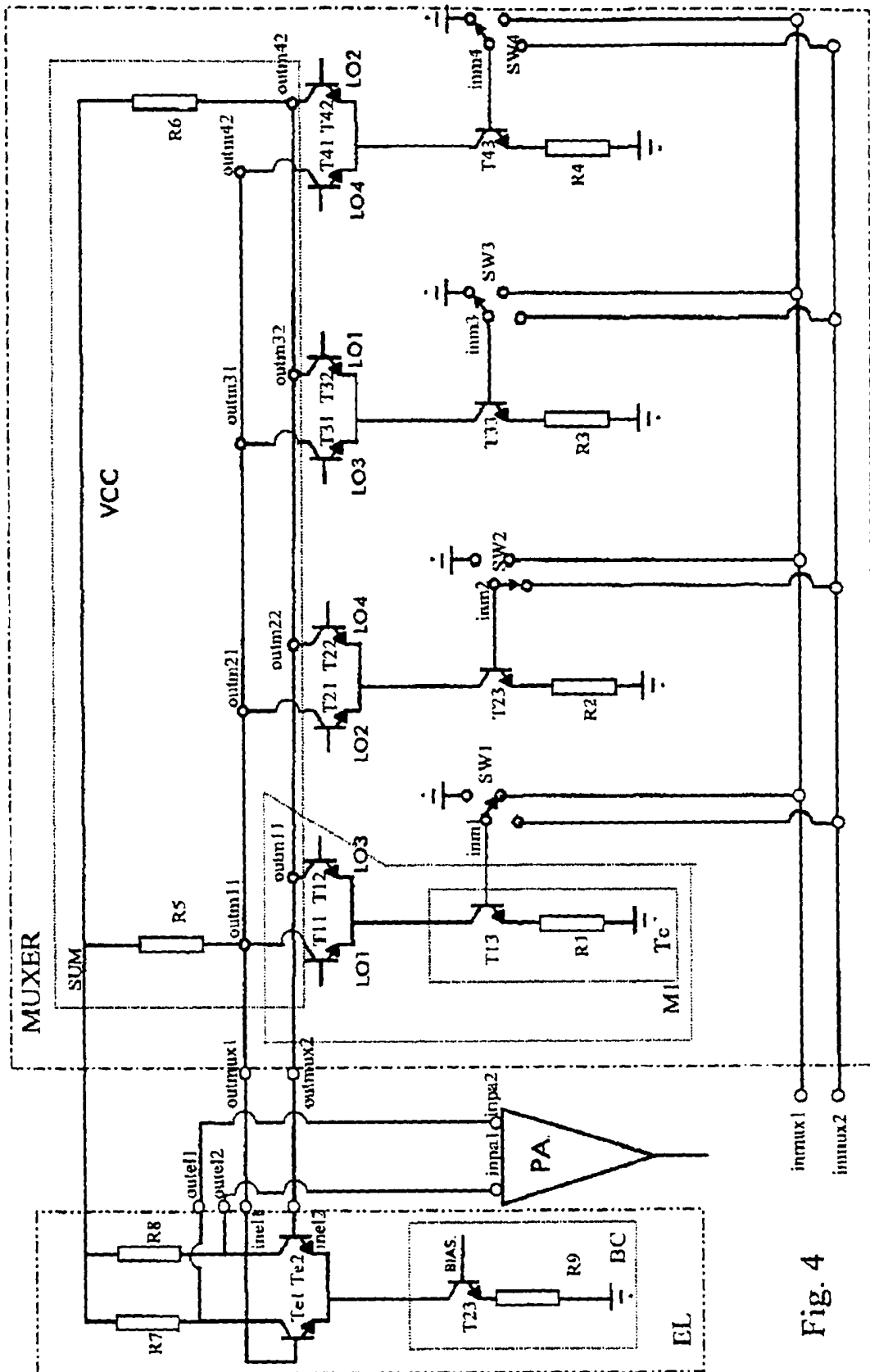


Fig. 4

