

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5251736号
(P5251736)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl.		F I			
HO4N	5/357	(2011.01)	HO4N	5/335	570
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 20 (全 31 頁)

(21) 出願番号	特願2009-135666 (P2009-135666)	(73) 特許権者	000002185
(22) 出願日	平成21年6月5日(2009.6.5)		ソニー株式会社
(65) 公開番号	特開2010-283629 (P2010-283629A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年12月16日(2010.12.16)	(74) 代理人	100094363
審査請求日	平成24年2月23日(2012.2.23)		弁理士 山本 孝久
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100120640
			弁理士 森 幸一
		(74) 代理人	100086298
			弁理士 船橋 國則
		(72) 発明者	大池 祐輔
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置、固体撮像装置の駆動方法および電子機器

(57) 【特許請求の範囲】

【請求項1】

光電変換部と、前記光電変換部で光電変換された電荷を一時的に蓄積または保持できる不純物拡散領域と、電圧供給線の電圧によって前記不純物拡散領域をリセットするリセットトランジスタとを有し、前記不純物拡散領域の少なくとも前記リセットトランジスタ側が空乏化状態となるような不純物濃度である単位画素と、

前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を、前記不純物拡散領域の前記リセットトランジスタ側の空乏化ポテンシャルよりも低い第1の電圧から、当該空乏化ポテンシャルよりも高い第2の電圧へ遷移させる駆動回路と

を備える固体撮像装置。

10

【請求項2】

前記不純物拡散領域は、その表層部の一部が当該不純物拡散領域と逆導電型の不純物拡散領域で覆われている

請求項1記載の固体撮像装置。

【請求項3】

前記単位画素は、前記光電変換部で光電変換された電荷を前記不純物拡散領域に転送する転送トランジスタを有する

請求項1記載の固体撮像装置。

【請求項4】

前記駆動回路は、前記画素一括で前記光電変換部の蓄積電荷を排出し、全画素同一の期

20

間で前記光電変換部での光電変換を実行し、全画素一括で前記転送トランジスタを介して前記光電変換部の蓄積電荷を前記不純物拡散領域に転送する

請求項 3 記載の固体撮像装置。

【請求項 5】

前記駆動回路は、全画素同一の光電変換期間において、前記単位画素の行列状の配置の画素行ごとに順次に前記不純物拡散領域のリセット動作を実行する

請求項 4 記載の固体撮像装置。

【請求項 6】

前記単位画素は、前記光電変換部の蓄積電荷を排出する電荷排出ゲートを有する

請求項 4 記載の固体撮像装置。

10

【請求項 7】

前記駆動回路は、全画素一括で前記光電変換部から前記不純物拡散領域へ電荷を転送する以前に、前記単位画素の行列状の配置の画素行ごとに、前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を前記第 1 の電圧から前記第 2 の電圧へ遷移させることによって前記不純物拡散領域のリセット動作を実行する

請求項 6 記載の固体撮像装置。

【請求項 8】

前記駆動回路は、複数の画素行を 1 単位として、当該単位ごとに順次に前記リセット動作を実行する

請求項 5 または請求項 7 記載の固体撮像装置。

20

【請求項 9】

前記駆動回路は、前記電荷排出ゲートによって全画素一括で前記光電変換部の蓄積電荷を排出する電荷排出動作を行う以前に、前記単位画素の行列状の配置の画素行ごとに、前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を前記第 1 の電圧から前記第 2 の電圧へ遷移させることによって前記不純物拡散領域のリセット動作を開始し、前記電荷排出動作を時間的に跨いで当該リセット動作を完了する

請求項 6 記載の固体撮像装置。

【請求項 10】

前記単位画素は、前記光電変換部と前記不純物拡散領域との間に、一時的に電荷を保持するメモリ部を有する

請求項 1 記載の固体撮像装置。

30

【請求項 11】

前記不純物拡散領域は、前記メモリ部から溢れた電荷を保持する

請求項 10 記載の固体撮像装置。

【請求項 12】

前記電圧供給線は、前記単位画素の行列状の配置に対して画素行ごとに配線され、当該電圧供給線の電圧によって前記不純物拡散領域を画素行ごとにリセットする

請求項 1 記載の固体撮像装置。

【請求項 13】

前記単位画素は、信号を読み出す画素を選択する選択トランジスタを有し、

前記電圧供給線は、前記選択トランジスタに対して駆動信号を供給する信号線である

請求項 12 記載の固体撮像装置。

40

【請求項 14】

前記駆動回路は、前記信号線を駆動する駆動回路であり、前記信号線に対して前記駆動信号を供給するとともに、前記第 1 の電圧と前記第 2 の電圧とを選択的に供給する

請求項 13 記載の固体撮像装置。

【請求項 15】

前記第 1 の電圧は、前記駆動信号の非アクティブレベルと同電位である

請求項 14 記載の固体撮像装置。

【請求項 16】

50

前記第 2 の電圧は、前記駆動信号のアクティブレベルと同電位である
請求項 14 記載の固体撮像装置。

【請求項 17】

光電変換部と、前記光電変換部で光電変換された電荷を一時的に蓄積または保持できる不純物拡散領域と、電圧供給線の電圧によって前記不純物拡散領域をリセットするリセットトランジスタとを有し、前記不純物拡散領域の少なくとも前記リセットトランジスタ側が空乏化状態となるような不純物濃度である単位画素を備えた固体撮像装置の駆動に当たって、

前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を、前記不純物拡散領域の前記リセットトランジスタ側の空乏化ポテンシャルよりも低い第 1 の電圧から、当該空乏化ポテンシャルよりも高い第 2 の電圧へ遷移させる

10

固体撮像装置の駆動方法。

【請求項 18】

光電変換部と、前記光電変換部で光電変換された電荷を一時的に蓄積または保持できる不純物拡散領域と、電圧供給線の電圧によって前記不純物拡散領域をリセットするリセットトランジスタとを有する単位画素が行列状に配置されてなる固体撮像装置の駆動に当たって、

全画素同一の光電変換期間において、画素行ごとに順次に前記不純物拡散領域のリセット動作を実行する

固体撮像装置の駆動方法。

20

【請求項 19】

前記不純物拡散領域のリセット動作を、前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を、前記不純物拡散領域の前記リセットトランジスタ側の空乏化ポテンシャルよりも低い第 1 の電圧から、当該空乏化ポテンシャルよりも高い第 2 の電圧へ遷移させることによって実行する

請求項 18 記載の固体撮像装置の駆動方法。

【請求項 20】

光電変換部と、前記光電変換部で光電変換された電荷を一時的に蓄積または保持できる不純物拡散領域と、電圧供給線の電圧によって前記不純物拡散領域をリセットするリセットトランジスタとを有し、前記不純物拡散領域の少なくとも前記リセットトランジスタ側が空乏化状態となるような不純物濃度である単位画素と、

30

前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を、前記不純物拡散領域の前記リセットトランジスタ側の空乏化ポテンシャルよりも低い第 1 の電圧から、当該空乏化ポテンシャルよりも高い第 2 の電圧へ遷移させる駆動回路と

を備えた固体撮像装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、固体撮像装置の駆動方法および電子機器に関する。

【背景技術】

40

【0002】

一般的な固体撮像装置において、光電変換された電荷を読み出す際、浮遊拡散領域と呼ばれる不純物拡散領域に蓄積、あるいは受光部から不純物拡散領域に電荷を転送することにより、当該不純物拡散領域で電荷を電圧に変換する。この種の固体撮像装置における画素は、一般的に、浮遊拡散領域（以下、「FD部」と記述する）を所定の電位にリセットするリセットトランジスタを有する構成となっている。

【0003】

リセットトランジスタを有する画素構成では、リセットトランジスタをオン状態として FD部を固定された電圧 V_{dd} に初期化した後、リセットトランジスタをオフ状態として FD部をフローティング状態とする。初期化された FD部に電荷を蓄積あるいは転送する

50

ことで、当該FD部で電荷電圧変換された出力電圧が得られる。このリセット動作において、電圧V_{dd}の初期化電圧をフローティング状態にサンプリングする際に、大きく2種類のノイズが発生することが知られている。

【0004】

2種類のノイズの1つは、FD部の容量に依存する熱雑音(kTCノイズ)であり、リセット動作のたびにランダムに発生するノイズである。もう1つは、電圧V_{dd}における熱雑音や電流消費の際に配線の抵抗成分によって電圧が揺れるノイズで、リセット動作のタイミングによって異なる値がサンプリングされてしまう。この2種類のノイズについては、一般的なCMOSイメージセンサの動作では相関二重サンプリングと呼ばれる読み出しおよびノイズ除去の手法によってほぼ完全に取り除けることが知られている。

10

【0005】

相関二重サンプリングの処理では、リセット動作によってサンプリングされたFD部の電圧V_{o_rst}を読み出し、その直後に受光部から蓄積電荷をFD部に転送して信号電圧V_{o_sig}として読み出す。ここで、リセット動作によるノイズはFD部に保持されたままであるため、V_{o_rst}とV_{o_sig}には同じノイズが重畳している。したがって、V_{o_sig} - V_{o_rst}の演算を行うことで、リセット動作によるノイズを除去した蓄積電荷分の出力を得ることができる。

【0006】

図28は、相関二重サンプリングによってノイズ除去する駆動例の場合のタイミング波形図である。図28には、画素を選択する選択パルスSEL、FD部をリセットするリセットパルスRST、受光部からFD部に信号電荷を読み出す転送パルスTRGおよびFD部の電圧(以下、単に「FD電圧」と記述する場合もある)を示している。

20

【0007】

この駆動例の場合、信号電荷は受光部に保持されている。読み出し動作の際に、まず、リセットパルスRSTがアクティブになることで、FD部の電圧がリセット電圧V_{dd}に設定される。リセットパルスRSTがアクティブのとき、リセット電圧V_{dd}の揺れや熱雑音によってFD部の電圧はランダムに揺れており、リセットパルスRSTが非アクティブとなった瞬間の値がFD部の電圧として固定される。

【0008】

このとき、固定されたノイズをV_nとすると、FD部の電圧はV_{dd} + V_nとなる。この電圧V_{dd} + V_nをリセットレベルV_{o_rst}として読み出した後、転送パルスTRGがアクティブとなることで、受光部の信号電荷がFD部に転送される。FD部はフローティングとなっているので、上記リセットレベルV_{dd} + V_nに信号電荷分の電圧V_{sig}が加わり、V_{dd} + V_n + V_{sig}となる。

30

【0009】

このときのFD部の電圧V_{dd} + V_n + V_{sig}を信号レベルV_{o_sig}として読み出し、上記リセットレベルV_{o_rst}(=V_{dd} + V_n)との差分を得ることで、最終的な出力V_{out}は以下のようになり、リセットノイズV_nがキャンセルされる。

$$\begin{aligned} V_{out} &= (V_{dd} + V_n + V_{sig}) - (V_{dd} + V_n) \\ &= V_{sig} \end{aligned}$$

40

【0010】

しかし、リセットノイズV_{o_rst}以外の読み出しノイズ、例えば出力回路(ソースフォロア回路の増幅トランジスタなど)で発生する、いわゆる1/fノイズは低周波数帯域で顕著である。したがって、リセットレベルV_{o_rst}の読み出しについては、信号レベルV_{o_sig}の読み出しの直前に実行しないと、低周波数帯域のノイズが出力に重畳してしまうため相関二重サンプリングの効果が得がたく、画質劣化に結びつく。

【0011】

このような理由から、全ての画素が同一の露光期間で光電変換するグローバル露光動作(一括露光)の固体撮像装置では、信号レベルの読み出し後に再度リセット動作を実行してリセットレベルを読み出す駆動法が採られている(例えば、特許文献1参照)。グロー

50

バル露光によれば、全ての画素について同一の露光期間で光電変換することで、動きのある被写体に対しても歪みのない画像を得ることができる。

【0012】

かかる駆動法は、グローバル露光動作の固体撮像装置以外にも、直接FD部に光電変換された電荷を蓄積するイメージセンサ、たとえば受光部に有機光電膜を用いた固体撮像装置などにおいて採られている。

【0013】

具体的には、FD部で信号電荷を保持した状態から読み出す場合、あるいはFD部で信号電荷を蓄積する場合は、図29に示すような駆動順番となる。すなわち、信号レベルを読み出した後で、リセット動作を実行してリセットレベルを得る。

10

【0014】

詳細には、まず、FD部への信号電荷の転送、あるいは信号電荷を蓄積する前にFD部はリセットされる。このとき、リセット電圧V_{dd}に対してノイズV_nが重畳する。全画素同時の電荷転送や、露光期間中FD部へ直接に蓄積することで、FD部の電圧は、信号電荷分のV_{sig}が加わることとなり、読み出し動作の時点では既に信号レベルであるV_{dd} + V_n + V_{sig}が保持されていることになる。

【0015】

読み出し動作では、まず信号レベルが読み出され、その後、再度リセット動作を行ってリセットレベルを読み出し、信号レベルとリセットレベルの差分を得る。このリセット動作では、FD部の電圧はリセット電圧V_{dd}に設定されるものの、ランダムなノイズによって先のV_nとは異なるノイズV'_nで固定化される。

20

【0016】

このため、リセットレベルはV_{dd} + V'_nとなり、最終的な出力V_{out}は以下となる。

$$\begin{aligned} V_{out} &= (V_{dd} + V'_{n} + V_{sig}) - (V_{dd} + V_n) \\ &= V_{sig} + (V'_{n} - V_n) \end{aligned}$$

【0017】

すなわち、オフセット成分である電圧V_{dd}は除去できるものの、ランダムなノイズであるノイズV_nおよびノイズV'_nについては除去できない。熱雑音以外にも、リセット電圧V_{dd}は周辺の回路動作によって電源ノイズとして揺れており、面内ムラ(画面内の輝度ムラ)などの画質劣化に繋がる。

30

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2007-074435号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

上述したように、信号レベルの読み出し後に、リセット動作を実行してノイズ除去を行う駆動法を採る場合、固定的に発生するオフセットノイズは除去できるものの、リセット動作ごとに発生するノイズ、例えばリセット電圧V_{dd}の揺れや熱雑音は除去できない。

40

【0020】

そこで、本発明は、信号レベルの読み出し後にリセットレベルを読み出す駆動の際に、リセット時のランダムノイズや面内ムラを低減した上で、リセット動作時の画質劣化を低減可能とした固体撮像装置、その駆動方法および電子機器を提供することを目的とする。

【課題を解決するための手段】

【0021】

上記目的を達成するために、本発明は、

光電変換部と、前記光電変換部で光電変換された電荷を一時的に蓄積または保持できる不純物拡散領域と、電圧供給線の電圧によって前記不純物拡散領域をリセットするリセッ

50

トランジスタとを有し、前記不純物拡散領域の少なくとも前記リセットトランジスタ側が空乏化状態となるような不純物濃度である単位画素を備えた固体撮像装置において、

前記リセットトランジスタがオンしている期間に、前記電圧供給線の電圧を、前記不純物拡散領域の前記リセットトランジスタ側の空乏化ポテンシャルよりも低い第1の電圧から、当該空乏化ポテンシャルよりも高い第2の電圧へ遷移させる。

【0022】

ここで、「一時的に蓄積または保持」において、「蓄積」とは、受光中に発生した電荷が不純物拡散領域に直接蓄積されることを言い、「保持」とは、光電変換部で光電変換され、蓄積された電荷が転送されて不純物拡散領域に保持されることを言うものとする。

【0023】

信号レベルの読み出し後にリセットレベルを読み出す駆動法を用いるに当たって、単位画素の画素構造を、不純物拡散領域のリセットトランジスタ側を空乏化すべく、少なくとも不純物拡散領域のリセットトランジスタ側の一部の不純物濃度を薄くする構造とする。これにより、不純物拡散領域のリセット時のランダムノイズや面内ムラ（画面内の輝度ムラ）を低減できる。

【0024】

そして、リセットトランジスタのオン期間に、電圧供給線の電圧、即ちリセットトランジスタのドレイン電圧を、第1の電圧から第2の電圧へ遷移させる。これにより、不純物拡散領域のポテンシャルの初期値の影響を受けることなく、当該不純物拡散領域の電圧は空乏化ポテンシャルで決まる電圧へ収束していく。その結果、不純物拡散領域のリセット動作時の残像（初期状態に依存する残像）による画質劣化を抑えることができる。

【発明の効果】

【0025】

本発明によれば、信号レベルの読み出し後にリセットレベルを読み出す駆動の際に、リセット時のランダムノイズや面内ムラを低減した上で、リセット動作時の画質劣化を低減できる。

【図面の簡単な説明】

【0026】

【図1】本発明が適用されるCMOSイメージセンサの構成の概略を示すシステム構成図である。

【図2】一般的なCMOSイメージセンサの単位画素の構成例を示す回路図である。

【図3】参考例1(a)および参考例2(b)に係る画素構造の断面構造およびポテンシャル分布を示す図である。

【図4】参考例1, 2に係る画素構造の問題点についての説明図である。

【図5】参考例1, 2に係る画素構造を採る場合のFD電圧 V_{fd} の変化の様子を示す図である。

【図6】第1実施形態に係る画素構造の断面構造およびポテンシャル分布を示す図である。

【図7】リセットパルスRST、リセットトランジスタのドレイン電圧VRDおよびFD電圧の遷移の様子を示すタイミング波形図である。

【図8】第1実施形態に係る画素構造における動作例についての動作説明図である。

【図9】FD電圧 V_{fd} の初期値 V_{ini} が異なった値($V_{ini0} \sim V_{ini5}$)であった場合のFD電圧 V_{fd} の遷移の様子を示す図である。

【図10】第1実施形態のFD部に直接電荷を蓄積する場合の駆動例の説明に供するタイミングチャートである。

【図11】第1実施形態の一括露光における駆動例の説明に供するタイミングチャートである。

【図12】ドレイン駆動線を画素部の電源配線と共通化する場合の駆動例に供するタイミングチャートである。

【図13】第1実施形態に係る画素の回路例を示す回路図である。

10

20

30

40

50

【図14】回路例1に係る駆動回路を示す回路図である。

【図15】回路例2に係る駆動回路を示す回路図である。

【図16】第1実施形態に係る回路例の場合の駆動例の説明に供するタイミングチャートである。

【図17】第2実施形態に係る駆動例の説明に供するタイミングチャートである。

【図18】一括露光動作における一般的な駆動例の説明に供するタイミングチャートである。

【図19】第2実施形態の駆動法を第1実施形態に係る画素構造に適用する場合の駆動例の説明に供するタイミングチャートである。

【図20】画素構造例1に係る画素構造を示す図であり、(a)はFD部の周辺部の平面図、(b)は(a)のX-X'線に沿った断面図である。

10

【図21】画素構造例2に係る画素構造を示す図であり、(a)は画素の回路図、(b)は画素構造の断面図である。

【図22】画素構造例3に係る画素構造およびポテンシャル分布を示す図である。

【図23】画素構造例4に係る画素構造を示す図であり、(a)は回路図、(b)は断面図である。

【図24】画素構造例4に係る画素構造に先述した第1実施形態を適用する場合の駆動例の説明に供するタイミングチャートである。

【図25】画素構造例5に係る画素構造の回路構成を示す回路図である。

【図26】画素構造例5に係る画素構造の駆動例の説明に供するタイミングチャートである。

20

【図27】本発明による撮像装置の構成例を示すブロック図である。

【図28】相関二重サンプリングによってノイズ除去する駆動例の場合のタイミング波形図である。

【図29】FD部で信号電荷を保持した状態から読み出す場合、あるいはFD部で信号電荷を蓄積する場合の駆動の順番を示すタイミングチャートである。

【発明を実施するための形態】

【0027】

以下、発明を実施するための形態(以下、「実施形態」と記述する)について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

30

1. 本発明が適用される固体撮像装置

1-1. システム構成

1-2. 単位画素の回路構成

1-3. 参考例に係る画素構造

2. 第1実施形態(リセットパルスのアクティブ期間に、リセットトランジスタのドレイン電圧を、空乏化ポテンシャルよりも低い電圧から空乏化ポテンシャルよりも高い電圧に遷移させる例)

2-1. 画素構造

2-2. 回路例

40

3. 第2実施形態(一括露光動作において、信号電荷をFD部へ一括転送する前に、FD部に対して行順次で初期化駆動を行う例)

4. 他の画素構造例

5. 変形例

6. 電子機器(撮像装置)

【0028】

< 1. 本発明が適用される固体撮像装置 >

[1-1. システム構成]

図1は、本発明が適用される固体撮像装置、例えばX-Yアドレス型固体撮像装置の一種であるCMOSイメージセンサのシステム構成の概略を示すシステム構成図である。こ

50

ここで、CMOSイメージセンサとは、CMOSプロセスを応用して、または部分的に使用して作成されたイメージセンサである。

【0029】

本適用例に係るCMOSイメージセンサ10は、半導体基板11上に形成された画素アレイ部12と、当該画素アレイ部12と同じ半導体基板11上に集積された周辺回路部とを有する構成となっている。周辺回路部は、例えば、行走査部13、カラム処理部14、列走査部15およびシステム制御部16からなる。

【0030】

画素アレイ部12は、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）を有し、当該単位画素が行列状に2次元配置されている。単位画素の具体的な構成については後述する。

10

【0031】

画素アレイ部12において、行列状の画素配列に対して画素行ごとに画素駆動線17が行方向（画素行の画素の配列方向）に沿って配線され、画素列ごとに垂直信号線18が列方向（画素列の画素の配列方向）に沿って配線されている。画素駆動線17は、画素から信号を読み出す駆動を行うための駆動信号を伝送する。図1では、画素駆動線17について1本の配線として示しているが、1本に限られるものではない。画素駆動線17の一端は、行走査部13の各行に対応した出力端に接続されている。

【0032】

行走査部13は、シフトレジスタやアドレスデコーダ等によって構成され、画素アレイ部12の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この行走査部13はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

20

【0033】

読出し走査系は、単位画素から信号を読み出すために、画素アレイ部12の単位画素を行単位で順に選択走査する。単位画素から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【0034】

この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換素子から不要な電荷が掃き出されることで、当該光電変換素子がリセットされる。そして、この掃出し走査系による不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。

30

【0035】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積期間（露光期間）となる。

40

【0036】

行走査部13によって選択走査された画素行の各単位画素から出力される信号は、垂直信号線18の各々を通してカラム処理部14に供給される。カラム処理部14は、画素アレイ部12の画素列ごとに、選択行の各画素から垂直信号線18を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0037】

具体的には、カラム処理部14は、単位画素の信号を受けて当該信号に対して、例えばCDS(Correlated Double Sampling; 相関二重サンプリング)によるノイズ除去や、信号増幅や、AD(アナログ-デジタル)変換等の信号処理を行う。ノイズ除去処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが

50

除去される。なお、ここで例示した信号処理は一例に過ぎず、信号処理としてはこれらに限られるものではない。

【 0 0 3 8 】

列走査部 1 5 は、シフトレジスタやアドレスデコーダ等によって構成され、カラム処理部 1 4 の画素列に対応する単位回路を順番に選択する。この列走査部 1 5 による選択走査により、カラム処理部 1 4 で信号処理された画素信号が順番に水平バス 1 9 に出力され、当該水平バス 1 9 を通して半導体基板 1 1 の外部へ伝送される。

【 0 0 3 9 】

システム制御部 1 6 は、半導体基板 1 1 の外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、本 C M O S イメージセンサ 1 0 の内部情報などのデータを出力する。システム制御部 1 6 さらには、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に行走査部 1 3、カラム処理部 1 4 および列走査部 1 5 などの周辺回路部の駆動制御を行う。

【 0 0 4 0 】

[1 - 2 . 単位画素の回路構成]

図 2 は、一般的な C M O S イメージセンサの単位画素の構成例を示す回路図である。図 2 に示すように、本構成例に係る単位画素 2 0 は、光電変換部である例えばフォトダイオード 2 1 に加えて、例えば転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4 および選択トランジスタ 2 5 の 4 つのトランジスタを有する構成となっている。

【 0 0 4 1 】

ここでは、4 つのトランジスタ 2 2 ~ 2 5 として、例えば N チャネルの M O S トランジスタを用いている。ただし、ここで例示した転送トランジスタ 2 2、リセットトランジスタ 2 3、増幅トランジスタ 2 4 および選択トランジスタ 2 5 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 4 2 】

この単位画素 2 0 に対して、画素駆動線 1 7 として、例えば、転送線 1 7 1、リセット線 1 7 2 および選択線 1 7 3 の 3 本の駆動配線が同一画素行の各画素について共通に設けられている。これら転送線 1 7 1、リセット線 1 7 2 および選択線 1 7 3 は、各一端が行走査部 1 3 の各画素行に対応した出力端に画素行単位で接続されており、画素 2 0 を駆動する駆動信号である転送パルス T R G、リセットパルス R S T および選択パルス S E L を伝送する。

【 0 0 4 3 】

フォトダイオード 2 1 は、アノード電極が負側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード 2 1 のカソード電極は、転送トランジスタ 2 2 を介して増幅トランジスタ 2 4 のゲート電極と電氣的に接続されている。増幅トランジスタ 2 4 のゲート電極と電氣的に繋がったノード 2 6 を F D (フローティングディフュージョン/浮遊拡散領域/不純物拡散領域)部と呼ぶ。

【 0 0 4 4 】

転送トランジスタ 2 2 は、フォトダイオード 2 1 のカソード電極と F D 部 2 6 との間に接続されている。転送トランジスタ 2 2 のゲート電極には、高レベル(例えば、V d d レベル)がアクティブ(以下、「H i g h アクティブ」と記述する)となる転送パルス T R G が転送線 1 7 1 を介して与えられる。転送トランジスタ 2 2 は、転送パルス T R G に応答してオン状態となり、フォトダイオード 2 1 で光電変換された光電荷を F D 部 2 6 に転送する。

【 0 0 4 5 】

リセットトランジスタ 2 3 は、ドレイン電極が画素電源 V d d に、ソース電極が F D 部 2 6 にそれぞれ接続されている。リセットトランジスタ 2 3 のゲート電極には、H i g h

10

20

30

40

50

アクティブのリセットパルス R S T がリセット線 1 7 2 を介して与えられる。リセットトランジスタ 2 3 は、リセットパルス R S T に応答してオン状態となり、F D 部 2 6 の電荷を画素電源 V d d に捨てることによって当該 F D 部 2 6 をリセットする。

【 0 0 4 6 】

増幅トランジスタ 2 4 は、ゲート電極が F D 部 2 6 に、ドレイン電極が画素電源 V d d にそれぞれ接続されている。この増幅トランジスタ 2 4 は、フォトダイオード 2 1 での光電変換によって得られる信号を読み出す読み出し回路であるソースフォロワの入力部となる。すなわち、増幅トランジスタ 2 4 は、ソース電極が選択トランジスタ 2 5 を介して垂直信号線 1 8 に接続されることで、当該垂直信号線 1 8 の一端に接続される電流源とソースフォロワを構成する。

10

【 0 0 4 7 】

選択トランジスタ 2 5 は、例えば、ドレイン電極が増幅トランジスタ 2 4 のソース電極に、ソース電極が垂直信号線 1 8 にそれぞれ接続されている。選択トランジスタ 2 5 のゲート電極には、H i g h アクティブの選択パルス S E L が選択線 1 7 3 を介して与えられる。選択トランジスタ 2 5 は、選択パルス S E L に応答してオン状態となり、単位画素 2 0 を選択状態として増幅トランジスタ 2 4 から出力される信号を垂直信号線 1 8 に中継する。

【 0 0 4 8 】

なお、選択トランジスタ 2 5 については、画素電源 V d d と増幅トランジスタ 2 4 のドレインとの間に接続した回路構成を採ることも可能である。

20

【 0 0 4 9 】

また、単位画素 2 0 としては、上記構成の 4 つのトランジスタからなる画素構成のものに限られるものではない。例えば、増幅トランジスタ 2 4 と選択トランジスタ 2 5 とを兼用した 3 つのトランジスタからなる画素構成のものなどであっても良く、その画素回路の構成は問わない。

【 0 0 5 0 】

[1 - 3 . 参考例に係る画素構造]

ところで、リセット動作ごとに発生するノイズ、例えばリセット電圧 V d d の揺れによるノイズ成分を抑える画素構造として、F D 部 2 6 のリセットトランジスタ 2 3 側の不純物濃度を薄くした画素構造が考えられる。この画素構造について、以下に参考例 1 , 2 に係る画素構造として説明する。因みに、リセット電圧 V d d の揺れは、前にも述べたように、画面内の輝度ムラなどの画質劣化に繋がる。

30

【 0 0 5 1 】

(参考例 1 に係る画素構造)

図 3 (a) は、参考例 1 に係る画素構造の断面構造およびポテンシャル分布を示す図である。図 3 (a) に示すように、n+不純物拡散領域からなる F D 部 2 6 において、リセットトランジスタ 2 3 側の部分を n 不純物拡散領域 2 6 1 とした構造となっている。この構造を採るのは、リセットトランジスタ 2 3 のソース・ドレインを電源電圧 V d d とした場合にリセットトランジスタ 2 3 と F D 部 2 6 との間が空乏状態となるようにするためである。

40

【 0 0 5 2 】

典型的な不純物濃度として、例えば p ウェルが 10^{16} 乗 (cm^{-3})、リセットトランジスタ 2 3 のソース・ドレインの n+不純物が 10^{20} 乗 (cm^{-3}) と仮定する。この場合に、F D 部 2 6 のリセットトランジスタ 2 3 側の n 型不純物 2 6 1 を $10^{16} \sim 10^{17}$ 乗 (cm^{-3}) の濃度とすることで、リセットトランジスタ 2 3 と F D 部 2 6 との間を空乏状態とすることができる。

【 0 0 5 3 】

また、この場合の典型的な例として、フォトダイオード 2 1 の n 領域 2 1 1 も $10^{16} \sim 10^{17}$ 乗 (cm^{-3}) となり、表面の p+領域 2 1 2 は 10^{18} 乗 (cm^{-3}) 程度となる。ただし、相対的な濃度差が得られていれば、この限りではない。

50

【 0 0 5 4 】

(参考例 2 に係る画素構造)

図 3 (b) は、参考例 2 に係る画素構造の断面構造およびポテンシャル分布を示す図である。参考例 2 に係る画素構造は、参考例 1 に係る画素構造において、F D 部 2 6 のコンタクト部 2 7 を接続する領域以外の表層部に p+不純物拡散領域 2 6 2 を形成した構造となっている。この画素構造によれば、シリコン表面の結晶欠陥で発生する暗電流を低減できる。

【 0 0 5 5 】

(参考例 1 , 2 に係る画素構造の作用効果)

上記参考例 1 , 2 に係る画素構造において、リセットトランジスタ 2 3 がオンした場合のリセットレベル V_{fd0} は、リセット電圧 V_{dd} ではなく、空乏化ポテンシャルによって決まる。これは、F D 部 2 6 のリセットトランジスタ 2 3 側の不純物拡散濃度を薄くして空乏化したことによる。

10

【 0 0 5 6 】

この画素構造を採ることにより、リセットトランジスタ 2 3 をオンとした場合に、空乏化ポテンシャルで決まるレベル V_{fd0} に F D 部 2 6 の電圧が設定されるために、リセット電圧 V_{dd} の揺れによるノイズの影響を受けない。不純物濃度の違いによって画素ごとにリセットレベル V_{fd0} はばらつくが、信号レベルの読み出し後に、リセット動作を実行してノイズ除去を行う動作 (図 2 9 参照) においても、画素ごとに固定なオフセットノイズ成分は除去できるために問題がない。

20

【 0 0 5 7 】

(参考例 1 , 2 に係る画素構造の問題点)

ただし、リセットレベル V_{fd0} は、F D 部 2 6 からリセットトランジスタ 2 3 の電源 V_{dd} 側の電極 (ドレイン電極) との間に電界がほとんど掛からず熱拡散で収束していくため、極めて収束性が悪く、残像として画質を劣化させる問題がある。

【 0 0 5 8 】

図 4 に示すように、リセット直前の F D 電圧 V_{fd} がそれぞれ V_{ini0} (a) , V_{ini1} (b) となっていた場合、ある一定時間後にリセットトランジスタ 2 3 をオフするタイミングでの F D 電圧 V_{fd0} と V_{fd1} は等しくならない。ここで、 $V_{ini0} > V_{ini1}$ である。

30

【 0 0 5 9 】

参考例 1 , 2 に係る画素構造を採る場合の F D 電圧 V_{fd} の変化の様子を図 5 に示す。一例として、1 9 2 0 列 × 1 0 8 0 行の 2 0 0 万画素程度の撮像装置であっても、毎秒 6 0 枚の映像を取得するには、各行あたり約 1 6 . 6 μ s で読み出し動作を完了する必要があり、リセット動作としてはせいぜい数 μ s 程度の時間しか確保できない。

【 0 0 6 0 】

すなわち、信号電荷が多く保持された状態からリセット動作をした場合と、そうでない場合とで収束電圧値が異なってしまい、1 フレーム前の画像が残ってしまう残像現象が発生してしまう。

【 0 0 6 1 】

< 2 . 第 1 実施形態 >

本発明の第 1 実施形態は、信号レベルの読み出し後にリセットレベルを読み出す駆動の際に、リセット時のランダムノイズや面内ムラを低減した上で、リセット動作時の残像現象による画質劣化を低減すべく為されたものである。

40

【 0 0 6 2 】

そのために、第 1 実施形態は、図 1 の C M O S イメージセンサ 1 0 において、リセットトランジスタ 2 3 がオンしている期間に、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} を第 1 の電圧 V_{rstl} から第 2 の電圧 V_{rsth} に遷移させる駆動回路を有する。この駆動回路は、画素アレイ部 1 2 の各画素 2 0 を画素行単位で駆動する行走査部 1 3 に相当する。

50

【 0 0 6 3 】

ここで、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} は、FD 部 2 6 をリセットするリセット電圧である。また、第 1 の電圧 V_{rst1} は、先述したリセットトランジスタ 2 3 と FD 部 2 6 との間の空乏化ポテンシャルよりも低い電圧であり、第 2 の電圧 V_{rsth} は、当該空乏化ポテンシャルよりも高い電圧である。

【 0 0 6 4 】

[2 - 1 . 画素構造]

図 6 は、第 1 実施形態に係る画素構造の断面構造およびポテンシャル分布を示す図である。本実施形態に係る画素構造は、例えば参考例 1 に係る画素構造を基本構造とする。具体的には、 $n+$ 不純物からなる FD 部 2 6 において、リセットトランジスタ 2 3 側の部分を n 領域 2 6 1 とし、FD 部 2 6 のコンタクト部 2 7 を接続する領域以外の表層部に $p+$ 領域 2 6 2 を形成した構造となっている。

10

【 0 0 6 5 】

ここでは、参考例 1 に係る画素構造を、即ち FD 部 2 6 のリセットトランジスタ 2 3 側を空乏化すべく、少なくとも FD 部 2 6 のリセットトランジスタ 2 3 側の一部の不純物濃度を薄くする構造を基本構造として採用している。参考例 1 に係る画素構造に代えて、参考例 2 に係る画素構造、即ち FD 部 2 6 の表層部の一部に p 型不純物拡散領域を形成する構造を基本構造として採用することも可能である。

【 0 0 6 6 】

参考例 2 に係る画素構造の場合、表層部の p 型不純物拡散領域は、シリコン表面の欠陥によって発生する暗電流などのリーク成分を FD 部 2 6 である n 型拡散領域で蓄積してしまうことを避ける効果がある。これは、 p 型不純物拡散領域に正孔が十分蓄積されていることで、表面で発生した電荷が再結合されることによる。

20

【 0 0 6 7 】

ここで、典型的な不純物濃度として、例えば p ウェルが 10^{16} 乗 (cm^{-3})、リセットトランジスタ 2 3 のソース・ドレインの $n+$ 不純物が 10^{20} 乗 (cm^{-3}) と仮定する。この場合、前にも述べたように、FD 部 2 6 のリセットトランジスタ 2 3 側の n 型不純物 2 6 1 を $10^{16} \sim 10^{17}$ 乗 (cm^{-3}) の濃度とすることで、リセットトランジスタ 2 3 と FD 部 2 6 との間を空乏状態とすることができる。ただし、これらの数値は一例にすぎず、これらに限られるものではない。

30

【 0 0 6 8 】

そして、参考例 1, 2 では、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} を電源電圧 V_{dd} に固定としている。これに対して、本実施形態では、リセットトランジスタ 2 3 がオンしている期間に、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} を、空乏化ポテンシャルよりも低い電圧 V_{rst1} から空乏化ポテンシャルよりも高い電圧 V_{rsth} に遷移させることを特徴としている。

【 0 0 6 9 】

電圧 V_{rst1} / 電圧 V_{rsth} のドレイン電圧 V_{RD} は、ドレイン駆動線 1 7 4 からコンタクト部 2 8 を通じて $n+$ 不純物拡散領域からなるリセットトランジスタ 2 3 のドレイン領域に与えられる。ここで、ドレイン駆動線 1 7 4 は、リセットトランジスタ 2 3 を介して FD 部 2 6 にリセット電圧を与える電圧供給線である。

40

【 0 0 7 0 】

図 7 に、リセットパルス RST 、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} および FD 部 2 6 の電圧 (FD 電圧) の遷移の様子を示す。図 7 のタイミング波形図を参照しつつ、第 1 実施形態に係る画素構造における動作例について、図 8 の動作説明図を用いて説明する。

【 0 0 7 1 】

初期状態では、リセットトランジスタ 2 3 のドレイン電圧 V_{RD} は、空乏化ポテンシャル V_{dep} よりも低い電圧 V_{rst1} (高い / 浅いポテンシャル) にある。このとき、FD 部 2 6 のポテンシャルは、空乏化ポテンシャル V_{dep} よりも高い (浅い) 初期値 V_i

50

n_i にある(図8(1))。そして、リセットパルスRSTが非アクティブ(低レベル)からアクティブ(高レベル)に遷移し、リセットトランジスタ23がオン状態になることで、FD電圧は極めて短い時間で電圧 V_{rst1} に収束する(図8(2))。

【0072】

その後、リセットトランジスタ23がオンしている期間に、リセットトランジスタ23のドレイン電圧VRDが、空乏化ポテンシャル V_{dep} よりも低い(深い)ポテンシャル(高い電圧 V_{rsth})に遷移する(図8(3))。これにより、FD電圧は空乏化ポテンシャル V_{dep} で決まる電圧 V_{fd} へ収束していく(図8(4))。

【0073】

このとき、初期値 V_{ini} の影響は抑圧され、どの状態であっても同じ電圧 V_{fd} へ収束していくことがわかる。図9に、FD電圧 V_{fd} の初期値 V_{ini} が異なった値($V_{ini0} \sim V_{ini5}$)であった場合のFD電圧 V_{fd} の遷移の様子を示す。

10

【0074】

上述したように、リセットトランジスタ23がオンしている期間に、リセットトランジスタ23のドレイン電圧VRDを第1の電圧 V_{rst1} から第2の電圧 V_{rsth} に遷移させることで、次のような作用効果を得ることができる。すなわち、FD部26のポテンシャルの初期値 V_{ini} の影響を受けることなく、FD電圧は空乏化ポテンシャル V_{dep} で決まる電圧 V_{fd} へ収束していく。その結果、信号レベルの読み出し後にリセットレベルを読み出す動作において、リセット時のランダムノイズや面内ムラを低減した上で、FD部26のリセット動作時の残像(初期状態に依存する残像)による画質劣化を抑える

20

【0075】

本実施形態では、p型不純物のウェル領域にn型不純物の拡散領域を形成する構造を例として挙げたが、不純物のp型およびn型が逆の構造でも構わない。その場合は、ポテンシャルおよび印加すべき電圧は、電源電圧と接地電圧の間で逆転する。

【0076】

(FD部に直接電荷を蓄積する場合の駆動例)

本実施形態は、フォトダイオード21に蓄積された電荷を転送トランジスタ22によってFD部26へ転送して蓄積する画素構造への適用に限られるものではない。例えば、転送トランジスタ22を省略してFD部26に直接電荷を蓄積する画素構造に対しても適用

30

【0077】

ここで、FD部26に直接電荷を蓄積する場合の駆動例について、図10のタイミングチャートを用いて説明する。

【0078】

FD部26に直接電荷を蓄積する場合は、リセットパルスRSTでFD部26をリセットして、露光・蓄積期間中にFD部26へ蓄積された電荷を信号レベルとして読み出し、次いで、FD部26リセットしてリセットレベルとして読み出す。

【0079】

露光開始時のFD部26のリセット動作と、信号読み出し後のFD部26のリセット動作において、リセットパルスRSTのアクティブ期間中に、リセットトランジスタ23のドレイン電圧VRDが電圧 V_{rst1} から電圧 V_{rsth} に遷移する。

40

【0080】

本駆動例では、リセットトランジスタ23のドレイン電圧VRDをあらかじめ電圧 V_{rst1} とし、リセットパルスRSTがアクティブ状態となってから電圧 V_{rsth} へ遷移させるようにしているが、この駆動例に限られるものではない。すなわち、リセットトランジスタ23のドレイン電圧VRDを任意の電圧に設定しておき、リセットパルスRSTがアクティブ状態となってから、電圧 V_{rst1} に設定して、次いで電圧 V_{rsth} へ遷移させるようにしても構わない。以降も同様である。

【0081】

50

(一括露光における駆動例)

続いて、一括露光における駆動例について、図11のタイミングチャートを用いて説明する。一括露光はグローバル露光(グローバルシャッタ)とも呼ばれ、全画素について同一の露光期間で光電変換する露光動作である。

【0082】

一括リセットにおいて、リセットパルスRSTと転送パルスTRGがアクティブ状態となることで、フォトダイオード21の電荷が排出される。リセットパルスRSTのアクティブ期間に、リセットトランジスタ23のドレイン電圧VRDが電圧Vrstlから電圧Vrsthに遷移する。

【0083】

一括転送によってFD部26に信号電荷が転送され、各行の読み出し時に信号レベルが読み出され、次いで、FD部26がリセットされてリセットレベルが読み出される。このときのリセット動作において、リセットパルスRSTのアクティブ期間に、同じくリセットトランジスタ23のドレイン電圧VRDが電圧Vrstlから電圧Vrsthに遷移する。

【0084】

本駆動例では、フォトダイオード21の電荷排出動作は、転送トランジスタ22とリセットトランジスタ23を共にオン状態とすることで実現しているが、この駆動例に限られるものではない。例えば、転送トランジスタ22とは別に電荷排出ゲートを受光部に有する場合は、当該電荷排出ゲートを用いて露光開始である一括リセットを実行できる。その場合も、一括転送よりも前にFD部26はリセット動作が必要であるため、上記駆動例と同様のリセットパルスRSTおよびドレイン電圧VRDで駆動される。タイミングは一括転送以前であれば、いつでも構わない。

【0085】

また、本駆動例では、リセットトランジスタ23のドレイン電圧VRDを行別のドレイン電圧VRDiとしたが、当該ドレイン電圧VRDについては複数行や複数列で共通、あるいは全画素共通でも構わない。ただし、低消費電力化の観点からすれば、リセットトランジスタ23のドレイン電極にドレイン電圧VRDを与えるドレイン駆動線174を行ごとに配線し、行別のドレイン電圧VRDiで駆動するのが好ましい。

【0086】

また、ドレイン駆動線174を画素部の電源配線と共通化して、FD部26のリセット動作時以外はリセットトランジスタ23のドレイン電圧VRDを電源電圧Vddに設定することも可能である。

【0087】

この場合の駆動例を図12のタイミングチャートに示す。図12から明らかなように、リセットトランジスタ23のドレイン電圧VRDは通常電源電圧Vddにある。そして、当該ドレイン電圧VRDは、リセットパルスRSTのアクティブ期間に電圧Vrstlから電圧Vrsthに遷移する。

【0088】

また、電源電圧VddがFD部26の空乏化ポテンシャルよりも高い電位である条件を満たしていれば、電圧Vrsthと電源電圧Vddを同電位としても構わない。同様に、負側の電源電圧VssがFD部26の空乏化ポテンシャルよりも低い電位である条件を満たしていれば、電圧Vrstlと電源電圧Vssを同電位としても構わない。

【0089】

[2-2.回路例]

ところで、図1の行走査部13による行走査の下に行われる読み出し動作において、FD部26はリセットトランジスタ23によって行順次でリセットされる。これに対して、リセットトランジスタ23のドレイン電極にドレイン電圧VRDを与えるドレイン駆動線174(図6参照)については、先述したように、全画素共通の配線でなく、行ごとに配線されるのが消費電力の観点から好ましい。

10

20

30

40

50

【 0 0 9 0 】

ただし、ドレイン駆動線 174 を行ごとに配線する構成を採ると、行ごとの信号配線数が増えることによって画素 20 の開口が狭くなる（開口率が低下する）ために感度が劣化する懸念がある。この点に鑑みて為されたのが、以下に説明する本実施形態に係る画素 20 A の回路例である。

【 0 0 9 1 】

図 13 は、第 1 実施形態に係る画素 20 A の回路例を示す回路図である。図 13 において、図 2 と同等部分（対応する部分）には同一符号を付して示し、重複説明は省略する。

【 0 0 9 2 】

図 13 において、転送トランジスタ 22 のゲート電極が転送線 171 に、リセットトランジスタ 23 のゲート電極がリセット線 172 に、選択トランジスタ 25 のゲート電極が選択線 173 にそれぞれ接続されている点は、図 2 の回路例の場合と同じである。図 2 の回路例と異なる点は、リセットトランジスタ 23 のドレイン電極が選択線 173 に接続されている点である。ここで、選択線 173 は、リセットトランジスタ 23 を介して FD 部 26 にリセット電圧を与える電圧供給線である。

【 0 0 9 3 】

転送線 171 には駆動回路 131 を介して振幅 V_{ss} （本例では、グラウンドレベル） - V_{dd} の転送パルス TRG が与えられる。リセット線 1872 には駆動回路 132 を介して振幅 $V_{ss} - V_{dd}$ のリセットパルス RST が与えられる。選択線 173 には駆動回路 133 を介して振幅 $V_{ss} - V_{dd}$ の選択パルス SEL が与えられる。

【 0 0 9 4 】

ここで、駆動回路 131 ~ 133 については、図 1 に示す行走査部 13 の出力段を構成する回路と言うこともできる。そして、駆動回路 133 は選択線 173 に対して、振幅 $V_{ss} - V_{dd}$ の選択パルス SEL の他に、先述した第 1 の電圧 V_{rst1} と第 2 の電圧 V_{rst2} とを選択的に供給する。駆動回路 131 ~ 133 の具体的な回路例について以下に説明する。

【 0 0 9 5 】

図 14 は、駆動回路 131（132）の具体的な回路例（回路例 1）を示す回路図である。図 14 に示すように、駆動回路 131（132）は、例えば 2 段の CMOS インバータ 1311, 1312 によって構成されている。そして、少なくとも 2 段目の CMOS インバータ 1312 は、負側電源 V_{ss} と正側電源 V_{dd} を動作電源としている。これにより、駆動回路 131（132）は、振幅 $V_{ss} - V_{dd}$ の転送パルス TRG（リセットパルス RST）を出力する。

【 0 0 9 6 】

図 15 は、駆動回路 133 の具体的な回路例（回路例 2）を示す回路図である。図 15 に示すように、駆動回路 133 は、例えば 2 段の CMOS インバータ 1331, 1332 によって構成されている。ただし、2 段目の CMOS インバータ 1332 は、動作電源を異にする 2 つの CMOS インバータ INV1, 2 が出力ノード Nout に対して並列的に接続された構成となっている。

【 0 0 9 7 】

そして、一方の CMOS インバータ INV1 は、負側電源 V_{ss} と正側電源 V_{dd} を動作電源とし、出力ノード Nout との間に接続されたスイッチトランジスタ SW11, SW12 によって選択的に活性化状態になる。これにより、駆動回路 133 は振幅 $V_{ss} - V_{dd}$ の選択パルス SEL を出力する。このとき、電源電圧 V_{dd} は選択パルス SEL のアクティブレベルとなり、電源電圧 V_{ss} は選択パルス SEL の非アクティブレベルとなる。

【 0 0 9 8 】

また、他方の CMOS インバータ INV2 は、第 1 の電圧 V_{rst1} に対応する負側電源 V_{rst1} と第 2 の電圧 V_{rst2} に対応する正側電源 V_{rst2} を動作電源としている。そして、CMOS インバータ INV2 は、出力ノード Nout との間に接続されたス

10

20

30

40

50

スイッチトランジスタ $SW21$, $SW22$ によって正側または負側が択一的に活性化状態になる。すなわち、他方の $CMOS$ インバータ $INV2$ は、第1の電圧 $Vrst1$ と第2の電圧 $Vrsth$ とを選択的に出力する。

【0099】

かかる構成の駆動回路133において、スイッチトランジスタ $SW11$, $SW12$, $SW21$, $SW22$ は、駆動信号 $VSW0$, $VSW1$, $VSW2$, $VSW3$ によって適宜駆動される。この駆動の下に、駆動回路133は、振幅 $Vss - Vdd$ の選択パルス SEL を出力するとともに、第1の電圧 $Vrst1$ と第2の電圧 $Vrsth$ とを択一的に出力する電圧セレクタである。

【0100】

ここで、先述したように、電圧 $Vrsth$ と電源電圧 Vdd を同電位とし、電圧 $Vrst1$ と電源電圧 Vss を同電位とする場合は、電圧 $Vrst1$ と電圧 $Vrsth$ とを択一的に出力する $CMOS$ インバータ $INV2$ を削減することができる。その結果、 $CMOS$ インバータ $INV2$ を削減する分だけ駆動回路133、ひいては行走査部13の簡略化を図ることができる。

【0101】

上述したことから明らかなように、本実施形態に係る回路例は、リセットトランジスタ23のドレイン電極にドレイン電圧 VRD を与えるドレイン駆動線174を新たに設けるのではなく、ドレイン駆動線174として画素駆動線17を共用した構成を採っている。本例では、画素駆動線17の一つである選択線173をドレイン駆動線174として共用している。

【0102】

このように、ドレイン駆動線174として画素駆動線17を共用することで、リセットトランジスタ23のドレイン電圧 VRD を第1の電圧 $Vrst1$ から第2の電圧 $Vrsth$ に遷移させるに当たって、画素アレイ部12の画素行ごとの配線数の増加を回避することができる。これにより、画素20Aの開口率の拡大、周辺回路の削減を図ることができる。とともに、ドレイン駆動線174（図6参照）を全画素共通の配線とする場合に比べて消費電力の低減を図ることができる。

【0103】

図16に、第1実施形態に係る回路例の場合の駆動例を示す。本駆動例では、選択パルス SEL の $High$ 側の電圧 Vdd と、 FD 部26のリセット電圧 $Vrsth$ とを同電位とした場合となっている。

【0104】

図16に示すように、一括リセット期間において、リセットパルス RST のアクティブ期間に、リセットトランジスタ23のドレイン電圧 VRD が、空乏化ポテンシャル $Vdep$ よりも低い電圧 $Vrst1$ から空乏化ポテンシャル $Vdep$ よりも高い電圧 $Vrsth$ に遷移する。

【0105】

その後、全画素について同一の露光期間で光電変換する一括露光（グローバル露光）期間を経て、全画素のフォトダイオード21の信号電荷を FD 部26に一括転送する駆動が行われる。そして、信号レベルを読み出し、しかる後リセットレベルを読み出す駆動が行順次で行われる。リセットレベルを読み出し前に、リセットパルス RST による FD 部26のリセット駆動が行われる。

【0106】

このように、第1実施形態の駆動法は、信号レベルを読み出し後にリセットレベルを読み出す駆動法を前提としている。この駆動法を用いるに当たって、画素20Aの画素構造を、 FD 部26のリセットトランジスタ23側を空乏化すべく、少なくとも FD 部26のリセットトランジスタ23側の一部の不純物濃度を薄くする構造とすることで、リセット時のランダムノイズや面内ムラを低減できる。しかも、リセットトランジスタ23のオン期間に、リセットトランジスタ23のドレイン電圧 VRD を、電圧 $Vrst1$ ($< Vde$

10

20

30

40

50

p) から電圧 $V_{rst} > V_{dep}$ に遷移させることで、リセット動作時の残像現象による画質劣化を低減できる。

【0107】

なお、ドレイン駆動線 174 と画素駆動線 17 を共有化構成については、参考例 1, 2 に係る画素構造に限らず、例えば、先述した転送トランジスタ 22 を省略して FD 部 26 に直接電荷を蓄積する画素構造に対しても適用可能である。

【0108】

< 3 . 第 2 実施形態 >

ところで、一括で画素を駆動する場合と行順次で画素を駆動する場合では、駆動回路の総負荷が異なるため、電源電圧が降下するなどの要因で、リセットパルス RST の信号遷移の立ち上がり時間・立下り時間が異なる。これは、リセットパルス RST のアクティブ期間が、一括で画素を駆動する場合と行順次で画素を駆動する場合で異なることを意味する。

10

【0109】

ここで、図 29 のタイミングチャートにおいて、一括で画素を駆動する場合のリセットパルス RST は前半のパルス、即ち一括転送前の初期化のためのリセットパルスである。また、行順次で画素を駆動する場合のリセットパルス RST は後半のパルス、即ち読み出し期間で行う再初期化のためのリセットパルスである。前にも述べたように、図 29 のタイミングチャートは、FD 部 26 で信号電荷を保持した状態から読み出す場合、あるいは FD 部 26 で信号電荷を蓄積する場合の駆動の順番を示している。

20

【0110】

このように、リセットパルス RST のアクティブ期間が異なると、FD 電圧の収束が過渡状態である場合に、リセットパルス RST の非アクティブ時の FD 電圧が、一括で画素を駆動する場合と行順次で画素を駆動する場合で異なることになる。この FD 電圧の違いはリセットレベルの差であり、出力オフセット（ノイズ）となる。

【0111】

そこで、第 2 実施形態では、図 17 のタイミングチャートに示す駆動法を採る。具体的には、全画素について同一の露光期間で光電変換する一括露光動作において、信号電荷が FD 部 26 へ転送されて保持状態となる前に、FD 部 26 を初期化する動作において、全画素一括駆動ではなく行順次走査で駆動するようにする。すなわち、一括露光動作において、信号電荷を FD 部 26 へ一括転送する前に、FD 部 26 に対して行順次で初期化（リセット）駆動を行うようにする。

30

【0112】

このような駆動法を採ることで、電荷転送前の FD 部 26 のリセットパルス RST のアクティブ期間と、読み出し期間におけるリセットパルス RST のアクティブ期間との相関を高めることができる。すなわち、一括転送前の初期化のためのリセットパルス RST と読み出し期間で行う再初期化のためのリセットパルス RST の各アクティブ期間の違いを抑えることができる。これにより、リセットパルス RST のアクティブ期間の違いに伴う FD 電圧の違いを無くすことができるために、FD 電圧の違い（リセットレベル差）に起因する出力オフセットによる画質劣化を低減できる。

40

【0113】

このとき、行順次でリセットパルス RST を供給する間隔は、読み出し期間の間隔と同じでも構わない。ただし、一括露光期間では信号の読み出し動作を実行する必要がないため、より短い間隔で高速走査を行うようにしても構わない。また、その際、複数行ずつまとめて駆動しても、一括駆動よりは高い相関を得ることができるために、ノイズ低減効果は得られる。

【0114】

因みに、一括露光動作における一般的な駆動例を図 18 に示す。一般的な駆動例では、FD 部 26 は一括露光前に一括リセットされ、一括転送後に行順次走査にて信号レベルの読み出しと再リセットによるリセットレベルの読み出しが実行される。これに対して、第

50

2実施形態の駆動法では、図14のタイミングチャートから明らかなように、一括露光期間中にFD部26のみを行順次走査によってリセットする駆動が行われる。

【0115】

第2実施形態の駆動法は、第1実施形態に係る画素構造、即ちFD部26のリセットトランジスタ23側を空乏化すべく、少なくともFD部26のリセットトランジスタ23側の一部の不純物濃度を薄くする画素構造に対して適用することができる。ただし、第1実施形態に係る画素構造への適用に限られるものではなく、FD部26のリセットトランジスタ23側が空乏化されていない画素構造に対しても適用可能である。

【0116】

第2実施形態の駆動法を第1実施形態に係る画素構造に適用する場合の駆動例を図19に示す。本駆動例では、選択パルスSELのHigh側の電圧V_{dd}と、FD部26のリセット電圧V_{rst h}とを同電位とした場合となっている。

【0117】

この場合は、一括露光期間において、リセットパルスRSTのアクティブ期間に、リセットトランジスタ23のドレイン電圧V_{RD}を、空乏化ポテンシャルV_{dep}よりも低い電圧V_{rst l}から空乏化ポテンシャルV_{dep}よりも高い電圧V_{rst h}に遷移させるようにする。

【0118】

なお、本実施形態に係る駆動法では、一括露光の期間中に、FD部26のリセットを行順次走査で実行するとしたが、2行以上の複数の画素行を1単位として、当該単位ごとに順次走査でFD部26のリセット動作を行うようにしても良い。これによれば、より高速にFD部26のリセット動作を完了することができる。ただし、読み出し動作と同じく1行ずつの行順次走査を行う方が、電荷転送前のFD部26のリセットパルスRSTのアクティブ期間と、読み出し期間におけるリセットパルスRSTのアクティブ期間との相関が取り易いのでより好ましい。

【0119】

<4.他の画素構造例>

本発明は、先述した参考例1, 2に係る画素構造以外にも、以下に説明する各種の画素構造に対しても適用可能である。

【0120】

(画素構造例1)

図6に示したように、一般的にFD部26の領域の電圧を読み出すためにコンタクト部27を接続するため、その接続部は空乏化しないような高い不純物濃度で形成される。このような場合以外であれば、リセットトランジスタ23側だけでなく、他領域を空乏化しても構わない。

【0121】

例えば、図20に示すように、FD部26におけるコンタクト27を接続するn+不純物拡散領域263以外の基板表面をp+不純物拡散領域264で覆っても構わない。図20において、(a)はFD部26の周辺部の平面図、(b)は(a)のX-X'線に沿った断面図である。

【0122】

この画素構造例1によれば、n+不純物拡散領域263をより広い範囲に亘ってp+不純物拡散領域264が覆うために暗電流を低減することができる。そして、この画素構造例1に係る画素構造に対しても、先述した第1実施形態や第2実施形態を適用することができる。

【0123】

(画素構造例2)

容量結合を用いてFD部の電圧を読み出す画素構造(例えば、特開2004-015291号公報、特開2005-184479号公報等参照)に対しても、条件によって先述した第1実施形態を適用することができる。すなわち、FD部の少なくともリセットトラン

10

20

30

40

50

ンジスタ側が空乏化していれば、第1実施形態を適用することができる。なお、先述した第2実施形態については、FD部の少なくともリセットトランジスタ側が空乏化していなくても適用することができる。

【0124】

図21は、容量結合を用いてFD部の電圧を読み出す画素構造、即ち画素構造例2に係る画素構造を示す図である。図21において、(a)は画素の回路図、(b)は画素構造の断面図である。

【0125】

図21(a)に示すように、画素構造例2に係る画素20Bは、FD部26のゲート電極と電源V_{dd}との間に接続された第2のリセットトランジスタ51を有している。この第2のリセットトランジスタ51は、第2のリセット線175を通してゲート電極に与えられるリセット信号CRSTにตอบสนองしてオン状態になることで、FD部26のゲート電圧を電源V_{dd}にリセットする。

10

【0126】

図21(b)において、電荷保持部としてのFD部26は、n不純物拡散領域からなり、当該n不純物拡散領域の少なくともリセットトランジスタ23側で空乏状態となるよう不純物濃度が調整されている。このFD部26のゲート電圧は、リセット信号CRSTによってあらかじめ電源V_{dd}にリセットされている。

【0127】

そして、フォトダイオード21から信号電荷が転送トランジスタ22を介してFD部26へ転送されると、FD部26のゲート電圧は、n不純物拡散領域とゲート電極との間に形成されるゲート容量による容量結合によって信号電荷分だけ変調されて変化する。FD部26のゲート電極は、増幅トランジスタ24のゲート電極に接続されている。したがって、増幅トランジスタ24および選択トランジスタ25を介してFD部26のゲート電圧を垂直信号線18に読み出すことができる。

20

【0128】

このように、容量結合を用いてFD部26の電圧を読み出す画素構造例2に係る画素構造に対しても、FD部26の少なくともリセットトランジスタ23側が空乏化していれば、先述した第1、第2実施形態を適用することができる。FD部26の少なくともリセットトランジスタ側が空乏化していなくても、第2実施形態については適用することができる。

30

【0129】

(画素構造例3)

電荷を一時的に保持するメモリ部を有する画素構造(例えば、特開平11-177076号公報、特開2006-311515号公報、特願2008-096884号明細書等参照)に対しても、先述した第1、第2実施形態を適用することができる。

【0130】

一例として、図22にメモリ部を有する画素構造、即ち画素構造例3に係る画素構造を示す。当該画素構造は、フォトダイオード21とFD部26との間にn不純物拡散領域で形成されたメモリ部52を有するとともに、フォトダイオード21からメモリ部52に電荷を転送する転送ゲート53を有する構成となっている。転送ゲート53は、メモリ部52の全面に亘って形成される。

40

【0131】

この画素構造において、露光終了時にフォトダイオード21で蓄積された電荷は、転送ゲート53が信号HLDによって駆動されることでメモリ部52に転送され、当該メモリ部52に一時的に保持される。この保持された電荷の読み出しは、メモリ部52を持たない画素構造の場合と同様に、転送トランジスタ22によってFD部26へ転送される。

【0132】

かかる構成の画素構造例3に係る画素構造に対しても、先述した第1、第2実施形態を適用することができる。特に、特願2008-096884号明細書で提案されている画

50

素構造は、メモリ部 5 2 と F D 部 2 6 の両方に電荷を蓄積する構成を採っている。具体的には、フォトダイオード 2 1 からメモリ部 5 2 に転送された電荷のうち、メモリ部 5 2 を溢れた分の電荷を F D 部 2 6 に蓄積し、残り（溢れない分）をメモリ部 5 2 に保持するようにしている。

【 0 1 3 3 】

このように、メモリ部 5 2 と F D 部 2 6 の両方に電荷を蓄積する構成を採る画素構造では、メモリ部 5 2 に保持されている電荷を一括して F D 部 2 6 に転送する一括転送が行われる。したがって、F D 部 2 6 とは別に電荷を一時的に保持するメモリ部 5 2 を有し、特にメモリ部 5 2 から F D 部 2 6 への電荷の一括転送を行う画素構造にあっては、先述した第 1 , 第 2 実施形態を適用すると効果的である。

10

【 0 1 3 4 】

(画素構造例 4)

光電変換を行う受光部（光電変換素子）については、シリコン（S i）による画素構造に限らない。例えば、有機光電変換膜を用いた画素構造（例えば、特開 2 0 0 7 - 2 0 8 8 4 0 号公報、特開 2 0 0 8 - 2 2 8 2 6 5 号公報等参照）に対しても、先述した第 1 , 第 2 実施形態を適用することができる。有機光電変換膜を用いた構造においては、シリコンにおける埋め込み型のフォトダイオードのように電荷の完全転送が実現できない場合が多いため、先述した第 1 , 第 2 実施形態を適用するとより効果的である。

【 0 1 3 5 】

図 2 3 は、有機光電変換膜を用いた画素構造、即ち画素構造例 4 に係る画素構造を示す図であり、(a) は回路図、(b) は断面図である。図 2 3 において、図 2 と同等部分には同一符号を付して示し、重複説明は省略する。

20

【 0 1 3 6 】

光電変換膜 6 1 は上部電極 6 2 と下部電極 6 3 で挟まれている。少なくとも下部電極 6 3 は画素毎に分割され、透明性の高い電極が使われることが多い。上部電極 6 2 の上には保護膜 6 4 が設けられている。そして、上部電極 6 2 に対してバイアス電源 6 4 によりバイアス電圧が印加されている。

【 0 1 3 7 】

光電変換膜 6 1 での光電変換によって発生した電荷は F D 部 2 6 に蓄積される。F D 部 2 6 の電荷は、増幅トランジスタ 2 4 を含む読み出し回路を介して垂直信号線 1 8 から電圧として読み出される。F D 部 2 6 は、リセットトランジスタ 2 3 によってリセットされる。そして、リセットトランジスタ 2 3 のドレイン電圧 V R D は、F D 部 2 6 の空乏化されたリセットトランジスタ 2 3 側のポテンシャルよりも、低い電圧 V r s t l から高い電圧 V r s t h へ遷移させることが可能となっている。

30

【 0 1 3 8 】

図 2 3 (b) に示すように、F D 部 2 6 の少なくともリセットトランジスタ 2 3 側を空乏化できるような構造となっている。具体的には、n+不純物拡散領域からなる F D 部 2 6 において、リセットトランジスタ 2 3 側の部分を n 不純物拡散領域 2 6 1 とし、コンタクト部 2 7 を接続する領域以外の表層部に p+不純物拡散領域 2 6 2 を形成した構造となっている。

40

【 0 1 3 9 】

図 2 4 は、画素構造例 4 に係る画素構造に先述した第 1 実施形態を適用する場合の駆動例の説明に供するタイミングチャートである。

【 0 1 4 0 】

図 1 3 に示した第 1 実施形態に係る画素 2 0 A の回路例の場合の駆動例を示す図 1 6 では、電圧 V r s t h と電源電圧 V d d を同電位とし、電圧 V r s t l と電源電圧 V s s を同電位としている。これに対して、本駆動例を示す図 2 4 では、V r s t h V d d、V r s t l V s s の場合を示している。

【 0 1 4 1 】

図 2 4 において、V S W 0 i , V S W 1 i , V S W 2 i , V S W 3 i は、図 1 5 に示し

50

た駆動回路133のスイッチトランジスタSW11, SW12, SW21, SW22を駆動する信号である。すなわち、これら駆動信号VSW0i, VSW1i, VSW2i, VSW3iによる駆動の下に、駆動回路133から振幅Vss - Vddの選択パルスSELが出力されるとともに、電圧Vrstlと電圧Vrsthとを択一的に出力される。

【0142】

前にも述べたように、電圧Vrsthと電源電圧Vddを同電位とし、電圧Vrstlと電源電圧Vssを同電位とする場合は、電圧Vrstlと電圧Vrsthとを択一的に出力するための駆動信号VSW2i, VSW3iが不要になる。これにより、図15に示した駆動回路133におけるCMOSインバータINV2を削減することができるため、駆動回路133、ひいては行走査部13の簡略化を図ることができる。

10

【0143】

(画素構造例5)

前にも述べたが、受光部の電荷排出動作のために転送トランジスタ22とは別に電荷排出ゲートを持つ画素構造に対しても、先述した第1, 第2実施形態を適用することができる。

【0144】

図25は、電荷排出ゲートを持つ画素構造、即ち画素構造例5に係る画素構造の回路構成を示す回路図である。図25において、図13と同等部分には同一符号を付して示し、重複説明は省略する。

【0145】

図25に示すように、フォトダイオード21のカソード電極と電源Vddとの間に電荷排出ゲート29が接続されている。電荷排出ゲート29の制御電極には、駆動回路134から制御線176を介して電荷排出制御信号OFGが与えられる。

20

【0146】

このように、電荷排出ゲート29を持つ画素構造の場合、転送トランジスタ22とリセットトランジスタ23を介さずにフォトダイオード21の電荷の排出が可能である。したがって、FD部26の行順次走査によるリセットは、一括リセット動作のタイミングに制約を受けない。

【0147】

例えば、図13に示した画素20Aの駆動例を示す図19では、一括リセットの後に行順次走査によるFD部26のリセット動作を開始し、一括転送の前に当該リセット動作を終了する必要がある。

30

【0148】

これに対して、電荷排出ゲート29を持つ画素構造の場合、図26に示す駆動例のように、行順次走査によるFD部26のリセット動作の期間中に、電荷排出ゲート29によってフォトダイオード21の蓄積電荷を全画素一括で排出する一括リセットの動作が可能である。すなわち、行順次走査によるFD部26のリセット動作については、一括転送以前であれば、全画素一括のリセット動作(電荷排出動作)を時間的に跨いで、画素行ごとのリセット動作を完了しても構わない。したがって、一括リセット動作のタイミングに制約を受けない。

40

【0149】

<5. 変形例>

上記各実施形態では、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に2次元配列されてなるCMOSイメージセンサに適用した場合を例に挙げて説明したが、これに限られるものではない。すなわち、本発明は、信号レベルの読み出し後にリセットレベルを読み出す駆動を行うX-Yアドレス方式の固体撮像装置全般に対して適用可能である。

【0150】

また、本発明は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する

50

固体撮像装置に適用可能である。さらに、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の物理量分布検知装置を固体撮像装置とする場合もある。

【 0 1 5 1 】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

【 0 1 5 2 】

< 6 . 電子機器 >

本発明は、固体撮像装置への適用に限られるものではなく、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

【 0 1 5 3 】

[撮像装置]

図 27 は、本発明による電子機器の一例である撮像装置の構成例を示すブロック図である。図 27 に示すように、本発明による撮像装置 100 は、レンズ群 101 等を含む光学系、撮像素子 102、カメラ信号処理部である DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106、操作系 107 および電源系 108 等を有している。そして、DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106、操作系 107 および電源系 108 がバスライン 109 を介して相互に接続された構成となっている。

【 0 1 5 4 】

レンズ群 101 は、被写体からの入射光（像光）を取り込んで撮像素子 102 の撮像面上に結像する。撮像素子 102 は、レンズ群 101 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子 102 として、先述した第 1 ~ 第 5 実施形態または適用例に係る CMOS イメージセンサが用いられる。

【 0 1 5 5 】

表示装置 105 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置からなり、撮像素子 102 で撮像された動画または静止画を表示する。記録装置 106 は、撮像素子 102 で撮像された動画または静止画を、ビデオテープや DVD (Digital Versatile Disk) 等の記録媒体に記録する。

【 0 1 5 6 】

操作系 107 は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系 108 は、DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106 および操作系 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【 0 1 5 7 】

このような撮像装置 100 は、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールに適用される。そして、この撮像装置 100 において、撮像素子 102 として先述した第 1, 第 2 実施形態に係る CMOS イメージセンサを用いることができる。これら実施形態に係る CMOS イメージセンサによれば、リセット時のランダムノイズや面内ムラを低減した上で、リセット動作時の画質劣化を低減できるために、より高画質の撮像画素を得ることができる。

【 符号の説明 】

【 0 1 5 8 】

10 ... CMOS イメージセンサ、 11 ... 半導体基板、 12 ... 画素アレイ部、 13 ... 垂直駆動部、 14 ... カラム処理部、 15 ... 水平駆動部、 16 ... 出力回路部、 17 ... システム制

10

20

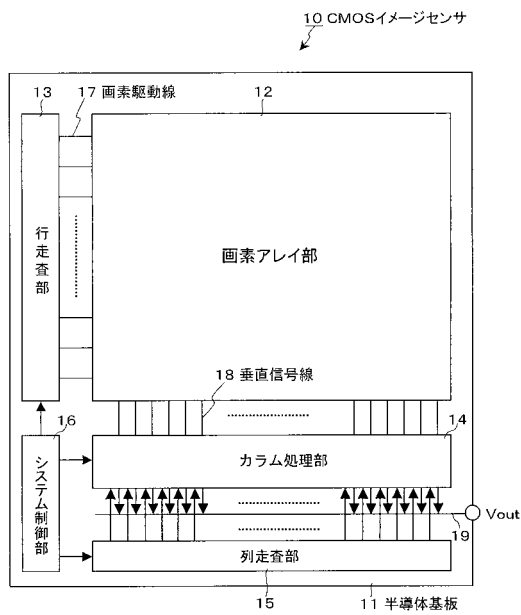
30

40

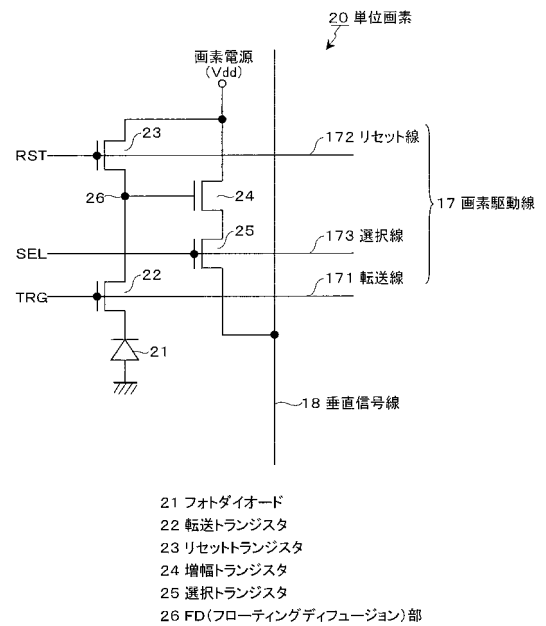
50

御部、20, 20A...単位画素、21...フォトダイオード、22 転送トランジスタ、23 ...リセットトランジスタ、24 ...増幅トランジスタ、25 ...選択トランジスタ、26 ...FD (フローティングディフュージョン/浮遊拡散領域)部、29...電荷排出ゲート

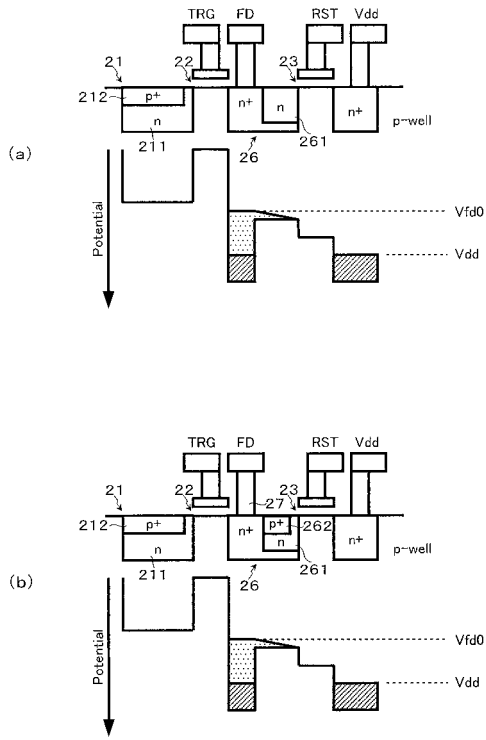
【図1】



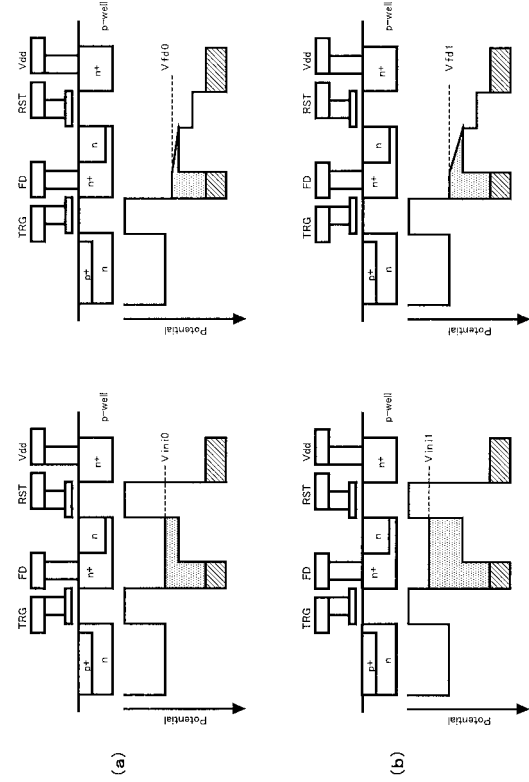
【図2】



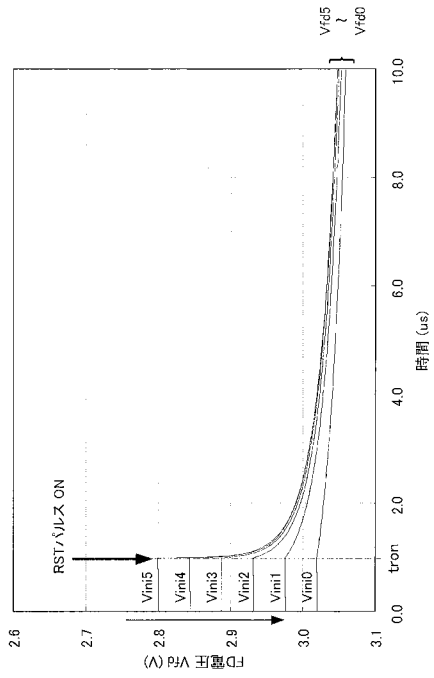
【 図 3 】



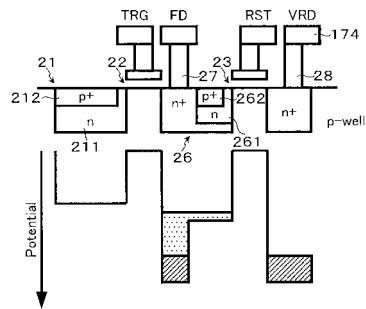
【 図 4 】



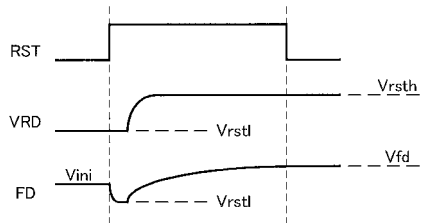
【 図 5 】



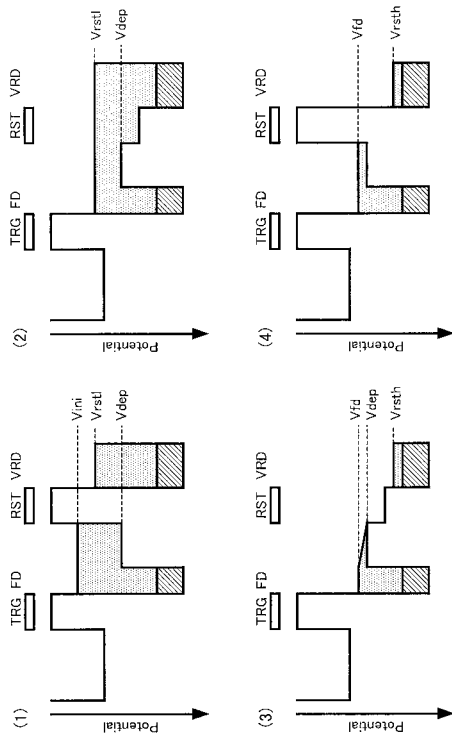
【 図 6 】



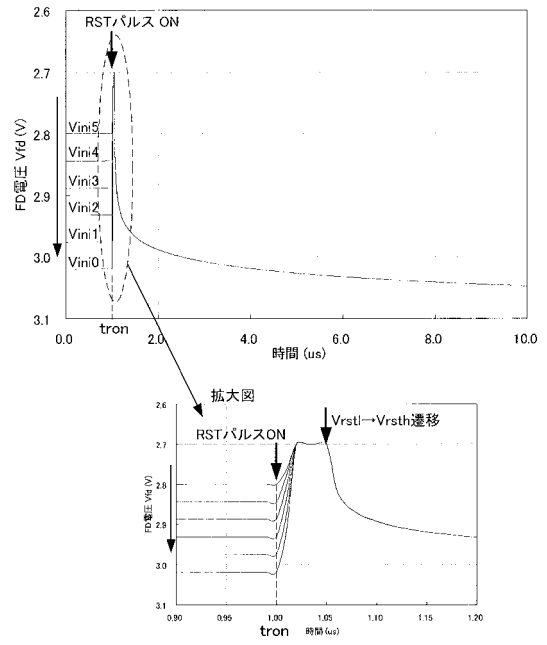
【 図 7 】



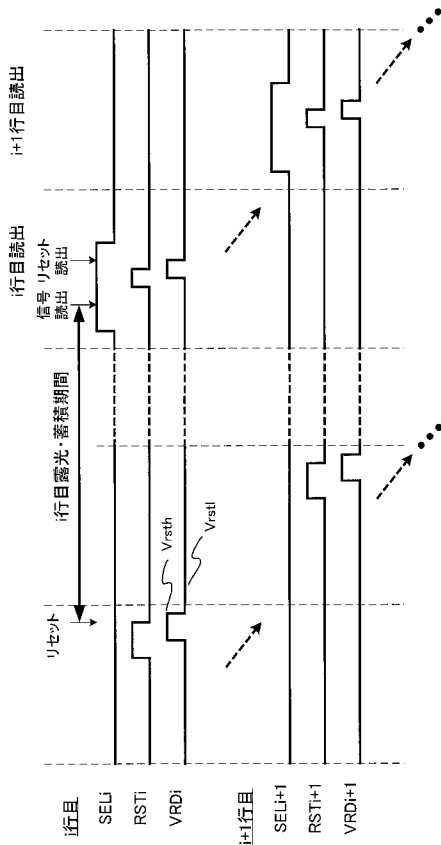
【図 8】



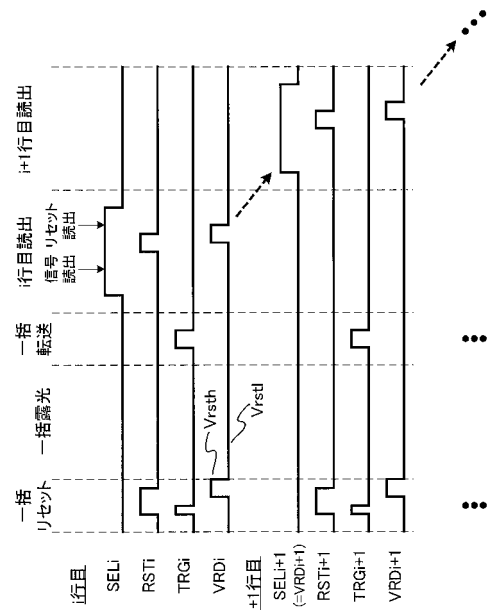
【図 9】



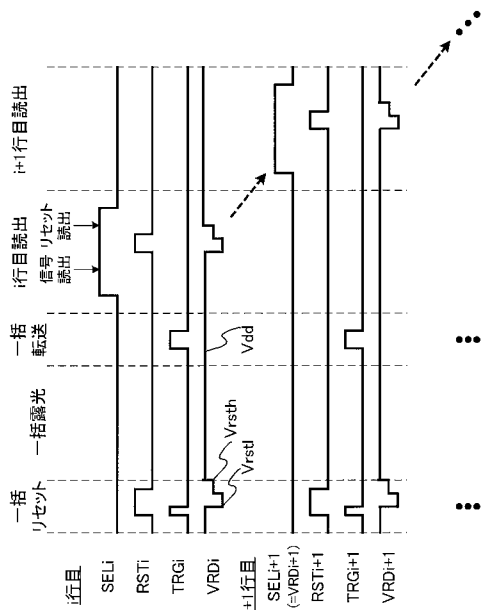
【図 10】



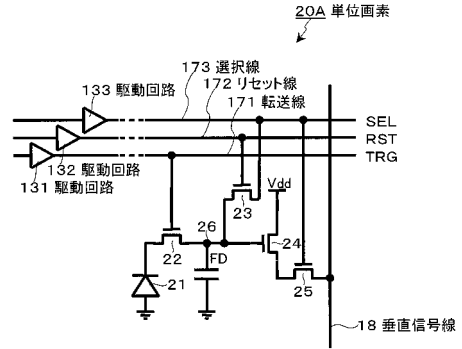
【図 11】



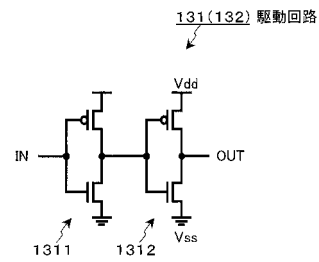
【図12】



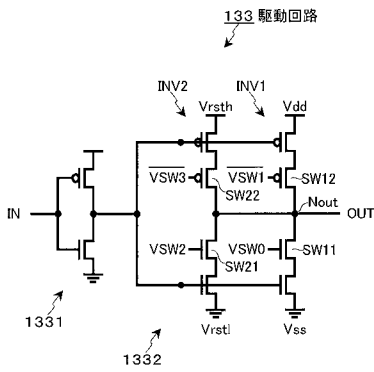
【図13】



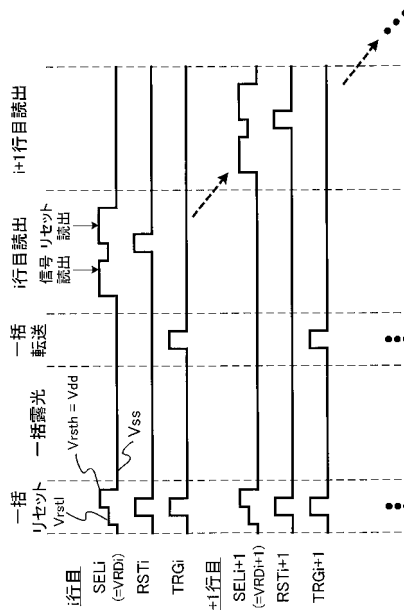
【図14】



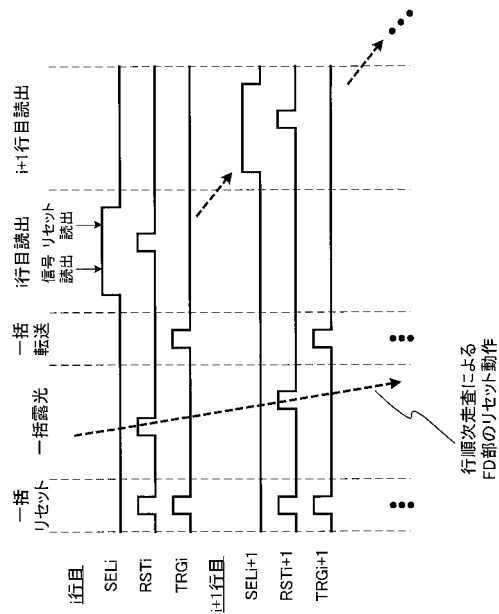
【図15】



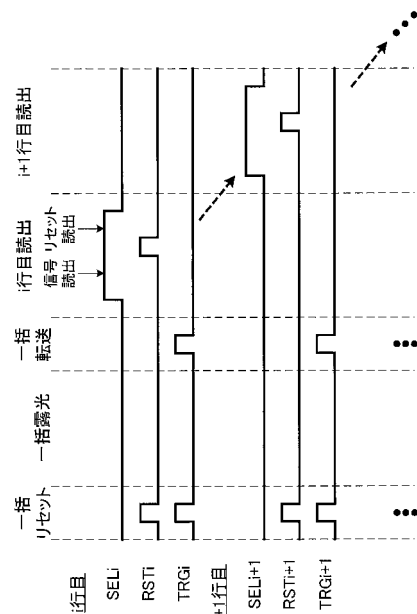
【図16】



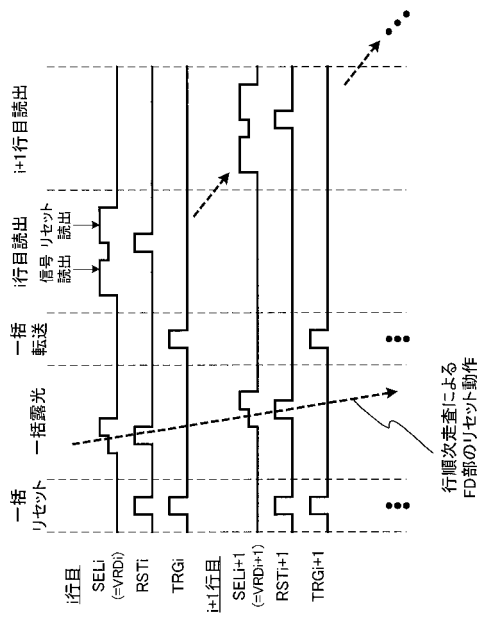
【図 17】



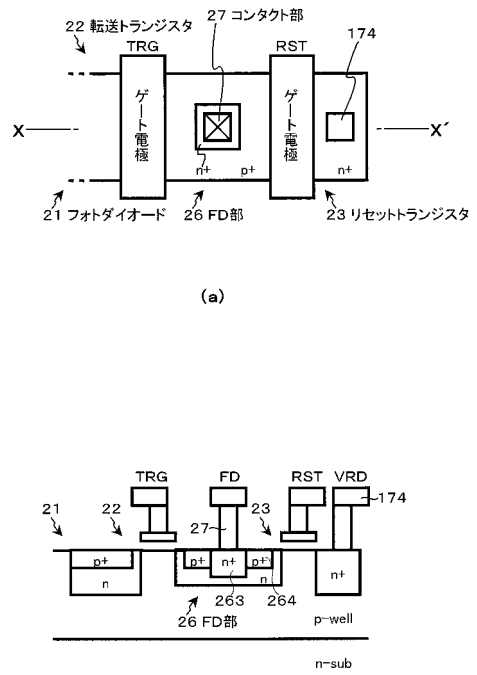
【図 18】



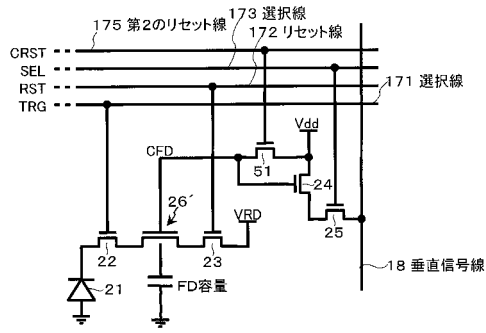
【図 19】



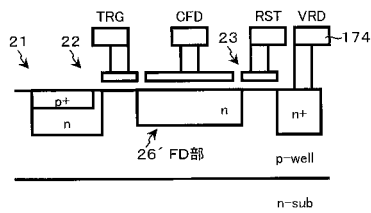
【図 20】



【図 2 1】

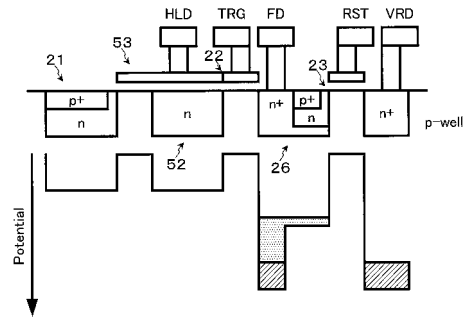


(a)



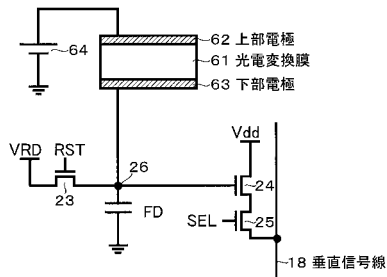
(b)

【図 2 2】

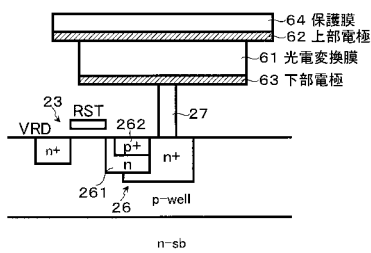


52 メモリ部
53 転送ゲート

【図 2 3】

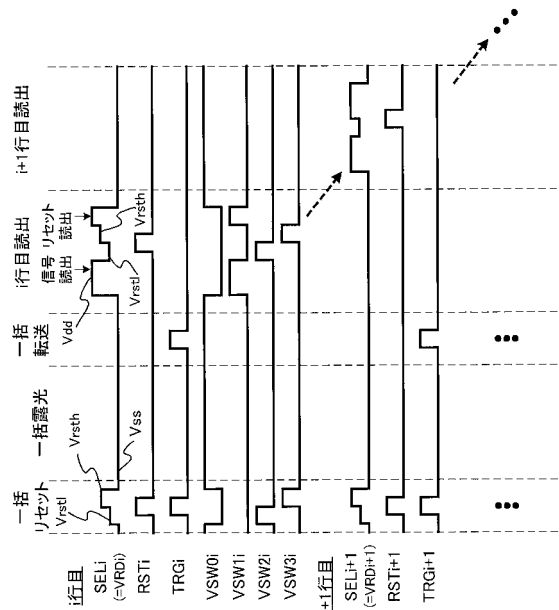


(a)

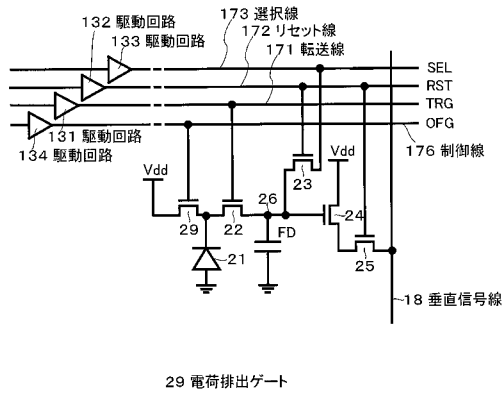


(b)

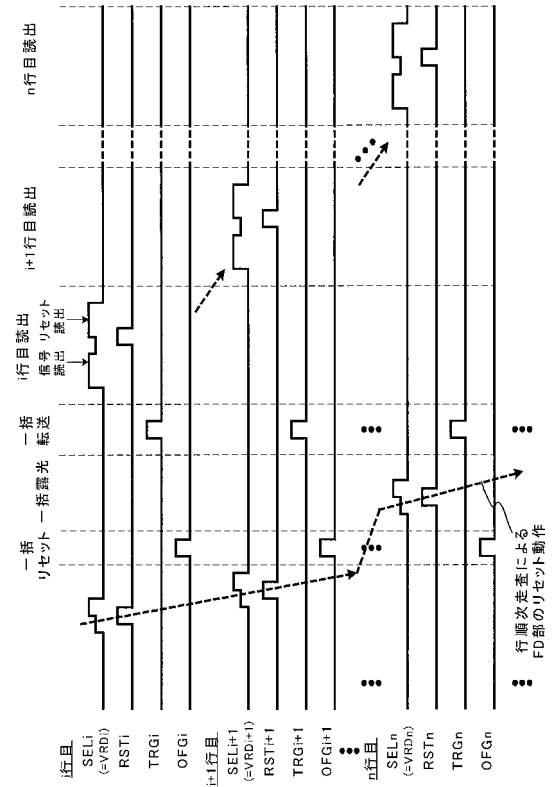
【図 2 4】



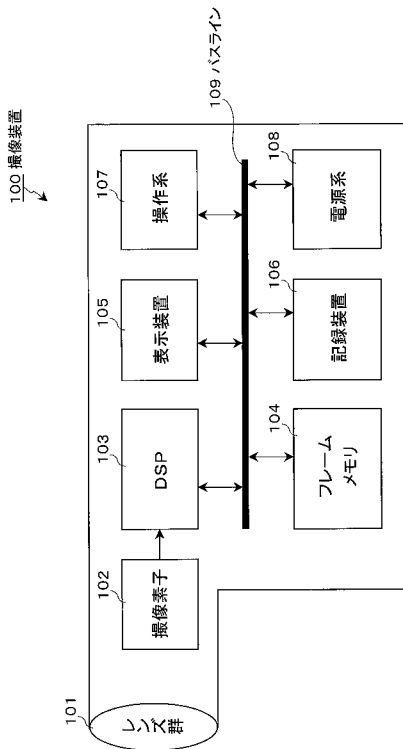
【図25】



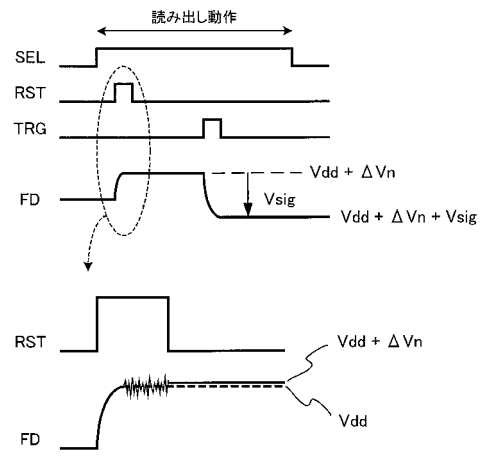
【図26】



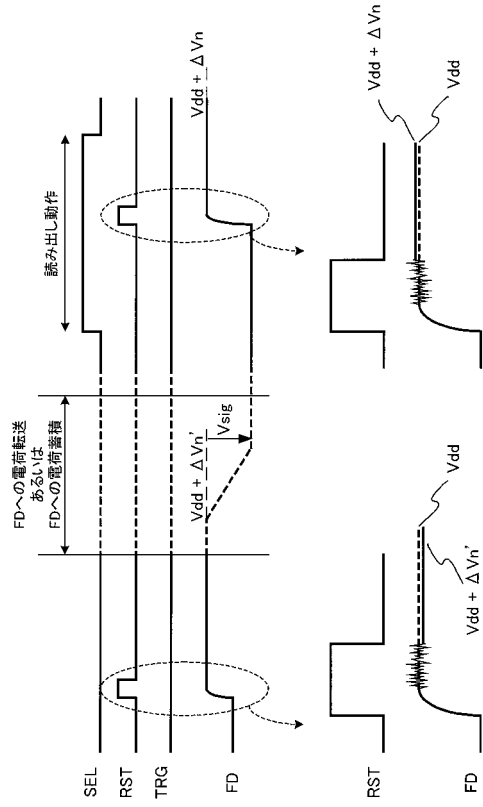
【図27】



【図28】



【図29】



フロントページの続き

審査官 若林 治男

(56)参考文献 特開2001-309243(JP,A)
特開平6-245144(JP,A)
特開2007-068099(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378

H04N 5/222 - 5/257

H01L 27/146