

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/50	(11) 공개번호 특2000-0011738	(43) 공개일자 2000년02월25일
(21) 출원번호 10-1999-0028642	(22) 출원일자 1999년07월 15일	
(30) 우선권주장 (71) 출원인	9/120,148 1998년07월21일 미국(US) 루센트 테크놀러지스 인크 보토스 알. 제이	
(72) 발명자	미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636) 데가니워논 미국뉴저지주08904하이랜드파크클리브랜드애비뉴10 프리에로버트찰스 미국뉴저지주08853피스카타웨이칼튼애비뉴334비 로우워렝 미국뉴저지주07922버클리하이츠버클리스퀘어11	
(74) 대리인	김창세, 장성구	

심사청구 : 있음

(54) 아이씨 패키지

요약

본 발명은 IC 칩이 리세스되는 인쇄 회로 보드 내의 공동(cavity)이 관통 홀 상호접속부로서 사용되어 상호접속 밀도를 증가시키는 리세스된 칩 IC 패키지에 관한 것이다. 관통 홀 상호접속부가 파워와 그라운드로서 사용되면, 신호 I/O 패드와 신호 러너가 효과적으로 격리된다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 리세스된 칩 MCM 패키지를 위한 통상적인 상호접속 시스템의 부분적인 단면도를 도시하는 개략도,
 도 2는 본 발명의 개선된 상호접속 배열의 일 실시예를 도시하는 도 1과 유사한 도면,
 도 3은 이와는 다른 실시예를 도시하는 도 2와 유사한 도면,
 도 4는 도 3의 상호접속 기관의 윗면의 평면도,
 도 5는 도 3의 상호접속 기관의 아래면의 평면도,
 도 6은 본 발명을 공동(cavity)이 PWB의 두께의 일부분만을 통과하여 연장되는 다수 층(multilayer) PWB에 적용한 실시예를 도시하는 도면.

도면의 주요 부분에 대한 부호의 설명

- 11 : IC 칩
- 12 : 중간 상호접속 기관
- 13 : 상호접속부
- 14 : PWB
- 15 : 공동
- 16 : 땀납 볼
- 17, 19, 35, 36 : 러너
- 18 : 도금된 관통 홀 상호접속부
- 21, 22, 23, 24 : 그라운드 상호접속부
- 31, 32 : 모서리 접속기
- 33, 34 : 땀납 범프 상호접속부

- 41 : 볼 그리드 어레이 상호접속 기판
- 42, 43 : 파워와 그라운드 상호접속부
- 44, 45 : I/O 신호 상호접속부
- 61 : 추가된 PWB 레벨

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다수 칩 모듈(multi-chip module : MCM) 집적 회로 패키지에 관한 것으로, 보다 상세하게는 하나 이상의 칩이 상호접속 기판 내의 공동(cavity) 안으로 리세스되는 MCM 패키지에 관한 것이다.

리세스된 칩 MCM 패키지는 상호접속 기판 면적을 효율적으로 활용하고, 전체 패키지 프로파일을 낮게 하며, 상호접속 길이를 감소시키기 때문에, IC 디바이스 상호접속 기술에 있어서 점점 더 많이 사용되고 있다. 리세스된 칩 패키지의 다양한 선택 사양은 1997년 3월 4일 허여된 미국 특허 제 5,608,262 호에서 설명되고 청구되어 있는데, 본 발명을 위하여 본 명세서에서 참조로서 인용하였다.

리세스된 칩 패키지는 세 구성요소에 의해 특징지워지는데, 이들은 본 명세서에서 제 1 레벨 구성요소로 정의된 주 IC 칩과, IC 칩 또는 패시브 상호접속 기판(passive interconnection substrate) 중 하나로서 본 명세서에서 제 2 레벨 구성요소로 정의된 중간 상호접속 기판(intermediate interconnection substrate : IIS)과, 전형적으로 인쇄 회로 기판(printed circuit board : PCB)이며 제 3 레벨 구성요소로 정의된 시스템 상호접속 기판(system interconnection substrate : SIS)이다. 이들 구성요소는, 제 2 레벨 구성요소가 하나 또는 그 이상의 IC 칩을 수용하고 제 3 레벨 구성요소가 하나 또는 그 이상의 제 2 레벨 구성요소를 수용하도록 면적이 점차 넓어진다. 세 구성요소 패키지에서, 제 1 레벨 구성요소는 전형적으로 제 2 레벨 구성요소에 결합된 플립 칩(flip-chip)이고, 제 2 레벨 구성요소는 제 3 레벨 구성요소 상에 탑재된 플립 칩이며, 제 1 레벨 구성요소가 제 3 레벨 구성요소 내에 형성된 공동 안으로 리세스된다.

이러한 기본 개념을 이용하여 다양한 변형이 가능한데, 예를 들어, 시스템 상호접속 기판 자체가 중간 상호접속 기판으로 작용할 수 있고 제 4 보드 레벨에 부착되어, 제 2 레벨 구성요소가 제 4 레벨 구성요소 내의 공동 안으로 리세스될 수 있다.

리세스된 공동 구조체는 효과적인 상호접속 배열을 갖지만, 보다 집적된 상호접속부와 보다 우수한 상호접속 성능에 대한 요구가 늘어나고 있다.

발명이 이루고자하는 기술적 과제

본 발명에 따르면 리세스된 칩 MCM 패키지를 위한 개선된 상호접속 접근 방법이 제공된다. 개선된 점의 핵심적인 특징은 레벨간 상호접속을 위해 공동을 사용함에 있어 리세스된 공동 측벽을 금속화(metallizing)하고 이 금속화를 하나 또는 그 이상의 관통 접속부(through connection)를 위해 사용하는 것이다. 관통 공동 상호접속 접근 방법은 단일 공동 내에 다수의 레벨간 상호접속부를 허용하며, 파워(power)와 그라운드(ground) 상호접속부를 위해 특히 적합하다.

발명의 구성 및 작용

도 1을 참조하면, IC 칩(11)과 중간 상호접속 기판(intermediate interconnection substrate : IIS)(12)을 포함하는 리세스된 칩 모듈을 도시하고 있다. IIS는 에폭시나 세라믹과 같은 적당한 임의의 재료일 수 있으나, 실리콘이 선호된다. 칩(11)은, 전형적으로 뿔납이지만 도전성 에폭시와 같은 기타 도전성 재료일 수도 있는 상호접속부(13)에 의해 IIS(12)에 결합되는 플립 칩이다. 플립 칩 결합을 위해 사용되는 기법은 본 발명의 일부가 아닌데, 예컨대, 뿔납 범프나 볼 결합(ball bonding) 또는 도전성 에폭시 등일 수 있다. IIS 타일(12)은 뿔납이나 도전성 에폭시 I/O 상호접속부(15)로 인쇄 배선 보드(printed wiring board : PWB)에 플립 결합(flip-bond)된다. 리세스된 칩 MCM 내에는, 도시한 바와 같이 칩(11)이 PWB 표면 아래로 리세스될 수 있도록 PWB(14)에 공동(15)이 제공된다. 도 1에 도시한 바와 같이 공동은 PWB의 두께 전체를 통과하여 연장되거나, PWB의 일부만을 통과하여 연장될 수도 있다. 도시한 배열에서, PWB는 양면 인쇄 회로를 구비하는 단일 레벨 보드이다. PWB는 다수 레벨 PWB일 수도 있다. PWB는 시스템 인쇄 배선 보드(도시하지 않음)에 상호접속될 수 있다. PWB가 수 개의 IIS를 수용할 수 있는, 보다 큰 PWB의 일부분이라는 것을 나타내기 위해, PWB의 절단부(cutaway portion)를 도시하였다.

IIS(12)는 기판 주변에 정사각이나 직사각의 형상 내에 배열된 큰 I/O 결합 어레이를 구비하는 쿼드 패키지(quad package)와 같은 액티브 디바이스일 수 있다. 이와는 달리, IIS는 한면 또는 양면에 인쇄 회로를 구비하는 실리콘과 같은 패시브 상호접속 기판일 수 있다. 도 1에 도시한 상호접속 배열에서, 뿔납 볼(16)은 PWB(14) 상의 결합 패드에 결합되어 있다. 이 패드는, 도금된 관통 홀 상호접속부(18)로 연장되고 이어서 PWB의 아래면에 있는 러너(19)를 경유하여 다른 컨택트 사이트(도시하지 않음)로 연장되는 러너(17)에 의해 상호접속된다. PWB가 다른 보드에 납땜결합되는 경우 혹은 PWB에 배선 결합이 이루어지는 경우, 상기 다른 컨택트 사이트는 다른 결합 패드일 수 있다. 이와는 달리, 예를 들어, PWB가 플러그 인(plug-in) 회로 카드인 경우, 컨택트 사이트는 슬롯 상호접속부일 수 있다. 본 명세서에서, 도시한 상호접속부(16, 17, 18, 19)는 파워 상호접속부이고, 구성요소(21, 22, 23, 24)를 포함하는 유사

한 상호접속부는 그라운드 상호접속부이다. 나머지 I/O 접속부는 통상적인 것으로서 도시하지 않았다.

도 2에 도시한 개선된 배열에 따르면, 이 실시예에서 상호접속부는 PWB의 윗면으로부터 PWB의 아래면으로 공동(15)의 모서리나 측벽을 따라 연장되는 모서리 접속기(31, 32)를 포함한다. 두 도면에 공동되는 구성요소는 동일한 참조 번호를 갖는다. 땀납 범프 상호접속부(33, 34)는 구조체에 추가적인 상호접속 능력을 제공한다. 도 2의 실시예에서, 땀납 범프(33, 34)는 IIS(12)를 PWB(14) 윗면에 있는 컨택트 패드로, 이어서 도금된 모서리 접속기(31, 32)를 따라 PWB 아래면에 있는 러너(35, 36)로 상호접속한다. 리세스된 칩 보드 조립체 내의 공동의 모서리에 대한 도전성 도금을 사용하여 가능하게 된, 추가된 상호접속부는 I/O 신호를 수용할 수 있으나, 파워와 그라운드 상호접속부에 사용되는 것이 바람직하다. 이러한 형상은 파워와 그라운드 접속부가 최적으로 단락되도록 하며, 그들이 신호 러너로부터 상대적으로 격리되도록 한다.

본 발명의 또 다른 실시예를 도 3에 도시하는데, 여기서 IIS(12)는 볼 그리드 어레이 상호접속 기판(41)에 부착된다. 볼 결합(42, 43)은 파워와 그라운드 상호접속부이고, 볼 결합(44, 45)은 I/O 신호 상호접속부를 포함한다. IIS(12)가 제거된 상호접속 기판(41)의 윗면이 도 4에 평면으로 도시되어 있으며, 상호접속 기판의 아래면은 도 5에 도시한다. 도 3 내지 5의 볼 그리드 어레이 실시예에서는, 상호접속 기판(41)이 채택되어 시스템 보드(도시하지 않음) 상에 탑재된다.

본 발명의 장점은 본 기술 분야의 당업자에게 명백하다. 본 명세서에서 설명한 것과 같은 MCM 패키지 내의 도금된 관통 홀 상호접속부는 패키지 전체 크기를 결정하는 큰 포착 패드(capture pad)를 필요로 한다. 하나 또는 그 이상의 도금된 관통 홀 상호접속부를 제거하면, 전술한 바와 같이 패키지 디바이스 성능을 개선시킬 뿐 아니라 상호접속 기판 면적을 줄이게 된다. 도 4는 파워와 그라운드 관통 홀 상호접속부를 위한 보통의 포착 패드를 제거하여, 상호접속 기판 면적의 대부분(개선된 면적)이 신호 I/O 상호접속부를 위해 이용가능하게 된 것을 도시한다. 도 4에 도시한 라우팅 배열은 상대적으로 단순한데, 즉, 각각의 러너는 신호 범프로부터 인접 관통 홀로 직접 이어진다. 다른 회로 디자인에서는 라우팅이 보다 복잡한데, 즉, 신호 범프로부터 멀리 떨어진 관통 홀로 이어진다. 파워와 그라운드를 위한 공동 모서리 상호접속부에 의해 만들어진 여분의 라우팅 공간이 중요한 장점이다.

본 발명은 하나 또는 그 이상의 칩이 RF 칩인 다수 칩 모듈 패키지에 있어 특히 유용하다. RF 디바이스는 외부 전자장치로부터의 간섭에 특히 민감하다. 본 명세서에서 설명한 상호접속 배열에서는, 공동을 그라운드된 도전성 캡으로 덮음으로써 나아가 RF 칩을 외부 장으로부터 격리시키는 것이 용이하다.

중간 PWB가 보드 두께를 완전히 관통하여 연장되는 개구를 갖고, MCM이 보드 표면 아래로 실질적으로 리세스되도록 탑재되어 패키지 프로파일을 감소시키는 PWB 상호접속 배열에 본 발명이 적용될 수 있다는 것은 명백하다. 전형적으로 이러한 구조체는 사각형의 형상이며 종종 정사각형의 형상이다. IC 칩이 부착되는 중간 상호접속 기판은 네 모서리 부분이 PWB의 부분들로 연장되고, 볼이나 범프 결합이 중간 상호접속 기판과 PWB 사이에 형성되도록 공동을 덮는다. 전형적인 구조체에서, IIS는 전술한 바와 같이 공동 전체를 덮고 네 모서리 모두가 PWB와 겹친다. 그러나, IIS의 마주보는 두 모서리만이 PWB와 겹치고 볼이나 범프 결합이 마주보는 두 모서리를 따라 형성되는 구조체도 동일하게 효율적이다. 원칙적으로, 리세스된 칩 패키지는 공동의 한 모서리만을 따르는 상호접속부로 만들 수 있다.

본 발명은 공동이 PWB의 두께의 일부분만을 통과하여 연장되는 다수 층(multilayer) PWB에도 적용가능하다. 이러한 배열을 도 6에 도시하는데, 추가된 PWB 레벨은 (61)로 나타낸다. 파워와 그라운드 공동 모서리 상호접속부(31, 32)는 도시한 바와 같이 레벨간 인쇄 회로의 일부분을 포함한다. 도 6의 배열 내의 파워와 그라운드 러너는 다수 층 보드의 최하부나 최상부에 있는 컨택트 패드(도시하지 않음)에서 끝날 수 있다. 본 발명을 정의하기 위해, 인쇄 회로 기판이라는 용어는 단일 레벨 보드나 리세스된 공동 측벽을 금속화(metallizing)함으로써 레벨간 상호접속부를 위한 공동을 사용하는 다수 레벨 보드의 한 레벨을 포함하도록 의도된다. 상호접속이 PWB 표면으로부터 레벨간 인쇄 회로로 만들어지면, PWB의 윗면과 아래면에 대한 언급은 윗면과 중간 레벨을 포함하는 것으로 이해될 것이다.

당업자들에 의해 본 발명의 다양한 추가 변형이 가능할 것이다. 본 기술 분야의 진보를 가져오는 원리와 그 상당 범위에 근본적으로 기초하는, 본 명세서의 특정 교시로부터 비롯한 모든 변형물은 설명하고 청구한 대로 본 발명의 범주 내에 있는 것으로 적절히 간주된다.

발명의 효과

본 발명에 따르면 리세스된 칩 MCM 패키지를 위한 개선된 상호접속 접근 방법이 제공되어, 레벨간 상호접속을 위해 공동을 사용함에 있어 리세스된 공동 측벽을 금속화(metallizing)하고 이 금속화를 하나 또는 그 이상의 관통 접속부(through connection)를 위해 사용함으로써, 단일 공동 내에 다수의 레벨간 상호접속부를 허용한다.

(57) 청구의 범위

청구항 1

- ① 상부 주 표면, 하부 주 표면, 적어도 하나의 4변형 공동(quadrilateral cavity)을 구비하는 인쇄 배선 보드(printed wiring board : PWB) - 상기 공동은 상기 상부 주 표면 내에 형성되고 상기 PWB를 통하여 상기 하부 주 표면으로 연장됨 - 와,
- ② 상기 공동의 적어도 하나의 모서리를 따라 상기 PWB의 상기 상부 주 표면 상에 있는 제 1 상호접속 사이트 어레이와,
- ③ 상기 PWB에 부착되고, 실질적으로 상기 공동을 덮으며, 상부 주 표면과 하부 주 표면을 구비하는 중간 상호접속 기판(intermediate interconnection substrate : IIS)과,

- ④ 상기 PWB 상의 상기 제 1 상호접속 사이트 어레이에 부착되며 상기 IIS의 하부 주 표면 상에 있는 제 2 상호접속 사이트의 어레이와,
- ⑤ 상기 IIS의 상기 제 2 주 표면에 부착되고 상기 공동 내부로 연장되는 적어도 하나의 IC 칩과,
- ⑥ 상기 PWB의 상기 상부 주 표면 상의 제 1 사이트와 상기 PWB의 상기 하부 주 표면 상의 제 2 사이트 사이의 레벨간(interlevel) 상호접속부 - 상기 상호접속부는 상기 제 1 사이트로부터 상기 PWB의 상부 표면을 따라 상기 공동의 모서리로 연장되고, 또한 상기 공동의 모서리를 따라 연장되며, 상기 공동의 모서리로부터 상기 PWB의 하부 표면을 따라 상기 제 2 사이트로 연장되는 도전성 러너를 포함함 - 를 포함하는 IC 패키지.

청구항 2

제 1 항에 있어서,
상기 PWB는 다수 레벨 PWB이고 상기 하부 주 표면은 레벨간 표면에 해당하는 IC 패키지.

청구항 3

제 1 항에 있어서,
상기 레벨간 상호접속부는 상기 공동의 한 모서리를 따라 연장되고, 다른 레벨간 상호접속부는 상기 공동의 다른 모서리를 통해 연장되는 IC 패키지.

청구항 4

제 1 항에 있어서,
상기 레벨간 상호접속부는 파워 또는 그라운드 상호접속부인 IC 패키지.

청구항 5

제 1 항에 있어서,
IIS는 실리콘으로 이루어지는 IC 패키지.

청구항 6

제 1 항에 있어서,
상기 상호접속 사이트 어레이 사이의 상호접속부는 땀납으로 이루어지는 IC 패키지.

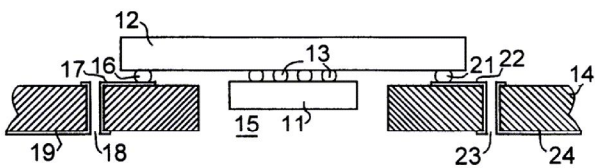
청구항 7

제 1 항에 있어서,
상기 PWB의 하부 표면 상에 볼 그리드 어레이를 더 포함하는 IC 패키지.

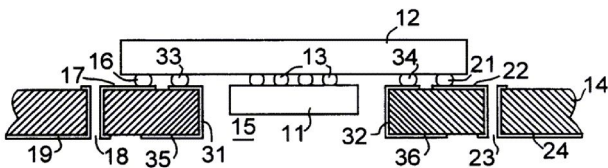
도면

도면1

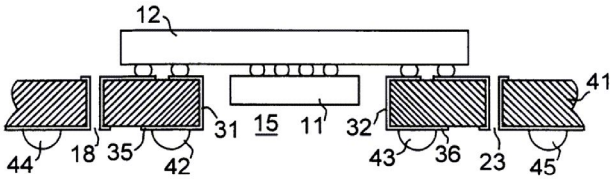
(종래기술)



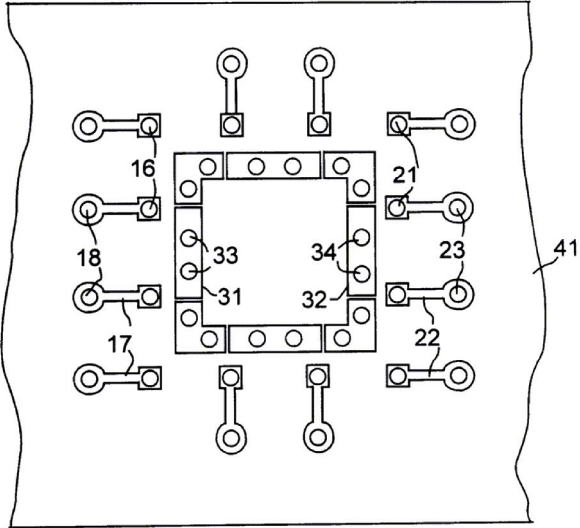
도면2



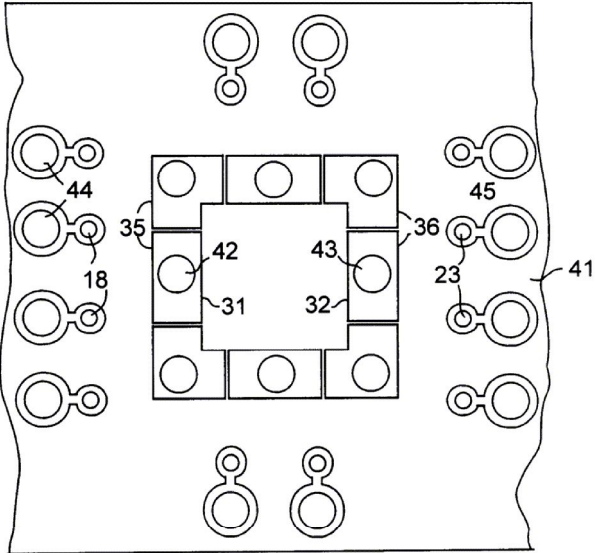
도면3



도면4



도면5



도면6

