

PCTWELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHET NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

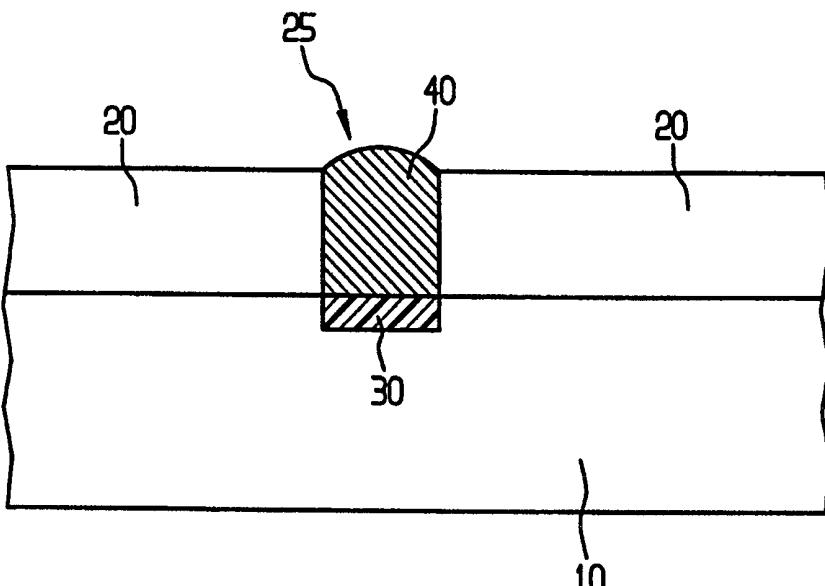
(51) Internationale Patentklassifikation ⁶ : H01L 27/112, 21/8246	A1	(11) Internationale Veröffentlichungsnummer: WO 99/53546
		(43) Internationales Veröffentlichungsdatum: 21. Oktober 1999 (21.10.99)
(21) Internationales Aktenzeichen: PCT/DE99/00901		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 25. März 1999 (25.03.99)		
(30) Prioritätsdaten: 198 15 874.2 8. April 1998 (08.04.98) DE		Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(71) Anmelder (<i>für alle Bestimmungsstaaten ausser US</i>): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).		
(72) Erfinder; und		
(75) Erfinder/Anmelder (<i>nur für US</i>): RUSCH, Andreas [DE/DE]; Sebnitzer Strasse 55, D-01099 Dresden (DE), ROTHENHÄUSER, Steffen [DE/DE]; Luisenstrasse 5, D-01099 Dresden (DE), TRÜBY, Alexander [DE/DE]; Kamenzer Strasse 13 B, D-01099 Dresden (DE), OTANI, Yoichi [JP/DE]; Königsbrücker Strasse 109, D-01478 Weixdorf (DE), ZIMMERMANN, Ulrich [DE/US]; Apple-blossom Drive, Mechanicsville, VA 23116 (US).		
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Wittelsbacherplatz 2, D-80333 München (DE).		

(54) Title: SEMICONDUCTOR MEMORY AND METHOD FOR PRODUCING SAME

(54) Bezeichnung: HALBLEITER-SPEICHERVORRICHTUNG UND VERFAHREN ZU DEREN HERSTELLUNG

(57) Abstract

The invention relates to a semiconductor memory with a matrix of semiconductor memory elements arranged in a substrate (10), which each comprise: a substrate area (10) of a first conductivity type; an insulating layer area (20) provided for on the substrate area (10); a via hole area (25) provided for in the insulating layer area (20); a bit fixing area (30) provided for in the substrate area (10) below the via hole area (25); and a contact pin area (40) which is provided for in the via hole area (25) and is in electric contact with the bit fixing area (30). The bit fixing area (30) is configured in such a way that it fixes the contact resistance between the substrate area (10) and the contact pin area (40) in accordance with the bit to be fixed in each semiconductor memory element.



(57) Zusammenfassung

Die vorliegende Erfindung schafft eine Halbleiter-Speicher-Vorrichtung mit einer Matrix von in einem Substrat (10) angeordneten Halbleiterspeicherelementen, welche jeweils aufweisen: einen Substratbereich (10) mit einem ersten Leitungstyp; einen auf dem Substratbereich (10) vorgesehenen Isolierschichtbereich (20); einen im Isolierschichtbereich (20) vorgesehenen Kontaktlochbereich (25); einen im Substratbereich (10) unterhalb des Kontaktlochbereichs (25) vorgesehenen Bitfestlegungsbereich (30) und einen im Kontaktlochbereich (25) vorgesehenen, in elektrischem Kontakt mit dem Bitfestlegungsbereich (30) stehenden Kontaktstöpselbereich (40). Der Bitfestlegungsbereich (30) ist derart gestaltet, daß er den Kontaktwiderstand zwischen dem Substratbereich (10) und dem Kontaktstöpselbereich (40) entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit festlegt.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauritanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun			PT	Portugal		
CN	China	KR	Republik Korea	RO	Rumänien		
CU	Kuba	KZ	Kasachstan	RU	Russische Föderation		
CZ	Tschechische Republik	LC	St. Lucia	SD	Sudan		
DE	Deutschland	LI	Liechtenstein	SE	Schweden		
DK	Dänemark	LK	Sri Lanka	SG	Singapur		
EE	Estland	LR	Liberia				

Beschreibung

Halbleiter-Speichervorrichtung und Verfahren zu deren Herstellung

5

Die vorliegende Erfindung betrifft eine Halbleiter-Speicher-vorrichtung und ein Verfahren zu deren Herstellung.

Obwohl prinzipiell auf beliebige Halbleiter-Speicher-vorrichtungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf ROM-Speicher bzw. Nurlesespeicher in Siliziumtechnologie erläutert.

Bekannte ROM-Halbleiter-Speichervorrichtungen dieser Art verwenden horizontale oder vertikale MOSFETs als Halbleiterspeicherzellen. Eine gängige Methode zur Programmierung solcher ROM-Speicher besteht darin, die Einsatzspannungen der im ROM-Zellenfeld verwendeten MOSFETs entsprechend des gewünschten ROM-Inhalts durch geeignet maskierte vertikale Kanalimplantationen zu modifizieren. Mit anderen Worten schafft man mindestens zwei Typen von MOSFETs, einen ersten Typ mit einer ersten Einsatzspannung (z.B. ohne Kanalimplantation) und einen zweiten Typ mit einer zweiten Einsatzspannung (z.B. mit Kanalimplantation). Dem einen Typ wird die logische „1“ zugeordnet und dem anderen Typ die logische „0“. Derart programmiert kann jeder Transistor ein einziges Bit speichern.

Ein ständiges Ziel bei der Speicherentwicklung ist die Erhöhung der Speicherdichte, d.h. der Anzahl von Bits, welche pro Flächeneinheit bzw. Volumeneinheit speicherbar sind. Ein Ansatz in dieser Richtung ist die stetige Verkleinerung der beteiligten Strukturen, beispielsweise durch ROM-Speicher mit gefalteten Grabenstrukturen.

Ein weiterer Ansatz besteht darin, daß die Halbleiterspeicherelemente derart zu modifizieren, daß sie jeweils mehr als ein Bit speichern können. Dies läßt sich beispielsweise da-

durch erreichen, daß man mehr als einen Typ von Kanalimplantation durchführt, so daß für jede Kanalimplantation ein Bit pro Speicherzelle speicherbar ist.

- 5 Beispielsweise können mit vier verschiedenen Kanalimplantationen vier verschiedene Einsatzspannungen, also 2 Bits pro Speicherzelle, erzeugt werden. Mit einer geeigneten Auslese-
schaltung können die verschiedenen Einsatzspannungen unter-
schieden werden.

10

Die Aufgabe der vorliegenden Erfindung, eine vereinfachte Halbleiter-Speichervorrichtung, deren Halbleiterspeicher-
elemente mehr als ein Bit speichern können, und ein Verfahren
zu deren Herstellung anzugeben.

15

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleiter-Speichervorrichtung und das in Anspruch 8 angegebene Herstellungsverfahren gelöst.

- 20 Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß der jeweilige Bitfestlegungsbereich derart gestaltet ist, daß er den Kontaktwiderstand zwischen dem Substrat-
bereich und dem Kontaktstöpselbereich entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit
25 festlegt. Mit anderen Worten wird die Kontaktlochimplanta-
tionsmaske zur Programmierung verwendet, wobei die Kontaktlöcher mit einem unterschiedlichen Kontaktwiderstand versehen werden. Die verschiedenen Widerstände können dann beim Ausle-
sen durch eine geeignete Auswerteschaltung bewertet werden.

30

Die erfundungsgemäße Halbleiter-Speichervorrichtung und das erfundungsgemäße Verfahren zu deren Herstellung weisen gegenüber den bekannten Lösungsansätzen u.a. folgende Vorteile auf. Es kann mit nur zwei Implantationen eine dreiwertige Logik pro Speicherzelle realisiert werden. Das bedeutet, daß z.B. in zwei Zellen drei Bits gespeichert werden können. Dies erspart eine Maskenebene im Vergleich zum oben beschriebenen

bei MOSFETs üblichen Verfahren. Die Programmierung findet erst spät im Prozeß nach der Kontaktlochätzung statt, was eine günstige Turn-around-time ermöglicht. Bei sicherheitsrelevanten Anwendungen, wie z.B. im Chipkartenbereich ist ein 5 nachträgliches Auslesen durch Rückpräparation nur schwer möglich.

Schließlich sind keine zusätzlichen Schritte im Prozeßablauf notwendig, denn viele bekannte Gesamtprozesse weisen Kontakt-10 lochimplantationen auf, um den Widerstand der Kontakte auf Diffusionsgebiet zu senken, und zwar insbesondere dann, wenn kein Titansilizid oder ähnliches verwendet wird. Das macht die erfindungsgemäße Halbleiter-Speichervorrichtung und das erfindungsgemäße Verfahren zu deren Herstellung sehr kosten-15 günstig.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Halbleiter-Speichervorrichtung bzw. des in Anspruch 8 angegebenen 20 Herstellungsverfahrens.

Gemäß einer bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein an der Oberfläche des Substratbereichs gelegener Implantationsbereich zur Einstellung des Kontaktwiderstandes 25 zwischen dem Substratbereich und dem Kontaktstöpselbereich. So läßt sich der Kontaktwiderstand genau einstellen.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein Implantationsbereich von einem Dotierstoff des ersten Leitungstyps. Dies entspricht einer Aufdottedierung des Oberflächenbereichs des Substrats, also einer Erniedrigung des Kontaktwiderstandes. 30

Gemäß einer weiteren bevorzugten Weiterbildung ist der Bitfestlegungsbereich ein Implantationsbereich von einem Dotierstoff eines zweiten Leitungstyps. Dies entspricht einer Ge-35

gendorierung des Oberflächenbereichs des Substrats, also einer Erhöhung des Kontaktwiderstandes.

Gemäß einer weiteren bevorzugten Weiterbildung entspricht der
5 Bitfestlegungsbereich der Halbleiterspeicherelemente dem
Substratbereich. So läßt sich ein erster Zustand entsprechend
einem ersten Bit ohne Zusatzaufwand etablieren.

Gemäß einer weiteren bevorzugten Weiterbildung weist der
10 Substratbereich einen außerhalb des Bitfestlegungsbereichs
gelegenen weiteren Kontaktbereich auf. Dieser weitere Kontaktbereich bildet einen Anschluß für eine einfache Auswerteschaltung, welche zusätzlich mit dem Kontaktstöpselbereich verbunden wird, um so den elektrischen Widerstand des Halbleiterspeicherelements zu ermitteln.
15

Gemäß einer weiteren bevorzugten Weiterbildung ist eine Auswerteschaltungseinrichtung zum Auswerten des Kontaktwiderstandes der jeweiligen Halbleiterspeicherelemente vorgesehen.
20 Diese Auswerteschaltung kann, wie oben angedeutet, eine Widerstandsmeßeinrichtung aufweisen, kann aber auch kapazitiv oder induktiv arbeiten.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen
25 dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

- 30 Fig. 1 eine schematische Darstellung eines Herstellungs-
schritts eines Halbleiterspeicherelements der Halbleiter-Speichervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung; und
35 Fig. 2 eine schematische Darstellung eines weiteren Herstellungsschritts des Halbleiterspeicherelements

der Halbleiter-Speichervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder
5 funktionsgleiche Bestandteile.

Fig. 1 ist eine schematische Darstellung eines Herstellungs-
schritts eines Halbleiterspeicherelements der Halbleiter-
Speichervorrichtung gemäß einer ersten Ausführungsform der
10 vorliegenden Erfindung.

In Fig. 1 bezeichnen 10 ein Substrat, 20 eine Isolierschicht,
25 ein Kontaktloch, 30 einen Bitfestlegungsbereich, 40 einen
Kontaktstöpselbereich und I eine Implantation.
15

Das Verfahren zum Herstellen der erfindungsgemäßen Halblei-
ter-Speichervorrichtung gemäß dieser ersten Ausführungsform
verläuft folgendermaßen.

20 Das Substrat 10 mit dem ersten Leitungstyp (z.B. n-Silizium)
wird bereitgestellt. Dabei soll der Ausdruck Substrat im all-
gemeinen Sinne verstanden werden, muß also nicht der physika-
lische Träger sein, sondern kann auch eine darauf befindliche
Epischicht, ein darin vorgesehener Diffusionsbereich o.ä.
25 sein.

Als nächstes erfolgt das Vorsehen der Isolierschicht 20 auf
dem Substrat 10, in der eine Matrix von Kontaktlöchern 25 zum
Substrat 10 entsprechend jeweiligen Halbleiterspeicherelemen-
30 ten zu bilden ist.

Zur Programmierung der so definierten Halbleiterspeicherele-
mente wird nach der Bildung der jeweiligen Kontaktlöcher 25
der unterhalb der Kontaktlöcher 25 befindliche Oberflächenbe-
reichs des Substrats 10 mit einem jeweiligen Kontaktwider-
stand entsprechend dem in dem jeweiligen Halbleiterspeicher-

element zu speichernden Bit als Bitfestlegungsbereich 30 des betreffenden Halbleiterspeicherelements versehen.

Dies geschieht im vorliegenden Beispiel folgendermaßen.

5

Alle Kontaktlöcher 25 werden photolithographisch definiert und freigeätzt. Dann erfolgt das Durchführen der ersten Implantation I in diese erste Gruppe von Kontaktlöchern 25 mit einem Dotierstoff des ersten Leitungstyps n.

10

Dann erfolgt das Durchführen einer zweiten Implantation mit einem Dotierstoff des zweiten Leitungstyps p.

15

Die dritte Gruppe von Kontaktlöchern 25 bleibt während der beiden Implantationen abgedeckt, erhält also keine Implantation.

20

Es gibt also folgende Halbleiterspeicherzellen mit wachsendem Kontaktwiderstand: Kontaktimplantation wie darunterliegendes Substrat (z.B. wie Diffusionsimplantation), keine Implantation und Kontaktimplantation entgegengesetzt zum darunterliegenden Substrat, wobei Fig. 1 nur den ersten Fall zeigt.

25

So lassen sich pro zwei Speicherzellen drei Bits programmieren. Denkbar ist auch eine Anwendung in einer dreiwertigen Logikschaltungsvorrichtung (ternäres System).

30

Fig. 2 ist eine schematische Darstellung eines weiteren Herstellungsschritts des Halbleiterspeicherelements der Halbleiter-Speichervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung.

In Fig. 2 bezeichnet zusätzlich zu den bereits eingeführten Bezugszeichen 40 einen Kontaktstöpsel.

35

Nach Programmierung der jeweiligen Halbleiterspeicherelemente werden Kontaktstöpsel 40 in den Kontaktlöchern 25, die in

elektrischem Kontakt mit dem Bitfestlegungsbereich 30 stehen, vorgesehen.

Zweckmäßigerweise weist der Substratbereich 10 eine streifenförmige Leiterstreifen-Struktur auf, z.B. Polysilizium- oder Diffusionstreifen, wobei diese Streifen jeweils den zweiten Anschluß der Speicherzellen auf der Substratoberseite bilden, der neben dem jeweiligen Kontaktstöpsel 40 einen Anschluß für eine Auswerteschaltung mit einer Widerstandsmeßeinrichtung bildet.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Insbesondere können weitere Implantationen ausgeführt werden, um Halbleiterspeicherelemente zu schaffen, welche noch mehr Logikwerte speichern können. So ermöglicht die vorliegende Erfindung die Herstellung eines kostengünstigen Multi-Level-ROMs durch Anwendung der ohnehin vorhandenen Kontaktlochimplantation(en) zur Programmierung.

Patentansprüche

1. Halbleiter-Speichervorrichtung mit einer Matrix von in einem Substrat (10) angeordneten Halbleiterspeicherelementen, welche jeweils aufweisen:
 - 5 einen Substratbereich (10) mit einem ersten Leitungstyp;
 - 10 einen auf dem Substratbereich (10) vorgesehenen Isolierschichtbereich (20);
 - 15 einen im Isolierschichtbereich (20) vorgesehenen Kontaktlochbereich (25);
 - 20 einen im Substratbereich (10) unterhalb des Kontaktlochbereichs (25) vorgesehenen Bitfestlegungsbereich (30); und einen im Kontaktlochbereich (25) vorgesehenen, in elektrischem Kontakt mit dem Bitfestlegungsbereich (30) stehenden Kontaktstöpselbereich (40); wobei der Bitfestlegungsbereich (30) derart gestaltet ist, daß er den Kontaktwiderstand zwischen dem Substratbereich (10) und dem Kontaktstöpselbereich (40) entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit festlegt.
2. Halbleiter-Speichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Bitfestlegungsbereich (30) ein an der Oberfläche des Substratbereichs (10) gelegener Implantationsbereich zur Einstellung des Kontaktwiderstandes zwischen dem Substratbereich (10) und dem Kontaktstöpselbereich (40) ist.
3. Halbleiter-Speichervorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß der Bitfestlegungsbereich (30) ein Implantationsbereich von einem Dotierstoff des ersten Leitungstyps ist.
4. Halbleiter-Speichervorrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß der Bitfestlegungsbereich (30) ein Implantationsbereich von einem Dotierstoff eines zweiten Leitungstyps ist.

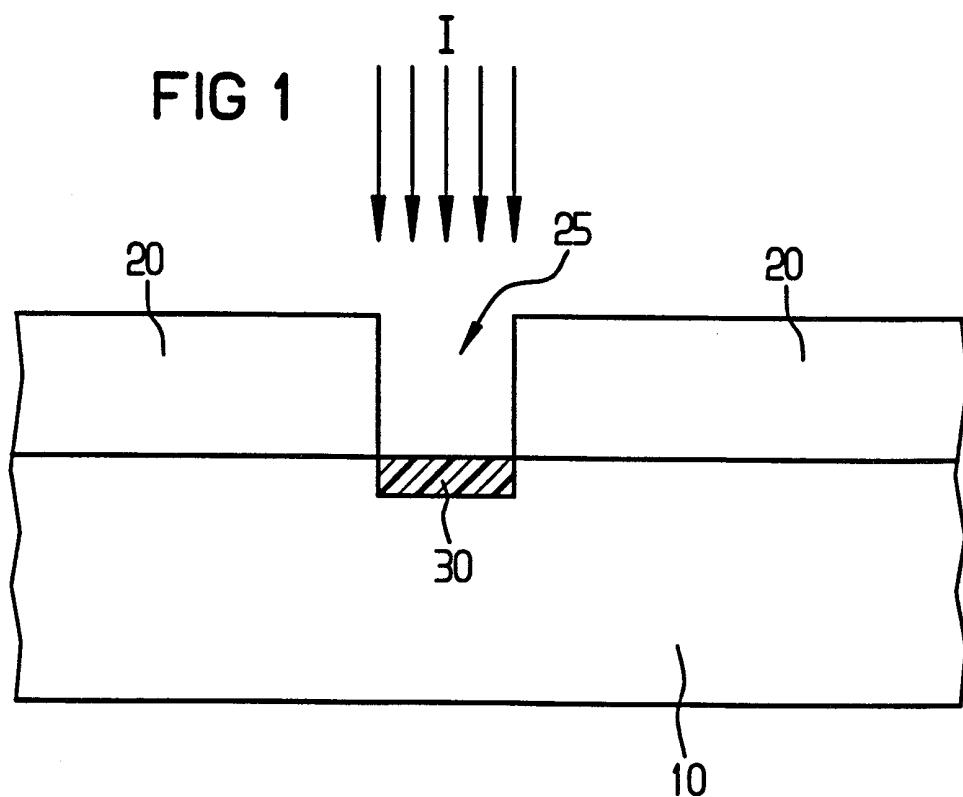
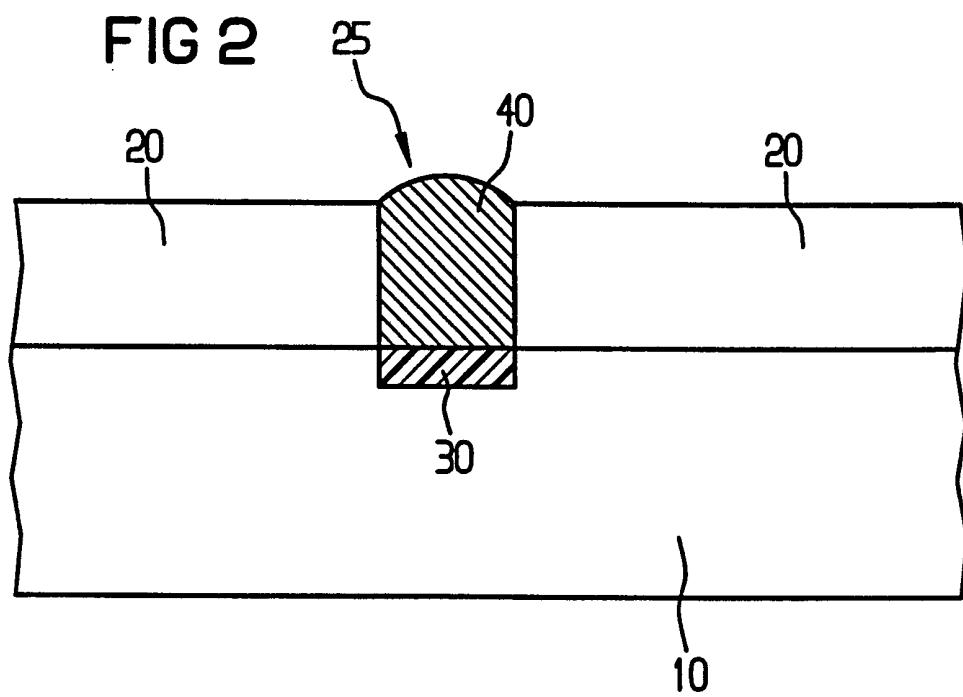
5. Halbleiter-Speichervorrichtung nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t , daß der Bit-
5 festlegungsbereich (30) der Halbleiterspeicherelemente dem Substratbereich (10) entspricht.
6. Halbleiter-Speichervorrichtung nach einem der vorhergehenden Ansprüche,
10 d a d u r c h g e k e n n z e i c h n e t , daß der Substratbereich (10) einen außerhalb des Bitfestlegungsbereichs (30) gelegenen weiteren Kontaktbereich aufweist.
7. Halbleiter-Speichervorrichtung nach einem der vorhergehenden
15 Ansprüche,
g e k e n n z e i c h n e t durch eine Auswerteschaltungseinrichtung zum Auswerten des Kontaktwiderstandes der jeweiligen Halbleiterspeicherelemente.
- 20 8. Verfahren zum Herstellen einer Halbleiter-Speicher-vorrichtung, g e k e n n z e i c h n e t durch die Schritte:
a) Bereitstellen eines Substrats (10) mit einem ersten Leistungstyp;
b) Vorsehen einer Isolierschicht (20) auf dem Substrat (10);
25 c) Vorsehen einer Matrix von Kontaktlöchern (25) zum Substrat (10) in der Isolierschicht (20) entsprechend jeweiligen Halbleiterspeicherelementen;
d) Versehen des unterhalb der jeweiligen Kontaktlöcher (25) befindlichen Oberflächenbereichs des Substrats (10) mit
30 einem jeweiligen Kontaktwiderstand entsprechend dem in dem jeweiligen Halbleiterspeicherelement zu speichernden Bit als Bitfestlegungsbereich (30) des betreffenden Halbleiterspeicherelements; und
e) Vorsehen von Kontaktstöpseln (40) in den Kontaktlöchern (25), die in elektrischem Kontakt mit dem Bitfestlegungsbereich (30) stehen.

10

9. Verfahren nach Anspruch 8,
gekennzeichnet durch folgende Schritte:
Bilden einer ersten Gruppe von Kontaktlöchern (25);
Durchführen einer ersten Implantation in die erste Gruppe von
5 Kontaktlöchern (25);
Bilden einer zweiten Gruppe von Kontaktlöchern (25);
Durchführen einer zweiten Implantation in die erste Gruppe
von Kontaktlöchern (25); und
Bilden einer dritten Gruppe von Kontaktlöchern (25).

10

1/1

FIG 1**FIG 2**

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 99/00901

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L27/112 H01L21/8246

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 40 08 883 A (MITSUBISHI ELECTRIC CORP) 27 September 1990 (1990-09-27)	1-3,5-8
A	the whole document ---	4,7
A	US 5 621 247 A (HIRAO SHUJI ET AL) 15 April 1997 (1997-04-15) column 14, line 14 -column 15, line 13; figures 11A-12 ---	1,8
A	PATENT ABSTRACTS OF JAPAN vol. 008, no. 173 (E-259), 9 August 1984 (1984-08-09) & JP 59 067666 A (MITSUBISHI DENKI KK), 17 April 1984 (1984-04-17) abstract -----	1,8

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

20 September 1999

Date of mailing of the international search report

29/09/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/00901

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
DE 4008883	A	27-09-1990	JP 2246266 A	02-10-1990
			JP 2508247 B	19-06-1996
			US 5170227 A	08-12-1992
US 5621247	A	15-04-1997	CN 1136222 A	20-11-1996
			JP 8293585 A	05-11-1996
			US 5714400 A	03-02-1998
JP 59067666	A	17-04-1984	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 99/00901

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L27/112 H01L21/8246

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ³	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 40 08 883 A (MITSUBISHI ELECTRIC CORP) 27. September 1990 (1990-09-27)	1-3,5-8
A	das ganze Dokument ---	4,7
A	US 5 621 247 A (HIRAO SHUJI ET AL) 15. April 1997 (1997-04-15) Spalte 14, Zeile 14 -Spalte 15, Zeile 13; Abbildungen 11A-12 ---	1,8
A	PATENT ABSTRACTS OF JAPAN vol. 008, no. 173 (E-259), 9. August 1984 (1984-08-09) & JP 59 067666 A (MITSUBISHI DENKI KK), 17. April 1984 (1984-04-17) Zusammenfassung -----	1,8

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

³ Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchebericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung,

eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Rechercheberichts

20. September 1999

29/09/1999

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/00901

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie			Datum der Veröffentlichung
DE 4008883	A 27-09-1990	JP 2246266	A	02-10-1990	
		JP 2508247	B	19-06-1996	
		US 5170227	A	08-12-1992	
US 5621247	A 15-04-1997	CN 1136222	A	20-11-1996	
		JP 8293585	A	05-11-1996	
		US 5714400	A	03-02-1998	
JP 59067666	A 17-04-1984	KEINE			