(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 32 783 T2** 2007.08.30

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 993 038 B1**
(21) Deutsches Aktenzeichen: **699 32 783.0**
(96) Europäisches Aktenzeichen: **99 306 846.9**
(96) Europäischer Anmeldetag: **27.08.1999**
(97) Erstveröffentlichung durch das EPA: **12.04.2000**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **16.08.2006**
(47) Veröffentlichungstag im Patentblatt: **30.08.2007**

(51) Int Cl.[8]: ***H01L 21/84*** (2006.01)
H01L 21/86 (2006.01)
H01L 27/02 (2006.01)

(30) Unionspriorität:

24615198	**31.08.1998**	**JP**
23577099	**23.08.1999**	**JP**

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(73) Patentinhaber:
Canon K.K., Tokio/Tokyo, JP

(74) Vertreter:
TBK-Patent, 80336 München

(72) Erfinder:
Watanabe, Minoru, Tokyo, JP; Kaifu, Noriyuki, Tokyo, JP; Mochizuki, Chiori, Tokyo, JP

(54) Bezeichnung: **TFT Matrix Paneel**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitereinrichtung und insbesondere auf eine Halbleitereinrichtung, die für ein Flüssigkristallfeld mit Dünnfilmtransistoren geeignet ist, und eine photoelektrische Umwandlungseinrichtung.

[0002] Unter den Begleitumständen von Entwicklungen von Herstellungsverfahren für Dünnfilmtransistor-Flüssigkristallfelder und breiten Anwendungen von Flächensensoren mit photoelektrischen Umwandlungselementen, wie etwa Röntgenstrahl-Bildaufnahmevorrichtungen, wird die Größe eines Dünnfilmtransistorfeldes heutzutage immer größer. Parallel zu einer Entwicklung von Großfeldern wird eine Strukturteilung ebenfalls feiner und eine Feldherstellungsausbeute geringer. Die Gründe hierfür sind folgende:

(1) Wenn die Größe eines Feldes größer wird, verlängert sich eine Verdrahtungsstrecke für ein Feld und eine Verdrahtungstrennungswahrscheinlichkeit steigt.

(2) Wenn die Strukturteilung feiner wird, steigt die Anzahl von Dünnfilmtransistoren für ein Feld und die Fläche von Verdrahtungskoppelpunkten für ein Feld erhöht sich und eine Kurzschlußwahrscheinlichkeit steigt.

(3) Auftreten von elektrostatischen Fehlern (ESD). Wenn die Größe eines Feldes groß wird, vergrößert sich ein Kontaktbereich mit dem Feld, sodaß die Größe statischer Elektrizität, die durch Reibung oder Abrieb verursacht wird, steigt und eine schnelle und einheitliche Entladung von Elektrizität schwieriger wird. Wenn die Strukturteilung fein wird, steigt die Anzahl von Strukturkoppelpunkten und die Wahrscheinlichkeit von schadhaften Feldern aufgrund elektrostatischer Fehler (ESD) steigt.

[0003] Aus diesen Gründen kann der Grund (3) hinsichtlich elektrostatischer Fehler (ESD) durch Verbinden der gemeinsamen Elektrodenvorspannungsleitung und Gateleitungen oder der gemeinsamen Elektrodenvorspannungsleitung und Gate- und Übertragungsleitungen mit einer Metallleitung, um diese Leitungen auf dem gleichen Potential zu halten, wirksam vermindert werden. Diese verbundenen Leitungen müssen jedoch bei einem Zwischenverfahren beim Herstellen einer Halbleitereinrichtung mit einem Dünnfilmtransistorfeld getrennt werden. Diese Trennung kann zum Beispiel durch ein Feldzerteilungsverfahren, welches ein Blatt aus Diamantkörnern, die mit Harz verfestigt sind, verwendet, ausgeführt werden. Da die Metallleitungen durchschnitten werden, kann ein Zuverlässigkeitsproblem, wie etwa eine abnormale Verdrahtung aufgrund von Metallteilchen oder Splittern, ein Kurzschluß von Metallleitungen aufgrund von Metallausdehnung, eine Metallermüdung und Korrosion aufgrund von Wasser oder Hitze während des Zerlegens, auftreten.

[0004] US-A-5650834 beschreibt ein Aktivmatrixsubstrat mit einem Kurzschlußring, mit dem jede Source- und Gateleitung durch einen Dünnfilmwiderstand verbunden ist.

[0005] US-A-5691787 beschreibt eine Aktivmatrix-Flüssigkristall-Anzeigeeinrichtung, bei der Ableitungswiderstände zwischen benachbarten Sourceleitungen und zwischen benachbarten Gateleitungen verbunden sind.

[0006] EP-A-0845697 erläutert in ähnlicher Weise eine Aktivmatrix-Flüssigkristall-Anzeigeeinrichtung, bei der Gegenmaßnahmen gegen die Wirkungen von statischer Elektrizität während einer Herstellung vorgesehen sind, einschließlich zusätzlicher Gateleitungen, die an ihren Enden kurzgeschlossen sind.

[0007] Unter einem Gesichtspunkt schafft die vorliegende Erfindung eine photoelektrische Umwandlungseinrichtung, die eine Vielzahl von Dünnfilmtransistoren und Kondensatoren, die auf einem Substrat angeordnet sind, besitzt, mit:

einer Vielzahl von Gateleitungen, die mit Gateelektroden der Dünnfilmtransistoren verbunden sind; und mit

einer Vielzahl von Übertragungsleitungen, die mit einer aus der Source und der Drain der Dünnfilmtransistoren verbunden sind, zum Übertragen von elektrischer Ladung, die durch die photoelektrische Umwandlung erzeugt wird; und mit

einer Vielzahl von gemeinsamen Elektrodenvorspannungsleitungen, die mit einer ersten Elektrode der Kondensatoren verbunden sind, zum Anlegen einer Vorspannung zum Trennen von Elektronen und Löchern, die durch photoelektrische Umwandlung erzeugt werden,

wobei zweite Elektroden der Kondensatoren mit der anderen aus der Source und der Drain der Dünnfilmtransistoren verbunden sind, und elektrische Verbindungen durch einen Widerstand zwischen einer von den gemeinsamen Elektrodenvorspannungsleitungen und einer von den Gateleitungen und durch Widerstände zwischen den Gateleitungen gebildet werden.

[0008] In einem weiteren Gesichtspunkt schafft die vorliegende Erfindung eine Röntgenstrahl-Bildaufnahmevorrichtung mit einer photoelektrischen Umwandlungseinrichtung, wie vorstehend erläutert.

[0009] Ausführungsbeispiele der vorliegenden Erfindung schaffen eine photoelektrische Umwandlungseinrichtung mit einem Dünnfilmtransistor-Matrixfeld, die elektrostatische Fehler (ESD) während Herstellungsverfahren wirksam verhindern und eine Herstellungsausbeute verbessern kann.

[0010] Ausführungsbeispiele der vorliegenden Erfindung schaffen eine photoelektrische Umwandlungseinrichtung, die ein Trennungsverfahren, das durch das Zerlegungsverfahren auszuführen ist, durch Einfügen eines Widerstands mit einem gewünschten Widerstandswert zwischen jeweiligen Verdrahtungsleitungen, das heißt, durch Verbinden der Leitungen durch den Widerstand mit einem gewünschten Widerstandswert, weglassen kann und selbst dann, wenn das Trennungsverfahren notwendig ist, es in dem Bereich, in dem keine Metallverdrahtungsleitung gebildet ist, durchgeführt werden kann.

[0011] Bei Ausführungsbeispielen der Erfindung sind die gemeinsamen Elektrodenvorspannungsleitungen und die Vielzahl von Gateleitungen elektrisch verbunden, oder die gemeinsame Elektrodenvorspannungsleitung, die Vielzahl von Gateleitungen und die Vielzahl von Übertragungsleitungen sind elektrisch verbunden. Ein elektrostatischer Fehler (ESD) von jeder verbundenen Leitung, der durch statische Elektrizität während einer Feldherstellung verursacht wird, kann daher verhindert und eine Herstellungsausbeute verbessert werden. Da Leitungen durch den Widerstand mit einem gewünschten Widerstandswert verbunden sind, ist ebenso ein Zerlegungsverfahren nicht zwingend erforderlich, und selbst wenn das Zerlegungsverfahren erforderlich ist, kann es entlang der Halbleiterschicht ausgeführt werden, sodaß das vorstehend erläuterte Zuverlässigkeitsproblem gelöst werden kann.

[0012] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert. Es zeigen:

[0013] Fig. 1 und Fig. 8 vereinfachte Ersatzschaltbilder zum Veranschaulichen von Beispielen einer Halbleitereinrichtung dieser Erfindung;

[0014] Fig. 2, Fig. 9, Fig. 10 und Fig. 11 schematische Draufsichten zum Veranschaulichen von Beispielen der Halbleitereinrichtung dieser Erfindung;

[0015] Fig. 3A und Fig. 3B Ersatzschaltbilder zum Veranschaulichen von Betriebsbeispielen der Halbleitereinrichtung;

[0016] Fig. 4, Fig. 5, Fig. 6 und Fig. 7 ein Vergleichsbeispiel, das nicht innerhalb des Schutzbereichs der beanspruchten Erfindung fällt.

[Erstes Ausführungsbeispiel]

[0017] Ein erstes Ausführungsbeispiel der Erfindung wird unter Bezug auf die Zeichnung erläutert. Fig. 1 ist ein vereinfachtes Ersatzschaltbild einer Halbleitereinrichtung gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung, und Fig. 2 ist eine schematische Draufsicht der Halbleitereinrichtung des ersten Ausführungsbeispiels mit einem Scheibenbereich der Halbleitereinrichtung, bevor die Einrichtung in Scheiben zerlegt wird, und ihr vereinfachtes Ersatzschaltbild.

[0018] Wie in Fig. 1 gezeigt, enthält die Halbleitereinrichtung dieses Ausführungsbeispiels ein in Scheiben zerlegtes Dünnfilmtransistor-Matrixfeld **1**, eine Treibereinheit **2**, eine integrierte Signalverarbeitungsschaltung oder Sourcetreiber **3** und einen gemeinsamen Elektrodentreiber **4**. Bezugszeichen c11, c12, ..., bezeichnen Kondensatoren, die einen Trennungszustand von Elektronen und Löchern, die durch nicht gezeigte photoelektrische Umwandlungselemente bei Anlegen einer Vorspannung erzeugt werden, speichern. Bezugszeichen t11, t12, ..., bezeichnen Dünnfilmtransistoren, die als Schalter zum Übertragen von elektrischen Ladungen, die durch photoelektrische Umwandlungselemente erzeugt werden, dienen.

[0019] Der photoelektrische Umwandlungselementbereich umfaßt zum Beispiel: eine untere Elektrodenschicht, die durch Abscheiden von Aluminium, Chrom oder dergleichen auf einem Isoliersubstrat durch Vakuumabscheidung oder dergleichen gebildet wird; eine Isolierschicht, die aus Siliziumnitrid oder Siliziumoxid zum Verhindern des Durchgangs von sowohl Elektronen als auch Löchern besteht; eine Halbleiterschicht, die aus Eigenhalbleiter aus amorphem Siliziumhydrid besteht; eine Diffusionsverhinderungsschicht, die aus n^+-Typ amorphem Silizium besteht, zum Verhindern einer Diffusion von Löchern; und eine Isolierschicht, die durch Abscheiden von Aluminium durch Dampfabscheidung oder dergleichen gebildet wird, wobei diese Schichten in dieser Reihenfolge auf dem Isoliersubstrat aufeinanderfolgend geschichtet sind.

[0020] Zwei Reihen von gemeinsamen Elektrodenvorspannungsleitungen V_s sind gebildet und ein Widerstand $R_{vs\text{-}vs}$ ist zwischen den zwei Reihen verbunden. Ein Widerstand Rs ist zwischen benachbarten Gateleitungen Vg verbunden und ein Widerstand $R_{vs\text{-}g}$ ist zwischen der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg verbunden.

[0021] Falls die erste Gateleitung Vg der ersten Leitung auszuwählen ist, wird bei einem Treiber Dr. 1 der Treibereinheit **2** eine Einschaltspannung Vgh von Dünnfilmtransistoren (t11, t21, t31, ...,) angelegt und bei den Treibern Dr. 2 und Dr. 3 der Treibereinheit **2** wird eine Ausschaltspannung Vgl von Dünnfilmtransistoren angelegt. Ein Widerstand Ro ist zwischen jedem der Treiber Dr. 1 bis Dr. 3 verbunden und ein entsprechender einer der ersten Dünnfilmtransistoren (t11, t12, t13, ...,) und der Widerstand Rs, der aus einer Halbleiterschicht besteht, ist zwischen benach-

barten Gateleitungen Vg verbunden. Der Wert des Widerstands Rs wird so eingestellt, daß eine Spannung, die an die Gateelektrode des ersten Dünnfilmtransistors (t12) für den Treiber Dr. 2 angelegt wird, niedriger als Vth, welche eine Schwellenspannung von Dünnfilmtransistoren ist, wird. Falls der Wert des Widerstands Rs in dieser Weise eingestellt wird, werden Dünnfilmtransistoren der anderen Leitungen als der ersten Gateleitung Vg nicht einschalten.

[0022] Ein Berechnen des Werts des Widerstands Rs, der aus einer Halbleiterschicht besteht, wird nachfolgend erläutert. Es wird angenommen, daß die Einschaltspannung Vgh von Dünnfilmtransistoren (t11, t21, t31, ...,) an den Treiber Dr. 1 der Treibereinheit **2** angelegt wird, und die Ausschaltspannung Vgl an die anderen Treiber angelegt wird. Die Ersatzschaltung der ersten und zweiten Gateleitungen Vg ist in Fig. 3A gezeigt. Das Potential Va bei Punkt a ist gegeben durch:

$$Va = Vgl + (Vgh - Vgl)\cdot Ro/(Rs + 2Ro)$$

[0023] Die Ersatzschaltung der ersten bis dritten Gateleitungen Vg ist in Fig. 3B gezeigt. Das Potential Va' bei Punkt a ist gegeben durch:

$$Va' = Vgl + (Vgh - Vgl)\cdot R/(Rs + Ro + R);$$

wobei $R = Ro(Rs + Ro)/(Rs + 2Ro)$.

Da $Va - Va' = (Vgh - Vgl)\cdot Ro/(Rs + 2Ro) - (Vgh - Vgl)\cdot R/(Rs + Ro + R) > 0$, $Va > Va'$.

[0024] Wenn man Gateleitung Vg für die ersten bis n-ten Leitungen betrachtet, erniedrigt sich die Spannung bei Punkt a, der in Fig. 3A gezeigt ist, wenn sich die Anzahl n von Gateleitungen erhöht. Das Potential bei jeder Gateleitung Vg ist niedriger als das Potential bei der vorangehenden Gateleitung (zum Beispiel ist ein Potential Vb bei Punkt b in Fig. 3B niedriger als Va'). Falls daher der Wert des Widerstands Rs eingestellt wird, um die Bedingung $Va < Vth$ zu erfüllen, wird die Spannung bei den zweiten und folgenden Gateleitungen Vg niedriger als Vth, ungeachtet der Anzahl von Gateleitungen Vg. Genauer gesagt, der Wert des Widerstands Rs wird eingestellt, um folgende Bedingungen zu erfüllen:

$$Vgl + (Vgh - Vgl)\cdot Ro/(Rs + 2Ro) < Vth,$$

oder

$$Rs > (Vgl + Vgh - 2Vth)\cdot Ro/(Vth - Vgl)$$

[0025] Durch Einstellen des Werts des Widerstands Rs in dieser Weise kann jede Gateleitung Vg zuverlässig ausgewählt und gesteuert werden. Falls zum Beispiel die Einschaltspannung bei dem Treiber Dr. 1 angelegt wird und die Ausschaltspannung bei den anderen Treibern Dr. 2, Dr. 3, ..., angelegt wird, werden alle Dünnfilmtransistoren, die mit diesen Treibern Dr. 2, Dr. 3, ..., verbunden sind, ausgeschaltet gehalten, weil die Gateelektrodenpotentiale niedriger als Vth sind.

[0026] Angenommen, bei diesem Ausführungsbeispiel gilt $Vgl \cong -5V$, $Vgh \cong 15$ V, $Vth \cong 2V$ und $Ro \cong 100\ \Omega$, dann wird der Wert des Widerstands Rs eingestellt, um folgende Bedingung zu erfüllen:

$$Rs > 85{,}7\ \Omega.$$

[0027] Der Wert des Widerstands Rs wird vorzugsweise auf etwa 1 MΩ eingestellt, wobei eine Abweichung und ein Spielraum bei Herstellungsverfahren berücksichtigt wird.

[0028] Der Bereich des Werts des Widerstands $R_{vs\text{-}g}$ wird wie folgt bestimmt.

[0029] Eine gemeinsame Elektrodenvorspannung (Speichervorspannung) bei der Vorspannungsleitung Vs beträgt während eines Vorgangs zum Speichern von Elektronen oder Löchern, die durch Lichtabsorption im Halbleiter erzeugt werden, 9 V, wohingegen eine Auffrischungsvorspannung (Löschvorspannung) während eines Vorgangs zum Abführen von gespeicherten Elektronen oder Löchern 3 V beträgt. Daher beträgt eine maximale Differenz zwischen der Gateleitung (Vgh = 15 V, Vgl = –5 V) und der Vorspannungsleitung Vs 14 V, was geringer als eine Vorspannungsdifferenz (Vgh – Vgl = 20 V) zwischen Vorspannungsleitungen Vs ist. Falls der Wert des Widerstands $R_{vs\text{-}g}$ zwischen dem Vorspannungsanlegepunkt der gemeinsamen Elektrodenvorspannungsleitung Vs und dem Vorspannungsanlegepunkt der Gateleitung Vg größer als der Wert der Widerstände Rs + Ro eingestellt wird, können Dünnfilmtransistoren zuverlässig getrieben werden. Falls zum Beispiel die Einschaltspannung Vgh bei Dünnfilmtransistoren bei der Gateleitung, die mit dem Widerstand $R_{vs\text{-}g}$ verbunden ist, angelegt wird, werden diese Dünnfilmtransistoren eingeschaltet, wohingegen falls die Ausschaltspannung Vgl bei den Dünnfilmtransistoren angelegt wird, diese ausgeschaltet werden, weil die Ausschaltspannung niedriger als die Schwellenspannung ist. Genauer gesagt, wenn die Treiberspannungen auf der Gateleitung berücksichtigt werden, wird als Gegenmaßnahme zu elektrostatischen Fehlern der Wert des Widerstands $R_{vs\text{-}g}$ eingestellt, um folgende Bedingung zu erfüllen:

$$R_{vs\text{-}g} > Rs$$

[0030] In diesem Zustand arbeitet die Halbleitereinrichtung in einem normalen Zustand.

[0031] Es ist festgestellt worden, daß Dünnfilmtransistoren in einem normalen Zustand ohne elektrosta-

tische Fehler getrieben werden können, falls eine Vorspannungsabweichung bei der Vorspannungsleitung sich in einem Bereich kleiner als 1 % einer Vorspannungsdifferenz zwischen der Gateleitung Vg und der Vorspannungsleitung Vs bewegt. Der Wert des Widerstands $R_{vs\text{-}g}$ wird daher eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs\text{-}g} > 100 \cdot Ro$;

[0032] Falls der Wert in dieser Weise eingestellt wird, ist es möglich, die Vorspannungsabweichung, die kleiner als etwa 1 % ist, zu unterdrücken und die Dünnfilmtransistoren in einem normalen Zustand zu treiben.

[0033] Auf Grund der vorstehenden Betrachtungen ist es empfehlenswert, den Wert des Widerstands $R_{vs\text{-}g}$ so einzustellen, daß folgende beide Bedingungen erfüllt sind:

$R_{vs\text{-}g} > Rs$ und $R_{vs\text{-}g} > 100 \cdot Ro$;

[0034] Bei dem vorstehend erläuterten Beispiel wird der Wert eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs\text{-}g} > 10\ k\Omega$;

[0035] Hinsichtlich des Werts des Widerstands $R_{vs\text{-}vs}$ gilt in ähnlicher Weise, daß Dünnfilmtransistoren in einem normalen Zustand getrieben werden können, falls eine Vorspannungsabweichung sich in einem Bereich kleiner als 1 % einer Vorspannungsdifferenz zwischen zwei unabhängigen Reihen der Vorspannungsleitungen Vs bewegt. Daher wird der Wert des Widerstands $R_{vs\text{-}vs}$ eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs\text{-}vs} > 100 \cdot Ro$;

[0036] Bei dem vorstehend erläuterten Beispiel wird der Wert eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs\text{-}vs} > 10\ k\Omega$;

[0037] Der Wert des Widerstands $R_{vs\text{-}g}$ und $R_{vs\text{-}vs}$ wird vorzugsweise auf etwa 10 MΩ eingestellt, was ausreichend groß ist, um die vorstehend erläuterten Formeln zu erfüllen, wobei eine Abweichung und ein Spielraum bei Herstellungsverfahren berücksichtigt sind. Mit den vorstehend erläuterten Einstellungen kann jede Reihe der Vorspannungsleitungen und jede Gateleitung zuverlässig gesteuert werden.

[0038] Elektrostatische Fehler (ESD) eines Feldes, die durch eine elektrostatische Ladungspotentialdifferenz zwischen jeder Reihe der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg während der Feldherstellungsverfahren verursacht werden, nachdem das Feld in Scheiben zerlegt ist, können vermieden werden und die Herstellungsausbeute kann verbessert werden.

[0039] Fig. 2 ist ein Ersatzschaltbild eines Dünnfilmtransistor-Matrixfeldes vor einem Scheibenzerlegungsverfahren gemäß dem ersten Ausführungsbeispiel.

[0040] Zwei Reihen der gemeinsamen Elektrodenvorspannungsleitungen Vs sind durch den Widerstand $R_{vs\text{-}vs}$ verbunden. Der Widerstand Rs ist zwischen benachbarten Gateleitungen Vg verbunden, ein Widerstand $R_{s\text{-}g}$ ist zwischen benachbarten Übertragungsleitungen Sig verbunden und der Widerstand $R_{vs\text{-}g}$ ist zwischen der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg verbunden. Daher sind alle Gateleitungen Vg, Vorspannungsleitungen Vs und Übertragungsleitungen des Dünnfilmtransistorfeldes elektrisch verbunden und werden stets auf dem gleichen Potential gehalten. Daher können elektrostatische Fehler (ESD) des Feldes, die durch eine elektrostatische Ladungspotentialdifferenz zwischen Verdrahtungsleitungen während der Feldherstellungsverfahren verursacht werden, vermieden und die Herstellungsausbeute verbessert werden.

[0041] Die Übertragungsleitungen Sig zum Übertragen von Ladungen, die durch photoelektrische Umwandlungselemente erzeugt werden, sind durch Halbleiterschichten verbunden, bis das Feldscheibenzerlegungsverfahren ausgeführt wird, und jede Leitung ist getrennt, nachdem das Feld in Scheiben zerlegt ist.

[Vergleichsbeispiel, das nicht innerhalb des Schutzbereichs der beanspruchten Erfindung fällt]

[0042] Ein Vergleichsbeispiel, das nicht innerhalb des Schutzbereichs der beanspruchten Erfindung fällt, wird nachfolgend unter Bezug auf die Zeichnung erläutert. Fig. 4 ist ein vereinfachtes Ersatzschaltbild einer Halbleitereinrichtung gemäß dem Vergleichsbeispiel, und Fig. 5 ist eine schematische Draufsicht der Halbleitereinrichtung des Vergleichsbeispiels mit einem Scheibenbereich der Halbleitereinrichtung vor einem Scheibenzerlegungsverfahren und ihr vereinfachtes Ersatzschaltbild.

[0043] Wie in Fig. 4 gezeigt, enthält die Halbleitereinrichtung dieses Beispiels ein in Scheiben zerlegtes Dünnfilmtransistor-Matrixfeld **1**, eine Treibereinheit **2**, eine integrierte Signalverarbeitungsschaltung IC oder Sourcetreiber **3** und einen gemeinsamen Elektrodentreiber **4**. Bezugszeichen c11, c12, ..., bezeichnen Kondensatoren, die einen Flüssigkristallabschnitt zeigen. Bezugszeichen t11, t12, .., bezeichnen Dünnfilmtransistoren, die als Schalter dienen

und verwendet werden, wenn von dem Sourcetreiber **3** ein elektrisches Feld an einen Flüssigkristall angelegt wird. Zwei Reihen von gemeinsamen Elektrodenvorspannungsleitungen Vs, die elektrisch getrennt sind, sind vorgesehen. Alle Gateleitungen Vg, Vorspannungsleitungen Vs und Übertragungsleitungen Sig sind ebenso elektrisch getrennt.

[0044] Fig. 5 ist ein Ersatzschaltbild des Dünnfilmtransistor-Matrixfeldes des Vergleichsbeispiels, bevor es in Scheiben zerlegt wird.

[0045] Die gemeinsamen Elektrodenvorspannungsleitungen werden als zwei Reihen gesteuert. Bei jeder Reihe sind die gemeinsame Elektrodenvorspannungsleitung Vs, die Gateleitung Vg und die Übertragungsleitung Sig mit jeweiligen Halbleiterschichten verbunden. Die Halbleiterschichten sind mit einer Metallverdrahtung, die bei einem Bereich außerhalb des Bereichs, bei dem Anzeigeelemente einschließlich Dünnfilmtransistoren und Kondensatoren gebildet sind, angeordnet ist, verbunden.

[0046] Fig. 6 ist eine schematische Querschnittsansicht mit einem Beispiel eines Feldscheibenzerlegungsbereichs. Ein Dünnfilmtransistor-Matrixanordnungsabschnitt eines Feldes mit einer Halbleiterschicht **6** und einer Metallverdrahtung **7**, die auf einem Isoliersubstrat **5** gebildet sind, wird bei einem Halbleiterschichtabschnitt entlang eines Scheibenzerlegungsbereichs **8** in Scheiben zerlegt. Bei den jeweiligen Halbleiterschichten, die mit der Vorspannungsleitung, der Gateleitung Vg und der Übertragungsleitung Sig von jeder Reihe verbunden sind, wie in Fig. 5 gezeigt, wird das Feld entlang des Scheibenzerlegungsbereichs **8** in Scheiben zerlegt, wie in Fig. 6 gezeigt.

[0047] Fig. 7 ist eine Querschnittsansicht des in Scheiben zerlegten Abschnitts des Feldes. Der Dünnfilmtransistor-Matrixanordnungsabschnitt wird bei dem Halbleiterschichtabschnitt in Scheiben zerlegt. Bezugszeichen **9** bezeichnet einen abgeschnittenen Rand.

[Zweites Ausführungsbeispiel]

[0048] Das zweite Ausführungsbeispiel der Erfindung wird nachfolgend mit Bezug auf die Zeichnung erläutert. Fig. 8 ist ein vereinfachtes Ersatzschaltbild einer Halbleitereinrichtung gemäß dem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

[0049] Wie in Fig. 8 gezeigt, enthält die Halbleitereinrichtung dieses Ausführungsbeispiels ein in Scheiben zerlegtes Dünnfilmtransistor-Matrixfeld **1**, eine Treibereinheit **2**, eine integrierte Signalverarbeitungsschaltung oder Sourcetreiber **3** und einen gemeinsamen Elektrodentreiber **4**. Bezugszeichen c11, c12, ..., bezeichnen Kondensatoren, die einen Trennungszustand von Elektronen und Löchern, die durch nicht dargestellte photoelektrische Umwandlungselemente bei Anlegen einer Vorspannung erzeugt werden, speichern. Bezugszeichen t11, t12, ..., bezeichnen Dünnfilmtransistoren, die als Schalter zum Übertragen von elektrischen Ladungen, die durch photoelektrische Umwandlungselemente erzeugt werden, dienen.

[0050] Zwei Reihen von gemeinsamen Elektrodenvorspannungsleitungen V_s sind vorgesehen und führen Vorspannungen über eine Vielzahl von Verdrahtungsleitungen, um einen Verdrahtungswiderstand von jeder Reihe der gemeinsamen Elektrodenvorspannungsleitung V_s zu verringern. Ein Widerstand $R_{vs\text{-}vs}$ ist zwischen den zwei Reihen verbunden. Ein Widerstand R_s ist zwischen benachbarten Gateleitungen Vg verbunden und ein widerstand $R_{vs\text{-}g}$ ist zwischen der gemeinsamen Elektrodenvorspannungsleitung V_s und der Gateleitung Vg verbunden.

[0051] Falls die erste Gateleitung Vg der ersten Leitung auszuwählen ist, wird eine Einschaltspannung Vgh von Dünnfilmtransistoren (t11, t21, t31, ...) an einen Treiber Dr. 1 der Treibereinheit **2** angelegt und eine Ausschaltspannung Vgl von Dünnfilmtransistoren wird an die Treiber Dr. 2 und Dr. 3 der Treibereinheit **2** angelegt. Ein Widerstand Ro ist zwischen jedem der Treiber Dr. 1 bis Dr. 3 und einem entsprechenden einen der ersten Dünnfilmtransistoren (t11, t12, t13, ...) verbunden und der Widerstand Rs, der aus einer Halbleiterschicht besteht, ist zwischen benachbarten Gateleitungen Vg verbunden. Der Wert des Widerstands Rs wird so eingestellt, daß eine Spannung, die an die Gateelektrode des ersten Dünnfilmtransistors (t12) für den Treiber Dr. 2 angelegt wird, niedriger als eine Schwellenspannung Vth von Dünnfilmtransistoren wird.

[0052] Wie bei dem ersten Ausführungsbeispiel erläutert, ist der Wert des Widerstands Rs, der aus einer Halbleiterschicht besteht, gegeben durch:

$$Vgl + (Vgh - Vgl)\cdot Ro/(Rs + 2Ro) < Vth,$$

oder

$$Rs > (Vgl + Vgh - 2Vth)\cdot Ro/(Vth - Vgl)$$

[0053] Durch Einstellen des Werts des Widerstands Rs in dieser Weise kann jede Gateleitung Vg zuverlässig ausgewählt und gesteuert werden. Falls zum Beispiel die Einschaltspannung an den Treiber Dr. 1 angelegt wird und die Ausschaltspannung an die anderen Treiber Dr. 2, Dr. 3, ..., angelegt wird, werden alle Dünnfilmtransistoren, die mit diesen Treibern Dr. 2, Dr. 3, ..., verbunden sind, ausgeschaltet gehalten, weil die Gateelektrodenpotentiale niedriger sind als die Schwellenspannung Vth.

[0054] Nimmt man bei diesem Ausführungsbeispiel an, daß Vgl ≅ –5 V, Vgh 15 V, Vth ≅ 2 V, und Ro ≅ 100 Ω beträgt, dann wird der Wert des Widerstands Rs auf 1 MΩ eingestellt, um folgende Bedingung zu erfüllen:

$Rs > 85{,}7\ \Omega$.

[0055] Der Bereich des Werts des Widerstands $R_{vs—g}$ wird wie folgt bestimmt.

[0056] Eine gemeinsame Elektrodenvorspannung (Speichervorspannung) bei der Vorspannungsleitung Vs beträgt während eines Vorgangs zum Speichern von Elektronen oder Löchern, die zu übertragen sind, 9 V, wohingegen eine Auffrischungsvorspannung (Löschvorspannung) während eines Vorgangs zum Abführen von gespeicherten Elektronen oder Löchern nach der Übertragung 3 V beträgt. Daher beträgt eine maximale Differenz zwischen der Gateleitung (Vgh = 15 V, Vgl = –5V) und der Vorspannungsleitung Vs 14 V, was kleiner als eine Vorspannungsdifferenz (Vgh – Vgl = 20 V) zwischen Vorspannungsleitungen Vs ist. Falls der Wert des Widerstands R_{vs-g} zwischen dem Vorspannungsanlegepunkt der gemeinsamen Elektrodenvorspannungsleitung Vs und dem Vorspannungsanlegepunkt der Gateleitung Vg größer eingestellt wird als der Wert der Widerstände Rs + Ro, können Dünnfilmtransistoren zuverlässig getrieben werden. Falls zum Beispiel die Einschaltspannung Vgh an Dünnfilmtransistoren bei der Gateleitung, die mit dem Widerstand R_{vs-g} verbunden ist, angelegt wird, werden diese Dünnfilmtransistoren eingeschaltet, wohingegen falls die Ausschaltspannung Vgl an die Dünnfilmtransistoren angelegt wird, diese ausgeschaltet werden, weil die Ausschaltspannung niedriger als die Schwellenspannung ist. Genauer gesagt, wenn die Treiberspannungen auf den Gateleitungen berücksichtigt werden, wird als eine Gegenmaßnahme zu elektrostatischen Fehlern (ESD) der Wert des Widerstands R_{vs-g} eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs-g} > Rs$;

[0057] In diesem Zustand arbeitet die Halbleitereinrichtung in einem Normalzustand.

[0058] Es ist bestätigt worden, daß Dünnfilmtransistoren in einem Normalzustand ohne elektrostatische Fehler (ESD) getrieben werden können, falls eine Vorspannungsabweichung bei der Vorspannungsleitung sich in einem Bereich bewegt, der kleiner als 1 % einer Vorspannungsdifferenz zwischen der Gateleitung Vg und der Vorspannungsleitung Vs ist. Daher wird der Wert des Widerstands R_{vs-g} eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs-g} > 100 \cdot Ro$;

[0059] Falls der Wert in dieser Weise eingestellt wird, ist es möglich, die Vorspannungsabweichung, die kleiner als etwa 1 % ist, zu unterdrücken und Dünnfilmtransistoren in einem Normalzustand zu treiben.

[0060] Auf Grund der vorstehenden Betrachtungen ist es empfehlenswert, den Wert des Widerstands R_{vs-g} so einzustellen, um folgende beide Bedingungen zu erfüllen:

$R_{vs-g} > Rs$ und $R_{vs-g} > 100 \cdot Ro$;

[0061] Hinsichtlich des Werts des Widerstands R_{vs-vs} können in ähnlicher Weise Dünnfilmtransistoren in einem Normalzustand getrieben werden, falls eine Vorspannungsabweichung sich in einem Bereich bewegt, der kleiner als 1 % einer Vorspannungsdifferenz zwischen zwei unabhängigen Reihen der Vorspannungsleitungen Vs ist. Daher wird der Wert des Widerstands R_{vs-vs} eingestellt, um folgende Bedingung zu erfüllen:

$R_{vs-vs} > 100 \cdot Ro$;

[0062] Die Werte der Widerstände R_{vs-g} und R_{vs-vs} werden bevorzugt auf etwa 10 MΩ eingestellt, was ausreichend hoch ist, um die vorstehend erläuterten Formeln zu erfüllen, wobei eine Abweichung und ein Spielraum bei Herstellungsverfahren berücksichtigt ist. Mit den vorstehend erläuterten Einstellungen kann jede Reihe der Vorspannungsleitungen und jede Gateleitung zuverlässig gesteuert werden.

[0063] Elektrostatische Fehler (ESD) eines Feldes auf Grund einer elektrostatischen Ladungspotentialdifferenz zwischen jeder Reihe der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg während der Feldherstellungsverfahren nach der Zerlegung des Feldes in Scheiben können vermieden und die Herstellungsausbeute verbessert werden.

[Drittes Ausführungsbeispiel]

[0064] Das dritte Ausführungsbeispiel der Erfindung wird nachfolgend unter Bezug auf die Zeichnung erläutert. Fig. 9 ist ein vereinfachtes Ersatzschaltbild einer Halbleitereinrichtung gemäß dem dritten Ausführungsbeispiel der vorliegenden Erfindung.

[0065] In Fig. 9 bezeichnen Bezugszeichen c11, c12, ..., Kondensatoren, die einen Trennungszustand von Elektronen und Löchern, der durch nicht gezeigte photoelektrische Umwandlungselemente bei Anlegen einer Vorspannung erzeugt wird, speichern. Bezugszeichen t11, t12, ..., bezeichnen Dünnfilmtransistoren, die als Schalter dienen, zum Übertragen von elektrischen Ladungen, die durch photoelektrische Umwandlungselemente erzeugt werden.

[0066] Zwei Reihen von gemeinsamen Elektrodenvorspannungsleitungen V_s sind gebildet. Ein Widerstand R_{vs-vs} ist zwischen den zwei Reihen verbunden. Ein Widerstand Rs ist zwischen benachbarten Gateleitungen Vg verbunden und ein Widerstand R_{vs-g} ist zwischen der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg verbunden.

[0067] Jede Verdrahtung ist mit einem Prüfungsanschluß **10**, an den während eines Feldprüfungsverfahrens eine Vorspannung von einem Meßfühler oder dergleichen angelegt wird, gebildet, um vor einem letzten Herstellungsverfahren zu beurteilen, ob die Halbleitereinrichtung defekt ist oder nicht.

[0068] Falls die erste Gateleitung Vg der ersten Leitung auszuwählen ist, wird von dem Prüfungsanschluß **10** eine Einschaltspannung Vgh von Dünnfilmtransistoren (t11, t21, t31, ...,) an Dr. 1 angelegt, und von den Prüfungsanschlüssen **10** eine Ausschaltspannung Vgl von Dünnfilmtransistoren an Dr. 2 und Dr. 3 angelegt. Ein Widerstand Ro ist zwischen jedem der Prüfungsanschlüsse und einem entsprechenden einen der ersten Dünnfilmtransistoren (t11, t12, t13, ..,,) verbunden und der Widerstand Rs, der aus einer Halbleiterschicht besteht, ist zwischen benachbarten Gateleitungen Vg verbunden. Der Wert des Widerstands Rs wird so eingestellt, daß eine Spannung, die an die Gateelektrode des ersten Dünnfilmtransistors (t12) für Dr. 2 angelegt wird, niedriger als Vth, welche eine Schwellenspannung von Dünnfilmtransistoren ist, wird. Bei diesem Ausführungsbeispiel wird der Wert des Widerstands R_s auf 1 MΩ eingestellt.

[0069] Der Wert des Widerstands R_{vs-g} wird so bestimmt, um folgende Bedingung zu erfüllen:

$$R_{vs-g} > R_s$$

wobei eine Vorspannungsdifferenz zwischen Gate- und Vorspannungsleitungen Vg-Vs und eine Vorspannungsdifferenz zwischen Ein- und Ausschaltspannung Vgh-Vgl berücksichtigt wird. In diesem Zustand arbeitet die Halbleitereinrichtung in einem Normalzustand.

[0070] Es ist bestätigt worden, daß Dünnfilmtransistoren in einem Normalzustand ohne elektrostatische Fehler getrieben werden können, falls eine Vorspannungsabweichung bei der Vorspannungsleitung Vs sich in einem Bereich, der kleiner als 1 % einer Vorspannungsdifferenz zwischen der Gateleitung Vg und der Vorspannungsleitung Vs ist, bewegt. Daher wird der Wert des Widerstands R_{vs-g} so eingestellt, um folgende Bedingung zu erfüllen:

$$R_{vs-g} > 100 \cdot Ro;$$

[0071] Falls der Wert in dieser Weise eingestellt wird, ist es möglich, die Vorspannungsabweichung unter etwa 1 % zu drücken und die Dünnfilmtransistoren in einem Normalzustand zu treiben.

[0072] Auf Grund der vorstehenden Betrachtungen ist es empfehlenswert, den Wert des Widerstands R_{vs-g} einzustellen, um folgende beiden Bedingungen zu erfüllen:

$$R_{vs-g} > Rs \text{ und } R_{vs-g} > 100 \cdot Ro;$$

[0073] In ähnlicher Weise wird der Wert des Widerstands R_{vs-vs} eingestellt, um folgende Bedingungen zu erfüllen:

$$R_{vs-vs} > 100 \cdot Ro;$$

[0074] Bei diesem Ausführungsbeispiel werden die Werte der Widerstände R_{vs-g} und R_{vs-vs} vorzugsweise auf etwa 10 MΩ eingestellt, was ausreichend hoch ist, um die vorstehend erläuterten Formeln zu erfüllen. Bei dieser Einstellung kann jede Reihe der Vorspannungsleitungen und jede Gateleitung zuverlässig gesteuert werden.

[0075] Falls es beim Prüfen des Feldes mit Prüfungsanschlüssen schwierig ist, alle Anschlüsse gleichzeitig zu messen, wird das Feld in eine Vielzahl von Blöcken geteilt und jeder Block wird gemessen, um das gesamte Feld zu prüfen. In einem derartigen Fall kann das folgende Problem auftreten.

[0076] Wie in Fig. 9 gezeigt, falls eine Dünnfilmtransistor-Einschaltspannung Vgh an Dr. 1 bei einem Prüfungsbereich Dr. 1 bis Dr. 3 und eine Dünnfilmtransistor-Ausschaltspannung Vgl an Dr. 2 angelegt wird, nehmen die Gateleitungen Vg für Dr. 4 bis folgende Dr.'s bei einem Nicht-Prüfungsbereich ein elektrisch schwebendes Potential an, das durch einen Ableitungsstrom von Dr. 3 bestimmt ist. Daher nehmen die Gateleitungen Vg für Dr. 4 bis folgende Dr.'s eine Dünnfilmtransistor-Ausschaltspannung an. Wie bei einem schematischen Schaltbild in Fig. 10 gezeigt, falls jedoch eine Dünnfilmtransistor-Ausschaltspannung Vgl an Dr. 1 und Dr. 2 und eine Dünnfilmtransistor-Einschaltspannung Vgh an Dr. 3 angelegt wird, nehmen die Gateleitungen Vg für Dr. 4 bis folgende Dr.'s ein elektrisch schwebendes Potential an, das durch einen Ableitungsstrom von Dr. 3 bestimmt ist, wobei das Potential die Dünnfilmtransistor-Einschaltspannung sein kann, sodaß die photoelektrischen Umwandlungselemente, die mit Dr. 3 verbunden sind, nicht geprüft werden können. Genauer gesagt, eine Spannung am entfernten Ende des Prüfungsbereichs, die zum Nicht-Prüfungsbereich abgeleitet wird, kann dazu führen, daß photoelektrische Umwandlungselemente nicht bewertet werden.

[0077] Wie bei dem schematischen Schaltbild von Fig. 11 gezeigt, ist bei dem dritten Ausführungsbei-

spiel ein Probeanschluß **11**, der ständig eine Spannung Vgl oder ein Massepotential von einem Meßfühler zuführen kann, am Grenzbereich zwischen dem Prüfungsbereich und dem Nicht-Prüfungsbereich gebildet. Ein Ableitungsstrom von diesem Probeanschluß **11** wird zum Steuern des Potentials bei den Gateleitungen Vg bei dem Nicht-Prüfungsbereich auf die Spannung Vgl oder das Massepotential und zum Halten der Dünnfilmtransistoren bei dem Nicht-Prüfungsbereich auf der Dünnfilmtransistor-Ausschaltspannung verwendet. Selbst bei einer blockweisen Prüfung wirft demgemäß ein Ableitungsstrom der Verdrahtung mit dem Widerstand Rs, der als Gegenmaßnahme zu elektrostatischen Fehlern (ESD) vorgesehen ist, kein Problem auf und die Prüfung kann durchgeführt werden.

[0078] Elektrostatische Fehler (ESD) eines Feldes, die durch eine elektrostatische Ladungspotentialdifferenz zwischen jeder Reihe der gemeinsamen Elektrodenvorspannungsleitung Vs und der Gateleitung Vg während der Feldherstellungsverfahren verursacht werden, nachdem das Feld in Scheiben zerlegt ist, können vermieden und die Herstellungsausbeute verbessert werden. Weiterhin kann das Problem, das für das Prüfungsverfahren spezifisch ist, gelöst werden.

[0079] Wie so weit erläutert, ist gemäß der vorliegenden Erfindung eine Halbleitereinrichtung mit einem Dünnfilmtransistor-Matrixfeld, die elektrostatische Fehler (ESD) während Herstellungsverfahren wirksam verhindern und eine Herstellungsausbeute verbessern kann, gebildet.

[0080] Gemäß der vorliegenden Erfindung wird ein Widerstand mit einem gewünschten Widerstandswert zwischen jeweiligen Verdrahtungsleitungen eingefügt. Da Leitungen durch den Widerstand mit einem gewünschten Widerstandswert verbunden sind, ist ein Trennungsverfahren, das durch das Scheibenzerlegungsverfahren auszuführen ist, nicht zwingend erforderlich, und selbst wenn das Trennungsverfahren erforderlich ist, kann es bei dem Bereich, bei dem keine Metallverdrahtungsleitung gebildet ist, ausgeführt werden. Ein Problem, das mit dem Trennungsverfahren, das durch das Scheibenzerlegungsverfahren bei dem Metallleiterbereich auszuführen ist, verbunden ist, tritt nicht auf und elektrostatische Fehler (ESD) können vermieden werden.

[0081] Da weiterhin gemäß der vorliegenden Erfindung Verdrahtungsleitungen durch Widerstände elektrisch verbunden sind, können die Wirkungen zum Verhindern von elektrostatischen Fehlern (ESD) aufrechterhalten werden, bis das Feld schließlich bei einer Einrichtung montiert wird.

Patentansprüche

1. Photoelektrische Umwandlungseinrichtung, die eine Vielzahl von Dünnfilmtransistoren (t11 bis t53) und Kondensatoren (c11 bis c53), die auf einem Substrat angeordnet sind, besitzt, mit:
einer Vielzahl von Gateleitungen (Vg), die mit Gateelektroden der Dünnfilmtransistoren verbunden sind; und mit
einer Vielzahl von Übertragungsleitungen (Sig), die mit einer aus der Source und der Drain der Dünnfilmtransistoren verbunden sind, zum Übertragen von elektrischer Ladung, die durch die photoelektrische Umwandlung erzeugt wird; und mit
einer Vielzahl von gemeinsamen Elektrodenvorspannungsleitungen (Vs), die mit einer ersten Elektrode der Kondensatoren verbunden sind, zum Anlegen einer Vorspannung zum Trennen von Elektronen und Löchern, die durch photoelektrische Umwandlung erzeugt werden,
wobei zweite Elektroden der Kondensatoren mit der anderen aus der Source und der Drain der Dünnfilmtransistoren verbunden sind, und elektrische Verbindungen durch einen Widerstand (Rvsg) zwischen einer von den gemeinsamen Elektrodenvorspannungsleitungen und einer von den Gateleitungen und durch Widerstände (Rs) zwischen den Gateleitungen gebildet werden.

2. Photoelektrische Umwandlungseinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Widerstände (Rvs-g, Rs) durch eine Halbleiterschicht zwischen jeweiligen Verdrahtungen gebildet werden.

3. Photoelektrische Umwandlungseinrichtung nach Anspruch 2, gekennzeichnet durch
einen Gatetreiber (**2**) zum Treiben der Vielzahl von Gateleitungen (Vg); und durch
einen gemeinsamen Elektrodenvorspannungstreiber (**4**) zum Treiben der Vielzahl von gemeinsamen Elektrodenvorspannungsleitungen (Vs).

4. Photoelektrische Umwandlungseinrichtung nach Anspruch 3, dadurch gekennzeichnet, daß der Wert Rs des Verbindungswiderstands, der durch die Halbleiterschicht zwischen den Gateleitungen (Vg) gebildet wird, eingestellt wird, um folgende Bedingung zu erfüllen:

$$Rs > (Vgl + Vgh - 2Vth)\cdot Ro/(Vth - Vgl);$$

wobei Vgh die Einschaltspannung der Gateelektrode von jedem Dünnfilmtransistor, Vgl die Ausschaltspannung der Gateelektrode von jedem Dünnfilmtransistor, Vth die Schwellenspannung von jedem Dünnfilmtransistor und Ro der Wert des Verbindungswiderstands zwischen dem Gatetreiber (i) und jeder von den Gateleitungen (Vg) und zwischen dem gemeinsamen Elektrodenvorspannungstreiber (**4**) und jeder von den gemeinsamen Elektrodenvorspan-

nungsleitungen (Vs) ist.

5. Photoelektrische Umwandlungseinrichtung nach Anspruch 3, dadurch gekennzeichnet, daß der Wert Rvs-g des Widerstands, der durch die Halbleiterschicht zwischen einer gemeinsamen Elektrodenvorspannungsleitung (Vs) und einer Gateleitung (Vg) gebildet wird, eingestellt wird, um die folgenden zwei Bedingungen zu erfüllen:

Rvs-g > Rs und Rvs-g > 100 Ro;

wobei Ro der Wert des Verbindungswiderstands zwischen dem Gatetreiber (**2**) und jeder von den Gateleitungen (Vg) und zwischen dem gemeinsamen Elektrodenvorspannungstreiber (**4**) und jeder von den gemeinsamen Elektrodenvorspannungsleitungen (Vs) ist.

6. Photoelektrische Umwandlungseinrichtung nach Anspruch 3, dadurch gekennzeichnet, daß jede gemeinsame Elektrodenvorspannungsleitung zu einer von zwei oder mehreren getrennt getriebenen Gruppen gehört, eine Halbleiterschicht zwischen den Gruppen gebildet ist und daß der Wert Rvs-vs des Verbindungswiderstands, der durch die Halbleiterschicht gebildet wird, eingestellt wird, um folgende Bedingung zu erfüllen:

Rvs-vs > 100 Ro;

wobei Ro der Wert des Verbindungswiderstands zwischen dem Gatetreiber (**2**) und jeder von den Gateleitungen (Vg) und zwischen dem gemeinsamen Elektrodenvorspannungstreiber (**4**) und jeder von den gemeinsamen Elektrodenvorspannungsleitungen (Vs) ist.

7. Röntgenstrahl-Bildaufnahmevorrichtung mit einer photoelektrischen Umwandlungseinrichtung nach einem der Ansprüche 1 bis 6.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

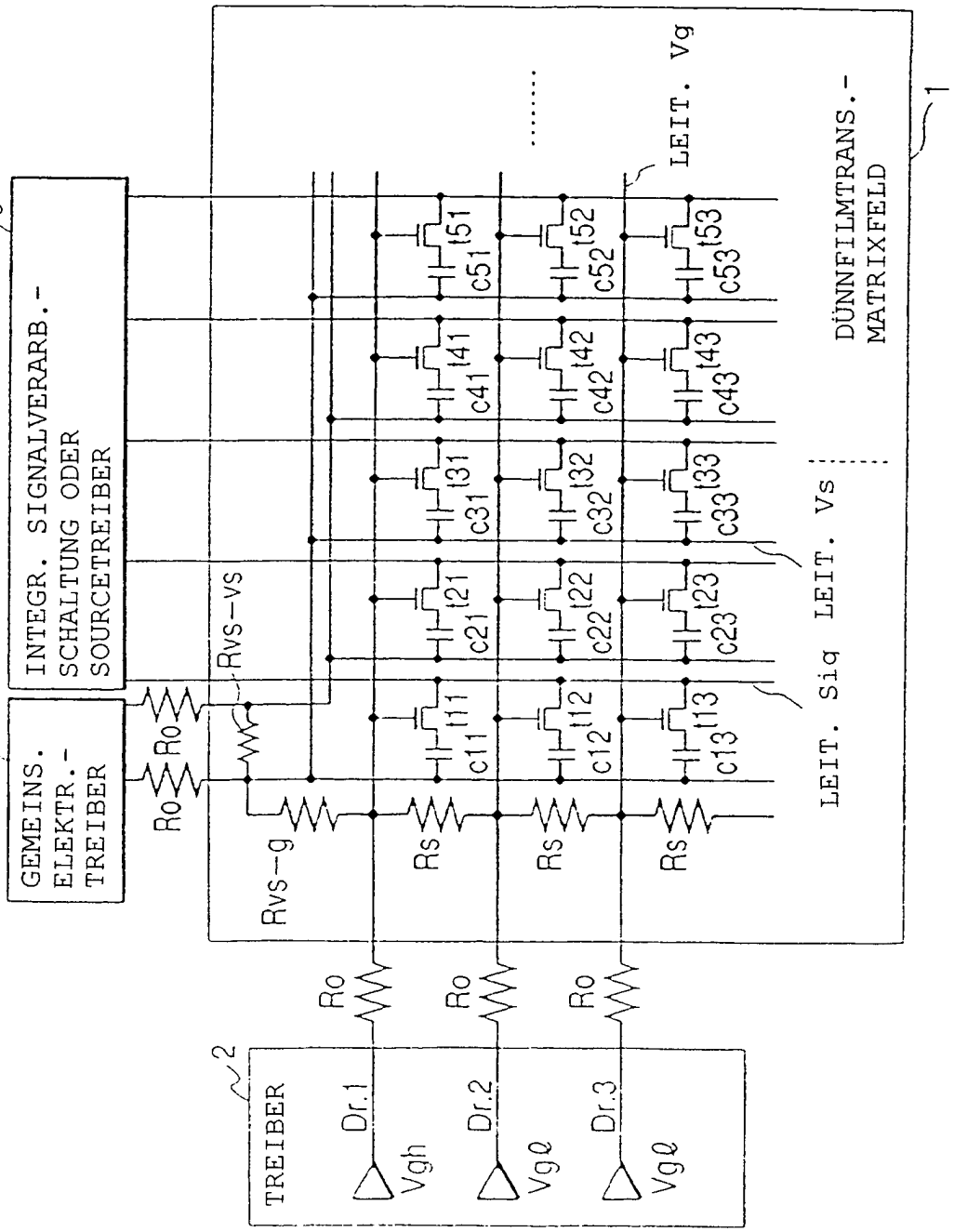


FIG. 2

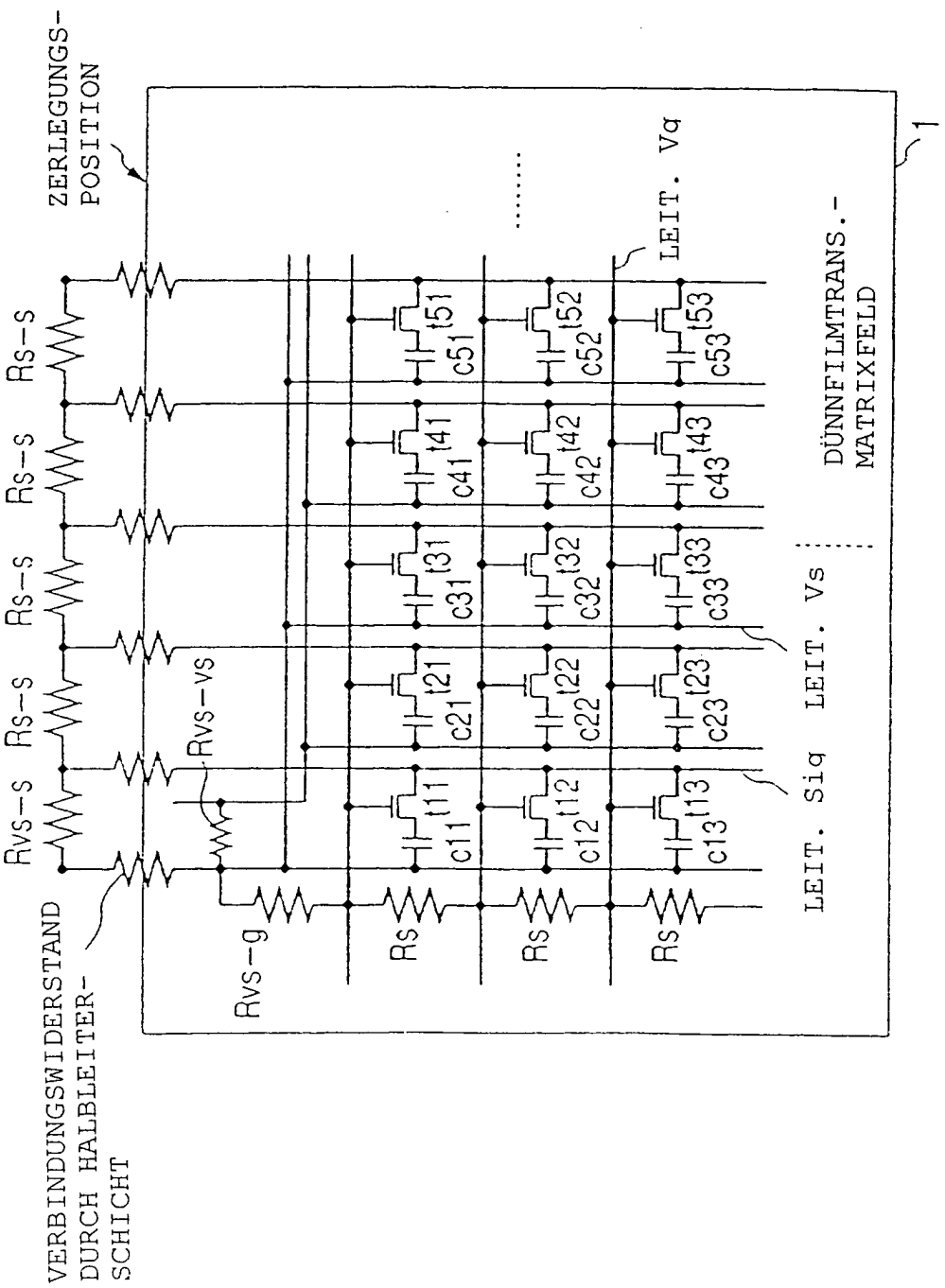

ZERLEGUNGS-
POSITION
VERBINDUNGSWIDERSTAND
DURCH HALBLEITER-
SCHICHT
Rvs-s
Rs-s
Rvs-vs
Rvs-g
Rs
LEIT. Vq
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
1

FIG. 3A

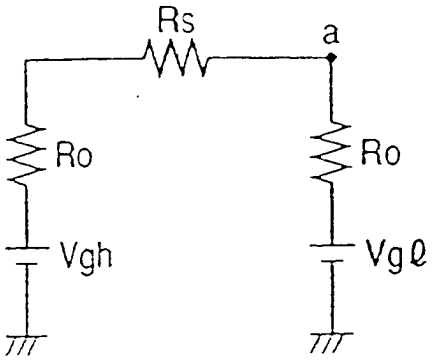


FIG. 3B

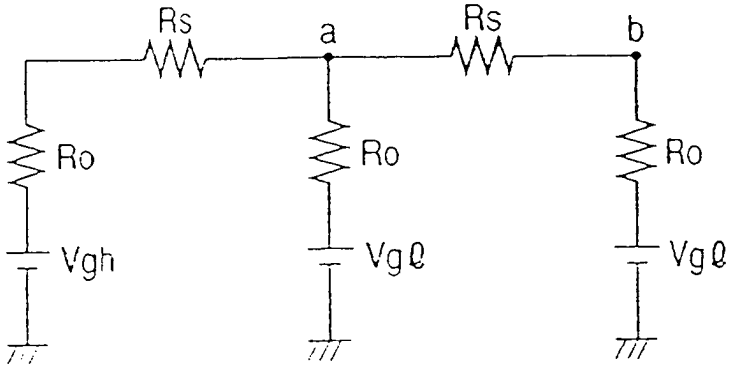


FIG. 4

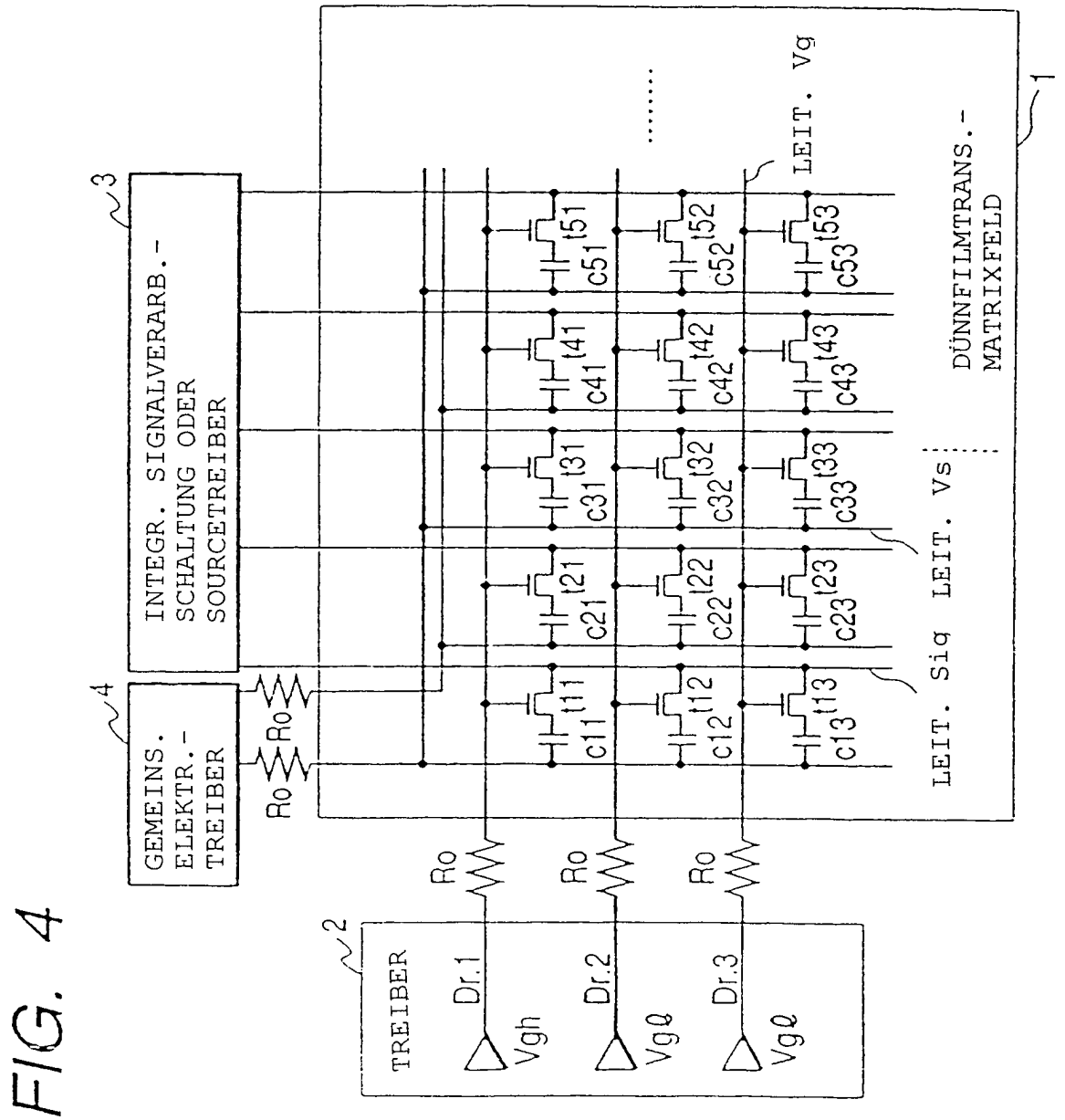

1
2
TREIBER
Dr.1
Dr.2
Dr.3
Vgh
Vgl
Vgl
3
INTEGR. SIGNALVERARB.-
SCHALTUNG ODER
SOURCETREIBER
4
GEMEINS.
ELEKTR.-
TREIBER
Ro
LEIT. Vg
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
t11
t12
t13
t21
t22
t23
t31
t32
t33
t41
t42
t43
t51
t52
t53
c11
c12
c13
c21
c22
c23
c31
c32
c33
c41
c42
c43
c51
c52
c53

FIG. 5

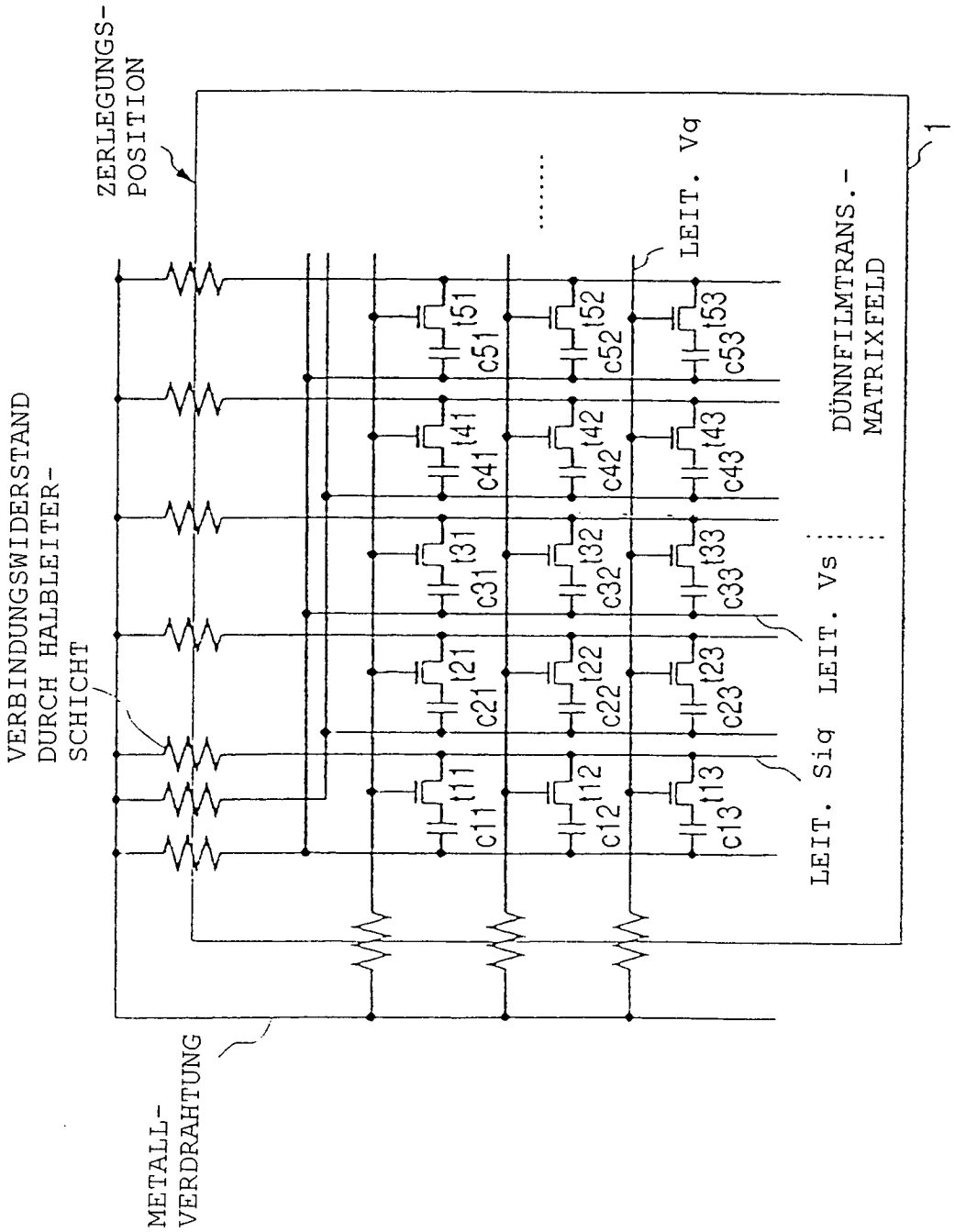

ZERLEGUNGS-
POSITION
VERBINDUNGSWIDERSTAND
DURCH HALBLEITER-
SCHICHT
METALL-
VERDRAHTUNG
LEIT. Vq
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
1

FIG. 6

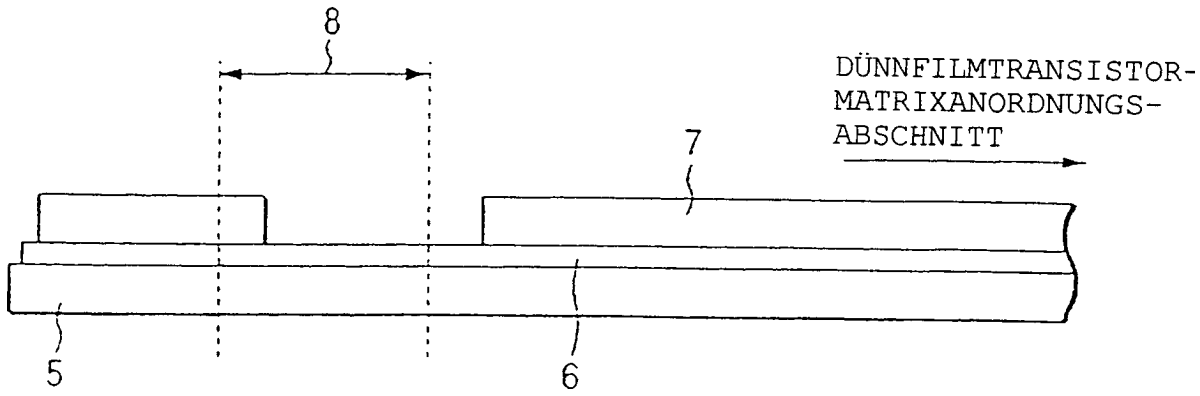

8
DÜNNFILMTRANSISTOR-
MATRIXANORDNUNGS-
ABSCHNITT
7
5
6

FIG. 7

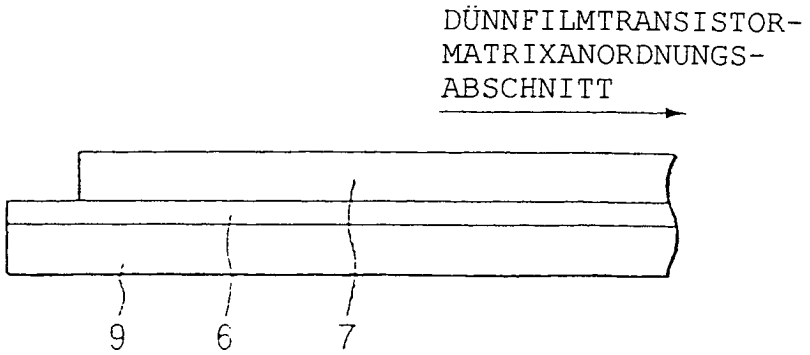

DÜNNFILMTRANSISTOR-
MATRIXANORDNUNGS-
ABSCHNITT
9
6
7

FIG. 8

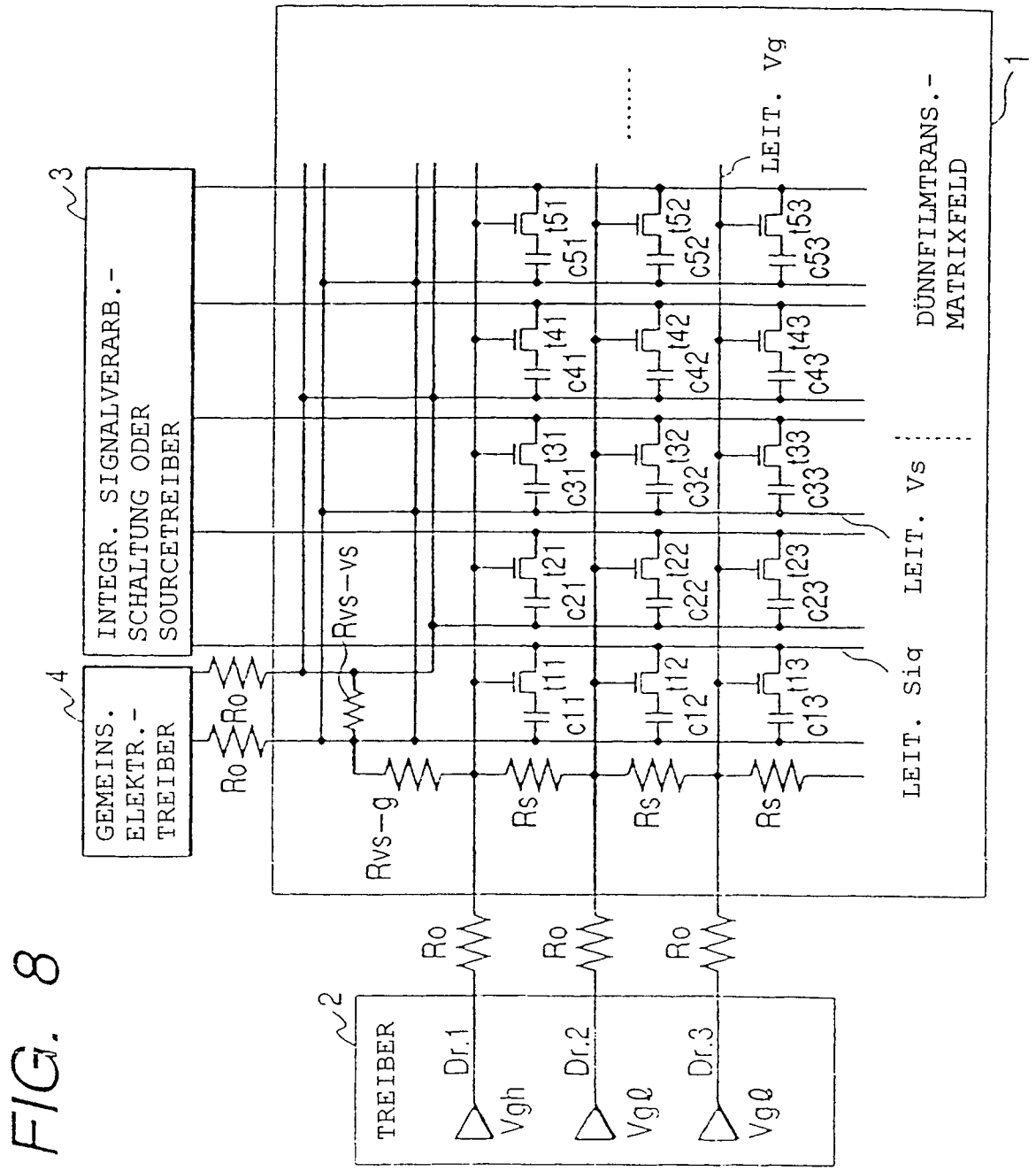

INTEGR. SIGNALVERARB.-
SCHALTUNG ODER
SOURCETREIBER
3
GEMEINS.
ELEKTR.-
TREIBER
4
TREIBER
2
Dr.1
Dr.2
Dr.3
Vgh
Vgl
Vgl
Ro
Rs
Rvs-g
Rvs-vs
LEIT. Vg
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
1

FIG. 9

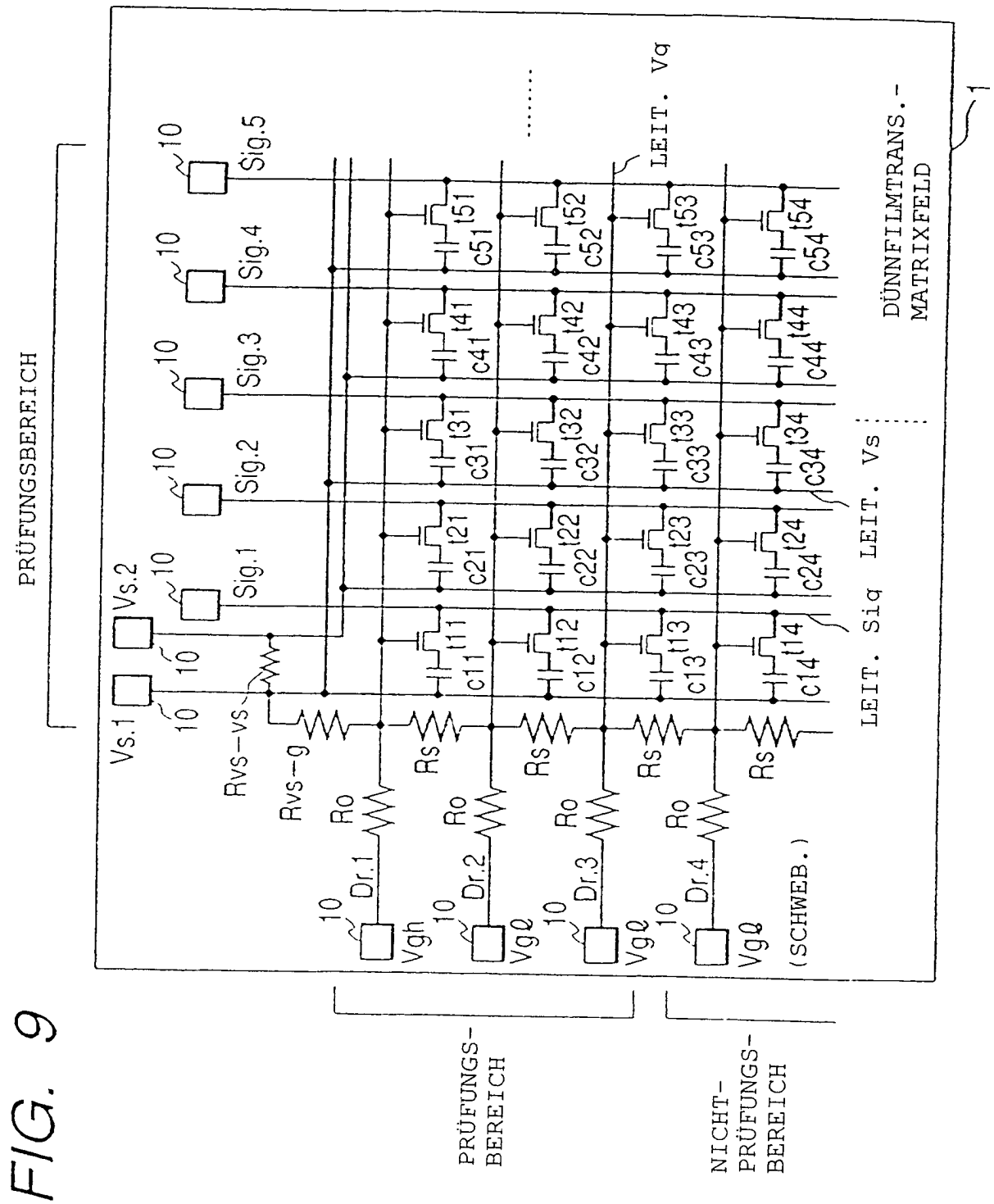

PRÜFUNGSBEREICH
Vs.1
Vs.2
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
10
Rvs-vs
Rvs-g
Ro
Rs
Dr.1
Dr.2
Dr.3
Dr.4
Vgh
Vgℓ
LEIT. Vg
LEIT. Sig
LEIT. Vs
(SCHWEB.)
DÜNNFILMTRANS.-MATRIXFELD
1
PRÜFUNGS-BEREICH
NICHT-PRÜFUNGS-BEREICH

FIG. 10

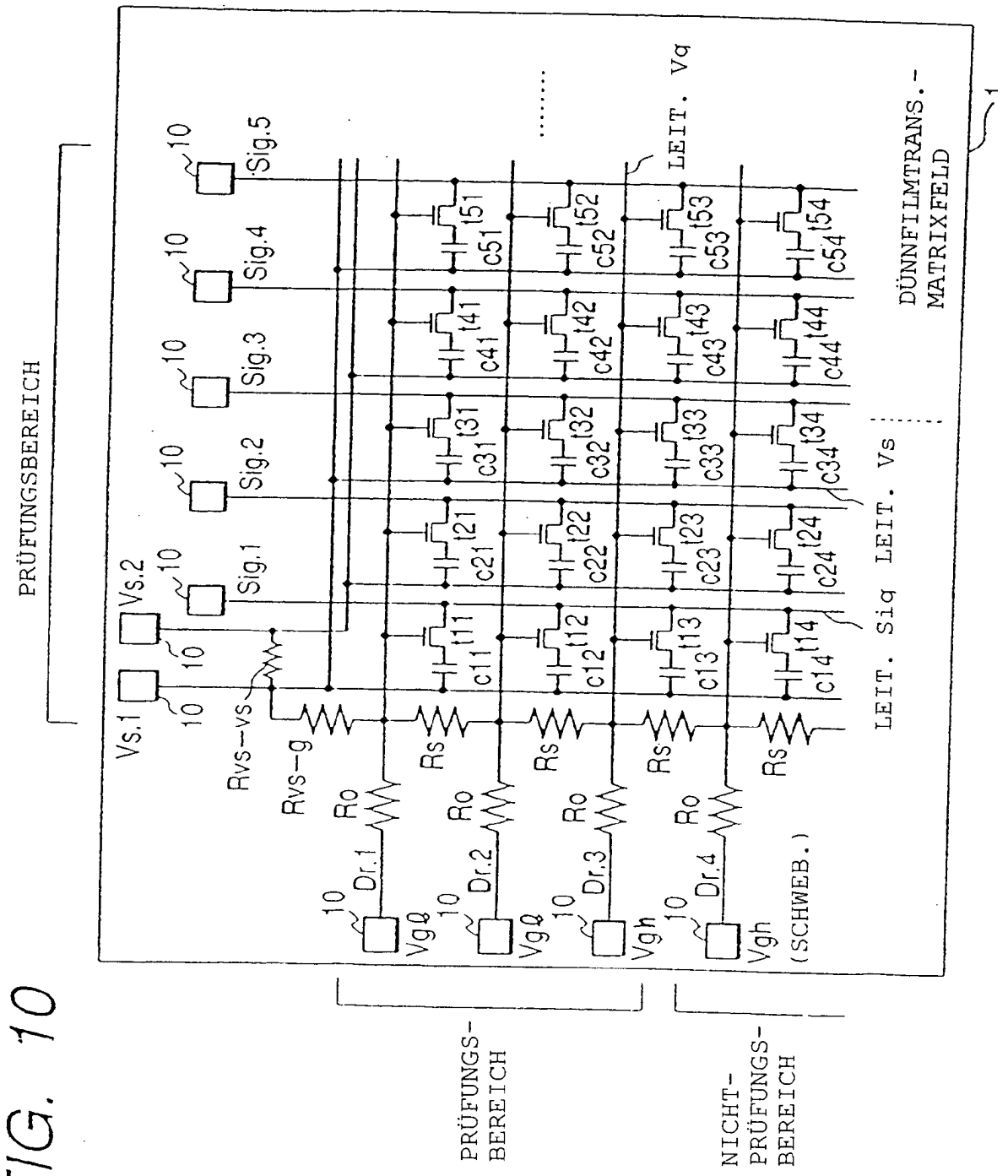
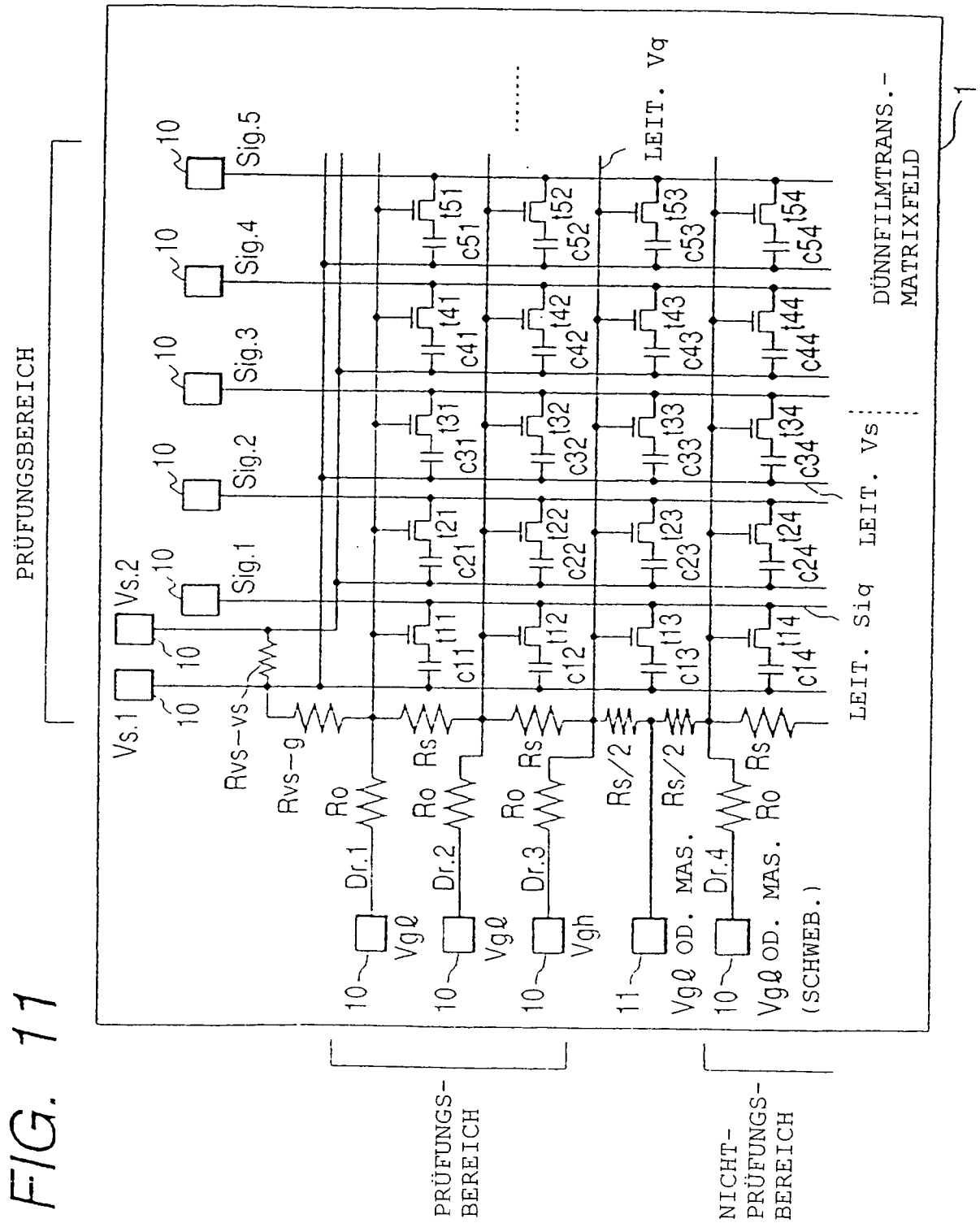

PRÜFUNGSBEREICH
Vs.1
Vs.2
Rvs-vs
Rvs-g
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
Ro
Rs
Dr.1
Dr.2
Dr.3
Dr.4
Vgl
Vgl
Vgh
Vgh
(SCHWEB.)
LEIT. Vg
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
PRÜFUNGS-
BEREICH
NICHT-
PRÜFUNGS-
BEREICH

FIG. 11


PRÜFUNGSBEREICH
Vs.1
Vs.2
Sig.1
Sig.2
Sig.3
Sig.4
Sig.5
Rvs-vs
Rvs-g
Ro
Rs
Rs/2
Dr.1
Dr.2
Dr.3
Dr.4
Vgl
Vgh
OD. MAS.
(SCHWEB.)
LEIT. Vq
LEIT. Sig
LEIT. Vs
DÜNNFILMTRANS.-
MATRIXFELD
PRÜFUNGS-
BEREICH
NICHT-
PRÜFUNGS-
BEREICH