

1. 一种可编程电阻存储器器件,包含:

半导体衬底;

在所述半导体衬底上形成的、其中布置了存储器单元的至少一个单元阵列,每个所述存储器单元具有可编程电阻元件和存取元件的层叠结构,所述可编程电阻元件以非易失性方式存储由电压施加的极性所确定的高电阻状态或者低电阻状态,所述存取元件具有这样的在某一电压范围内、在截止状态的电阻值:该电阻值是在选择状态的电阻值的十倍或更多;以及

位于所述单元阵列下面、在所述半导体衬底上形成的读取/写入电路,其用于与所述单元阵列相联系的数据读取和数据写入。

2. 如权利要求1所述的可编程电阻存储器器件,其特征在于:

所述可编程电阻元件包括包含金属离子的离子导体,其具有将所述离子导体夹在中间的阳极和阴极电极。

3. 如权利要求1所述的可编程电阻存储器器件,其特征在于:

所述可编程电阻元件包含其中散布有导电粒子的聚合物,其具有将所述聚合物夹在中间的阳极和阴极电极。

4. 如权利要求1所述的可编程电阻存储器器件,其特征在于:

所述存取元件是从齐纳二极管、PN结二极管和肖特基二极管中选择出来的二极管。

5. 如权利要求4所述的可编程电阻存储器器件,其特征在于:

所述单元阵列包含:

多条彼此平行布置的位线;

以某个间距布置在相应位线上的存储器单元;

多条字线,每条字线形成为使得在与所述位线交叉的方向共同连接所述存储器单元的上端。

6. 如权利要求5所述的可编程电阻存储器器件,其特征在于:

所述可编程电阻元件与用作每个所述存储器单元的所述存取元件的所述二极管以这样的方式层叠:以便所述可编程电阻元件和所述二极管的相应阳极分别连接到所述位线和字线。

7. 如权利要求6所述的可编程电阻存储器器件,其特征在于:

多个单元阵列以这样的方式层叠:以便相邻的两个单元阵列共享所述位线和字线中的至少一个。

8. 如权利要求7所述的可编程电阻存储器器件,还包含:

在所述位线方向、布置在限定所述单元阵列的单元布局区域的第一和第二边界外面的第一和第二垂直布线,用以将相应的单元阵列的所述位线连接到所述读/写电路;以及

在所述字线方向、布置在限定所述单元布局区域的第三和第四边界之一的外面的第三垂直布线,用以将相应的单元阵列的所述字线连接到所述读/写电路。

9. 如权利要求8所述的可编程电阻存储器器件,其特征在于:

所述第一到第三布线由掩埋在绝缘层中的接触插头形成,其中围绕所述单元阵列形成该绝缘层。

10. 如权利要求4所述的可编程电阻存储器器件,其特征在于:

所述读 / 写电路被配置为, 向所述存储器单元中的选择的一个单元施加这样的第一写入电压, 以便使它的用作所述存取元件的二极管被正向偏置, 由此将它的可编程电阻元件设置为处于低电阻状态, 以及向所述存储器单元中的选择的一个单元施加与所述第一写入电压相反极性的第二写入电压, 以便使它的用作所述存取元件的二极管被击穿, 由此将它的可编程电阻元件设置为处于高电阻状态。

11. 如权利要求 10 所述的可编程电阻存储器器件, 其特征在于 :

所述读 / 写电路被配置为, 向所述存储器单元中选择的一个单元施加比所述第一写入电压低的这样一个读取电压, 以便使它的用作所述存取元件的二极管被正向偏置, 由此检测它的可编程电阻元件的数据状态。

12. 如权利要求 6 所述的可编程电阻存储器器件, 其特征在于 :

所述读 / 写电路被配置为, 通过选择的位线和选择的字线向所述存储器单元中选择的一个单元施加这样的第一写入电压, 以便使它的用作所述存取元件的二极管被正向偏置, 由此将它的可编程电阻元件设置为处于低电阻状态, 以及通过选择的位线和选择的字线向所述存储器单元中选择的一个单元施加与所述第一写入电压相反极性的第二写入电压, 以便使它的用作所述存取元件的二极管被击穿, 由此将它的可编程电阻元件设置为处于高电阻状态。

13. 如权利要求 12 所述的可编程电阻存储器器件, 其特征在于 :

所述读 / 写电路被配置为, 通过选择的位线和选择的字线向所述存储器单元中选择的一个单元施加比所述第一写入电压低的这样一个读取电压, 以便使它的用作所述存取元件的二极管被正向偏置, 由此检测它的可编程电阻元件的数据状态。

14. 如权利要求 13 所述的可编程电阻存储器器件, 其特征在于 :

所述读 / 写电路被配置为, 在未选择状态下在所述位线和字线之间施加这样一个保持电压, 以便利用反向偏置把所述存储器单元的所述二极管保持在高电阻截止状态。

15. 如权利要求 7 所述的可编程电阻存储器器件, 其特征在于 :

在每个所述多个单元阵列中的相邻两个存储器单元构成用于存储互补数据的单元对, 其中的一个单元处于高电阻状态, 而另一个单元处于低电阻状态, 并且

将所述单元对的所述互补数据作为一位数据读取到位线对。

16. 如权利要求 15 所述的可编程电阻存储器器件, 其特征在于 :

构成所述单元对的两个存储器单元以这样的方式在所述多个单元阵列的每一个中横向相邻 : 以便它们的二极管的阳极共同连接到所述字线之一, 而且它们的可编程电阻元件的阳极连接到一对位线。

17. 如权利要求 16 所述的可编程电阻存储器器件, 其特征在于 :

以这样的条件选择所述单元对 : 以便在将所述互补数据读取到其之上的所述对位线之间布置另一条位线。

18. 如权利要求 15 所述的可编程电阻存储器器件, 其特征在于 :

构成所述单元对的两个存储器单元以这样的方式在所述多个单元阵列中的相邻两个单元阵列之间在垂直方向上相邻 : 以便它们的二极管的阳极共同连接到由所述两个单元阵列共享的所述字线之一, 而且它们的可编程电阻元件的阳极分别连接到布置在所述两个单元阵列处的位线。

19. 如权利要求 8 所述的可编程电阻存储器器件, 其特征在于 :

所述读 / 写电路包含 :

全局总线区域, 具有向其传送读取数据的多条数据线, 以及用于向所述位线传送写入脉冲信号的多条写入脉冲信号线, 所述数据线和所述写入脉冲信号线这样布置 : 以便沿所述位线的方向穿过所述单元布局区域的中心部分 ;

分别沿着所述单元布局区域的所述第一和第二边界布置的第一和第二位线选择电路, 相邻两个单元阵列的相应位线连接到这些选择电路 ;

用于分别读出由所述第一和第二位线选择电路所选择的位线的数据的第一和第二读出放大器阵列, 所述第一和第二读出放大器阵列分别布置在所述第一、第二位线选择电路和所述全局总线区域之间 ;

沿着所述单元布局区域的所述第三和第四边界之一布置的字线选择电路, 所述相邻两个单元阵列的共享字线连接到该字线选择电路 ; 以及

沿着所述单元布局区域的所述第三和第四边界的另一个布置的写入电路, 用于生成提供给所述写入脉冲信号线的所述写入脉冲信号。

20. 如权利要求 19 所述的可编程电阻存储器器件, 其特征在于 :

所述共享字线在由所述字线选择电路所选择的某一范围内被同时激活, 而且所述相邻两个单元阵列的相应位线在分别由所述第一和第二位线选择电路所选择的相应某个范围内被同时选择, 由此同时对在所述相邻两个单元阵列中的相应的多个存储器单元进行存取。

21. 如权利要求 20 所述的可编程电阻存储器器件, 其特征在于 :

所述第一和第二读出放大器阵列具有读出放大器, 用于同时读出在所述相邻两个单元阵列中同时选择的相应多个存储器单元的数据, 其中读出的数据被同时传送到所述全局总线区域中的所述数据线。

22. 如权利要求 20 所述的可编程电阻存储器器件, 其特征在于 :

所述写电路被配置为向所述全局总线区域中的所述写入脉冲信号线同时输出写入脉冲信号, 该写入脉冲信号将被传送到在所述相邻两个单元阵列中同时选择的相应多条位线。

23. 如权利要求 19 所述的可编程电阻存储器器件, 其特征在于 :

在每个所述单元阵列中的相邻两个存储器单元构成用于存储互补数据的单元对, 其中的一个单元处于高电阻状态, 而另一个单元处于低电阻状态, 并且

所述第一和第二读出放大器阵列中的每一个都包含布置在其中的差分型电流读出放大器, 所述电流读出放大器中的每一个都连接到一个位线对, 所述单元对连接到该位线对, 所述电流读出放大器用于读出由于所述互补数据导致的电流差。

24. 如权利要求 1 所述的可编程电阻存储器器件, 其中 :

所述至少一个单元阵列包含层叠于该半导体衬底上的多个单元阵列。

可编程阻抗存储器器件

技术领域

[0001] 这个发明涉及用于以非易失性方式把阻抗状态存储为数据的可编程阻抗存储器器件，其具有可编程阻抗元件，该元件可通过反向电压应用的极性在低阻抗状态和高阻抗状态之间切换。

背景技术

[0002] 近来，已经提出了具有可编程阻抗元件的某些存储器器件。已知一种这样的存储器器件为使用在存储器材料的非晶态和晶态之间的相位变换的相变存储器（例如 USP6, 314, 014B1）。在这样的相变存储器器件中，通过控制硫族化物单元 (chalcogenide cell) 的电流，可以在晶态（即低阻抗状态）和非晶态（即高阻抗状态）之间执行可逆的切换。向单元施加大的电流以便导致单元的硫族化物被熔化，然后快速地冷却它，而且可以写入低阻抗状态。以这样一个程度退火该硫族化物以便使它结晶而不熔化，并且可以写入高阻抗状态。因此，有可能获得电可重写的非易失性存储器器件。

[0003] 已经提出了其它可编程阻抗存储器，其包括可通过反向电压应用的极性在低阻抗状态和高阻抗状态之间切换的可编程阻抗。这些可编程阻抗存储器之一具有由包含金属的硫族化物形成的离子导体（例如，USP6, 418, 049B1），而且另一个可编程阻抗存储器具有其中散布导电粒子的聚合物（例如 USP6, 072, 716）。在这些存储器中，使用了依据电压应用在固体中的枝状晶体 (dendrite) 生长和回缩。为了在单元中写入低阻抗状态，以这样的级性在单元的阳极和阴极之间施加电压，以使阳极是正的。因此，枝状晶体从阴极生长以到达阳极，借此该单元变为低阻抗状态。反向的电压应用使枝状晶体缩回以导致该单元处于高阻抗状态。这样的阻抗变化是可逆的，而且可以以非易失性的方式存储低阻抗状态和高阻抗状态。

[0004] 已经提出了，通过利用这样的可编程阻抗、有可能实现高密度的电可重写非易失性存储器。然而，还没有提出单元阵列的详细配置以及它的读 / 写电路。为了实现具有高密度和高性能的实用的非易失性存储器，为了构造单元阵列如何把可编程阻抗与什么类型的切换器件组合，如何构造与该单元阵列相联系的读 / 写电路等，变为重要的技术问题。

发明内容

[0005] 依据本发明一个方面的可编程阻抗存储器器件包括：

[0006] 半导体衬底；

[0007] 其中布置存储器单元的至少一个单元阵列，其在半导体衬底上面形成，每个存储器单元具有可编程阻抗元件和存取元件的层叠 (stack) 结构，该可编程阻抗元件以非易失性的方式存储由电压应用的极性确定的高阻抗状态或者低阻抗状态、该存取元件具有在某一电压范围内处于截止状态的这样一个阻抗值，其是处于选择状态的阻抗值的十倍或更多；以及

[0008] 位于单元阵列下面的、在半导体衬底上形成的读 / 写电路，其用于与单元阵列相

联系的数据读取和数据写入。

附图说明

- [0009] 图 1 为用于说明依据本发明的一个实施例、用于可编程阻抗存储器元件的数据写入原理的图示。
- [0010] 图 2 示出了依据该实施例用于所选单元的基本单元阵列和它的电压应用模式。
- [0011] 图 3 示出了用于在基本单元阵列中的所选单元的另一个电压应用模式。
- [0012] 图 4 示出了用于一个单位单元 (unit cell) 的读 / 写电压关系。
- [0013] 图 5 示出了用于说明写入原理的单元特性。
- [0014] 图 6 示出了用于说明读取原理的单元特性。
- [0015] 图 7 示出了依据该实施例的三维单元阵列的布局。
- [0016] 图 8 是沿着图 7 所示的三维单元阵列的线 I-I' 所获得的截面图。
- [0017] 图 9 为另一个三维单元阵列的截面图。
- [0018] 图 10 示出了三维单元阵列的等效电路。
- [0019] 图 11 示出了存储器单元的阻抗分布。
- [0020] 图 12 示出了依据该实施例的三维单元阵列的阻抗分布。
- [0021] 图 13 示出了依据该实施例的成对单元 (pair cell) 配置方法。
- [0022] 图 14 为示出用于说明依据该实施例的数据读取的操作波形的图示。
- [0023] 图 15 为示出用于说明依据该实施例的数据写入的操作波形的图示。
- [0024] 图 16 是显示操作波形的图示, 这些操作波形用于说明在相邻两个单元阵列中的两对单元的数据写入。
- [0025] 图 17 示出了另一种成对单元配置方法。
- [0026] 图 18 为示出依据该实施例的三维单元阵列以及它的读 / 写电路的层叠结构的透视图。
- [0027] 图 19 为示出在单元阵列的位线和读 / 写电路之间的互连关系的截面图。
- [0028] 图 20 为示出在字线和读 / 写电路之间的关系的截面图。
- [0029] 图 21 是示出读 / 写电路的布局的图示。
- [0030] 图 22 是示出读 / 写电路的字线选择电路部分的图示。
- [0031] 图 23 是示出读 / 写电路的位线选择电路部分的图示。
- [0032] 图 24 示出图 22 和 23 所示的晶体管电路的主要部分布局。
- [0033] 图 25 是在位线形成之后的单元阵列状态的透视图。
- [0034] 图 26 是在位线上形成存储器单元之后的单元阵列状态的透视图。
- [0035] 图 27 是在字线形成之后的单元阵列状态的透视图。
- [0036] 图 28A 到 28C 是示出字线形成处理的剖面视图。

具体实施方式

- [0037] 图 1 示出了在本发明中使用的可编程阻抗 (可变阻抗) VR 的原理配置。可编程阻抗 VR 由用作存储器材料的阻抗薄膜 3、以及把阻抗薄膜 3 夹在中间的阴极和阳极电极 1 和 2 形成。阻抗薄膜 3 是, 例如, 由包含诸如银、铜等金属离子的硫族化物形成的离子导体 (固

体电解质)。例如,Ge-S、Ge-Se 等可以用作硫族化物。在阻抗薄膜 3 由上述硫族化物形成的情况下,通过在其中包含银形成电极 1、2。

[0038] 例如,阻抗薄膜 3 将高阻抗状态存储为数据“0”,以及将低阻抗状态存储为数据“1”。在这个可编程阻抗 VR 中,施加超过阈值的正的阳极 - 阴极电压 ($V_{AK} > 0$),将写入数据“1”。施加超过阈值的负的阳极 - 阴极电压 ($V_{AK} < 0$),将写入数据“0”。当写入数据“1”时,作为 $V_{AK} > 0$ 的电压应用的结果,如图 1 所示,在阻抗薄膜 3 中,从阴极 1 生长出导电的枝状晶体 4 并朝向阳极 2。当树枝状晶体 4 到达阳极 2 时,就获得了低阻抗状态(数据“1”)。应用反向电压,则树枝状晶体 4 缩回或者折断(broken),借此获得高阻抗状态(数据“0”)。只要不应用超过阈值的电压,就可以静态地保持这样的低阻抗状态和高阻抗状态。

[0039] 应当理解,阻抗薄膜 3 可以由其中散布导电粒子的聚合物(例如,其中散布炭黑粒子的碳聚合物)形成。在这种情况下,基于与上述相同的原理可逆地写入低阻抗状态和高阻抗状态。

[0040] 上述存储器操作的原理基于如下所述的机理。离子导体或者聚合物是非晶态的,而且在其中随机和静态地形成势垒。此外,在势垒分布中,从阴极到阳极连续不断地形成势谷。在这样的固体材料中散布某些种类的金属,而且有可能由于电场的应用而沿着势谷移动金属离子。当以使阳极侧为正这样的级性施加电压时,金属离子移向阴极,然后从阴极电极中生长出金属树枝状晶体。使电场的极性反向,并且对树枝状晶体中的金属进行充电,而且将该金属与树枝状晶体分离,然后沿着势谷移向阴极。因此,可以使树枝状晶体缩回。

[0041] 当用不出现树枝状晶体生长和回缩这样的程度向可编程阻抗 VR 施加电压时,可以通过电流监控来执行这样的可编程阻抗 VR 的数据读取。做为选择,在电压具有这样的级性以便促进数据“0”、“1”状态的条件下,有可能使用大的读取电压而没有数据干扰。

[0042] 图 2 根据 3×3 单元矩阵,示出了依据实施例的可编程阻抗存储器的基本单元系列。并行提供了多条第一布线(在下文中,位线 BL),而且提供了与位线 BL 交叉的多条第二布线(在下文中,字线 WL)。存储器单元 MC 放置在这些字线 WL 和位线 BL 的相应交叉点处。存储器单元 MC 是可编程阻抗 VR 和齐纳(Zener)二极管 ZD 的串联连接电路。齐纳二极管 ZD 的阳极连接到字线 WL。

[0043] 在未选择(non-select)状态下,位线 BL 保持在高电平电压 V_H ,而且字线 WL 保持在低电平电压 V_L 。在这种状态下,齐纳二极管 ZD 处于反向偏置状态并且因此处于截止状态。图 2 示出了通过利用齐纳二极管 ZD 的正向偏置特性执行单元选择的这样一种情况。详细地说,为了选择由虚线围绕的单元 MC,使所选择的字线 WL 处于高电平电压 V_H ,而且使所选择的位线 BL 处于低电平电压 V_L ;借此在所选择单元处,它的二极管 ZD 变为正向偏置以处于导通状态,并且向一个可编程阻抗 VR 施加电压。

[0044] 图 3 示出了这样一种情况,其中向在与图 2 所示相同的单元阵列中的可编程阻抗 VR 应用反向偏置。在这种情况下,使用齐纳二极管 ZD 的击穿。通过二极管结的波段到波段(band to band)隧道效应生成齐纳击穿,而且可以由二极管的杂质浓度控制击穿启动电压(齐纳电压) V_Z 。类似于图 2,在未选择状态下,位线 BL 保持在高电平电压 V_H ,而且字线 WL 保持在低电平电压 V_L 。为了选择由虚线围绕的单元 MC,使所选择的字线 WL 处于低于 V_L 的低电平电压 V_{LL} ,并且使所选择的位线 BL 处于高于 V_H 的高电平电压 V_{HH} (例如, $V_{LL} = V_L - \Delta$ 、 $V_{HH} = V_H + \Delta$, 其中 Δ 是电压电平变化量);借此,在所选单元处,向二极管 ZD 应用大的反向

偏置,由此导致它被击穿。因此,可以向一个可编程阻抗 VR 施加具有与图 2 中的那个相反极性的电压。

[0045] 上述电平关系是个示例。例如,在图 2 中,虽然未被选择的位线和所选择的字线都被设置为处于相同的高电平电压 V_H ,而且未被选择的字线和所选择的位线都被设置为处于相同的低电平电压 V_L ,但是在这些情况下不必使用相同的电平。对于在图 3 的选择模式中使用的电压变化量 Δ ,不必为位线和字线使用相同的值。

[0046] 在这个实施例中,其中如图 2 所示使用二极管的正向偏置特性的单元选择方法用于“0”数据写入和数据读取;而且其中如图 3 所示使用二极管的反向击穿的单元选择方法用于“1”数据写入。对于一个存储器单元,将参考图 4 和 5 详细描述读和写特性。

[0047] 图 4 示出在读取电压 V_r 、写入电压 V_w 和齐纳二极管 ZD 的电压之间的关系。可编程阻抗 VR 用它的阳极 (A) 连接到位线 BL 这样的极性进行连接。读取电压 V_r 和写入电压 V_w 是在字线 WL 和位线 BL 之间应用的电压。

[0048] 图 5 通过利用二极管 ZD 的电压 (V)- 电流 (I) 特性和可编程阻抗 VR 的 V-I 特性(即,负荷线)、示出了依据写入操作的可编程阻抗 VR 的特性改变。在第一象限,示出了二极管 ZD 的正向偏置特性曲线 50。这可以表示为: $I = I_0 \{ \exp(qV/kT) - 1 \}$ 。在第三象限,示出了二极管 ZD 的反向偏置特性曲线 51a、51b。在未选择状态,施加到单元的电压是 $V_L - V_H$,因此二极管 ZD 保持在曲线 51a 上的高阻抗截止状态。

[0049] 在图 5 的第一象限中,如下所述执行“0”写入操作。在齐纳二极管 ZD 变为导通状态的这样一个条件下施加写入电压 $V_w(0) = V_H - V_L$,并且把保持“1”数据状态(即,低阻抗状态)53 的单元写为“0”数据状态(即,高阻抗状态)54。原则上,有可能使用第一象限特性用于“0”写入或者“1”写入。然而,因为需要使用这个象限用于稍后描述的单元数据读取,因此在第一象限中执行“0”写入操作。换句话说,在图 2 到 4 所示的单元阵列配置中,利用可编程阻抗 VR 的阳极 (A) 连接到位线 BL 这样的级性连接该可编程阻抗。对应于该写入电压应用,作为可编程阻抗的树枝状晶体缩回的结果,如箭头所示,“1”数据状态的负荷线 53 改变为“0”数据状态的负荷线 54,而且可编程阻抗的阻抗值变为高。

[0050] 为了使数据“1”的可编程阻抗发生这样的改变,需要向可编程阻抗应用比某一电平高的电压。这样的电平被显示为图 5 中的“0”写入阈值 VT 。作为应用于可编程阻抗 VR 的电压, VT 表示在参考 $V_w(0)$ 的方向。如果在齐纳二极管 ZD 的正向偏置特性曲线 50 和可编程阻抗的“1”数据状态的负荷线 53 之间的交叉点 B1 位于原点和 $V_w(0) - VT$ 之间,则可以把“0”写入到可编程阻抗中。如上所述,使用第一象限用于“0”写入,在读取模式很难出现到可编程阻抗的错误写入。将在稍后详细地描述其理由。

[0051] 在第三象限中,执行“1”写入。在这种情况下,应用大的反向偏置,而且它可以导致齐纳二极管被击穿,并且它允许用大致恒定的电压流过电流。在该图中,“1”写入操作如下所示;当应用超过击穿电压(齐纳电压) V_z 的写入电压 $V_w(1) = V_{LL} - V_{HH}$ 时,可编程阻抗 VR 从“0”数据的高阻抗状态 56 改变到“1”数据的低阻抗状态 55。分别表示“0”、“1”的负荷线 56、55 具有与阻抗值一致的斜度。因此,它们处于分别与第一象限中的负荷线 53、54 平行的状态。在这种情况下,为了成功地写入到可编程阻抗还需要向该可编程阻抗应用高于阈值 VT 的电压。这个阈值 VT 以参考 $V_w(1)$ 的正向表示。如果在齐纳二极管 ZD 的击穿特性曲线 51b 和可编程阻抗的“0”数据状态的负荷线 56 之间的交叉点 B2 位于原点和 $V_w(1) + VT$

之间，则可以把“1”写入到可编程阻抗中。在有足够高的电压应用于可编程阻抗这样的条件下选择电压 V_{LL} 、 V_{HLL} 等。

[0052] 如果写入“1”数据的可编程阻抗的阻抗值太低，则将有大的电流流过齐纳二极管 ZD，由此导致它被热击穿。因此，需要注意电流值。对应于某些情况，需要设置限流器。

[0053] 如果第三象限用于“0”写入，则不用担心热击穿，这是由于因写入导致的负荷线变化量处于电流值减少的这样一个方向。然而，在这种情况下，因为需要使用第一象限用于“1”写入，所以在读取操作中错误写入的可能性是不可避免的。

[0054] 在图 5 中，示出了在用于图 2 和图 3 所示的单元阵列的选择性写入操作期间、应用于未被选择单元的电压变化量 C1 到 C3。C1 是在图 2 所示的“0”数据写入期间、沿着所选择位线和所选择字线的未被选择单元的电压变化量；C2 是在图 3 所示的“1”数据写入期间、沿着所选择位线和所选择字线的未被选择单元的电压变化量；而且 C3 是在这样的情况下，即用于图 3 所示的单元的“1”写入操作期间、为图 2 所示的另一个单元执行“0”写入的情况下，沿着所选择字线和所选择位线的未被选择单元的电压变化量。在上述写入操作中不使用这样的情况。要求这些电压变化量 C1 到 C3 不足以破坏未被选择单元的数据。因此，必须在电压变化量不会导致未被选择单元的要被正向偏置的齐纳二极管导通、或者不会导致在反向偏置方向击穿这些二级管的条件下，选择 V_H 、 V_{HLL} 、 V_L 和 V_{LL} 的值。

[0055] 图 6 示出了在具有“0”写入特性的第一象限中执行的读取操作的特性（由虚线所示）。因为必须用防止单元被错误地写入所必需的低电压执行读取操作，所以类似于“0”写入、在第一象限中执行依据这个实施例的读取操作。例如，在读取模式中，向所选择的字线应用高电平电压 V_H ，并且向所选择的位线应用比 V_L 高的低电平电压 V_{Lr} 。在这时候，由读出放大器检测在齐纳二极管的正向偏置特性曲线 50 和“0”、“1”数据的负荷线 58、57 的交叉点 S0 和 S1 之间的电流差或者电压差，并且可以确定所读取的数据。

[0056] 在上述读取操作中，需要防止单元由于读取电压应用而被错误地写入。如图 6 所示，在“1”数据读取操作中，只要应用于可编程阻抗的电压被设置为小于阈值 VT，就不会出现错误的写入。在图 6 中，在“0”数据读取操作中，向可编程阻抗应用比阈值 VT 稍高的电压。然而，这变为“0”写入模式。也就是说，“0”读取操作变为“0”重写操作，由此与错误的写入无关。

[0057] 如先前所述，在原则上有可能使用第一象限用于“1”数据写入。然而，在这样的情况下，“0”读取操作变为弱的“1”写入模式。为了避免这样的模式，优选是使用第一象限用于“0”写入操作。

[0058] 如上所述，在图 6 的读取方案中，只要用于“1”数据读取的交叉点 S1 处于 V_r 和 $V_r - VT$ 的电压范围之间，就不会出现错误的写入。换句话说，有可能设置读取电压 V_r 而不用考虑用于“0”数据读取的交叉点 S0。因此，可以提高读出界限和读出速度。假定第三象限用于数据读取操作，因为齐纳电压 V_z 大致为常数，所以难以获得防止错误写入所必需的读出界限。

[0059] 如上所述，在这个实施例中，齐纳二极管用作用于以相反的极性向可编程阻抗应用电压的存取元件，而且使用了它的正向偏置特性和反向偏置击穿特性。在反向偏置特性中，存在一个在齐纳电压 V_z 之下、其中阻抗值被认为是大致无穷大的电压区域。这是可编程阻抗的存取元件所需要的重要特性。通常，需要存取元件在某个电压范围内具有这样的

处于截止状态的阻抗值，其是处于选择状态的阻抗值的十倍或更多。考虑到这个，应该理解可以使用其他的存取元件，例如 P-N 结二极管、Shottky 二极管等，只要它们在某一电压范围内保持高阻抗截止状态即可。此外，应当理解：可编程阻抗元件不仅可以由上述材料形成，而且也可以由这样的材料形成，其以对应于电压应用极性的不同方向流过电流，以具有对应于电流方向的不同的阻抗值。

[0060] 迄今为止，已经说明了基本单元阵列的配置和数据读 / 写操作的原理。在这个实施例中，使用了其中多个单元阵列层叠在半导体衬底上的三维单元阵列结构。将在下面说明这样的三维单元阵列。

[0061] 图 7 和 8 示出了包括四层层叠单元阵列 MA0 到 MA3 的三维 (3D) 单元阵列的布局以及沿着它的 I-I' 线的剖面图。在这些图中，在相应的单元阵列的相同部分或部件处使用相同的参考数字，其中通过向其添加后缀“a”、“b”、“c”和“d”在单元阵列之间进行区分，并且通过添加后缀“ab”、“bc”和“cd”区分每两个单元阵列的共享部分。

[0062] 硅衬底 10 覆盖有诸如二氧化硅薄膜之类的绝缘薄膜。在该衬底上面，彼此平行地布置多条位线 (BL) 12a。以某个间距在每条位线 12a 上布置柱型 (pillar-type) 存储器单元 MC，其中每个存储器单元具有层叠在其上的可编程阻抗元件 VR 和齐纳二极管 ZD。形成字线 (WL) 18ab 以便以垂直于位线 12a 的方向共同地连接存储器单元 MC 的上端，由此形成第一单元阵列 MA0。

[0063] 如上所述，通过向字线 WL 应用高电平电压并且向位线 BL 应用低电平电压以导致可编程阻抗元件 VR 被正向偏置，来把该可编程阻抗元件 VR 写为“0”状态。因此，可编程阻抗元件 VR 被设置为具有这样的级性，其中它的阴极和阳极分别连接到字线 WL 和位线 BL。这对于每个层叠的单元阵列都是一样的。

[0064] 详细地说，存储器单元 MC 通过图案化 (pattern) 具有可编程阻抗元件层 13a、欧姆电极 14a、n⁺型硅层 15a 和 p⁺型硅层 16a 的层压 (laminated) 层形成。如图 1 所示，可编程阻抗元件层 13a 由被阳极和阴极电极夹在中间的、包含指定金属的离子导体或者聚合物形成。在存储器单元 MC 周围掩埋层间介电薄膜 17 以使单元阵列 MA0 平面化。

[0065] 形成第二单元阵列 MA1 以便与第一单元阵列 MA0 共享字线 (WL0) 18ab。详细地说，以某个间距在每条字线 18ab 上布置柱型存储器单元 MC，其中每个存储器单元 MC 通过图案化包含 p⁺型硅薄膜 16b、n⁺型硅薄膜 15b、欧姆电极 14b 和可编程阻抗元件薄膜 13b 的层压薄膜形成，以具有齐纳二极管 ZD 和可编程阻抗元件 VR 的层叠结构。单元布局与第一个单元阵列 MA0 的单元布局相同。图案化位线 (BL1) 12ab 以沿着垂直于字线 18ab 的方向共同连接所布置的可编程阻抗元件层 13b。在存储器单元 MC 周围掩埋层间介电薄膜 19 以使单元阵列 MA1 平面化。

[0066] 如类似于第一和第二单元阵列 MA0 和 MA1 那样，周期性地形成第三和第四单元阵列 MA2 和 MA3 的层叠结构。第二单元阵列 MA1 和第三单元阵列 MA2 共享位线 (BL1) 12bc。第三单元阵列 MA2 和第四单元阵列 MA3 彼此共享字线 (WL1) 18cd。分别单独地准备最低的单元阵列 MA0 的位线 (BL0) 12a 和最高的单元阵列 MA3 的位线 (BL3) 12d。虽然没有显示沿着图 7 中的线 II-II' 的剖面图，但是在这个剖面图上，以与在位线上相同的间距、在连续不断形成的字线 WL 上布置存储器单元 MC。

[0067] 如图 7 所示，以位线 BL 和字线 WL 彼此旋转 90° 的这样一个模式形成每个单元阵

列的位线 BL 和字线 WL, 而且在相应的交叉点处将存储器单元 MC 夹在它们之间。例如, 利用线 / 间隔 = 1F/1F 形成字线 WL 和位线 BL, 其中 F 是最小的器件特征尺寸, 由此实现 $4F^2$ 的单位单元面积。为了形成这样的结构, 有可能在存储器单元 MC 的图案化处理中利用一个曝光掩膜 (mask) 使用两次曝光, 用于图案化字线或者位线。详细地说, 在用于存储器单元的层压层的光刻处理中, 以这样的方式利用曝光掩膜执行曝光两次, 以便该掩膜在相应的曝光步骤之间旋转 90° 。然后, 蚀刻层压层以便保持在两次曝光步骤处的重叠部分, 然后能够在位线 BL 和字线 WL 的相应交叉部分处布置存储器单元 MC。

[0068] 在图 8 中, 仅仅在位线 BL 和字线 WL 的交叉部分布置可编程阻抗元件层 13。与此相反, 在可编程阻抗元件层 13 的漏电流小得可忽略不计的情况下, 如图 9 所示, 可以保持可编程阻抗元件层 13 而不用图案化。在这种情况下, 在二极管 ZD 和可编程阻抗元件层 13 内的位线或者字线之间的夹在中间的部分实质上起可编程阻抗元件 VR 的作用。

[0069] 图 10 示出了如上所述形成的 3D 单元阵列的三维等效电路。为了防止位线互相干扰, 每两条位线构成一对, 而且在这对位线之间布置另一条位线。BL00、/BL00、BL01、/BL01、…是第一单元阵列 MA0 的位线对; BL10、/BL10、BL11、/BL11、…是在第二和第三单元阵列 MA1 和 MA2 之间的共享位线对; 以及 BL20、/BL20、BL21、/BL21、…是第四单元阵列 MA3 的位线对。此外, WL0(WL00、WL01、…) 是在第一和第二单元阵列 MA0 和 MA1 之间共享的字线; 以及 WL1(WL10、WL11、…) 是在第三和第四单元阵列 MA2 和 MA3 之间共享的字线。

[0070] 在其中集成多个存储器单元的上述 3D 单元阵列中, 单元特性的变化成为问题。详细地说, 因为由可编程阻抗元件 VR 的树枝状晶体生长和回缩确定可编程阻抗元件 VR 的阻抗值, 所以该阻抗值由于它的历史记录、环境等发生改变。图 11 示意地示出数据“0”、“1”的阻抗值的分布。如图 11 所示, 如果在“0”和“1”的阻抗值之间没有重叠区域, 则能够通过利用参考阻抗 Rref 区别“0”和“1”。然而, 在具有许多单元的 3D 单元阵列中, 变得难以设置这样的参考阻抗 Rref。图 12 示意地示出如上所述的这样一个情况。组 A、B、C 和 D 分别包括接近布置的多个单元。对于每个组, 能够设置参考阻抗 Rref。然而, 对于单元阵列的整体, 就变得很难或者不可能。

[0071] 考虑到上述观点, 在这个实施例中, 接近布置的两个单元构成一对单元, 用于以其中一个单元中存储数据“0”并且在另一个单元中存储数据“1”这样的方式存储互补数据。通过检测在构成一对的两个单元的单元电流之间的差来进行读取操作。通过利用这个方案, 即使在整体 3D 单元阵列中、在高阻抗状态分布和低阻抗状态分布之间有局部重叠, 也有可能精确地读 / 写单元数据。

[0072] 在图 10 中, 两个单元对一般如下所示: 分别连接到位线对 BL00 和 /BL00、并且共享单元阵列 MA0 中的字线 WL00 的两个单元构成一对单元, 其中的一个是真单元 (true cell), T-cell10, 而另一个是互补单元, C-cell10; 以及分别连接到一对位线 BL10 和 /BL10、并且共享单元阵列 MA1 中的字线 WL10 的两个单元构成另一对单元, 其中的一个是真单元, T-cell11, 而另一个是互补单元, C-cell11。在每个单元对中, 二进制数据的正逻辑值存储在真单元中, 而且负逻辑值存储在互补单元中。在单元阵列 MA2 和 MA3 中选择类似的成对单元。在图 10 中, 用箭头示出在相应读取选择时间处的单元电流。

[0073] 将在下面详细描述在两个存储器单元构成一对单元的情况下的数据读 / 写方法。图 13 示出了在两个单元阵列中的两对单元, 它们上下相邻布置以具有共享的字线 WL。用于

这两对单元的数据读取操作可以通过利用图 14 所示的操作波形同时执行。在未选择模式中,在位线和字线之间的 $V_H - V_L$ 是保持电压,其把存储器单元保持在其中它的二极管被反向偏置到处于高阻抗截止状态这样的未选择状态。

[0074] 在图 14 所示的读取选择模式中,向字线 WL 应用高电平电压 V_H ,其中字线 WL 在未选择时间保持在低电平电压 V_L 。同时,向位线 BL0、/BL0、BL1 和 /BL1 应用低电平电压 $V_{LR} (> V_L)$,这些位线在未选择时间保持在高电平电压 V_H 。换句话说,在所选择的字线 WL 和所选择的位线对 BL0、/BL0 和 BL1、/BL1 之间,应用了读取电压 $V_r = V_H - V_{LR}$ 以正向偏置所选择的单元。因此,如上面参考图 6 所述,在相应的单元中有单元电流流动。由读出放大器检测在位线对 BL0、/BL0 之间的单元电流差,以及在位线对 BL1、/BL1 之间的单元电流差,并且可以确定相应的成对单元的单元数据。因为通过使两个单元邻近而构成每对电压,以存储互补数据,所以有可能精确地读出单元数据。

[0075] 接下来,将描述在成对单元中的数据写入操作。虽然一对单元在一个单元中存储数据“0”并且在另一个单元中存储数据“1”,但是如上所述,在字线和位线之间应用的“0”和“1”写入电压必须彼此相反。这意味着不可能同时在共享字线的真单元 T-cell 和互补单元 C-cell 中同时写入数据。因此,需要为一对单元执行数据写入操作两次。

[0076] 图 15 示出了到一对单元中的“0”数据写入(即, $T-cell = "0"$ 、 $C-cell = "1"$)和“1”数据写入(即, $T-cell = "1"$ 、 $C-cell = "0"$)的波形。为了写入“0”数据,相对于在未选择模式中保持高电平电压 V_H 的位线,向位线对中的一个、即 BL0(或者 BL1) 应用低电平脉冲电压 V_L ,并且向另一个、即 /BL0(或者 /BL1) 应用比 V_H 更高的高电平脉冲电压 V_{HH} 。在上述位线选择时段的前半部分 T1 中向字线 WL 应用高电平电压 V_H ,而且在后半部分 T2 中向相同的字线应用低于 V_L 的低电平电压 V_{LL} 。

[0077] 因此,在前半部分 T1 中,由于字线 WL 的高电平电压 V_H 和位线 BL0(或者 BL1) 的低电平电压 V_L ,所以向成对单元中的一个单元 T-cell 应用“0”写入电压、 $V_w(0) = V_H - V_L$,以正向偏置它的二极管,借此将 T-cell 写入到“0”数据状态。在这时候,因为应用于另一个单元 C-cell 的电压是 $V_H - V_{HH}$,所以在这种条件下 C-cell 的二极管保持在截止状态。因此,没有把错误的数据写入到 C-cell 中。在后半部分 T2 中,由于字线 WL 的低电平电压 V_{LL} 和位线 /BL0(或者 /BL1) 的高电平电压 V_{HH} ,所以向成对单元中的另一个单元 C-cell 应用“1”写入电压、 $V_w(1) = V_{LL} - V_{HH}$,以导致它的二极管被击穿,借此将 C-cell 写入到“1”数据状态。在这时候,应用于其中已经写入数据的单元 T-cell 的电压是 $V_{LL} - V_L$ 。因为在这个条件下 T-cell 的二极管保持在截止状态,所以没有把错误数据写入到 T-cell 中。

[0078] 为了写入“1”数据,位线对中的一个、即 BL0(或者 BL1) 从高电平电压 V_H 提高到更高的电平电压 V_{HH} ,并且另一个位线、即 /BL0(或者 /BL1) 从高电平电压 V_H 拉低到低电平电压 V_L 。而且,类似于“0”写入模式,在上述位线选择时段的前半部分 T1 中向字线 WL 应用高电平电压 V_H ,然后在后半部分 T2 中向相同的字线应用低电平电压 V_{LL} 。

[0079] 因此,在前半部分 T1 中,因为由于字线 WL 的高电平电压 V_H 以及位线 /BL0(或者 /BL1) 的低电平电压 V_L 而使单元二极管被正向偏置,所以成对单元中的一个、即 C-cell 被写入到“0”数据状态。在后半部分 T2 中,因为字线 WL 的低电平电压 V_{LL} 和位线 BL0(或者 BL1) 的高电平电压 V_{HH} 导致单元二极管被击穿,所以另一个单元 T-cell 被写入到“1”数据状态。如同类似于上述“0”写入模式那样,在用于“0”写入的前半部分和用于“1”写入的

后半部分中,都没有出现错误的写入。

[0080] 从图 15 中显然可知,可以通过反向应用到位线的电压,同时将相同的电压应用于字线,选择到成对单元中的“0”、“1”写入。因此,能够执行同时到具有共享字线的两对单元的数据写入。

[0081] 图 16 详细地示出了到两对单元 (T-ce110、C-ce110) 和 (T-ce111、C-ce111) 的同时数据写入的波形,这两对单元上下相邻,且具有共享的字线 WL00。这两对单元的数据组合表示为四个值“00”、“01”、“10”和“11”。在图 16 中,与这四个值的数据相对应,在相应波形的上部示出 T-ce111、C-ce111、T-ce110 和 C-ce110 的位数据。与要被写入的数据相一致地,向相应的位线对 (BL00、/BL00)、(BL10、/BL10) 应用高电平电压 V_H 和低电平电压 V_L 。对于这四个数据、应用于字线 WL00 的电压全部相同地改变,以便如同类似于图 15 所示的那样,在位线选择时段的前半部分和后半部分中分别应用高电平电压 V_H 和低电平电压 V_L 。通过利用这样的波形,可以同时写入两对单元。

[0082] 如从上述写入操作中显然可知,应当理解:有可能同时存取在具有共享字线的第一和第二单元阵列 MA0 和 MA1 中的相应的多对单元。类似地,有可能同时对在具有共享字线的第三和第四单元阵列 MA2 和 MA3 中的相应的多对单元进行存取。与此相反,要注意到,不允许同时对具有共享位线的第二和第三单元阵列 MA1 和 MA2 进行存取。

[0083] 到目前为止,已经说明了这样的成对单元配置,其中在三维单元阵列的每个单元阵列层中,横向相邻的两个存储器单元构成一对单元。然而,成对单元配置方法不限于此。如图 17 所示,有可能选择具有共享字线 WL 的、纵向相邻的两个存储器单元 MC,以便构成一对单元(即,真单元 T-ce11、和互补单元 C-ce11)。在这种情况下,属于不同单元阵列的位线 BL0、BL1 变为一对要连接到该对单元的位线。

[0084] 图 18 是示出单元块 100 和读 / 写电路 200 的层叠状态以及它们之间的互连关系的示意透视图。每个单元块 100 对应于上述具有四层的 3D 单元阵列。必要时,3D 单元阵列被分为具有预定容量的多个单元块 100。在图 18 中,以沿着位线的方向布置两个单元块 100。

[0085] 如图 18 所示,用于与单元块 100 相联系的数据读出和写入的读 / 写电路 200 在单元块 100 的下面。以读 / 写电路 200 的主要部分布置在长方形单元布局区域 210 内这样的状态形成该电路,其中长方形单元布局区域 210 限定在衬底 10 上,而且单元块 100 层叠在该衬底 10 的上面。由在位线方向的两个边界 A1 和 A2 以及在字线方向的两个边界 B1 和 B2 限定单元布局区域 210。

[0086] 第一单元阵列 MA0 的一组位线 BL0 和第四单元阵列 MA3 的一组位线 BL2 被拉到第一边界 A1 侧,以通过沿着边界 A1 布置的垂直布线(即,垂直延伸(run)到衬底的通道)101 连接到位线选择电路 201,该电路 201 在读 / 写电路 200 中沿着边界 A1 布置。由第二和第三单元阵列 MA1 和 MA2 共享的一组位线 BL1 被拉到第二边界 A2 侧,以通过沿着第二边界 A2 布置的垂直布线 102 连接到另一位线选择电路 202,该电路 202 在读 / 写电路 200 中沿边界 A2 布置。

[0087] 位线 BL0 和 BL2 被拉到相同侧以通过垂直布线 101 共同连接到位线选择电路 201 的原因是这样的事实,即这些位线组不会被同时激活。详细地说,因为单元阵列 MA0 和 MA1 具有共享的字线 WL0,所以它们被同时激活。与此类似,因为单元阵列 MA2 和 MA3 具有共享字

线 WL1，所以同时激活单元阵列 MA2 和 MA3。然而，因为单元阵列 MA1 和 MA2 共享位线 BL1，所以较低单元阵列 (MA0、MA1) 和较高单元阵列 (MA2、MA3) 不会被同时激活。位线选择电路 201、202 包括位线解码器 / 多路复用器 (BL-DEC/MUX)。

[0088] 字线 WL0 和 WL1 被拉到第三边界 B1 侧，以分别通过沿着边界 B1 布置的垂直布线 103 和 104，连接到字线选择电路 208，该电路 208 在读 / 写电路 200 中沿边界 B1 布置。字线选择电路 208 具有字线解码器 / 多路复用器 (WL-DEC/MUX)。

[0089] 读 / 写电路 200 的中心部分用作全局总线区域 207，其中 I/O 数据线和脉冲信号线沿字线方向穿过这个区域布置。在这个全局总线区域 207 与位线选择电路 201 和 202 之间，分别布置了读出放大器阵列 203 和 204。由读出放大器阵列 203 和 204 共享在全局总线区域 207 处形成的信号线。在读出放大器阵列 203 和 204 中的读出放大器分别通过布置在本地总线区域 205 和 206 处的信号线连接到位线选择电路 201 和 202。因此，由位线选择电路 201 从位线 BL0 或者 BL2 中选择出来的某些位线连接到读出放大器阵列 203。类似地，由位线选择电路 202 从位线 BL1 中选择的某些位线连接到读出放大器阵列 204。

[0090] 布置在全局总线区域 207 处的 I/O 数据线和脉冲信号线被拉到单元布局区域 210 的第四边界 B2 侧。沿着这个边界 B2，布置了用于向所选择的位线应用写入脉冲信号的写入电路（即，写入脉冲发生器电路）209。

[0091] 如以上参考图 18 所述，单元阵列的位线和字线通过垂直布线 101 到 104 连接到在衬底 10 上形成的读 / 写电路 200。实际上，这些布线 101 到 104 由接触插头形成，其掩埋在围绕单元阵列形成的层间介电薄膜中。图 19 和 20 示出了互连的结构示例。图 19 示出了在沿着单元阵列的位线的横截面上、在位线和读 / 写电路 200 之间的连接状态。图 20 示出了在沿着单元阵列的字线的横截面上、在字线和读 / 写电路 200 之间的连接状态。

[0092] 如图 19 和 20 所示，读 / 写电路 200 具有在覆盖晶体管的层间介电薄膜 11a 上形成的必要的晶体管和金属互连。读 / 写电路 200 由层间介电薄膜 11b 覆盖，并且在其上形成四层的单元阵列。因此，层间介电薄膜 11a 和 11b 构成了图 8 和 9 所示的绝缘薄膜 11。

[0093] 如图 19 所示，用于将拉向单元布局区域 210 的边界 A1 的位线 BL0、BL2 连接到位线选择电路 201 的垂直布线 101，由掩埋在层间介电薄膜 17、19、20 和 21 中的接触插头 101a 到 101e 组成。类似地，用于将拉向单元布局区域的边界 A2 的位线 BL1 连接到位线选择电路 202 的垂直布线 102，由掩埋在层间介电薄膜 11、17 和 19 中的接触插头 102a 到 102c 组成。

[0094] 如图 20 所示，用于把拉向单元布局区域的边界 B1 的字线 WL0 连接到字线选择电路 208 的垂直布线 103，由掩埋在层间介电薄膜 11 和 17 中的接触插头 103a 和 103b 组成。用于将拉向与字线 WL0 相同侧的字线 WL1 连接到字线选择电路 208 的垂直布线 104，由掩埋在层间介电薄膜 11、17 和 20 中的接触插头 104a 到 104d 组成。

[0095] 虽然在图 19 和 20 中层压的单元阵列的最低接触插头 101a、102a、103a 和 104a 连接到读 / 写电路 200 的金属布线，但是这些接触插头有可能直接连接到晶体管的源 / 漏极扩散层。图 19 和 20 示出了其中接触插头由用于位线和字线的金属薄膜形成的示例。稍后将描述制造步骤。另外，要理解，接触插头可以由不同于位线和字线的其它金属薄膜形成，或者由多晶硅薄膜形成。

[0096] 图 18 所示的一个单元块 100 包括，例如，512 条位线 (BL) 和 128 条字线 (WL)，用

于一个单元阵列。如上所述,在这个实施例中两个存储器单元存储一位数据。在这种情况下,一个单元块具有 $256 \text{列} (\text{Col}) \times 128 \text{行} (\text{Row})$ 的存储空间。能够通过增加所布置的单元块的数目增加存储器容量。为了在这样的一个大容量存储器中实现高速的存取,必须执行用于多个位数据的并行访问。例如,为了执行 32 位并行访问,一个单元块在字线方向被分成两个部分,而且在位线方向被分成 32 个部分,借此获得 64 个单位单元 (cell unit)。因此,每个单位单元变得具有 $32\text{I}0 \times 4\text{Col} \times 4\text{Row} \times 4$ 的容量。在全局总线区域 207 上,布置数据线和脉冲信号线用于 64I0 数据输入 / 输出。

[0097] 图 21 示出了在其中使用了上述单元块结构的情况下,相对于图 18 所示的一个单元块 100 的读 / 写电路 200 的示意布局。在布置在图 21 右侧的字线选择电路 (WL-DEC/MUX) 208 上,布置有行地址 (RA) 信号线 301,其垂直地延伸,以用于从单元块 100 的 128×2 条字线中选择相应的字线 (即,上面和下面的一条)。布置在图 21 左侧的写入电路 209 输出具有高电平电压 V_{H} 和低电平电压 V_{L} 的脉冲信号,其在写入模式中被提供给所选择的字线 (参见图 15)。传输写入脉冲信号的写入脉冲信号线 (WP) 305 这样布置,以便在全局总线区域 207 上横向延伸。与全局总线区域 207 上的写入脉冲信号线 305 平行地布置主数据线 304,在该线路上传输所读取的数据。

[0098] 在一个单元块中选择一个单位单元,并且同时激活每个单位单元中下面两个单元层或者上面两个单元阵列中的单元数据。因此,为 $32\text{I}0 \times 2 = 64\text{I}0$ 准备数据线 304。写入脉冲信号线是同样的。详细地说,在读取模式中,由读出放大器阵列 203 和 204 同时读出在多条位线上的读取数据,这些位线分别由位线选择电路 201 和 202 从下面两个单元阵列 (MA0、MA1) 或者上面两个单元阵列 (MA2、MA3) 中选出,然后这些数据被同时传送到数据线 304。在写入模式中,要提供给分别从下面两个单元阵列 (MA0、MA1) 或者上面两个单元阵列 (MA2、MA3) 中选择的多条位线的写入脉冲信号,从写入电路 209 输出到写入脉冲信号线 304,然后传送到分别由位线选择电路 201 和 202 所选择的多条位线。

[0099] 在读 / 写电路 200 的下端和上端分别布置了位线选择电路 201 和 202,而且将列地址 (CA) 信号线 302 和 303 布置为在相应的区域上横向延伸。位线选择电路之一,即电路 201,从上面两个单元阵列中的 512 个位线对 ($= 64\text{I}0 \times 4\text{Col}$) 中选择 32 个位线对,而且另一个电路从下面的两个单元阵列中的 512 个位线对中选择 32 个位线对。因此,在相应的本地总线区域 205 和 206 上布置了用于共同的 4 列 ($= 8$ 条位线) 数据的四对电流通过线 BP、/BP,以便穿过读出放大器阵列 203 和 204 的区域,用于向由相应的位线选择电路 201 和 202 选择的位线应用脉冲信号线 305 的脉冲信号。另外,在相应的本地总线区域 205 和 207 上布置 64 对用于 4 列数据的本地数据线 DL、/DL,而且这些线路连接到读出放大器阵列 203 和 204 中的相应的读出放大器。

[0100] 分别在图 22 和 23 中详细地示出了图 21 中由虚线围绕的、连接到 4 行 $\times 2$ ($= 8$ 条字线) 的一个电路部分 310、以及连接到 4 列 ($= 8$ 条位线) 的另一个电路部分 312。

[0101] 两个多路复用器 MUX0 和 MUX1 具有用于分别选择由单元阵列 MA0 和 MA1 共享的下面的字线 WL0 以及由单元阵列 MA2 和 MA3 共享的上面的字线 WL1 的选择门电路。在图 22 中输入到多路复用器 MUX0 的八条字线对应于图 18 中、下面两个单元阵列的字线 WL0。解码器 DEC 包括用于选择 32 个单位单元之一的解码门 G (G1、G2、...)。多路复用器 MUX0 具有由 NMOS 晶体管 QN (QN21 到 QN24、QN25 到 QN28、...) 组成的选择门电路 401,这些晶体管

由选择信号 S10 到 S13 驱动以便选择四条字线中的一条。这些 NMOS 晶体管 QN21 到 QN24 和 QN25 到 QN28 分别共同连接到节点 N11 和 N12。将从字线驱动电路 403 通过自我升压 (self-boost) 晶体管 QN81 和 QN82 输出的字线驱动信号 Vwdrv 应用到这些节点 N11 和 N12，其中自我升压晶体管 QN81 和 QN82 由解码门 G1 和 G2 选择性地驱动。字线驱动信号 Vwdrv 在读取模式中保持在高电平电压 V_H (参见图 14)，或者在写入模式中、在前半部分保持在高电平电压 V_H ，并且在后半部分保持在低电平电压 V_{LL} (参见图 15)。晶体管 QN81、QN82 的栅级通过 NMOS 晶体管 QN83、QN84 连接到解码门 G1、G2 的输出节点，以便由解码门 G1、G2 的输出在高电平时有选择地充电。字线驱动信号 Vwdrv 通过导通的 NMOS 晶体管 QN81、QN82 应用到字线 WL。因为 NMOS 晶体管 QN81、QN82 被配置为通过在它的栅级和源级之间的电容耦合自我升压的传输门，所以向字线 WL 传送在 V_H 和 V_{LL} 之间改变的字线驱动信号 Vwdrv，而没有电压下降。

[0102] 多路复用器 MUX0 具有由 NMOS 晶体管 QN (QN11 到 QN14、QN15 到 QN18、...) 组成的复位电路 402，用于把未被选择的字线保持在低电平电压 $V_L = V_{SS}$ 。以类似于多路复用器 MUX0 的方式构成多路复用器 MUX1。

[0103] 图 23 所示的读出放大器 SA 是在图 21 所示的读出放大器阵列 205 中的 32 个读出放大器之一。连接到读出放大器 SA 的四对八条位线 BL0、/BL0 到 BL3、/BL3，是从图 10 所示的位线组 BL0 或者 BL2 中选择的。如先前所述，因为下面两个单元阵列 MA0 和 MA1 以及上面两个单元阵列 MA2 和 MA3 不会同时被激活，所以读出放大器 SA 共同用于下面的单元阵列 MA0、MA1 和上面的单元阵列 MA2、MA3。

[0104] 读出放大器 SA 是具有激活的 PMOS 晶体管 QP30 的 CMOS 触发型电流读出放大器。它的两个节点 N1 和 N2 分别直接连接到全局数据线 304 中的一对数据线 GBi、/GBi。读出 NMOS 晶体管 QN61 和 QN62 的漏极分别通过 NMOS 晶体管 QN31 和 QN32 有选择地连接到数据线 DL 和 /DL，其中 NMOS 晶体管 QN31 和 QN32 由读取控制信号 R 控制，以在读取操作期间导通。除在数据读取时间导通之外，节点 N1 和 N2 由均衡晶体管 QN73 互相短路。数据线 DL、/DL 连接到由位线解码器 / 多路复用器 BL-DEC/MUX 所选择的一对位线。

[0105] 读出晶体管 QN61、QN62 的漏极可以由 NMOS 晶体管 QN71、QN72 有选择地设置为 V_{SS} 或者设置在浮动状态，这些 NMOS 晶体管 QN71、QN72 由时钟 CLK 所控制。基于晶体管 QN71、QN72 的操作，有可能当在数据读出时间中将单元数据传送到 NMOS 晶体管 QN61、QN62 时，把图 14 的波形中所示的低电平电压 $V_{LR} (= V_{SS})$ 应用到所选择的位线，并且执行读出放大器 SA 的正反馈操作。

[0106] 位线解码器 / 多路复用器 BL-DEC/MUX 具有由解码信号 S20 到 S23 所控制的 NMOS 晶体管 QN51 到 QN54、和 Q55 到 Q58 组成的选择门 403，用于从四对位线中选择一对，以将这些位线分别连接到数据线 DL 和 /DL。另外，位线解码器 / 多路复用器 BL-DEC/MUX 具有由 PMOS 晶体管 QP51 到 QP54、和 QP55 到 QP58 组成的复位电路 404，用于把未被选择的位线保持在高电平 V_{DD} 。

[0107] 数据线对 DL、/DL 通过由写入控制信号 W 驱动为导通的 NMOS 晶体管 QN41、QN42、以及通过信号线 BP、/BP 连接到脉冲信号线 305 中的一对信号线 WPi、/WPi。

[0108] 在上述配置中，当执行数据读取操作时，由选择门电路 403 所选择的字线变为“H”，而且由选择门电路 403 所选择的位线对变为“L”。在这时候，来自所选择位线对上的所

选择互补单元的单元电流，通过数据线 DL、/DL 以及通过 NMOS 晶体管 QN31、QN32 传送到读出放大器 SA 的 NMOS 晶体管 QN61、QN62 的漏极。在这个操作期间，NMOS 晶体管 QN71、QN72 保持在截止状态。此后，时钟 CLK 变为“H”，以导通 NMOS 晶体管 QN71、QN72，借此把读出 NMOS 晶体管 QN61、QN62 的漏极固定在 Vss。因此，由于单元电流的差而生成的、节点 N1 和 N2 之间的差分电压被正反馈以被放大，以致节点 N1、N2 之一变为 Vdd，而另一个变为 Vss。如上所述放大的单元数据被输出到主数据线 GBi、/GBi。

[0109] 在数据写入模式中，向所选择的字线应用在前半部分处于高电平电压 V_H 并且在后半部分处于低电平电压 V_L 的驱动信号 V_{Wdrv} 。同时，通过写入脉冲信号线 WP_i 、/ WP_i 向所选择的单元对应用被设置为在对应于要被写入数据的 V_{HH} 、 V_H 、 V_L 和 V_{LL} 当中的组合的写入脉冲信号，借此执行数据写入操作。

[0110] 因为一条字线共同连接到多对单元，所以需要字线向成对单元提供大的电流。考虑到这样的电流值，需要设计字线解码器的可驱动性、字线本身的阻抗、晶体管尺寸等。应当理解，图 22 所示、用于八条字线的字线多路复用器 MUX0 和图 23 所示、用于八条位线的位线解码器 / 多路复用器 DEC/MUX 具有相同的电路配置。因此，可以实现这些电路区域，以具有与图 24 所示相同的布局。在图 24 中，示出了在图 22 的电路中的晶体管 QN21 到 QN28、QN11 到 QN18、选择信号 S10 到 S13、/S10 到 /S13 以及低电平电源 (Vss) 线，而且与这些所对应，用圆括号括起的形式示出了图 12 的电路中的晶体管 QN51 到 QN58、QP51 到 QP58、选择信号 S20 到 S23 以及高电平电源 (Vdd) 线。虽然有彼此相对应的相应晶体管是不同传导率类型这样的情况，但是有可能使用相同的布局用于这些电路。

[0111] 图 24 中垂直延伸的布线 410 是用作 Vdd、Vss 的选择线和电源线的晶体管的栅级线路。这些可以通过图案化多晶硅薄膜同时形成。因为为了保持未被选择的位线和字线不浮动，仅仅需要电源线 Vss、Vdd 是电势固定的，所以不需要这些线路具有非常低的阻抗。因此，能够为这些线路使用与用于栅电极的多晶硅薄膜相同的多晶硅薄膜。虽然用示意的直线示出了横向延伸的布线 411，但是这些布线是与晶体管的源级和漏级接触的金属布线。接触部分 412 用于把金属布线 411 连接到位线和字线，图 18 所示的垂直互连线（即，接触插头）101 到 104 连接到这些位线和字线。

[0112] 在上述单元阵列中的位线和字线优选地利用 1F/1F 的线路 / 间隔形成 (F : 最小器件特性尺寸)。如图 18 所示，连接这些位线和字线，同时在衬底上保持到读 / 写电路 200 的线路间距。在这种情况下，形成图 24 所示的金属布线 411，以便具有相同的 1F/1F 的线路 / 间隔。与此相反，在金属布线 411 的路径上布置的晶体管必需具有用于提供所需要的电流所必需的大面积。考虑到这个观点，在图 13 中，这样形成每个晶体管以便具有三个金属布线 411 间距的栅级宽度。

[0113] 当如上所述确定晶体管尺寸和金属线间距时，为了有效地布置晶体管，以 (S10, /S10) (S20)、(S12, /S12) (S22)、(S11, /S11) (S21) 和 (S13, /S13) (S23) 这样一个次序，布置按照 0、1、2 和 3 的地址次序加上后缀的选择信号线 (S10, /S10) (S20)、(S11, /S11) (S21)、(S12, /S12) (S22) 和 (S13, /S13) (S23)。因此，在由选择信号线 S10 (S20) 所选择的 QN21 (QN51)、QN23 (QN53) 的晶体管阵列和由选择信号线 S11 (S21) 选择的 QN23 (QN52)、QN24 (QN54) 的晶体管阵列之间，布置由选择信号线 S12 (S22) 选择的 QN25 (QN55)、QN27 (QN57) 的晶体管阵列。通过使用这样的晶体管布置，有可能在其中以小的间距、而没有

无效空间地布置布线的金属布线区域内布置具有大尺寸的晶体管。

[0114] 接下来,将参考图 25 到 27,说明通过使用双波纹 (dual damascene) 方法同时形成的位线、字线以及它们到读 / 写电路 200 的接触部分。图 25 示出了在层间介电薄膜 11 上形成位线 BL0 的这样一个状态,其中层间介电薄膜 11 覆盖在其上已经形成了读 / 写电路 200 的衬底 10。与这些位线 BL0 的形成同时地,通过双波纹工艺形成接触插头 103a、104a。这些插头用于将要在其上层叠的字线 WL0、WL1 连接到读 / 写电路 200。虽然未在图 25 中示出,但是与接触插头 103a、104a 同时地形成用于把位线 BL0 的末端部分连接到读 / 写电路 200 的其它接触插头。

[0115] 然后,如图 26 所示,以预定间距在位线 BL0 上形成每个都由彼此层叠的可编程阻抗元件和二极管构成的存储器单元。接下来,如图 27 所示,沉积层间介电薄膜 17 以覆盖存储器单元 MC,然后通过双波纹工艺在薄膜 17 上形成字线 WL0。在这个工艺中,埋入分别连接到要在接下来形成的接触插头 103a 和字线 WL1 的接触插头 103b 和 104b。

[0116] 图 28A 到 28C 在沿着字线 WL0 方向的横断面视图中,详细地示出了字线 WL0 和接触插头 103b、104b 的掩埋工艺。图 28A 示出了沉积层间介电薄膜 17 以覆盖存储器单元 MC 然后对其进行平面化的这样一个状态。此后,如图 28B 所示,通过用于字线掩埋的 RIE (活性离子刻蚀) 工艺在层间介电薄膜 17 中形成布线掩埋沟 501,以便暴露存储器单元 MC 的上端。此外,在其中已经掩埋了接触插头 103a、104a 的位置处形成接触孔 502,以使其比沟 501 更深。然后,沉积布线材料金属层,并且由 CMP (化学制品机械抛光) 方法进行处理。因此,如图 28C 所示,同时掩埋和形成字线 WL0 和接触插头 103b、104b。

[0117] 不断地,周期性地执行通过利用波纹方法的存储器单元形成、层间介电薄膜沉积、布线与接触插头形成。通过利用这样的处理,如图 19 和 20 所示,可以以这样的方式层叠四层的单元阵列,其中每层的位线和字线连接到衬底上的读 / 写电路。

[0118] 工业实用性

[0119] 依据这个发明,有可能提供其中单元阵列和读 / 写电路整体地形成在小的基片区域中的可编程阻抗存储器器件。

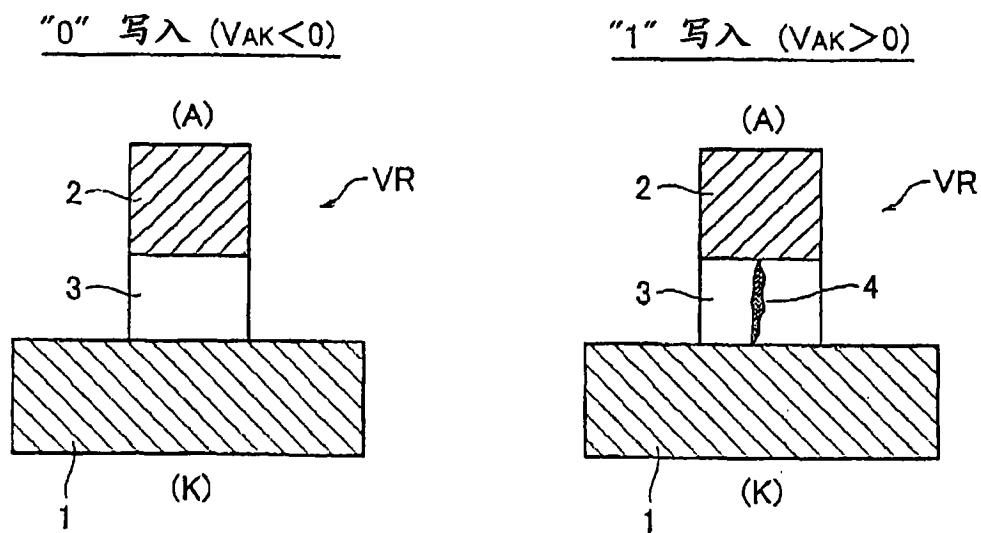


图 1

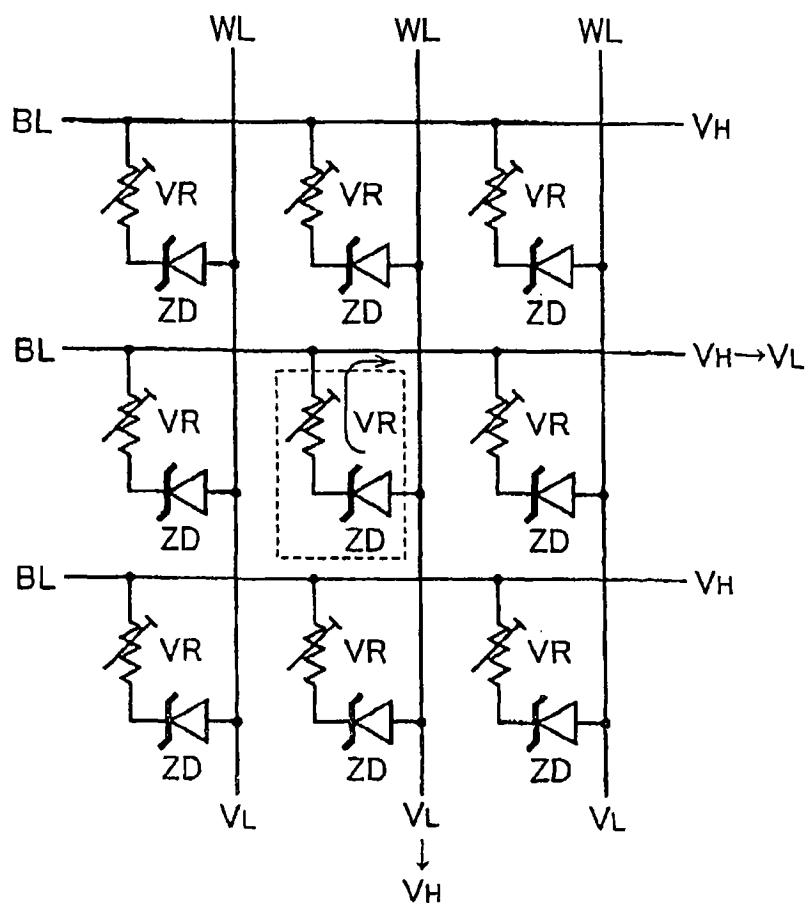


图 2

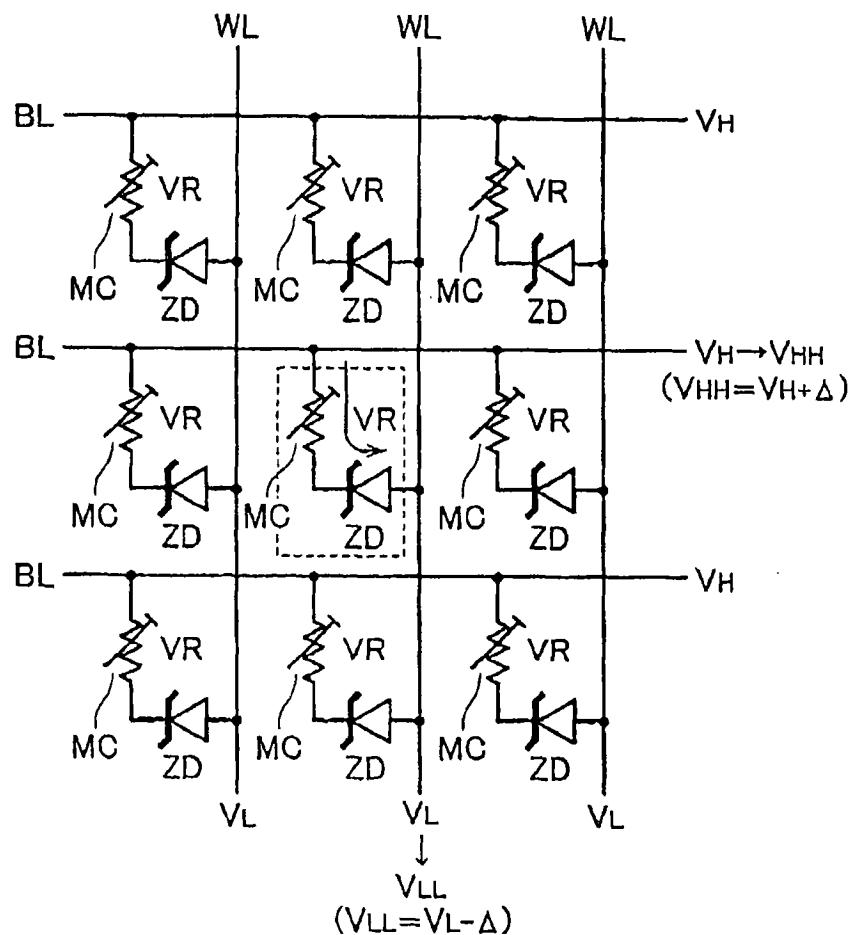


图 3

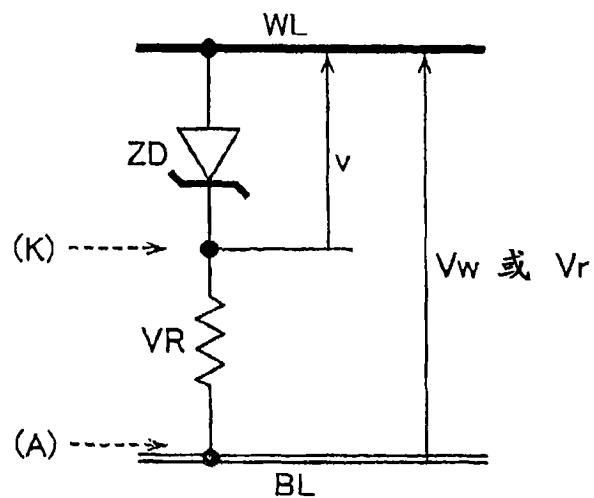


图 4

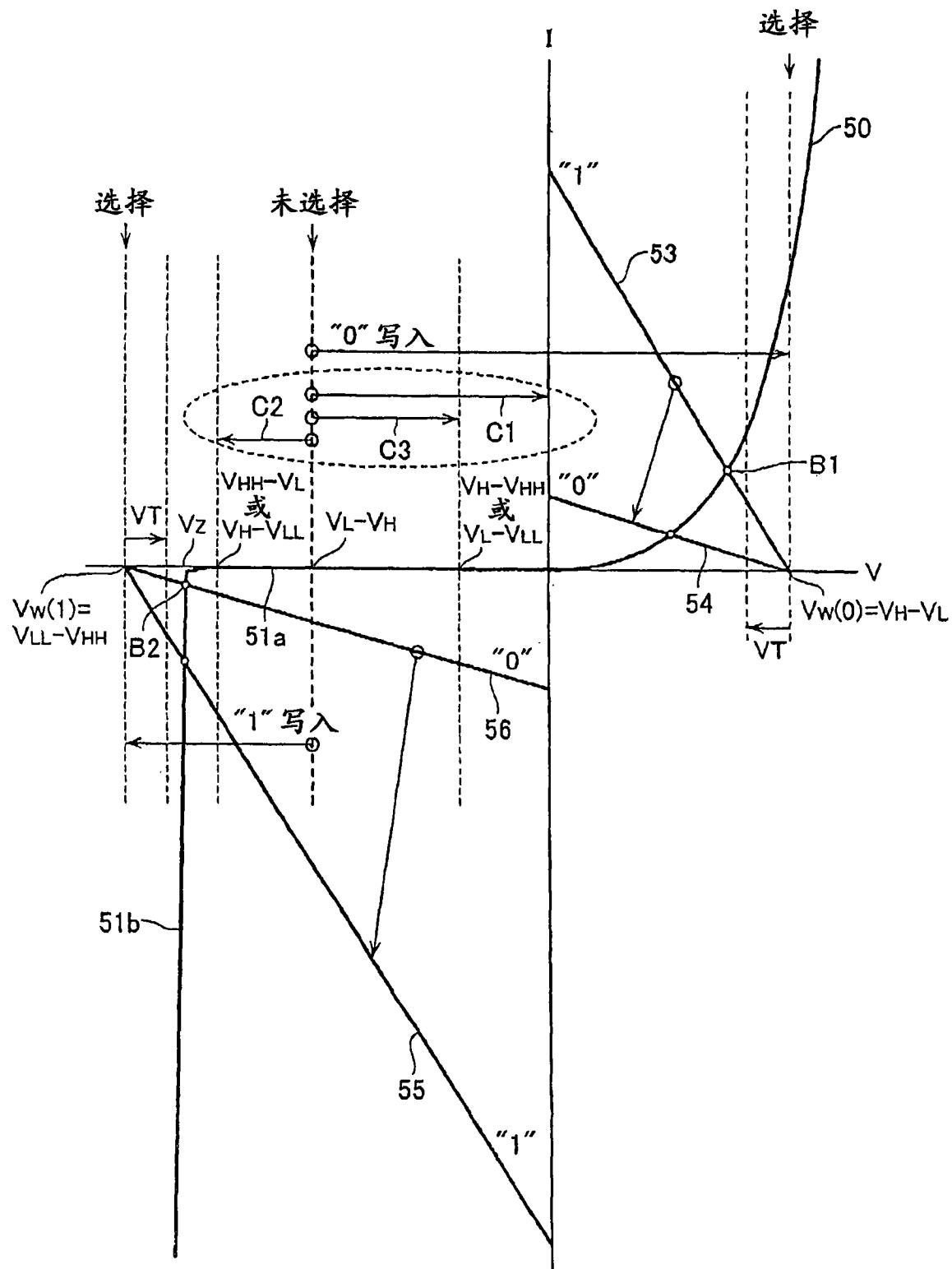


图 5

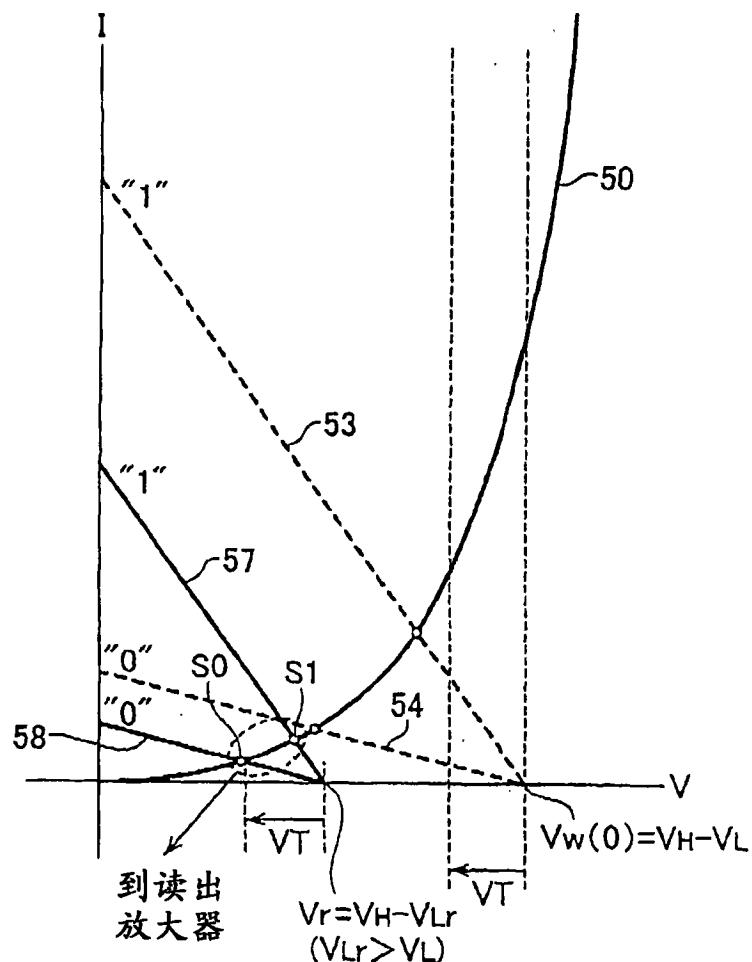


图 6

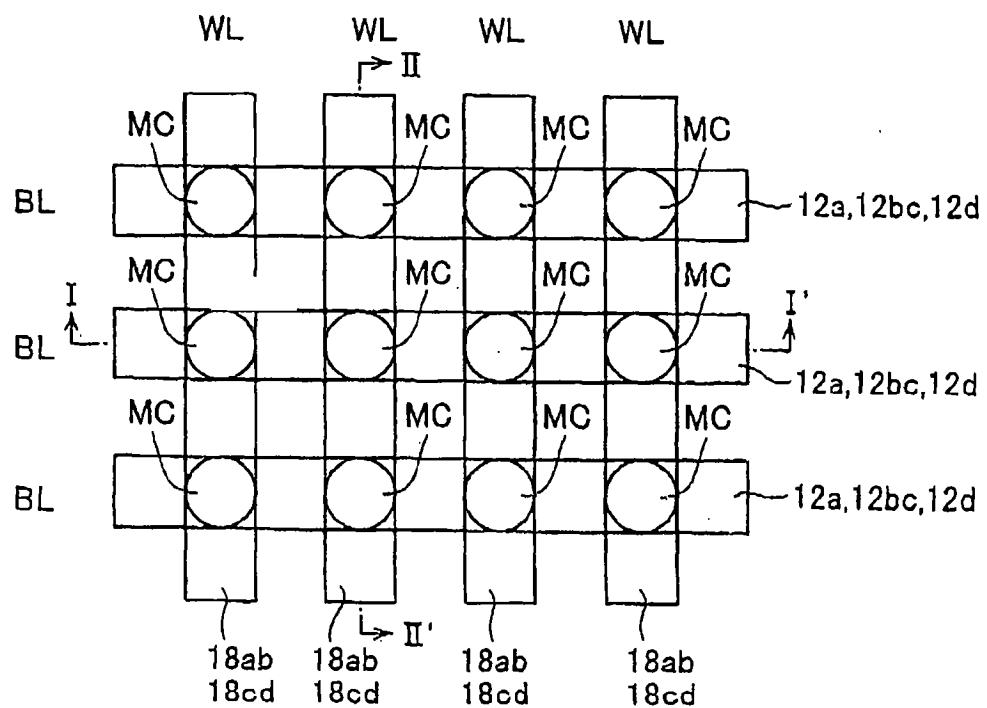


图 7

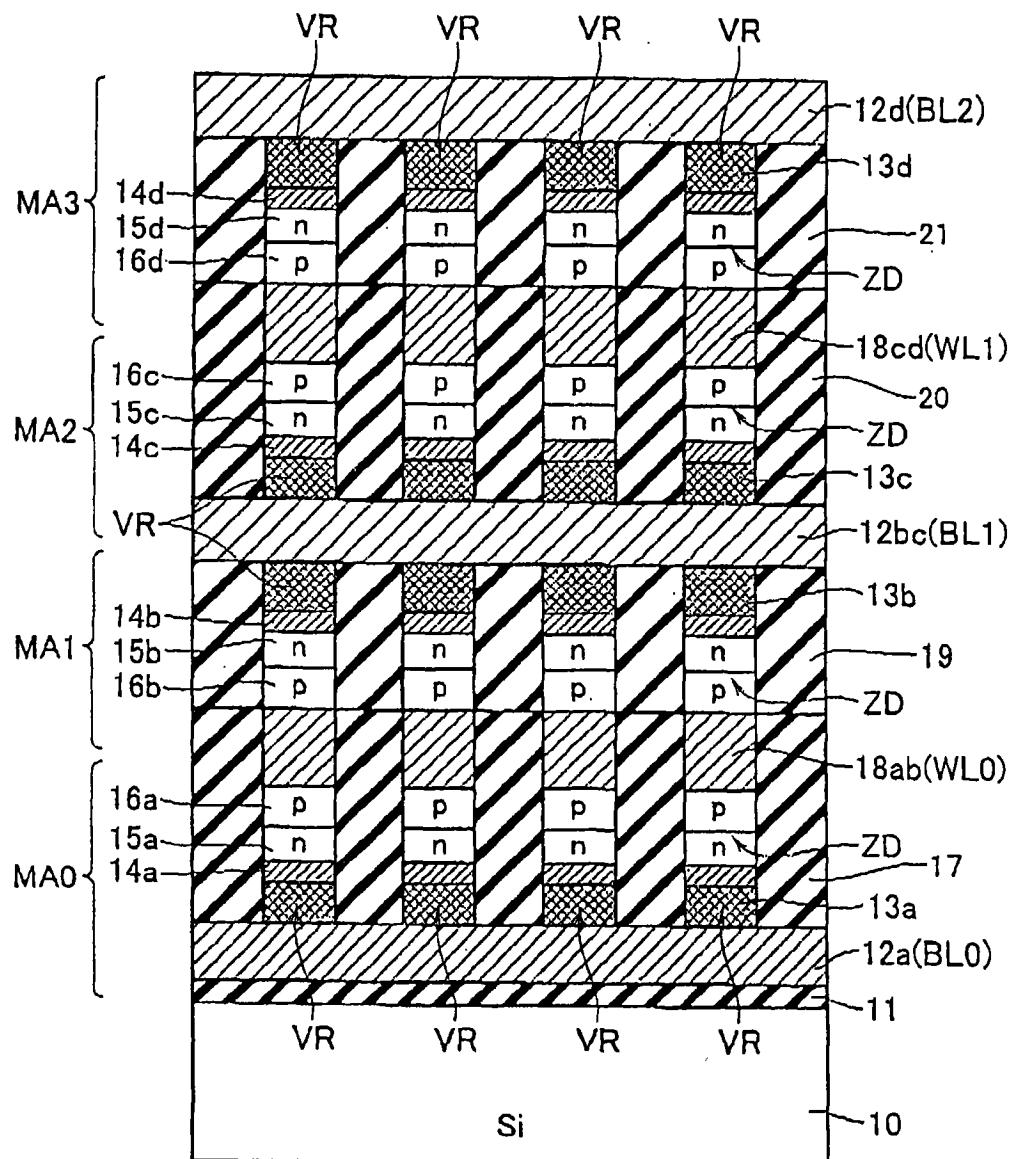


图 8

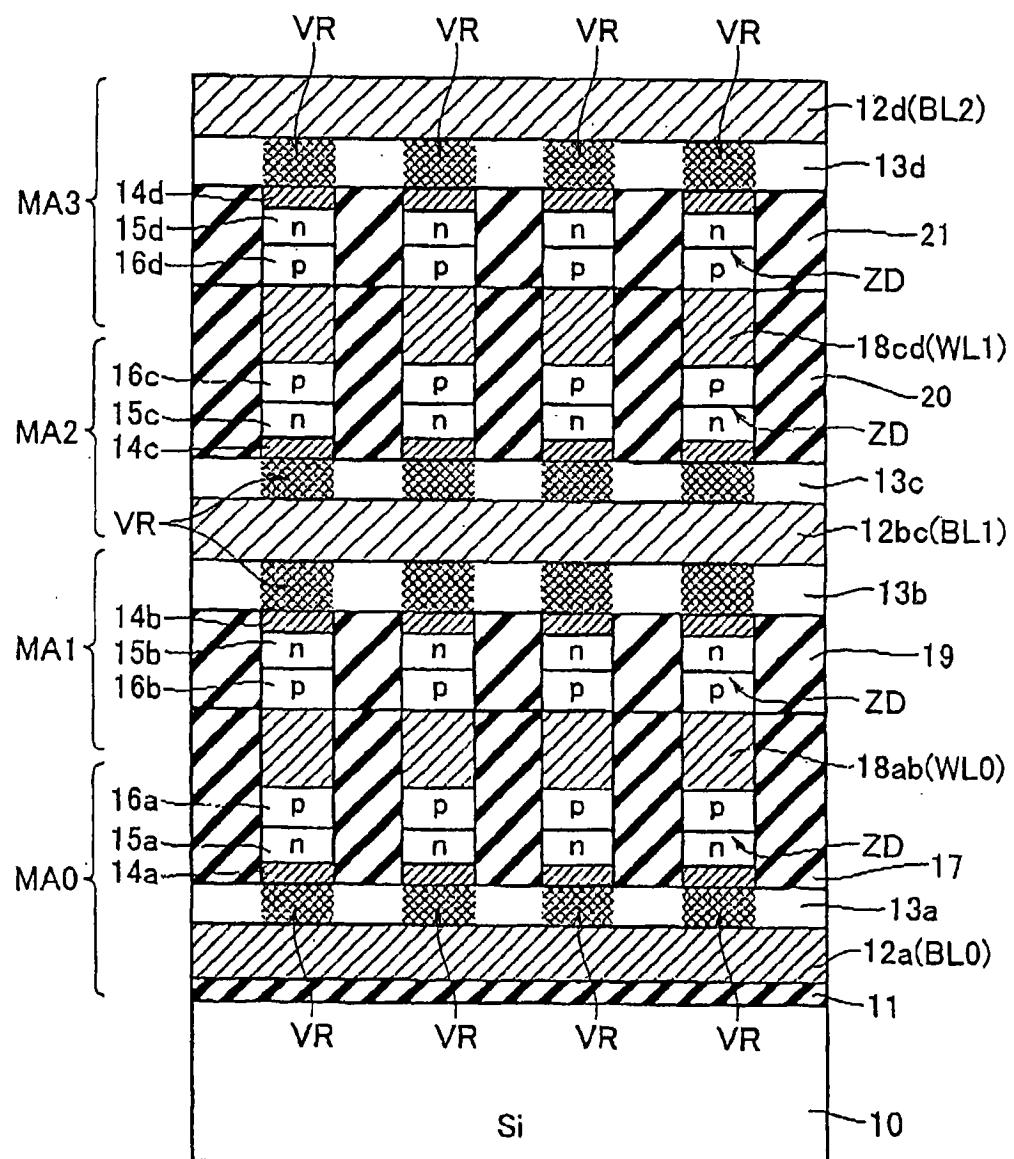
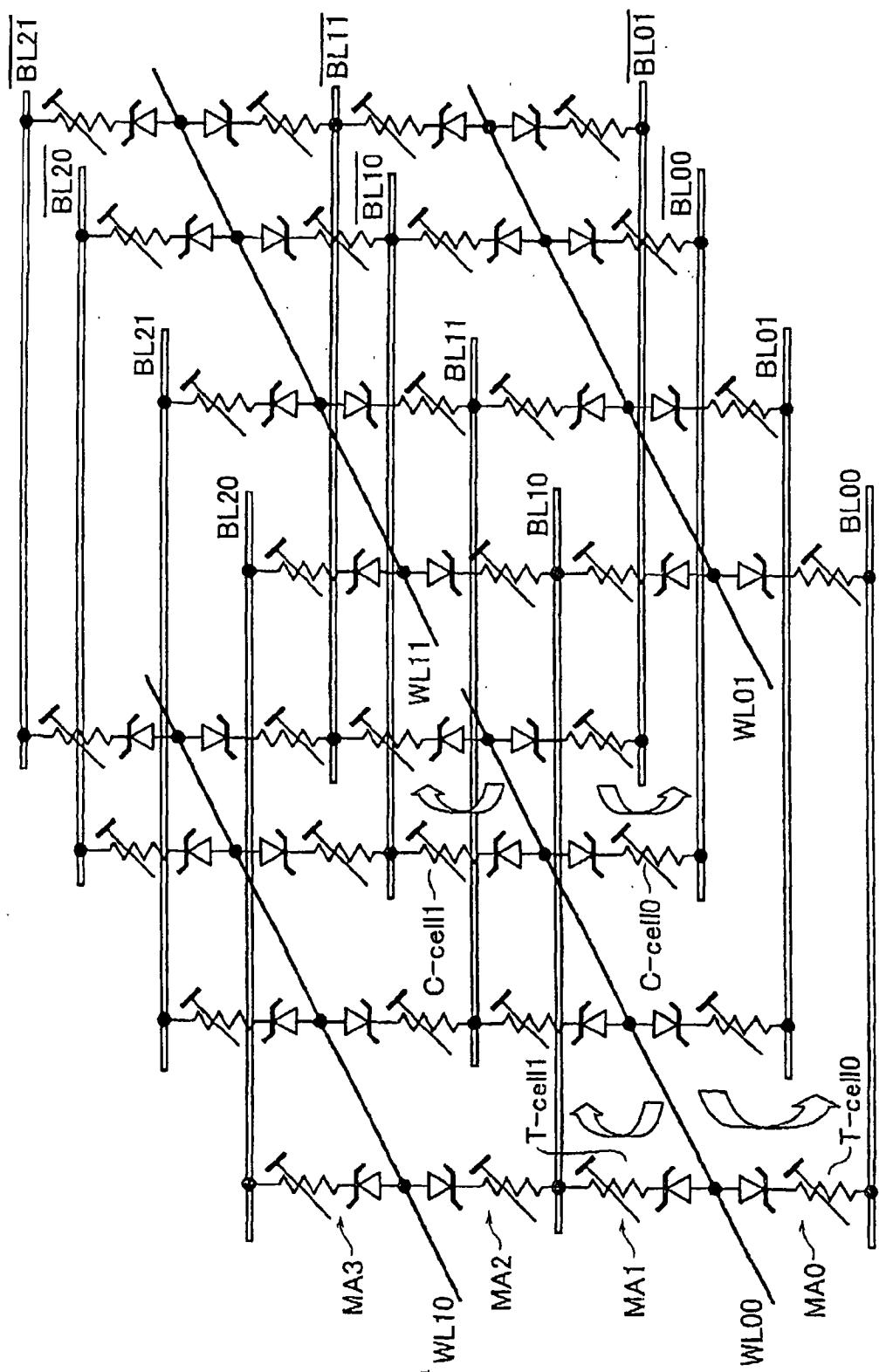


图 9

图 10



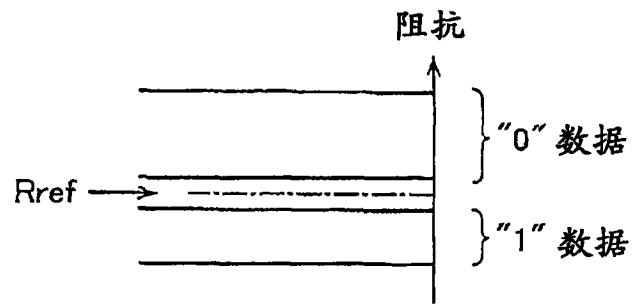


图 11

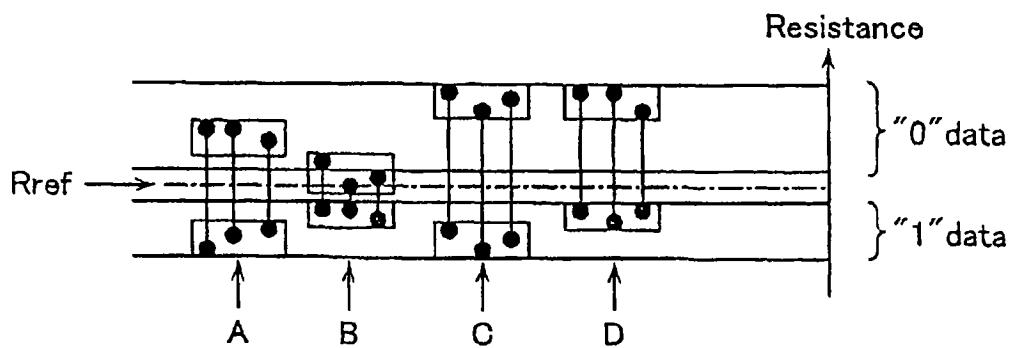


图 12

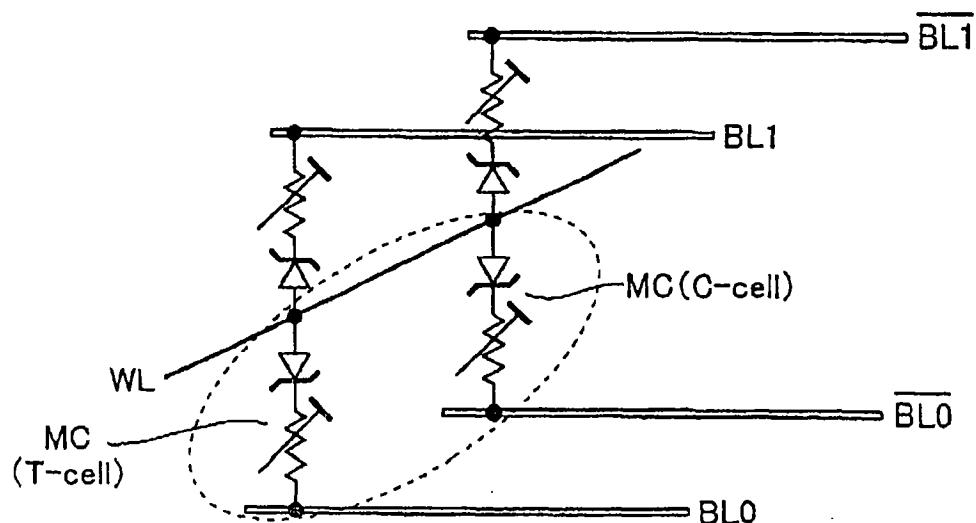


图 13

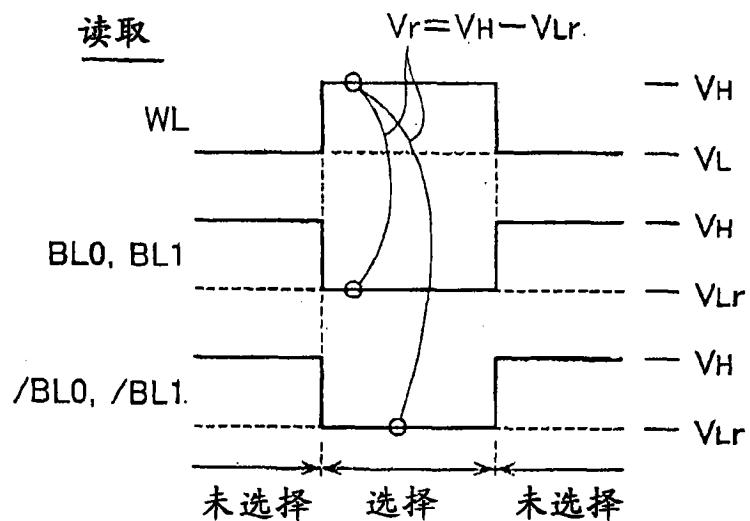


图 14

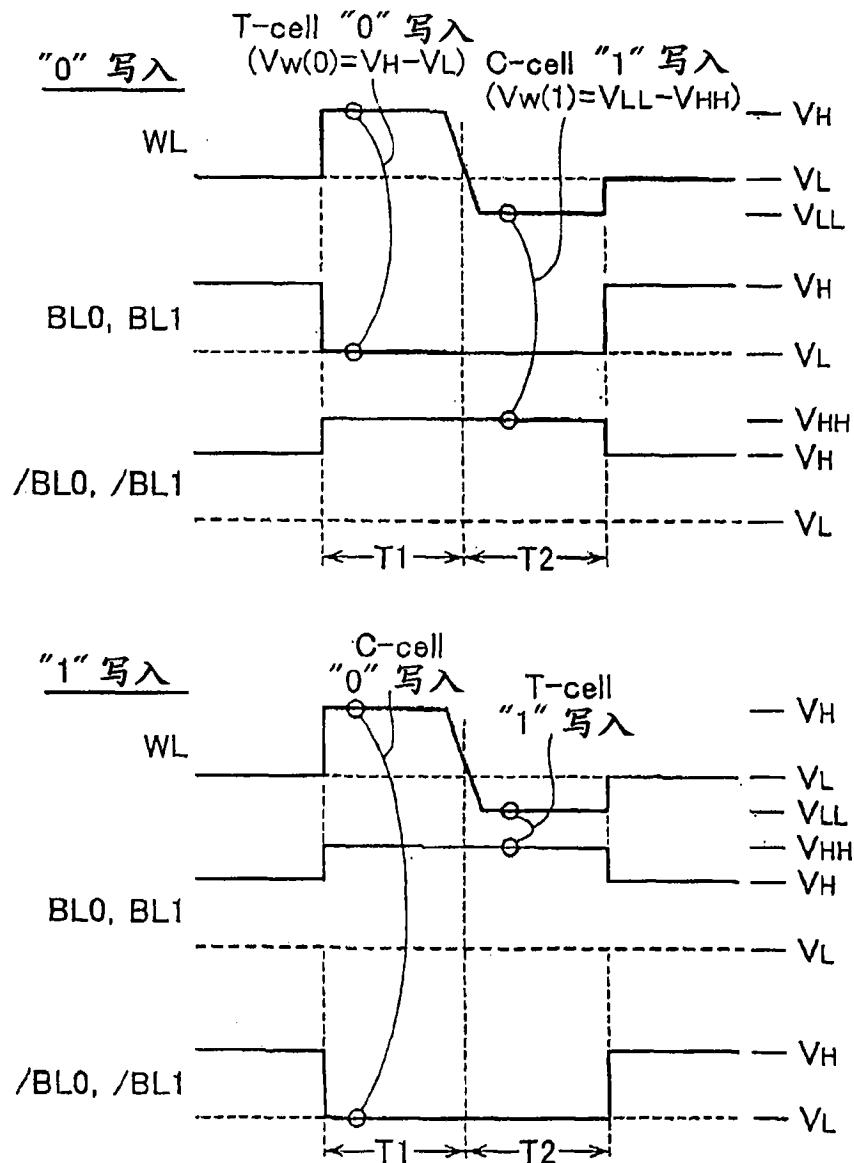
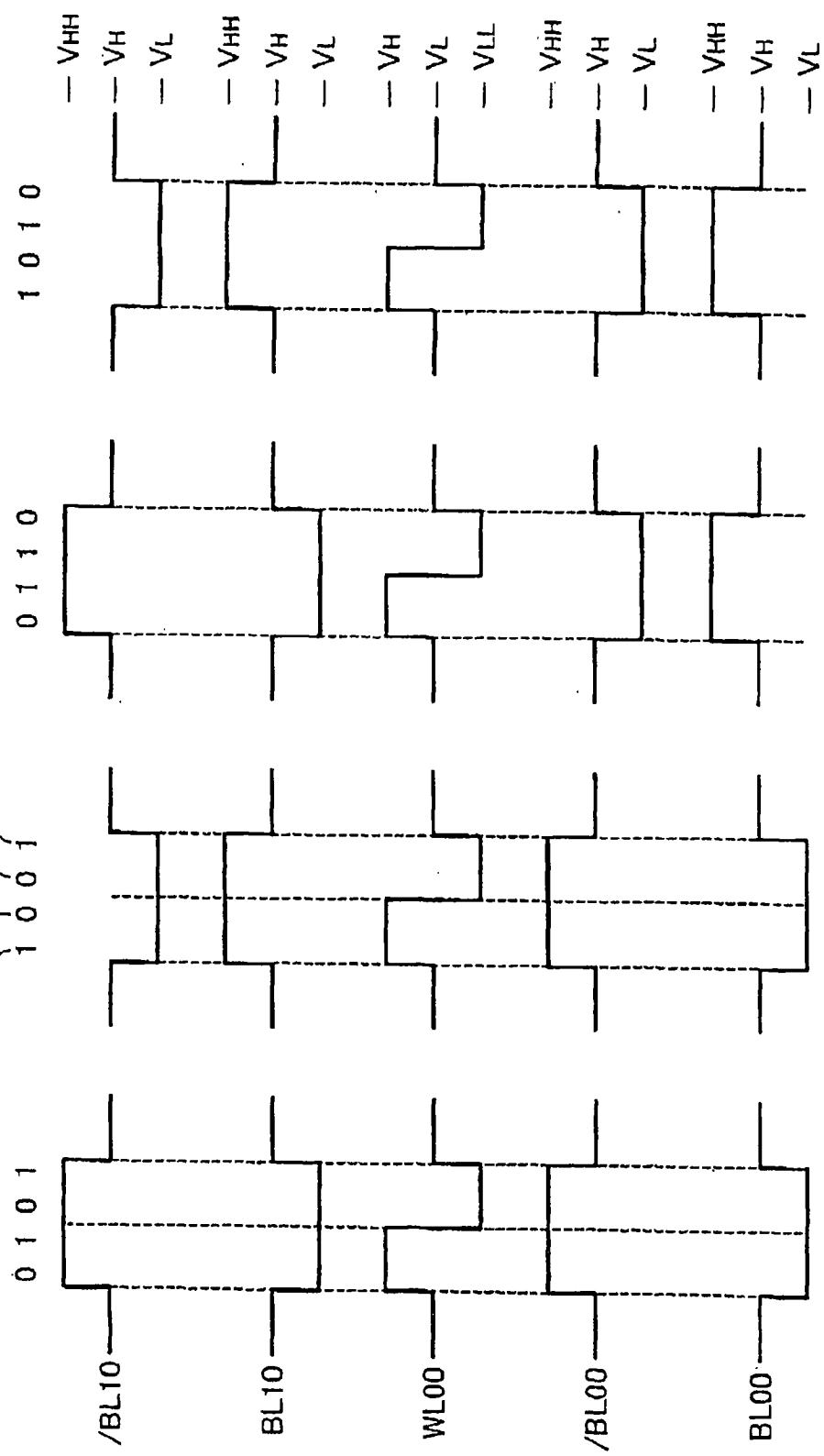


图 15

图 16



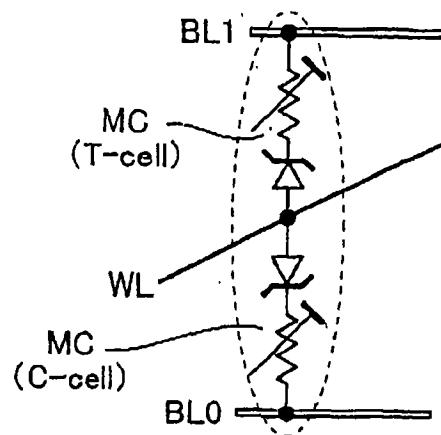


图 17

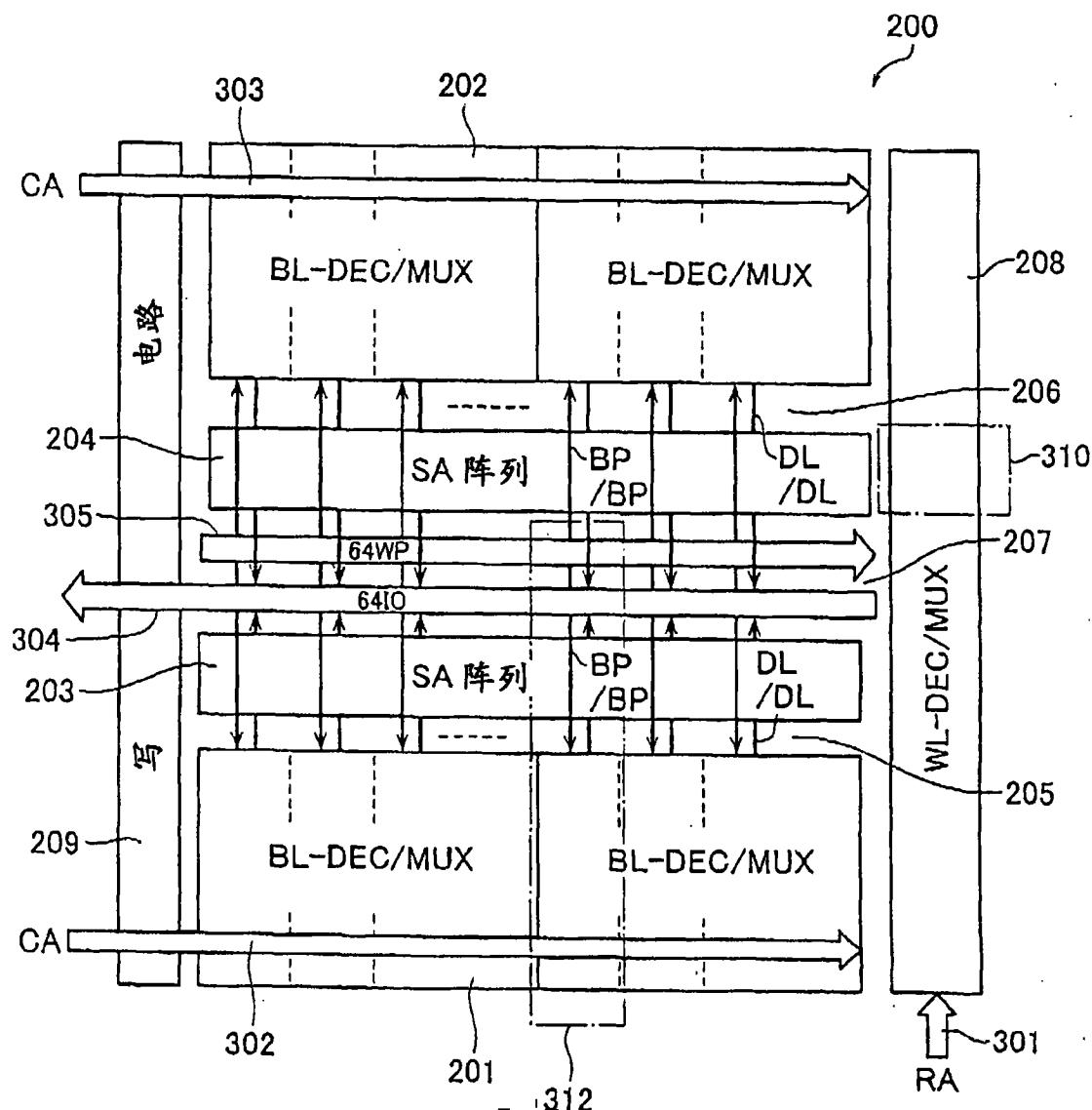


图 21

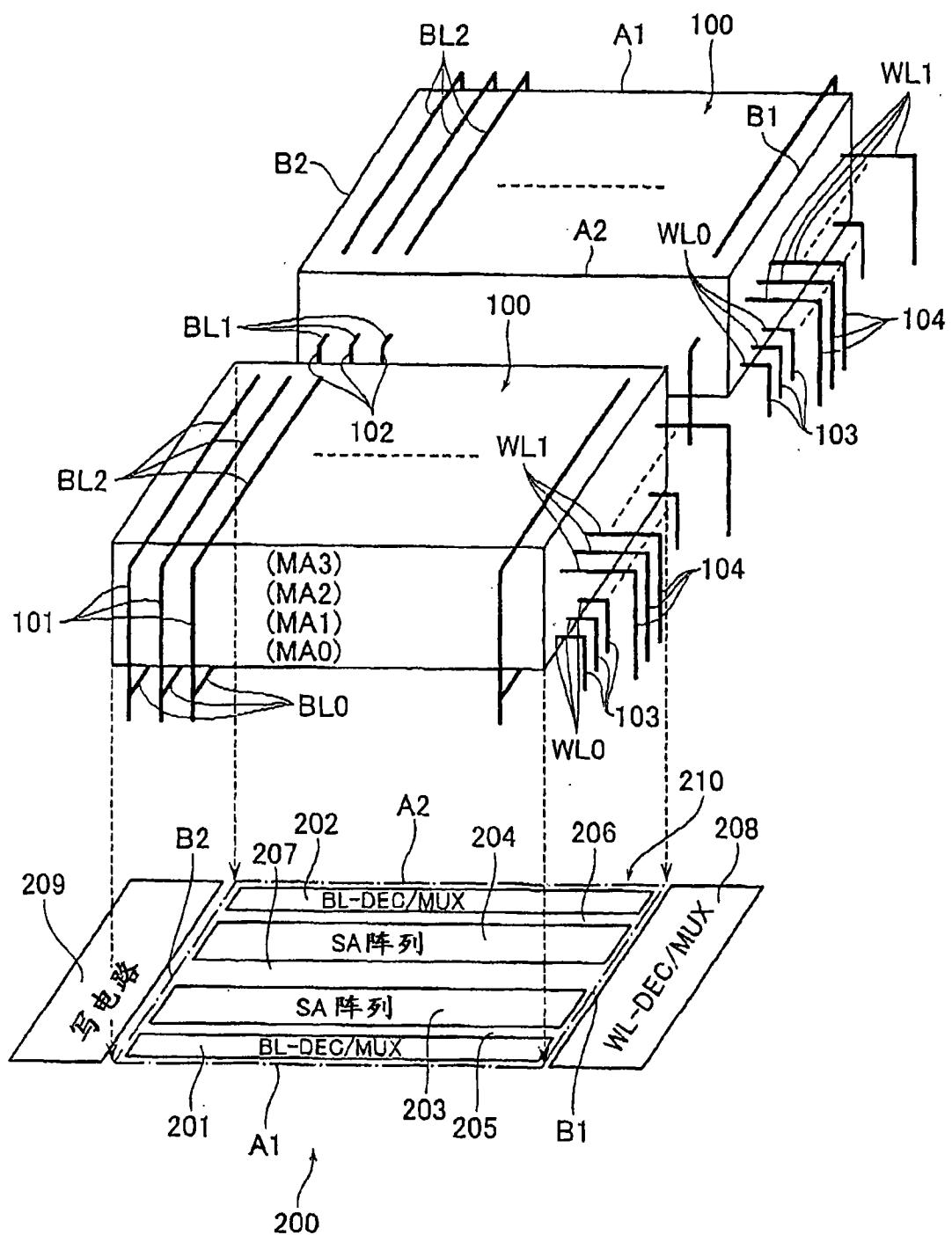


图 18

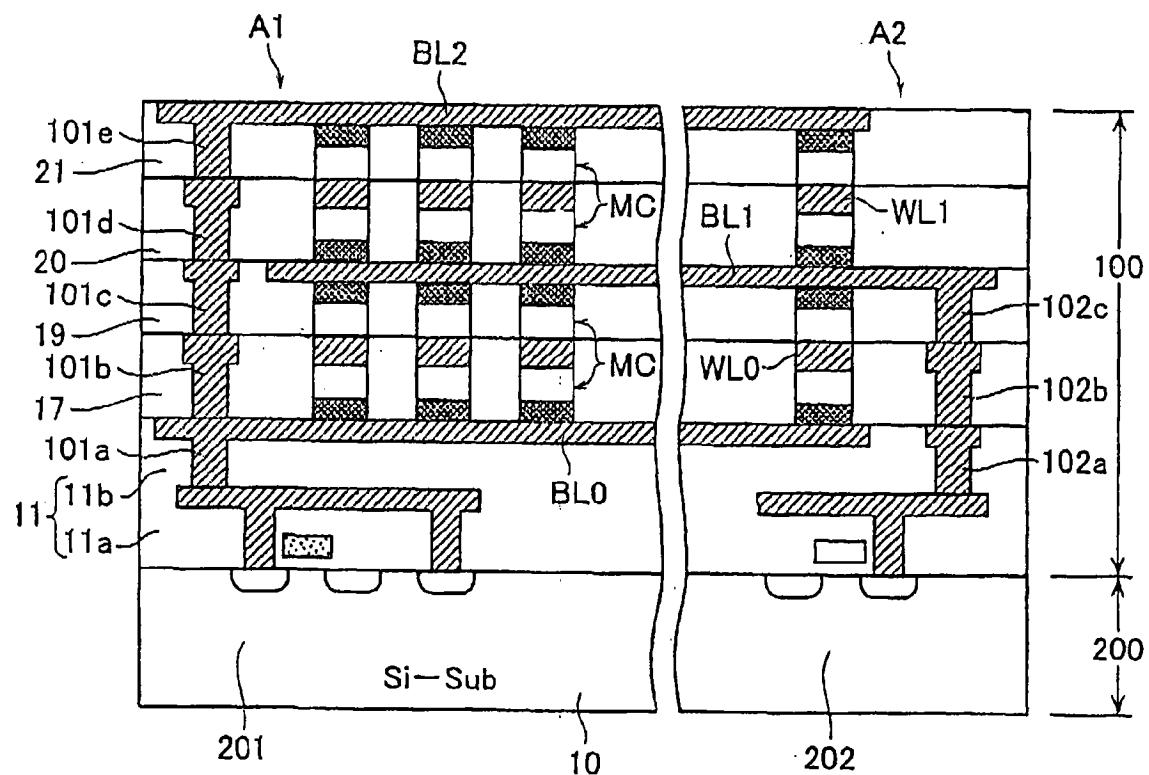


图 19

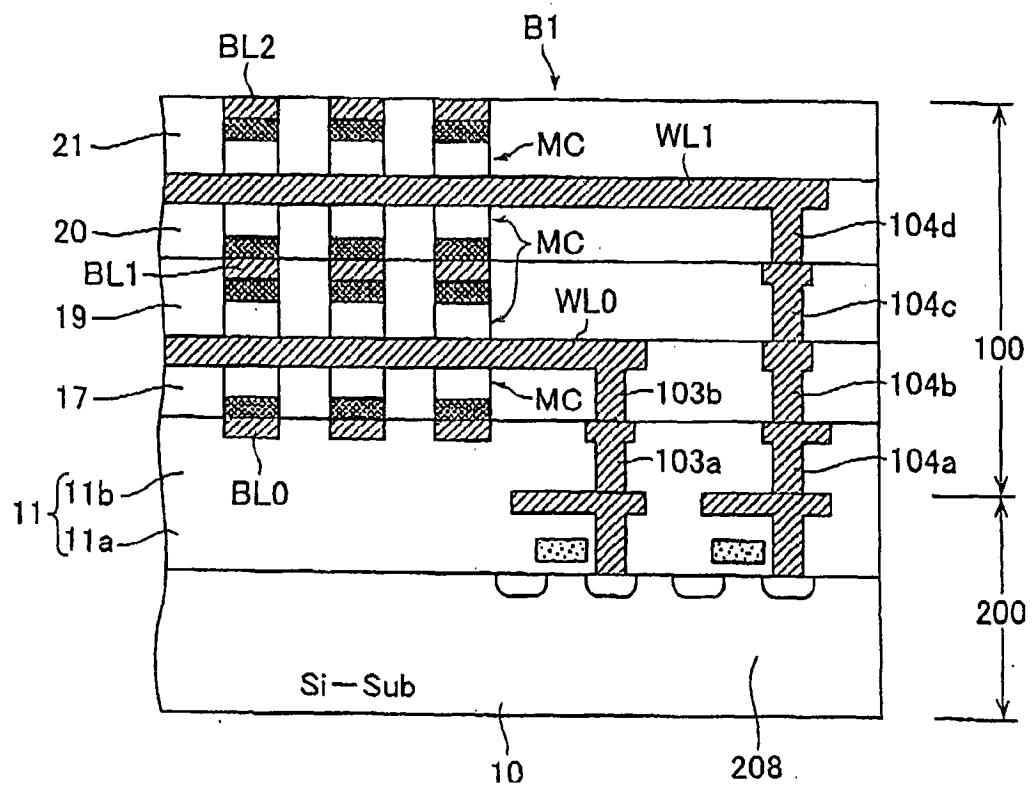
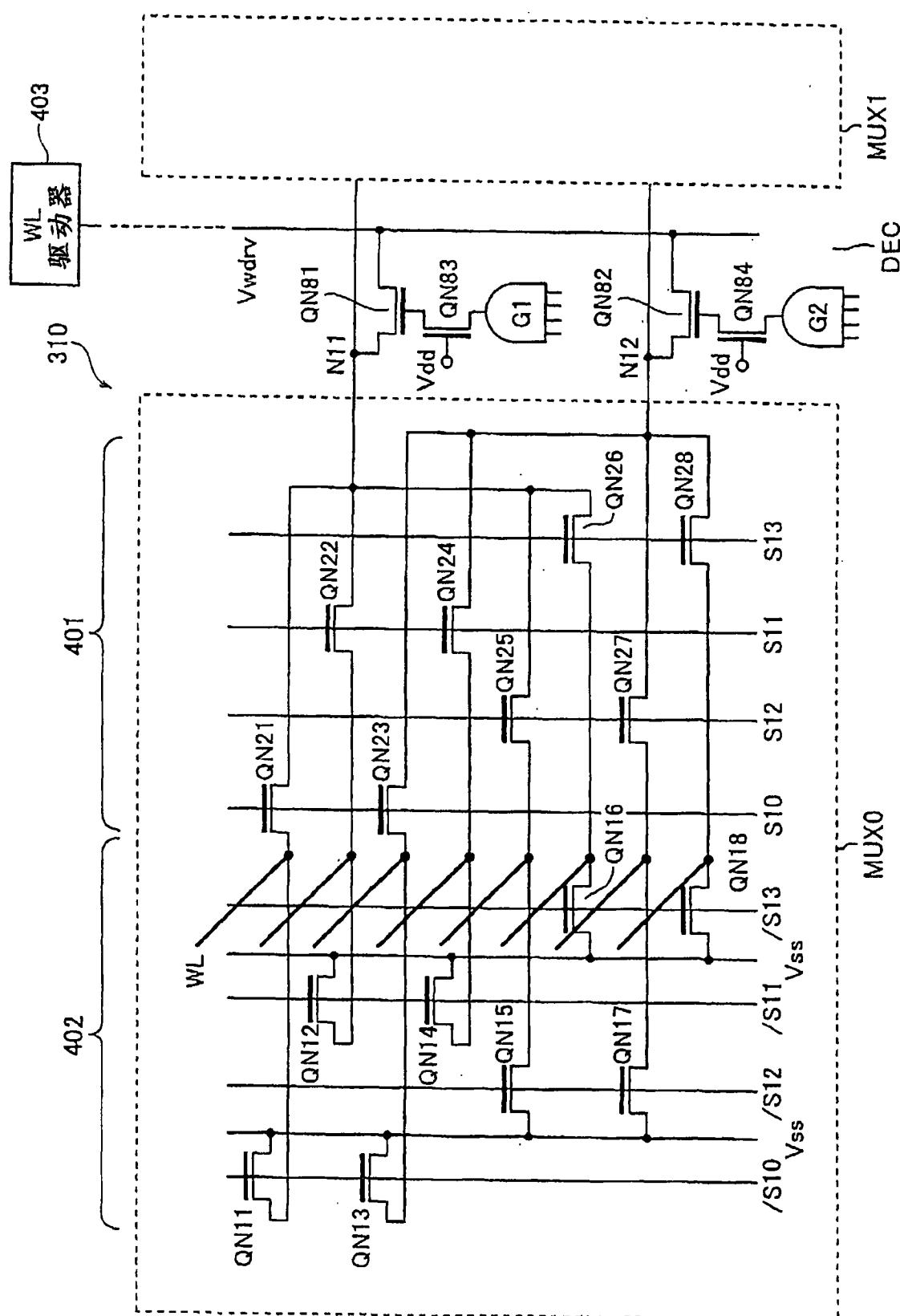


图 20

22



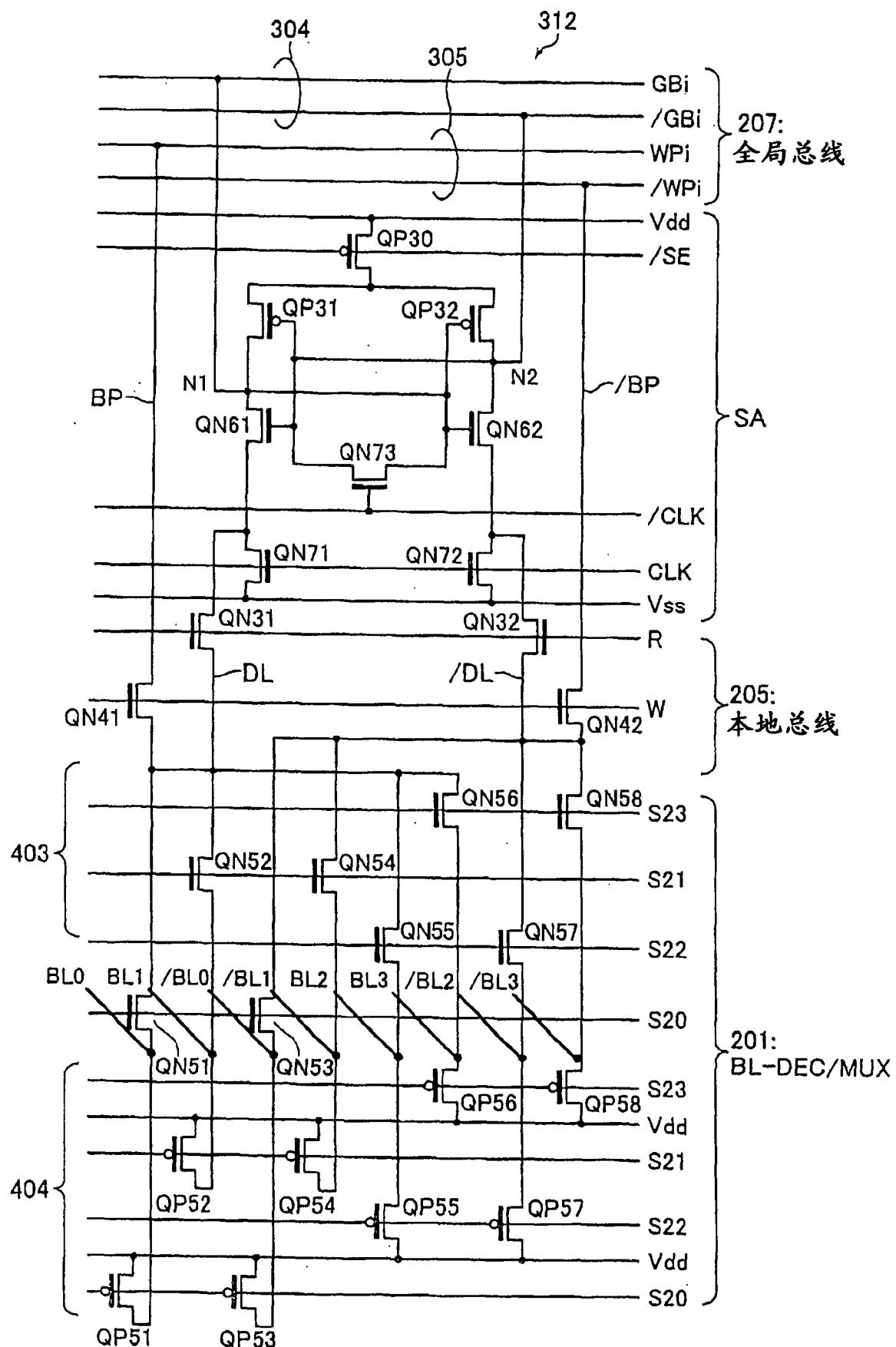


图 23

图 24

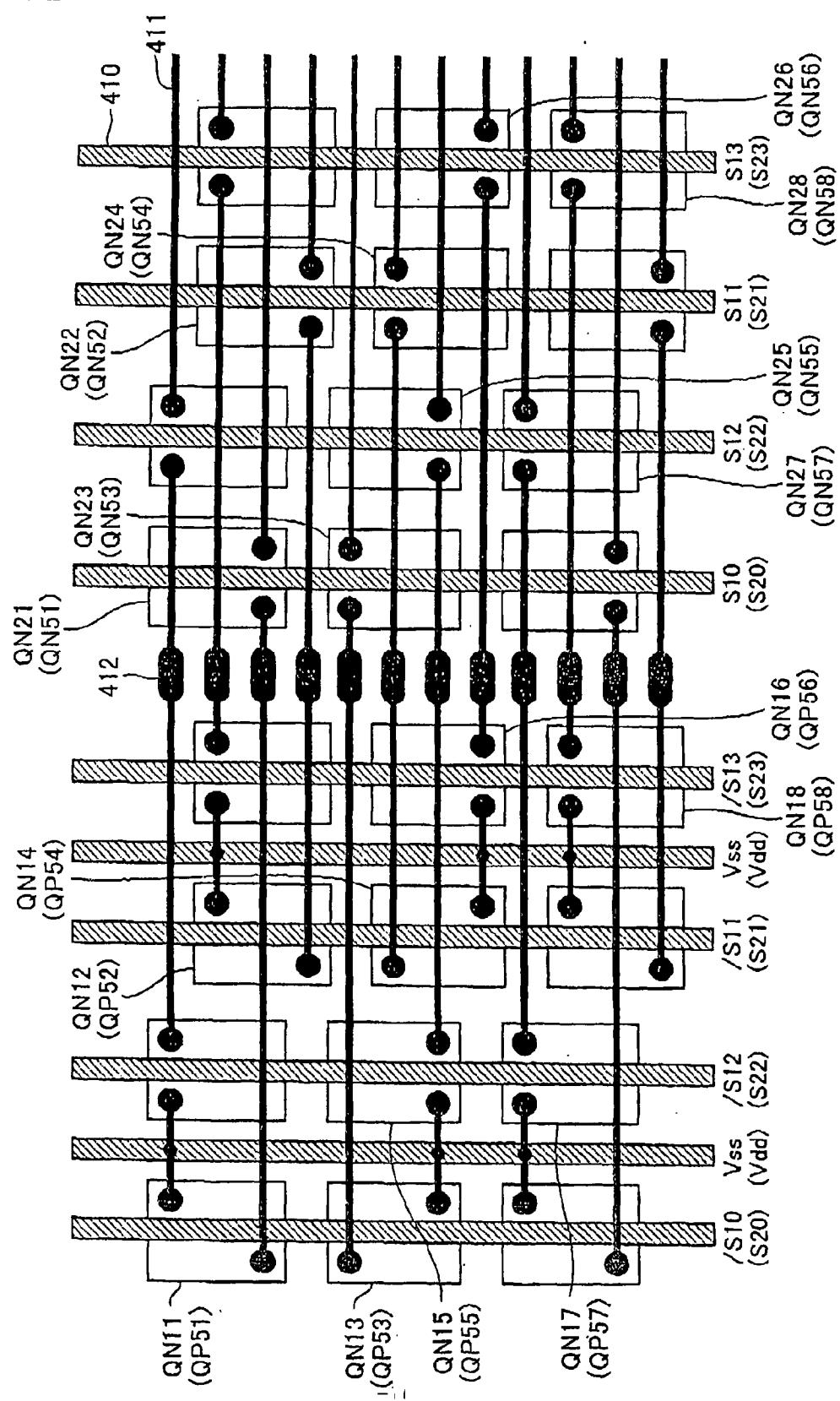


图 25

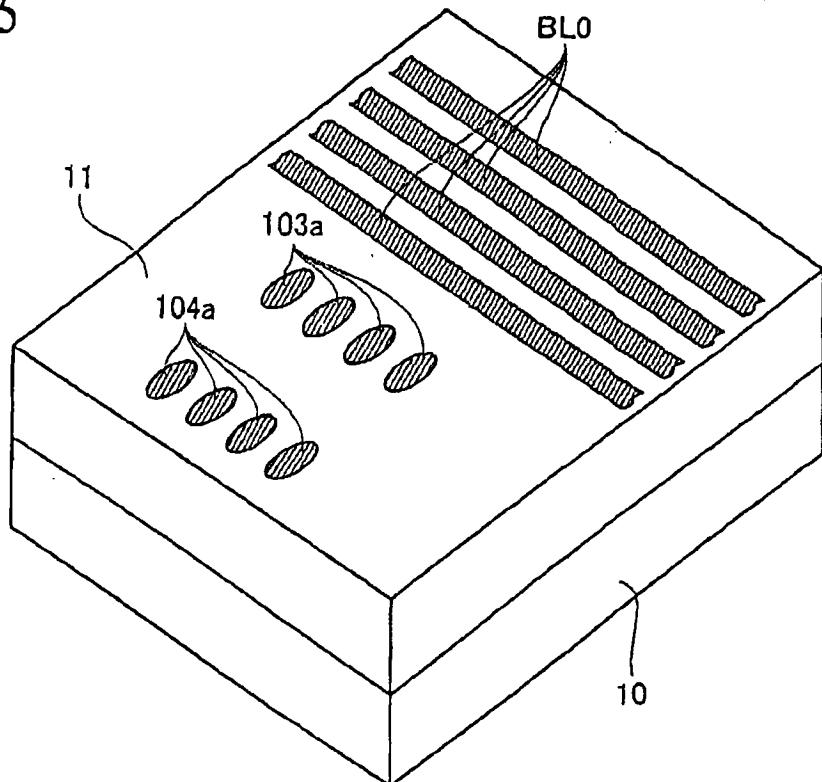
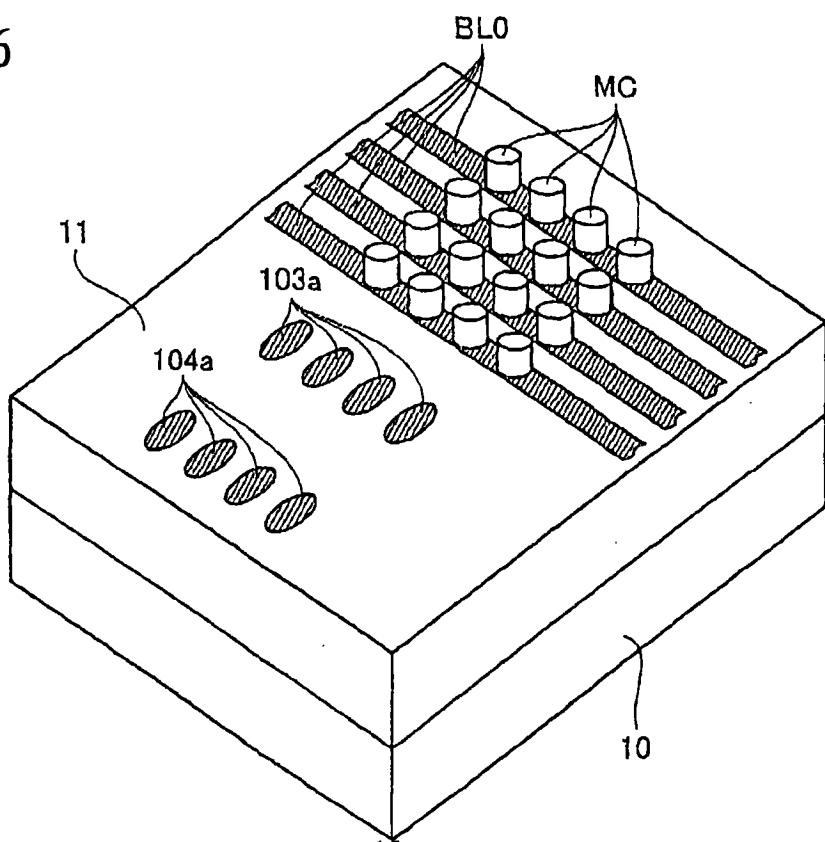


图 26



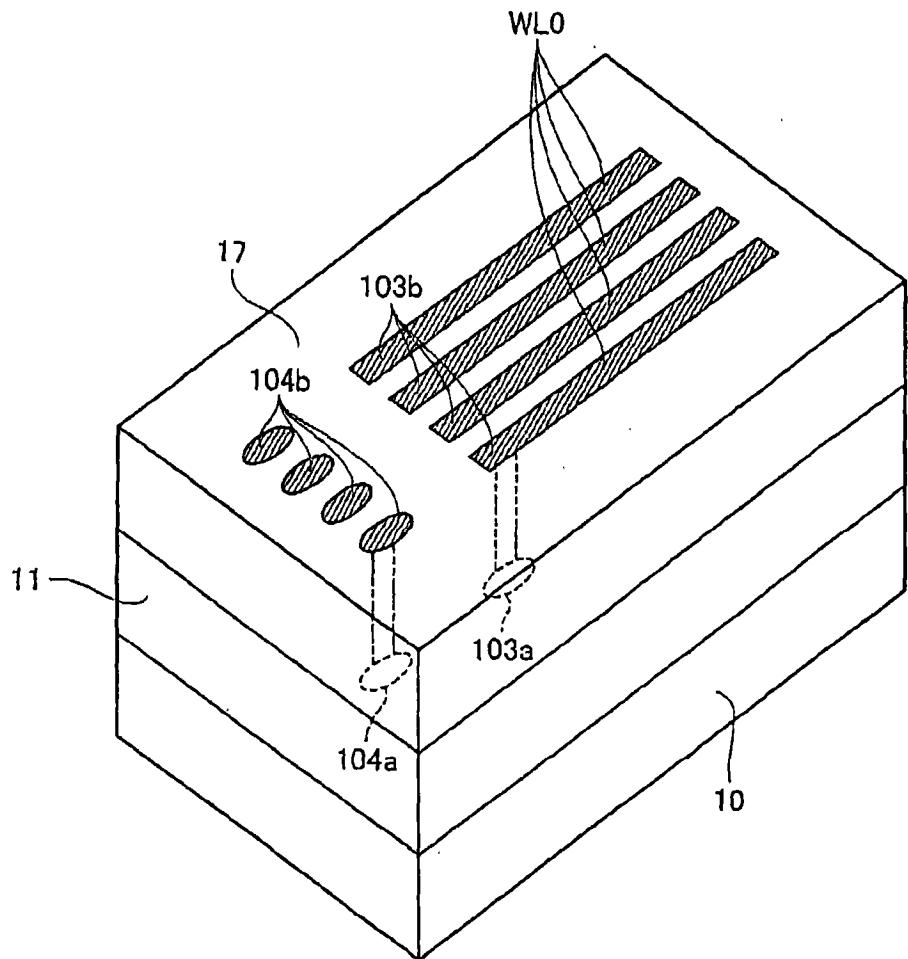


图 27

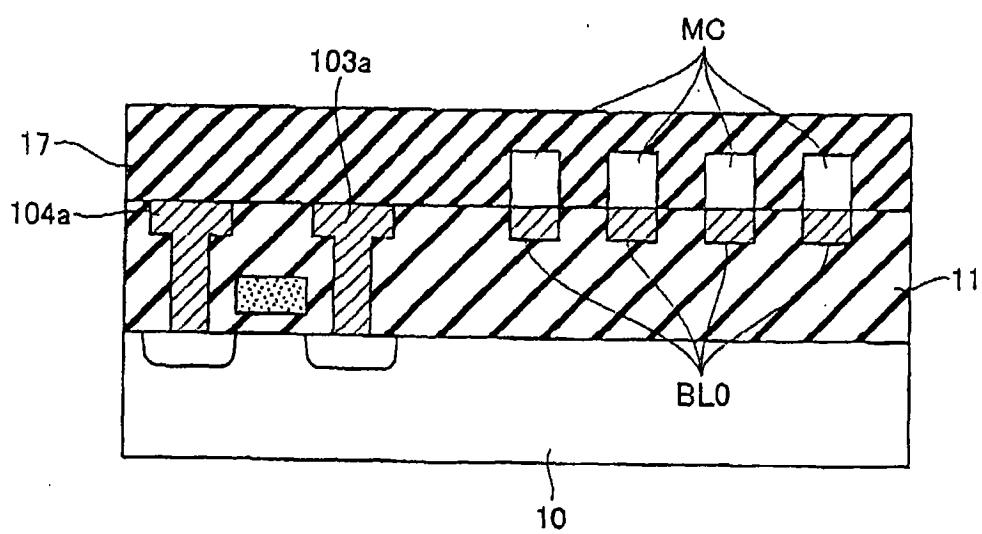


图 28A

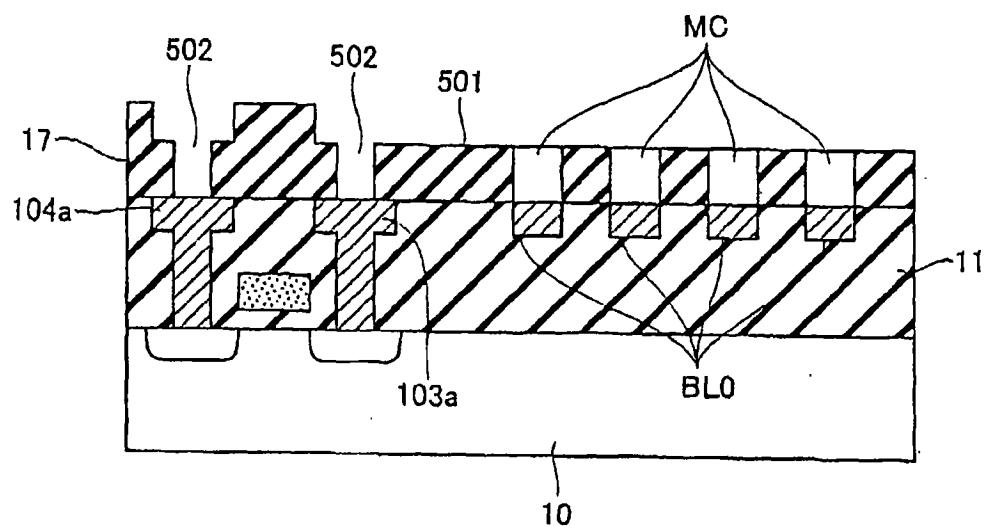


图 28B

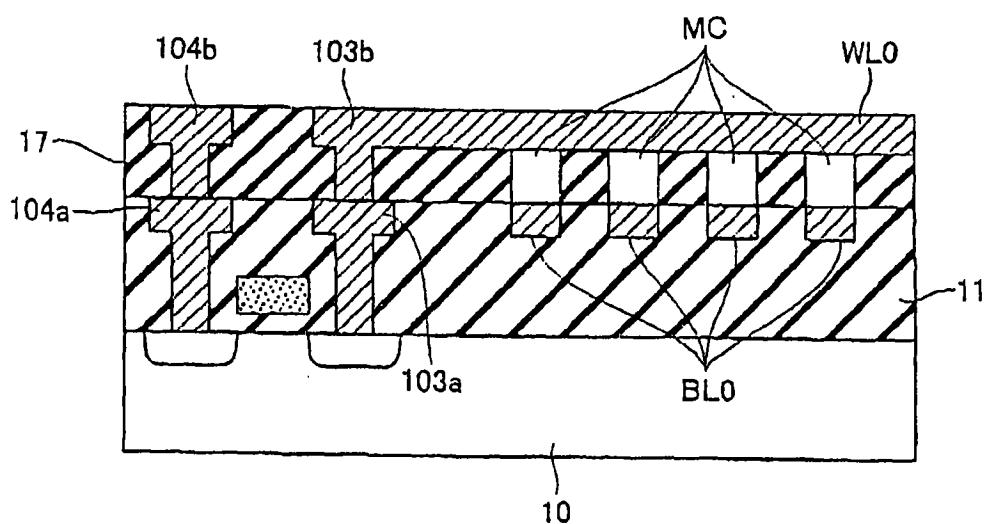


图 28C