

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)

H01L 21/3205 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710002383.6

[45] 授权公告日 2009年4月15日

[11] 授权公告号 CN 100479130C

[22] 申请日 2007.1.15

[21] 申请号 200710002383.6

[30] 优先权

[32] 2006.1.17 [33] US [31] 11/306,930

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 肖姆·波诺斯

约翰·安东尼·菲茨西蒙斯

史蒂文·夏伊格-聪

特里·A·斯普纳

[56] 参考文献

US2005/0048769A1 2005.3.3

US4977013A 1990.12.11

US6174563B1 2001.1.16

US5969422A 1999.10.19

CN1226080A 1999.8.18

审查员 李明

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

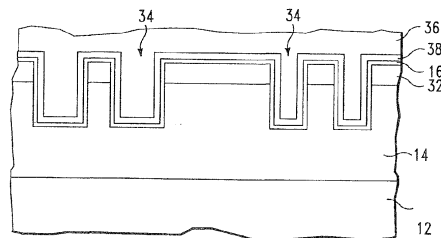
权利要求书 2 页 说明书 7 页 附图 4 页

[54] 发明名称

制造半导体结构的方法

[57] 摘要

公开了一种制造半导体结构的方法，其中该方法包括在半导体层上形成层间介电层(ILD)，在ILD上形成导电的镀敷增强层(PEL)，图形化ILD和PEL，将籽层沉积到由ILD和PEL形成的图形中，之后在籽层上镀敷铜。PEL用于降低横跨晶片的电阻，以利于镀敷铜。PEL优选是光学透明和导电的层。



- 1.一种制造半导体结构的方法，该方法包括以下步骤：
获得半导体晶片；
在半导体晶片上形成层间介电层；
在层间介电层上形成导电的镀敷增强层；
图形化层间介电层和镀敷增强层，并去除一段镀敷增强层和至少一部分层间介电层；
将籽层沉积到由层间介电层和镀敷增强层形成的图形中；和
在籽层上镀敷铜。
- 2.如权利要求1的方法，其中所述镀敷增强层是光学透明的。
- 3.如权利要求1的方法，其中所述镀敷增强层包括透明导电氧化物。
- 4.如权利要求3的方法，其中所述透明导电氧化物选自由氧化铟、氧化锡、锡酸镉、氧化锌和其组合构成的组。
- 5.如权利要求3的方法，其中所述透明导电氧化物选自由掺杂的氧化铟、掺杂的氧化锡、掺杂的锡酸镉、掺杂的氧化锌和其组合构成的组。
- 6.如权利要求1的方法，还包括在沉积籽层的步骤之前，将衬垫层沉积到由层间介电层和镀敷增强层形成的图形中的步骤。
- 7.如权利要求6的方法，其中所述衬垫层包括选自由氮化钽、钽、钛、氮化钛、钨和其组合构成的组的材料。
- 8.如权利要求1的方法，还包括将铜平坦化直至镀敷增强层的步骤。
- 9.如权利要求8的方法，其中所述平坦化的步骤包括化学机械抛光。
- 10.如权利要求1的方法，还包括将铜平坦化直至层间介电层的步骤。
- 11.如权利要求10的方法，其中所述平坦化步骤包括化学机械抛

光。

12.如权利要求1的方法，其中所述镀敷增强层的厚度为50 Å至5000 Å。

13.如权利要求1的方法，其中所述镀敷增强层的厚度为200 Å至1500 Å。

14.一种制造半导体结构的方法，该方法包括以下步骤：

获得半导体晶片；

在半导体晶片上形成层间介电层；

在层间介电层上覆盖沉积导电的镀敷增强层；

图形化层间介电层和镀敷增强层，并去除一段镀敷增强层和至少一部分层间介电层，以便在层间介电层和镀敷增强层中形成图形；

将籽层覆盖沉积到镀敷增强层上和层间介电层和镀敷增强层中形成的图形中；和

在籽层上镀敷铜。

15.如权利要求14的方法，其中所述镀敷增强层是光学透明的。

16.如权利要求14的方法，其中所述镀敷增强层包括透明导电氧化物。

17.如权利要求16的方法，其中所述透明导电氧化物选自由氧化铟锡、氧化铟、氧化锡、锡酸镉、氧化锌和其组合构成的组。

18.如权利要求16的方法，其中所述透明导电氧化物选自由掺杂的氧化铟锡、掺杂的氧化铟、掺杂的氧化锡、掺杂的锡酸镉、掺杂的氧化锌和其组合构成的组。

19.如权利要求14的方法，其中所述镀敷增强层的厚度为50 Å至5000 Å。

20.如权利要求14的方法，其中所述镀敷增强层的厚度为200 Å至1500 Å。

制造半导体结构的方法

技术领域

本发明一般涉及一种新的半导体工艺，更具体地涉及一种其中使用镀敷增强层以利于铜镀敷的新的半导体工艺。

背景技术

半导体器件互连技术已经取得了很大进步，以满足增加的器件密度和电路性能的要求。为了满足不断增加的器件密度的要求，广泛使用一种用于互连半导体器件的双镶嵌方法。在双镶嵌方法的属性当中，在实质上对互连中使用的材料层数没有限制的情形下，该方法允许限定复杂的互连线和通路柱图形。镶嵌方法的该特征允许引入铜冶金术，该铜冶金术需要各种阻挡层和不同的金属沉积方法。为了通过降低寄生阻抗损失来满足改进的电路性能，很快就发现，需要一种低介电常数（即，低 k ）介电材料来补偿由铜冶金术提供的增加的导电性。因此，由双镶嵌方法限定的低 k 介电材料和铜冶金术互连是用于当今高性能半导体器件处理中的互连的选择。

已经发现了铜的电化学沉积提供其中沉积铜金属化层的最成本有效的方式。除了经济上可行之外，这种沉积技术提供了机械和电学方面适合于互连结构的基本共形的铜膜。然而，电化学沉积铜通常仅适合于将铜用于导电层。如此，在对工件进行电化学沉积工艺之前，通常将典型为铜的下部导电籽层应用到工件上。

典型地，通过物理气相沉积（PVD）工艺或者其变形如离子化 PVD（IPVD）工艺来沉积铜籽层，该沉积工艺导致迄今为止良好工作的非共形沉积。然而，随着临界尺寸逐渐变小，例如小于 45nm，籽层夹断（pinch off）镶嵌开口，从而导致不完全的覆盖以及孔隙。为了避免这个问题，可减薄铜籽层或使用替换的籽层如钎。这些改变中的任一种都导致金属叠层增加的电阻，因此需要改进镀敷装置用于横跨晶片的均匀镀敷，如果没有镀敷装置的改进，则对晶片中心的镀敷基本上比晶片边缘更薄。

需要一种新的技术以确保铜镶嵌互连结构的均匀镀敷。本发明设

想使用同时将用作蚀刻硬掩模的光学透明并导电的镀敷增强层如氧化锡或氧化铟。

已经提出了将导电氧化物用于不同应用。例如，French 等人的美国专利申请 6, 885, 425 公开了一种制造液晶显示器的方法。根据前述专利，形成氮化硅层，然后在氮化硅层上方沉积氧化铟锡层。之后，图形化氧化铟锡以形成开口，并且，在铜或者银之后，在氧化铟锡上并与氧化铟锡中的开口相邻地选择性沉积钯。也提出了其它相似的应用。由此，Koh 等人的美国专利 6, 787, 441 已经提出了将氧化铟或者氧化铟锡用于半导体或者液晶显示器的电极，Mason 的美国专利 5, 280, 381 已经提出了一种包括在支撑衬底上的氧化金属（例如氧化锡）的电致变色器件（electrochromic device），Ritchie 等人的美国专利 4, 977, 013 已经提出了一种包括在聚合衬底上的氧化锡或氧化铟锡的液晶显示器，Basol 等人已经提出了其中在透明导电层如氧化铟锡或氧化锡上有半导体层的光电器件。在此通过引用将前述专利的公开内容全部结合在本文中。

然而，前述参考文献中没有一个是涉及到铜镶嵌互连的均匀镀敷。

因此，本发明的目的是拥有一种新的方法以确保横跨晶片的铜镶嵌互连的均匀镀敷。

本发明的另一个目的是拥有一种在确保铜镶嵌互连结构的均匀镀敷中有效的镀敷增强层。

在结合附图参考以下对本发明的描述之后，本发明的这些和其他目的将变得更明显。

发明内容

本发明的目的已经通过提供制造半导体结构的方法实现，该方法包括以下步骤：

获得半导体晶片；

在半导体晶片上形成层间介电（ILD）层；

在 ILD 上形成导电的镀敷增强层（PEL）；

图形化 ILD 和 PEL，并去除一段 PEL 和至少一部分 ILD；

将籽层沉积到由 ILD 和 PEL 形成的图形中；和

在籽层上镀敷铜。

本发明的目的还通过提供另一制造半导体结构的方法实现，该方

法包括以下步骤:

获得半导体晶片;

在半导体晶片上形成层间介电层;

在层间介电层上覆盖沉积导电的镀敷增强层;

图形化层间介电层和镀敷增强层, 并去除一段镀敷增强层和至少一部分层间介电层, 以便在层间介电层和镀敷增强层中形成图形;

将籽层覆盖沉积到镀敷增强层上和在层间介电层和镀敷增强层中形成的图形中; 和

在籽层上镀敷铜。

附图说明

在附属的权利要求中, 具体地阐明相信具有新颖性的本发明的特征和本发明的要素特性。附图仅用于说明性的目的而不按比例画出。然而, 通过参考以下结合附图的详细描述, 可最佳理解涉及到结构和操作方法的本发明本身, 附图中:

图 1 是常规半导体结构的截面图。

图 2A 和 2B 是具有约 45nm 或更小的临界尺寸并作为较小临界尺寸的结果表现出孔隙的常规半导体结构的截面图。

图 3 是具有约 45nm 或更小的临界尺寸并具有共形钎籽层的常规半导体结构的截面图。

图 4 是在半导体晶片上的籽层电阻的示意性表示。

图 5 至 8 是根据本发明的方法以制造具有镀敷增强层的半导体结构的截面图。

图 9A 是在平坦化直至镀敷增强层的第一实施方式之后的图 8 中的半导体结构的截面图。

图 9B 是在平坦化直至介电层的第二实施方式之后的图 8 中的半导体结构的截面图。

具体实施方式

更详细地参考附图, 图 1 示出了常规半导体结构 10, 其包括半导体晶片 12 (为了清楚省略了半导体晶片 12 的细节), 该半导体晶片

12 具有多个所谓的后端线 (BEOL) 布线级, 其中的一个在图 1 中示出。布线级包括介电材料 14、衬垫或阻挡层 (或多层) 16、铜籽层 18 和电镀铜 20。

图 2A 和 2B 与图 1 相似, 除了半导体结构 10' 的临界尺寸为约 45nm 或更小。临界尺寸意思是对于给定技术节点印刷的最小尺寸。随着临界尺寸减小, 常规处理导致减小开口 22 的籽层 18, 穿过该开口 22 电镀铜, 从而导致在电镀铜 20 中的孔隙 24。在最差情况中, 籽层 18 能够符合并完全封闭开口 22, 从而导致在布线特征中没有电镀铜。

在改进图 2A 中示出的半导体结构 10' 中固有问题的努力中, 已经提出了沉积较薄铜籽层 (与约 300 - 500Å 的当前铜籽层厚度相比, 约为 50Å (埃) 厚) 的其它方法。然而, 最终期望减薄铜籽层以导致在铜籽层覆盖中尤其是在特征底部拐角处的断裂, 从而导致图 2B 中示出的孔隙 25。该较薄铜籽层也具有较高的电阻率。

如图 3 中所示, 也已经提出共形地沉积钌层 26 作为形成半导体结构 10'' 的一部分, 代替铜籽层。然而, 钌具有比铜高的电阻率。即, 当前的 PVD 沉积的铜籽晶具有大约 2.2μΩ-cm 的电阻率, 而 CVD 沉积的钌籽晶具有约 30μΩ-cm 的电阻率。现在参考图 4, 示出了在电镀铜之前的半导体结构 10' 或 10''。在镀敷接触 28 之间于 30 处示意性示出的较高电阻籽层 (即, 较薄铜层或钌层), 表现出晶片级均匀镀敷铜的困难。较高电阻导致横跨晶片的大电压降, 从而导致不均匀的镀敷厚度和 / 或差的镀敷铜结构, 这需要新的镀敷设备设计以及方法, 从而能够横跨晶片均匀镀敷。

因而, 较低电阻层在半导体衬底镀敷中较少地破裂。

现在参考图 5 至 8, 将描述根据本发明的方法。图 5 说明在半导体晶片 12 上形成 BEOL 布线级。应当理解, 将存在多个这种布线级, 且将在此描述的处理复制用于这些布线级中的每一个。在该工艺的第一步中, 直接在半导体晶片 12 上或者在之前的布线级 (未示出) 上沉积层间介电 (ILD) 层 14。ILD 层 14 是常规的, 但优选是低 k 介

电材料。在ILD层14上沉积镀敷增强层(PEL)32。

PEL 32 为导电的以增强籽层的导电性、并且部分或者全部是光学透明的以利于对之前级的图形识别的材料。最初在太阳能电池和平板显示器中应用的很好地研究了的材料种类,即透明导电氧化物(TCO)是用作 PEL 的优良候选材料。在以下表 I 中示出了一些候选 PEL 材料的电阻率(R.G.Gordon, "Criteria for Choosing Transparent Conductors", MRS Bulletin ,25,52(2000))。

表 I

材料	电阻率 ($\mu\Omega\text{-cm}$)
TiN	20
$\text{In}_2\text{O}_3\text{:Sn}$	100
Cd_2SnO_4	130
ZnO:Al	150
$\text{SnO}_2\text{:F}$	200
ZnO:F	400

尽管在表 I 中列出的 PEL 材料的电阻率与新的籽晶材料如钎的量级相同,但是, PEL 材料 32 能比钎等材料的厚度大很多倍(这是由于 PEL 32 事实上从不沉积于图形化的通路中以及镶嵌结构的沟槽中)的事实非常有助于降低电阻。层(多层)的电阻与镀敷有关且不是材料自身的电阻率。例如,希望后面节点的钎籽层为约 30 到 80 Å。不希望使得钎籽层变厚(以降低电阻),这是由于其会降低铜在镶嵌图形中的体积分数,并因此增加线电阻。另一方面,根据本发明的 PEL 32 厚达 5000Å,而不会导致任何大的问题。例如,使用表 I 中列出的电阻率,350 Å 厚的 $\text{In}_2\text{O}_3\text{:Sn}$ (掺杂锡的 In_2O_3) 的表面电阻小于 100 Å 钎层的表面电阻。

PEL 32 也满足 RIE 硬掩模的要求。由于 PEL 32 部分或全部光学透明,因此下部镶嵌结构的图形不会受到不利影响。

PEL 最优选是透明导电氧化物。使用这种 PEL 会降低横跨晶片的电阻（以及因此的电压降），并由此导致更好的晶片级镀敷剖面。可施加约 50 至 5000Å、优选为 200 至 1500Å 厚的 PEL，同时仍光学透明。由此，透明导电氧化物具有超越其它导电材料的明显优点，其它导电材料必须按薄得多的层的方式施加以便光学透明。优选的厚度取决于所使用的 PEL。该范围可覆盖表 I 中列出的 PEL 候选材料的宽范围电阻率的厚度要求。优选的透明导电氧化物的实例是氧化铟（ In_2O_3 ）、氧化锡（ SnO_2 ）、锡酸镉（ Cd_2SnO_4 ）、氧化锌（ ZnO ）和其掺杂变形。在文献中能发现很多掺杂剂的实例。例如，锑、氯和氟已经用在 SnO_2 体系中，锡用在 Zn_2O_3 体系中，并且铟、铝、镓、氟已经用在 ZnO 体系中。通过各种不同的工艺沉积 PEL 材料。在文献中使用的用于沉积 PEL 材料的一些工艺如下：通过喷射热解和通过溅射形成 $\text{In}_2\text{O}_3:\text{Sn}$ ，通过 CVD 形成 $\text{SnO}_2:\text{Sb}$ 和 $\text{SnO}_2:\text{F}$ ，通过溅射和通过脉冲激光沉积形成 Cd_2SnO_4 ，通过溅射和 CVD 形成掺杂 ZnO 、通过溅射形成 Zn_2SnO_4 和 ZnSnO_3 ，以及通过脉冲激光沉积形成 Cd_2SbO_4 。

然后掩蔽 PEL 32 和下部 ILD 层 14，并使用适当的化学试剂如甲烷-氢（ $\text{CH}_4\text{-H}_2$ ）或氯-氩（ $\text{Cl}_2\text{-Ar}$ ）对其进行反应离子蚀刻，以形成如图 6 中所示的特征 34。

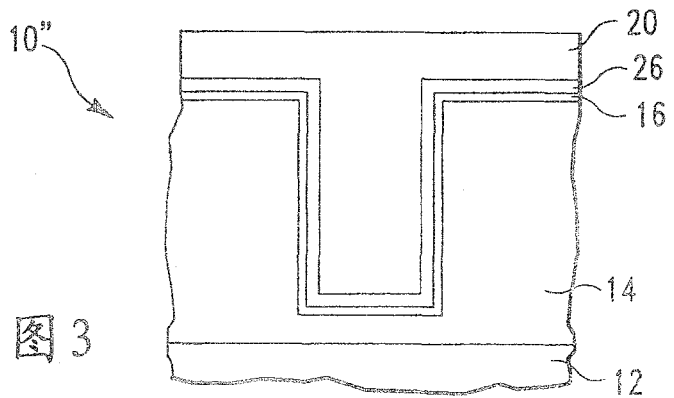
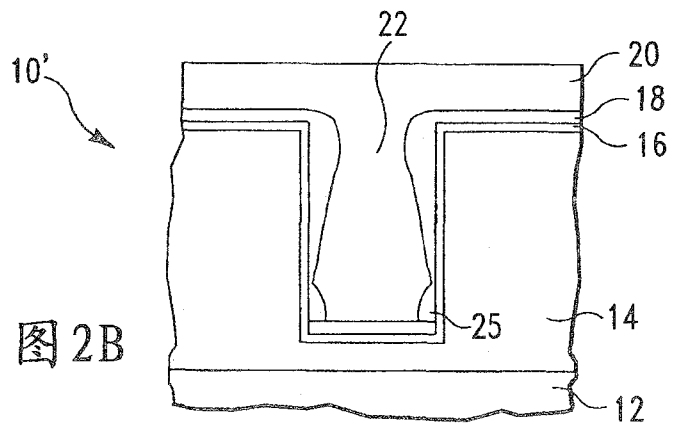
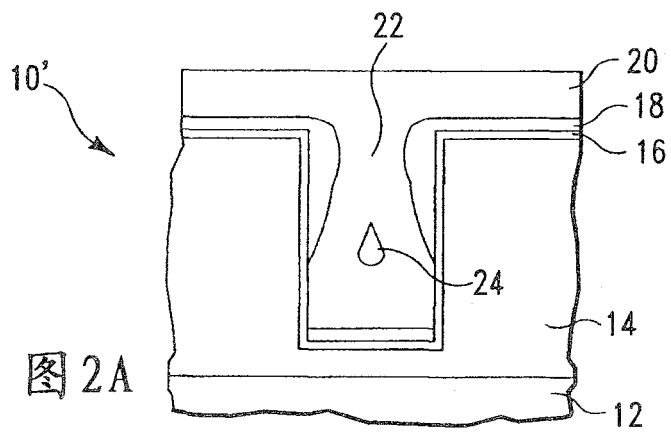
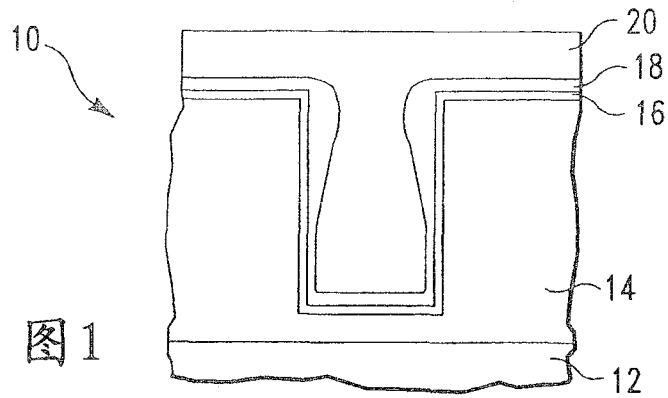
之后，共形地覆盖沉积（blanket depositing）衬垫层（或多层）16，如图 7 中所示。衬垫层可以是氮化钽、钽、钛、氮化钛、钨和其组合。在衬垫层 16 顶部包括用于镀敷的籽层 38。虽然籽层 38 优选是能够共形地沉积成薄层（低至约 50 Å）的诸如钌的材料，但是，具有大于约 45nm 的临界尺寸的半导体结构也可使用更薄的铜籽晶，只要铜籽晶能被沉积为连续层。

如图 8 中所示，在衬垫层 16 和铜籽层 38 上方以及特征 34 中电镀铜 36。

之后，平坦化半导体结构，直至图 9A 中示出的 PEL 32 或者直至图 9B 中示出的 ILD 层 14。该平坦化可通过任一种平坦化技术进行，

但是优选通过化学机械抛光来进行。

关注本公开内容的本领域技术人员明显可知，除了在此具体描述的那些实施方式之外，在不背离本发明的精神的情形下可作出对本发明的其它改进。因此，认为这种改进在仅仅由附属的权利要求限定的本发明的范围内。



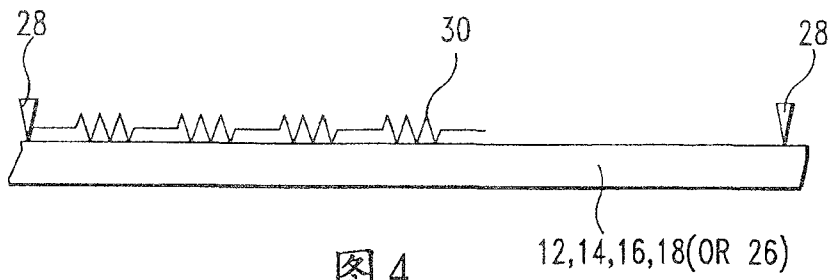


图 4

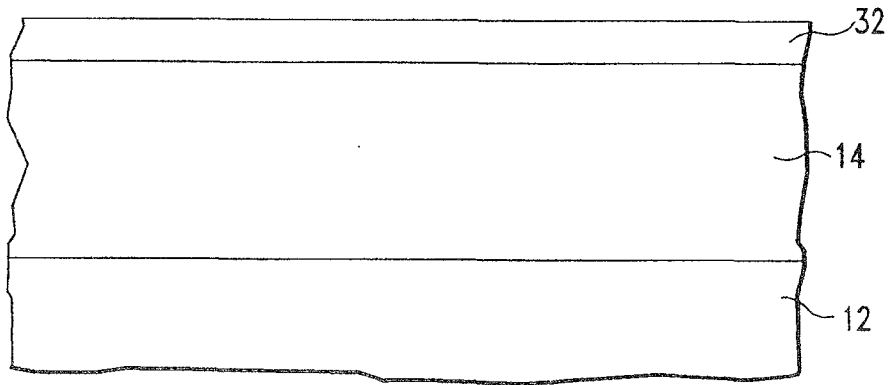


图 5

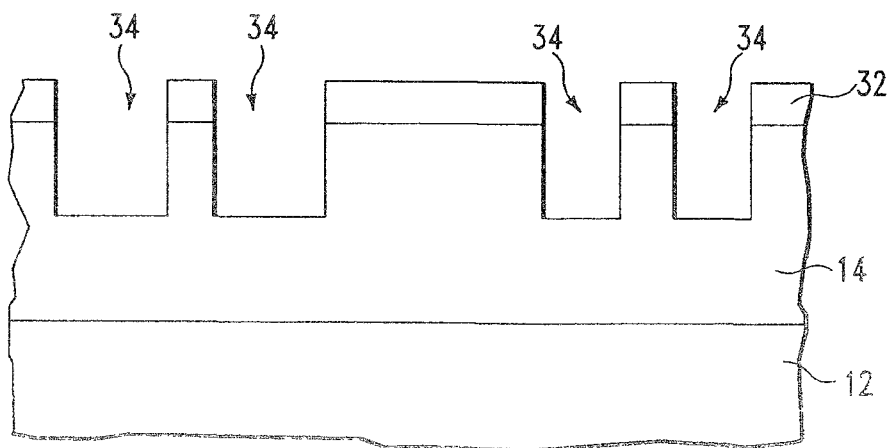


图 6

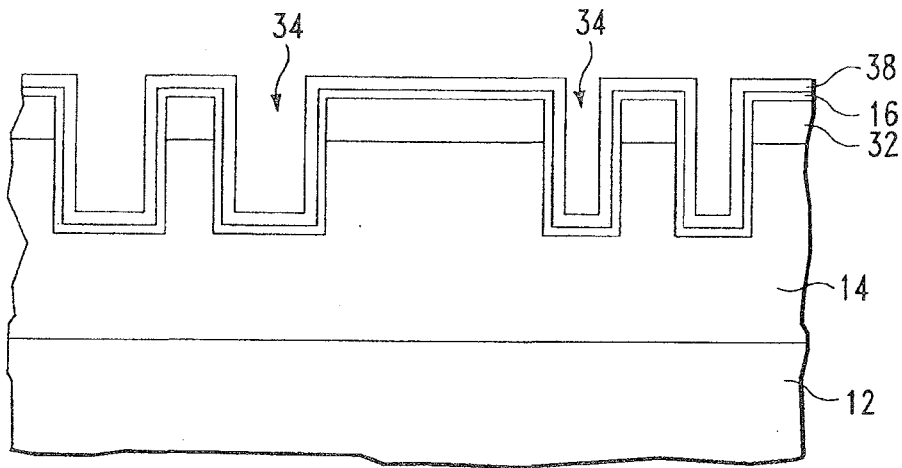


图7

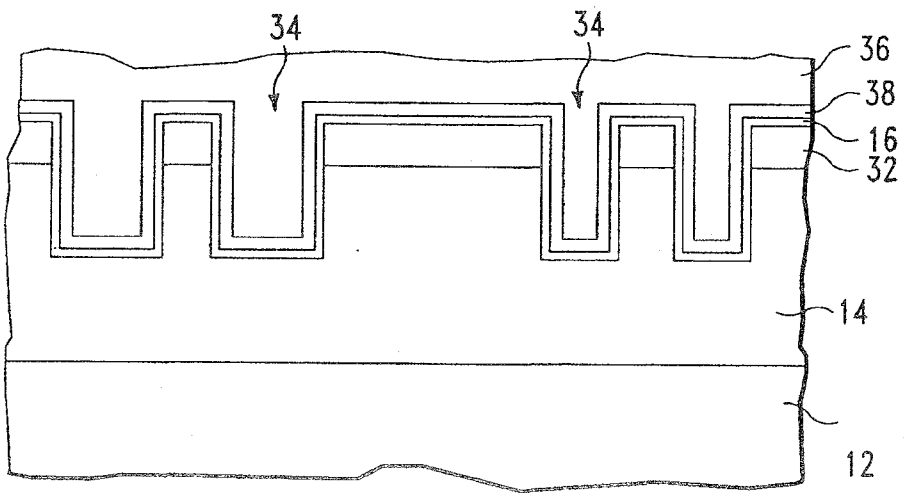


图8

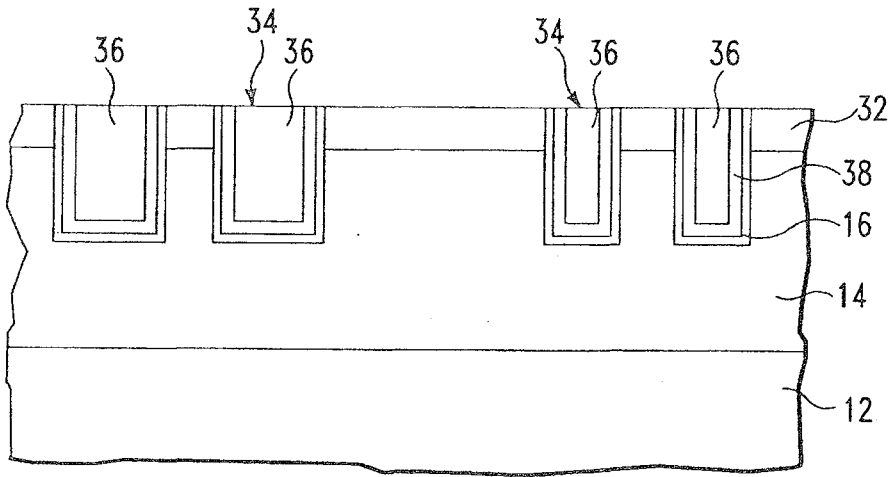


图9A

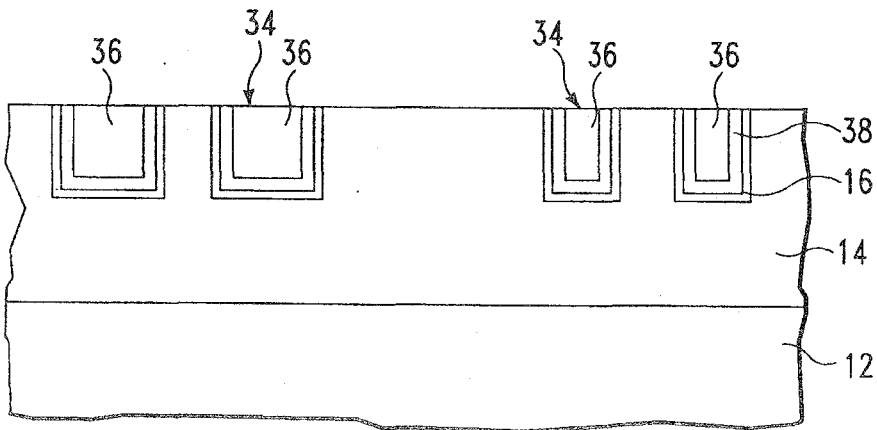


图9B