

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6867896号
(P6867896)

(45) 発行日 令和3年5月12日 (2021.5.12)

(24) 登録日 令和3年4月13日 (2021.4.13)

(51) Int. Cl.	F I
B 4 1 J 2/447 (2006.01)	B 4 1 J 2/447 1 O 1 D
H O 1 L 33/00 (2010.01)	H O 1 L 33/00 J
B 4 1 J 2/45 (2006.01)	B 4 1 J 2/45
G O 3 G 15/04 (2006.01)	B 4 1 J 2/447 1 O 1 J
H O 4 N 1/036 (2006.01)	B 4 1 J 2/447 1 O 1 E
請求項の数 9 (全 35 頁) 最終頁に続く	

(21) 出願番号	特願2017-123341 (P2017-123341)	(73) 特許権者	591044164
(22) 出願日	平成29年6月23日 (2017.6.23)		株式会社沖データ
(65) 公開番号	特開2019-5995 (P2019-5995A)		東京都港区芝浦四丁目11番22号
(43) 公開日	平成31年1月17日 (2019.1.17)	(74) 代理人	100174104
審査請求日	令和1年9月13日 (2019.9.13)		弁理士 奥田 康一
		(72) 発明者	南雲 章
			東京都港区芝浦四丁目11番22号 株式
			会社沖データ内
		審査官	大浜 登世子
		最終頁に続く	

(54) 【発明の名称】 伝達状態切替回路、プリントヘッド及び画像形成装置

(57) 【特許請求の範囲】

【請求項 1】

駆動の制御を受け付ける制御端子を有する複数の被駆動素子に対し、該被駆動素子の駆動を制御するための制御信号を、該制御端子を介して供給する制御信号供給部と、

前記制御信号供給部と前記被駆動素子の前記制御端子との間に接続され、前記制御信号を前記制御端子に伝達する伝達状態と、前記制御信号を前記制御端子に伝達しない非伝達状態とを切り替え、且つ前記非伝達状態において前記制御端子をハイインピーダンスの状態とする切替部と、

前記制御信号供給部と、複数の前記切替部とを電氣的に接続する共通接続線とを具え、

前記切替部は、前記伝達状態において、前記被駆動素子の前記制御端子から前記共通接続線を介して他の前記被駆動素子における前記制御端子に電流が回り込むことを制限することを特徴とする伝達状態切替回路。

【請求項 2】

前記切替部は、寄生ダイオードを有するPMOSトランジスタ又はNMOSトランジスタを有し、該PMOSトランジスタのゲート端子又は該NMOSトランジスタのゲート端子に、前記伝達状態又は前記非伝達状態に切り替えるための伝達状態切替信号が供給される

ことを特徴とする請求項1に記載の伝達状態切替回路。

【請求項 3】

前記被駆動素子を駆動させる素子駆動回路

をさらに具え、

前記伝達状態切替信号は、前記素子駆動回路による前記被駆動素子の駆動を許容するか否かを切り替える信号である

ことを特徴とする請求項 2 に記載の伝達状態切替回路。

【請求項 4】

前記切替部は、前記伝達状態において、前記被駆動素子の前記制御端子から前記共通接続線を介して他の前記被駆動素子における前記制御端子に電流が回り込む場合における積算された電位よりも、前記被駆動素子内を流れる電流における電位差の方が小さい

ことを特徴とする請求項 1 に記載の伝達状態切替回路。

10

【請求項 5】

前記切替部は、寄生ダイオードを有する PMOS トランジスタ又は NMOS トランジスタを有し、前記制御信号供給部及び前記制御端子がソース端子及びドレイン端子の何れかにそれぞれ接続される

ことを特徴とする請求項 4 に記載の伝達状態切替回路。

【請求項 6】

前記切替部は、前記寄生ダイオードにより生じる前記制御信号供給部側及び前記制御端子側の間における電位が、前記被駆動素子における前記制御端子のグランドに対する電位よりも高い

ことを特徴とする請求項 5 に記載の伝達状態切替回路。

20

【請求項 7】

前記被駆動素子は、発光サイリスタであり、

前記制御端子は、ゲート端子である

ことを特徴とする請求項 1 に記載の伝達状態切替回路。

【請求項 8】

請求項 1 ～ 7 の何れかに記載された複数の前記伝達状態切替回路と、

複数の前記伝達状態切替回路とそれぞれ接続された複数の前記被駆動素子と

を具えることを特徴とするプリントヘッド。

【請求項 9】

請求項 8 に記載されたプリントヘッドにより感光体を露光して静電潜像を生成し、現像剤により該静電潜像に基づいた画像を形成する画像形成部と、

前記画像を所定の媒体に定着させる定着部と

を具えることを特徴とする画像形成装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は伝達状態切替回路、プリントヘッド及び画像形成装置に関し、例えば電子写真式プリンタ（以下、これを単にプリンタとも呼ぶ）に適用して好適なものである。

【背景技術】

【0002】

40

従来のプリンタとしては、露光装置において、複数の LED（Light Emitting Diode）や発光サイリスタ等の発光素子が整列配置された光プリントヘッドから、光を選択的に照射して感光体ドラムの表面に静電潜像を形成し、この静電潜像にトナーを付着させてトナー像を現像することにより、画像の印刷を行うものが広く普及している。

【0003】

この露光装置では、例えば複数の発光素子（以下これを被駆動素子とも呼ぶ）が、複数の素子駆動部によりそれぞれ駆動されている。各素子駆動部は、それぞれに供給される共通の信号線により相互に接続されると共に、各発光素子を個別に駆動させるための信号が供給されており、この信号に従って点灯又は消灯する。各発光素子は、同一の設計によりそれぞれが製造されるものの、製造誤差や経時劣化等により、互いの特性値等が異なって

50

いる。

【0004】

露光装置では、同時に点灯される複数の発光素子が、点灯時に、共通の信号線により相互に接続された状態となる。そうすると露光装置では、特性値の差異等に応じて、発光素子同士の間で共通の信号線を介して電流が回り込む場合がある。このような場合、露光装置では、例えば互いに同等の光量で発光させるべき複数の発光素子において、それぞれの光量が相違し、その結果として静電潜像の品質が低下してしまうため、印刷される画像の画質が低下する恐れがある。

【0005】

そこで露光装置のなかには、例えば発光素子として発光サイリスタを採用し、各発光サイリスタのゲート端子を相互に接続して共通の信号線により点灯又は非点灯とするよう制御する構成とした上で、この共通の信号線を介した電流の回り込みを防止するための回り込み防止回路を設けたものが提案されている（例えば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-233590号公報（図21-3等）

【発明の概要】

【発明が解決しようとする課題】

【0007】

20

ところで、例えば一般のオフィスや家庭に設置されるプリンタでは、その使い方等により、上位のコンピュータ装置から印刷の指示を待ち受ける待機状態となる期間が十分に長いことがある。プリンタが待機状態である場合、露光装置では、発光サイリスタを駆動する素子駆動部等に通電した上で、該発光サイリスタを非点灯とした状態を維持することになる。

【0008】

しかしながら上述した露光装置では、発光素子の非点灯時に、回り込み防止回路から発光サイリスタのゲート端子に電圧が印加されたままの状態となる。一般に発光サイリスタは、P型半導体及びN型半導体が交互に接合された構成となっているが、その接合部分（いわゆるPN接合の部分）に逆電圧がかかり続けた場合、性能の劣化が生じ、具体的にはリーク電流が増加するといった特性の変化が生じる。

30

【0009】

このため露光装置では、発光サイリスタに対して一定の光量を得る目的で一定の大きさの電流を供給したとしても、リーク電流が増加すると、発光に用いられる電流が相対的に減少し、得られる発光量が減少してしまう。すなわち露光装置では、発光サイリスタの劣化に伴い、供給する電流の大きさに対して得られる発光量が減少し、その結果として感光体ドラムの表面に形成する静電潜像の画質を低下させ、印刷される画像の画質も低下させてしまう、という問題があった。

【0010】

本発明は以上の点を考慮してなされたもので、被駆動素子の品質を良好に維持し得る伝達状態切替回路、プリントヘッド及び画像形成装置を提案しようとするものである。

40

【課題を解決するための手段】

【0011】

かかる課題を解決するため本発明の伝達状態切替回路においては、駆動の制御を受け付ける制御端子を有する被駆動素子に対し、該被駆動素子の駆動を制御するための制御信号を、該制御端子を介して供給する制御信号供給部と、制御信号供給部と被駆動素子の制御端子との間に接続され、制御信号を制御端子に伝達する伝達状態と、制御信号を制御端子に伝達しない非伝達状態とを切り替え、且つ非伝達状態において制御端子をハイインピーダンスの状態とする切替部と、制御信号供給部と、複数の切替部とを電氣的に接続する共通接続線とを設け、切替部は、伝達状態において、被駆動素子の制御端子から共通接続線

50

を介して他の被駆動素子における制御端子に電流が回り込むことを制限するようにした。

【0012】

また本発明のプリントヘッドにおいては、上述した複数の伝達状態切替回路と、複数の伝達状態切替回路とそれぞれ接続された複数の被駆動素子とを設けるようにした。

【0013】

さらに本発明の画像形成装置では、上述したプリントヘッドにより感光体を露光して静電潜像を生成し、現像剤により該静電潜像に基づいた画像を形成する画像形成部と、画像を所定の媒体に定着させる定着部とを設けるようにした。

【0014】

本発明は、伝達状態において制御信号を被駆動素子の制御端子に伝達できる一方、非伝達状態において制御端子をハイインピーダンスの状態とすることにより、該制御端子に電圧が印加され続けることを回避できる。また本発明は、共通接続線によって複数の切替部を接続することにより統括的な制御を実現すると共に、該共通接続線によって電流が各被駆動素子の制御端子の間で回り込むことを該切替部により制限できる。これにより本発明は、被駆動素子の劣化を未然に防止することができる。

10

【発明の効果】

【0015】

本発明によれば、被駆動素子の品質を良好に維持し得る伝達状態切替回路、プリントヘッド及び画像形成装置を実現できる。

【図面の簡単な説明】

20

【0016】

【図1】画像形成装置の全体構成を示す略線図である。

【図2】画像形成ユニットの構成を示す略線図である。

【図3】画像形成装置のブロック構成を示す略線図である。

【図4】プリントヘッドの構成を示す略線図である。

【図5】プリント配線板、発光素子チップ及びドライバICの構成を示す略線的斜視図である。

【図6】第1の実施の形態によるプリントヘッドの回路構成を示す略線図である。

【図7】ドライバICの回路構成(1)を示す略線図である。

【図8】ドライバICの回路構成(2)を示す略線図である。

30

【図9】素子駆動回路、切替回路及び発光サイリスタの接続を示す略線図である。

【図10】第1の実施の形態による発光サイリスタの構成を示す略線図である。

【図11】第1の実施の形態による切替回路の構成を示す略線図である。

【図12】印刷処理開始時における各種信号波形を示す略線図である。

【図13】発光時における各種信号波形を示す略線図である。

【図14】発光サイリスタのターンオン動作を示す略線図である。

【図15】発光サイリスタ間における電流の回り込みの阻止を示す略線図である。

【図16】第2の実施の形態によるプリントヘッドの回路構成を示す略線図である。

【図17】第2の実施の形態による発光サイリスタの構成を示す略線図である。

【図18】第2の実施の形態による切替回路の構成を示す略線図である。

40

【発明を実施するための形態】

【0017】

以下、発明を実施するための形態(以下実施の形態とする)について、図面を用いて説明する。

【0018】

[1. 第1の実施の形態]

[1-1. 画像形成装置の構成]

図1に示すように、第1の実施の形態による画像形成装置1は、いわゆるMFP(Multi Function Peripheral)となっており、媒体としての用紙に画像を形成する(すなわち印刷する)プリンタ機能の他、画像を読み取るイメージスキャナとしての機能や通信機能

50

を有している。このため画像形成装置 1 は、これらの機能を組み合わせることにより、プリンタ、複写機（コピー機）及びファクシミリ装置等として動作することができる。この画像形成装置 1 は、プリンタとして機能する場合、例えば A 3 サイズや A 4 サイズ等の大きさをなす用紙 P に対し、所望のカラー画像を印刷できる。

【0019】

画像形成装置 1 は、略箱型に形成されたプリンタ筐体 2 の内部に種々の部品が配置されている。因みに以下では、図 1 における右端部分を画像形成装置 1 の正面とし、この正面と対峙して見た場合の上下方向、左右方向及び前後方向をそれぞれ定義した上で説明する。

【0020】

画像形成装置 1 は、制御部 3 により全体を統括制御するようになっている。この制御部 3 は、コンピュータ装置等の上位装置（図示せず）と無線又は有線により接続されている。制御部 3 は、この上位装置から印刷対象の画像を表す画像データが与えられると共に当該画像データの印刷が指示されると、用紙 P の表面に印刷画像を形成する印刷処理を実行する。

【0021】

プリンタ筐体 2 内の最下部には、用紙 P を収容する用紙収容カセット 4 が設けられている。用紙収容カセット 4 の前上方には、給紙部 5 が設けられている。給紙部 5 は、用紙収容カセット 4 の前上側に配置されたホッピングローラ 6、用紙 P を搬送路 U に沿って上方へ案内する搬送ガイド 7、搬送路 U を挟んで互いに対向するレジストローラ 8 及びピンチローラ 9 等により構成されている。

【0022】

給紙部 5 は、制御部 3 の制御に基づいて各ローラを適宜回転させることにより、用紙収容カセット 4 に集積された状態で収容されている用紙 P を 1 枚ずつ分離しながらピックアップし、搬送ガイド 7 により搬送路 U に沿って前上方へ進行させ、やがて後上方へ折り返してレジストローラ 8 及びピンチローラ 9 に当接させる。レジストローラ 8 は、回転が適宜抑制されており、ピンチローラ 9 との間で用紙 P に摩擦力を作用させることにより、進行方向に対して該用紙 P の側辺が傾斜する、いわゆる斜行を修正し、先頭及び末尾の端辺を左右に沿わせた状態としてから、後方へ送り出す。

【0023】

レジストローラ 8 及びピンチローラ 9 の後側には、搬送路 U がほぼ前後方向に沿って形成されており、その下側に中搬送部 10 が配置されている。中搬送部 10 は、前側に配置された前ローラ 11 と、後側に配置された後ローラ 12 と、下側に配置された下ローラ 13 との周囲に無端ベルトでなる搬送ベルト 14 が張架された構成となっている。また前ローラ 11 の上側には、搬送ベルト 14 を挟んで対向する位置に吸着ローラ 15 が設けられている。

【0024】

この中搬送部 10 は、所定のベルト駆動モータ（図示せず）から後ローラ 12 に対し駆動力が伝達されると、この後ローラ 12 を矢印 R 2 方向へ回転させることにより、搬送ベルト 14 を走行させる。これにより搬送ベルト 14 は、搬送路 U に沿った上側部分、すなわち前ローラ 11 及び後ローラ 12 の間に張架された部分を、後方向へ走行させる。このとき中搬送部 10 は、給紙部 5 から用紙 P が引き渡されると、これを吸着ローラ 15 及び前ローラ 11 の間に搬送ベルト 14 と共に挟持し、該搬送ベルト 14 上側に用紙 P を載置した状態で、該搬送ベルト 14 の走行に伴って該用紙 P を後方へ進行させる。

【0025】

中搬送部 10 の上側であり、搬送路 U を挟んで該中搬送部 10 の反対側には、4 個の画像形成ユニット 16 C、16 M、16 Y 及び 16 K が後側から前側へ向かって順に配置されている。画像形成ユニット 16 C、16 M、16 Y 及び 16 K（以下これらをまとめて画像形成ユニット 16 とも呼ぶ）は、シアン（C）、マゼンタ（M）、イエロー（Y）及びブラック（K）の各色にそれぞれ対応しているものの、色のみが相違しており、何れも

10

20

30

40

50

同様に構成されている。

【0026】

画像形成ユニット16は、図2に模式的な側面図を示すように、画像形成部31、トナーカートリッジ32、プリントヘッド33により構成されており、その下側に配置された転写ローラ17との間に搬送ベルト14を挟んでいる。因みに画像形成ユニット16及びこれを構成する各部品は、用紙Pにおける左右方向の長さに応じて、左右方向に十分な長さを有している。このため多くの部品は、前後方向や上下方向の長さに対して左右方向の長さが比較的長くなっており、左右方向に沿って細長い形状に形成されている。

【0027】

トナーカートリッジ32は、現像剤としてのトナーを収容しており、画像形成部31の上側に配置され、当該画像形成部31の上方に取り付けられている。このトナーカートリッジ32は、収容しているトナーを画像形成部31のトナー収容部34へ供給する。画像形成部31には、トナー収容部34の他、供給ローラ35、現像ローラ36、規制ブレード37、感光体ドラム38及び帯電ローラ39が組み込まれている。

【0028】

供給ローラ35は、中心軸を左右方向に沿わせた円柱状に形成されており、その周側面に導電性ウレタンゴム発泡体等なる弾性層が形成されている。現像ローラ36は、中心軸を左右方向に沿わせた円柱状に形成されており、その周側面に弾性を有する弾性層や導電性を有する表面層等が形成されている。規制ブレード37は、例えば所定厚さのステンレス鋼板であり、僅かに弾性変形させた状態で、その一部を現像ローラ36の周側面に当接させている。感光体ドラム38は、中心軸を左右方向に沿わせた円柱状に形成されており、その周側面に薄膜状の電荷発生層及び電荷輸送層が順次形成され、帯電し得るようになっている。帯電ローラ39は、中心軸を左右方向に沿わせた円柱状に形成され、その周側面に導電性の弾性体が被覆されており、この周側面を感光体ドラム38の周側面に当接させている。

【0029】

また画像形成部31の前下側であって、感光体ドラム38及び搬送ベルト14の当接箇所よりも上流側となる位置には、除電光源20が設けられている。この除電光源20は、感光体ドラム38に所定の光を照射することにより、帯電している静電気を除去するようになっている。

【0030】

この画像形成部31は、図示しないモータから駆動力が供給されることにより、供給ローラ35、現像ローラ36及び帯電ローラ39を矢印R2方向（図中の反時計回り）へ回転させると共に、感光体ドラム38を矢印R1方向（図中の時計回り）へ回転させる。さらに画像形成部31は、供給ローラ35、現像ローラ36、規制ブレード37及び帯電ローラ39にそれぞれ所定のバイアス電圧を印加することにより、それぞれ帯電させる。

【0031】

供給ローラ35は、帯電によりトナー収容部34内のトナーを周側面に付着させ、回転によりこのトナーを現像ローラ36の周側面に付着させる。現像ローラ36は、規制ブレード37によって周側面から余分なトナーが除去された後、この周側面を感光体ドラム38の周側面に当接させる。このとき現像ローラ36の周側面に付着しているトナーは、マイナス電位に帯電している。

【0032】

一方、帯電ローラ39は、帯電した状態で感光体ドラム38と当接することにより、当該感光体ドラム38の周側面を一様にマイナスに帯電させる。プリントヘッド33には、多数のLED（Light Emitting Diode）でなる発光素子が、主走査方向である左右方向に沿って直線状に配置されている。このプリントヘッド33は、制御部3（図1）から供給される画像データ信号に基づいた発光パターンで発光することにより（詳しくは後述する）、感光体ドラム38を露光し、光を照射した箇所のみ電位を上昇させる。これにより感光体ドラム38は、その上端近傍において周側面に静電潜像が形成される。

【0033】

続いて感光体ドラム38は、矢印R1方向へ回転することにより、この静電潜像を形成した箇所を現像ローラ36と当接させる。これにより感光体ドラム38の周側面には、静電潜像に基づいてトナーが付着し、画像データに基づいたトナー画像が現像される。

【0034】

転写ローラ17は、感光体ドラム38の真下に位置しており、その周側面における上端近傍と該感光体ドラム38の下端近傍との間に、搬送ベルト14の上側部分を挟んでいる。この転写ローラ17は、所定のバイアス電圧が印加されると共に、図示しないモータから駆動力が供給されて矢印R2方向へ回転する。これにより画像形成ユニット16は、搬送路Uに沿って用紙Pが搬送されていた場合、感光体ドラム38の周側面に現像されたトナー画像をこの用紙Pに転写することができる。

10

【0035】

このようにして各画像形成ユニット16は、搬送路Uに沿って前方から搬送されて来る用紙Pに対し、それぞれの色によるトナー画像を順次転写して重ねながら、後方へ進行させていく。

【0036】

中搬送部10の後端近傍には、定着部21が設けられている。定着部21は、搬送路Uを挟んで対向するように配置された加熱ローラ21A及び加圧ローラ21Bにより構成されている。加熱ローラ21Aは、中心軸を左右方向に向けた円筒状に形成されており、内部にヒータが設けられている。加圧ローラ21Bは、加熱ローラ21Aと同様の円筒状に形成されており、上側の表面を加熱ローラ21Aにおける下側の表面に所定の押圧力で押し付けている。

20

【0037】

この定着部21は、制御部3の制御に基づき、加熱ローラ21Aを加熱すると共に当該加熱ローラ21A及び加圧ローラ21Bをそれぞれ所定方向へ回転させる。これにより定着部21は、中搬送部10から受け取った用紙P、すなわち4色のトナー画像が重ねて転写された用紙Pに対して熱及び圧力を加えてトナーを定着させ、さらに後方へ引き渡す。

【0038】

定着部21の後方には、排紙部22が配置されている。排紙部22は、給紙部5と同様、用紙Pを案内するガイドや複数の搬送ローラ等の組み合わせにより構成されている。この排紙部22は、制御部3の制御に従って各搬送ローラを適宜回転させることにより、定着部21から引き渡される用紙Pを後上方へ搬送してから前方へ向けて折り返し、プリンタ筐体2の上面に形成された排出トレイ2Tへ排出する。

30

【0039】

さらにプリンタ筐体2内における搬送路Uに沿った複数の箇所には、用紙Pを検出するための用紙センサ25、26、27及び28が適宜設けられている。この用紙センサ25等は、搬送路U内における用紙Pの有無をそれぞれ検出し、得られた検出結果を制御部3へ通知する。これに応じて制御部3は、各搬送ローラの回転や中搬送部10における搬送ベルト14の走行等を適宜制御する。

【0040】

次に、画像形成装置1のブロック構成について、図3を参照しながら説明する。制御部3は、コンピュータ装置等の上位装置（図示せず）から制御信号S1を受信し、この制御信号S1に含まれる印刷指示に基づいて印刷動作を開始する。

40

【0041】

具体的に制御部3は、まず定着部21（図1）の内部に設けられている定着器温度センサ21C（図3）により、定着部21が所定の温度範囲内であるか否かを判定する。このとき制御部3は、定着部21の温度がこの温度範囲未満であれば、加熱ローラ21A（図1）に通電して加熱させ、該定着部21の温度をこの温度範囲に合わせる。

【0042】

また制御部3は、ドライバ43を介して現像・転写プロセス用モータ44を回転させる

50

と共に帯電用高圧電源 4 1 を動作させ、これにより画像形成ユニット 1 6 (図 2) における帯電ローラ 3 9 等の各ローラを回転させると共に帯電させる。

【0043】

さらに制御部 3 は、ドライバ 4 5 を介して用紙送りモータ 4 6 を回転させることにより、給紙部 5 (図 1) のホッピングローラ 6 等を回転させ、これにより用紙収容カセット 4 内から用紙 P を 1 枚ずつに分離しながら送り出し、搬送路 U に沿って搬送させる。また制御部 3 は、用紙センサ 2 5 ~ 2 8 等から得られる検出結果を基に、用紙 P の位置や搬送の状態等を認識し、搬送速度の調整等を行う。

【0044】

一方、画像処理部 4 8 は、上位装置から供給される画像データに対して所定の画像処理を施すことにより、1 ページ毎の画像形成用データを生成する。制御部 3 は、用紙センサ 2 6 による検出結果等を基に、用紙 P が印刷可能な位置、例えば画像形成装置 1 6 K (図 1) の直前に到達した時点において、画像処理部 4 8 に対しタイミング信号 S 3 を送信する。このタイミング信号 S 3 には、主走査同期信号及び副走査同期信号等が含まれている。

【0045】

これに依りて画像処理部 4 8 は、生成した画像形成用データを 1 ライン分ずつに分離したビデオ信号 S 2 を生成して制御部 3 へ送信する。制御部 3 は、このビデオ信号 S 2 を基に印刷データ信号 H D - D A T A 3、H D - D A T A 2、H D - D A T A 1 及び H D - D A T A 0 (以下まとめて H D - D A T A と呼ぶ) を生成し、これらをクロック信号 H D - C L K と共に画像形成ユニット 1 6 (図 2) のプリントヘッド 3 3 へ送信する。すなわち制御部 3 は、4 種類の印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 により、クロック信号 H D - C L K に基づいた時間間隔ごとに、4 画素分の印刷データを並列してプリントヘッド 3 3 へ送信する。

【0046】

また制御部 3 は、プリントヘッド 3 3 へ印刷データ信号 H D - D A T A を送信した後、ラッチ信号 H D - L O A D を送信することにより、該印刷データ信号 H D - D A T A をプリントヘッド 3 3 内に保持させる。さらに制御部 3 は、発光素子を実際に発光させるべきタイミングを表すストロブ信号 H D - S T B - N をプリントヘッド 3 3 へ供給する。

【0047】

因みにストロブ信号 H D - S T B - N は、負論理となっており、ローレベルとなっている期間にプリントヘッド 3 3 の発光素子を発光させることになる。また本実施の形態では、各信号を表す符号の末尾が「-N」である場合、当該信号が負論理であることを意味し、各信号を表す符号の末尾が「-P」である場合、当該信号が正論理であることを意味する。

【0048】

かくしてプリントヘッド 3 3 は、画像データに基づいた発光パターンで各発光素子を発光させることにより、感光体ドラム 3 8 の周側面に静電潜像を 1 ラインずつ形成していくことができる。

【0049】

[1-2. プリントヘッドの構成]

次に、プリントヘッド 3 3 の構成について、図 4 を参照しながら説明する。図 4 は、プリントヘッド 3 3 の模式的な断面図を表している。また図 4 は、説明の都合上、図 2 におけるプリントヘッド 3 3 を紙面上で半回転させた状態、すなわち上下方向及び前後方向を何れも反対に向けた状態で表している。以下では、図 4 における上方向を照射方向とも呼び、下方向を反照射方向とも呼ぶ。

【0050】

光プリントヘッドとしてのプリントヘッド 3 3 は、ベース部材 5 1 を中心に構成されている。ベース部材 5 1 は、左右方向の長さに対して前後方向の長さが短く、上下方向の長さがさらに短い、全体として扁平な直方体状ないし板状に形成されており、十分な強度を

10

20

30

40

50

有している。ベース部材 5 1 の照射方向側（すなわち下側）には、プリント配線板 5 2 が設けられている。プリント配線板 5 2 は、ベース部材 5 1 と比較して、左右方向及び前後方向の長さが概ね同等であり、上下方向の長さがやや短く、すなわち薄くなっている。このプリント配線板 5 2 は、例えばガラスエポキシ樹脂であり、上下それぞれの表面に所定の回路パターンが形成されている。

【0051】

プリント配線板 5 2 の照射方向側には、図 5 に斜視図を示すように、例えば 2 6 個のように多数の発光素子チップ 5 3 が、左右方向（以下これを主走査方向とも呼ぶ）に沿って 1 列に整列された状態で、いわゆるダイボンディング技術により取り付けられている。各発光素子チップ 5 3 には、例えば 1 9 2 個のように多数の発光素子（例えば L E D）が左右方向に沿って整列した状態で形成されている。

10

【0052】

またプリント配線板 5 2 の照射方向側には、各発光素子チップ 5 3 の後側に、例えば 2 6 個のように多数のドライバ I C（Integrated Circuit）5 4 が、やはり左右方向に沿って 1 列に整列された状態で取り付けられている。駆動回路としての各ドライバ I C 5 4 には、発光素子チップ 5 3 に設けられた 1 9 2 個の発光素子をそれぞれ駆動する 1 9 2 個の素子駆動部等が設けられている。説明の都合上、以下では 2 6 個のドライバ I C 5 4（すなわち駆動回路）をまとめて駆動回路群とも呼び、また発光素子を被駆動素子とも呼ぶ。

【0053】

このようにプリント配線板 5 2 には、2 6 個の発光素子チップ 5 3 が設けられ、各発光素子チップ 5 3 に 1 9 2 個の発光素子が設けられているため、合計 4 9 9 2 個の発光素子が設けられていることになる。またプリントヘッド 3 3（図 2 及び図 4）は、例えば左右方向の長さが A 4 サイズにおける短辺の長さ（2 1 0 [mm]）とほぼ同等となっており、この長さの範囲に 4 9 9 2 個の発光素子が等間隔に配置されている。これによりプリントヘッド 3 3 は、感光体ドラム 3 8（図 2）の周側面上に 6 0 0 [dpi] の解像度でなる静電潜像を生成することができる。

20

【0054】

因みに各発光素子チップ 5 3 及び各ドライバ I C 5 4 は、それぞれプリント配線板 5 2 上に形成された回路パターンとの間で、複数本のボンディングワイヤ（図示せず）により電氣的に接続されている。

30

【0055】

またプリントヘッド 3 3（図 4）は、上述したベース部材 5 1 及びプリント配線板 5 2 が、ホルダ 5 6 に取り付けられている。ホルダ 5 6 は、全体として、左右方向に沿って形成された中空の四角柱から反照射方向側の側面を取り除いたような形状となっており、その断面が英大文字の「U」を上下に反転させて反照射方向側を開放させたような形状となっている。

【0056】

ホルダ 5 6 における照射方向側の内側面には、プリント配線板 5 2 を支持する支持部 5 6 A が形成されている。プリントヘッド 3 3 は、その製造時に、ホルダ 5 6 内にプリント配線板 5 2 及びベース部材 5 1 が重ねられた状態で挿入され、さらにクランプ部材 5 7 及び 5 8 が取り付けられる。クランプ部材 5 7 及び 5 8 は、何れも金属製であり、弾性力の作用により、ベース部材 5 1 を介してプリント配線板 5 2 の照射方向面をホルダ 5 6 の支持部 5 6 A に当接させた状態で固定する。この結果、プリント配線板 5 2 に取り付けられた発光素子チップ 5 3 の発光素子と、ホルダ 5 6 との位置関係が定められる。

40

【0057】

またホルダ 5 6 における照射方向側部分の中央付近には、左右方向に沿った細長い長孔であり上下方向に貫通する取付孔 5 6 H が形成され、この取付孔 5 6 H にロッドレンズアレイ 5 9 が取り付けられる。ロッドレンズアレイ 5 9 は、光軸を上下方向に沿わせた微小なレンズが左右方向に沿って複数並べられた構成となっており、各レンズの焦点を発光素子チップ 5 3 の各発光素子に合わせるよう、その取付位置が調整された状態で固定されて

50

いる。

【0058】

次に、プリントヘッド33の回路構成について、図6を参照しながら説明する。プリントヘッド33では、複数のドライバIC54が、互いにカスケード接続されている。すなわちプリントヘッド33では、最上段のドライバIC54から最下段のドライバIC54まで、直列に接続されている。またプリントヘッド33では、1個のドライバIC54に対して1個の発光素子チップ53が接続されている。

【0059】

因みに図6では、プリントヘッド33の一部として、最上段側から2個のドライバIC54と、それぞれに対応する2個の発光素子チップ53のみを表しており、他のドライバIC54及び発光素子チップ53を省略している。

10

【0060】

各ドライバIC54は、制御部3（図1及び図3）からラッチ信号HD-LOAD、クロック信号HD-CLK、ストローブ信号HD-STB-N及び主走査同期信号HD-HSYNCH-Nがそれぞれ供給され、ラッチ端子LOAD、クロック端子CLK、ストローブ端子STB及び主走査同期端子HSYNCHにそれぞれ入力される。また各ドライバIC54は、電源電圧（VDD）及び所定の基準電圧（VREF）がそれぞれ供給されると共に、グランド端子GNDがそれぞれグランド（GND）に接続されている。

【0061】

さらに各ドライバIC54は、印刷データ信号が入力される4個のデータ入力端子DATAI（DATAI3、DATAI2、DATAI1及びDATAI0）と、印刷データ信号を出力する4個のデータ出力端子DATAO（DATAO3、DATAO2、DATAO1及びDATAO0）とを有している。またカスケード接続された2個のドライバIC54の間では、上段側のドライバIC54における4個のデータ出力端子DATAOが、下段側のドライバIC54における4個のデータ入力端子DATAIとそれぞれ接続されている。

20

【0062】

最上段のドライバIC54は、制御部3（図1及び図3）から4種類の印刷データ信号HD-DATA（HD-DATA3～HD-DATA0）が4個のデータ入力端子DATAI（DATAI3～DATAI0）にそれぞれ入力される。また最上段のドライバIC54は、4個のデータ出力端子DATAO（DATAO3～DATAO0）から4種類のデータ信号をそれぞれ出力し、次段のドライバIC54へ供給する。すなわち2段目以降のドライバIC54は、上段側のドライバIC54から各印刷データ信号を取得すると共に、下段側のドライバIC54へ各印刷データ信号を供給するようになっている。

30

【0063】

また各ドライバIC54は、96個の出力端子DO（DO1～DO96）が設けられており、発光素子チップ53に設けられた各発光サイリスタLHとそれぞれ接続されている。これに加えて各ドライバIC54は、各出力端子DOと対応する2個1組のゲート駆動端子G1及びG2が96組設けられている。

【0064】

40

発光素子チップ53には、192個の発光サイリスタLH1、LH2、…、LH192（以下これらをまとめて発光サイリスタLHと呼ぶ）が主走査方向に沿って配置されている。この発光サイリスタLHは、例えば発光サイリスタLH1及びLH2のように、互いに隣接する奇数番目（Odd）及び偶数番目（Even）の2個を1組として構成されている。

【0065】

この2個1組を構成する発光サイリスタLHは、両者のカソード端子がグランドに接続される一方、両者のアノード端子が何れもドライバIC54の出力端子DOに接続されている。また奇数番目の各発光サイリスタLHにおけるゲート端子は、上述したゲート駆動端子G1に接続され、偶数番目の各発光サイリスタLHにおけるゲート端子は、上述した

50

ゲート駆動端子G 2に接続される。

【0066】

このようにプリントヘッド33は、互いにカスケード接続された各ドライバIC54の間で印刷データ信号を上段側から下段側へ順次受け渡すことにより、この印刷データ信号を全てのドライバIC54に順次供給した上で、各発光素子チップ53の各発光サイリスタLHをそれぞれ駆動する（すなわち光を発射させる）ようになっている。

【0067】

例えばプリントヘッド33では、ゲート駆動端子G 1により奇数番目の発光サイリスタLHを動作させる「オン状態」とし、且つゲート駆動端子G 2により偶数番目の発光サイリスタLHを動作させない「オフ状態」とすることにより、出力端子DOに基づき奇数番目の発光サイリスタLHのみを発光させることができる。

10

【0068】

またプリントヘッド33では、ゲート駆動端子G 1により奇数番目の発光サイリスタLHを「オフ状態」とし、且つゲート駆動端子G 2により偶数番目の発光サイリスタLHを「オン状態」とすることにより、出力端子DOに基づき偶数番目の発光サイリスタLHのみを発光させることができる。

【0069】

このようにプリントヘッド33では、ゲート駆動端子G 1及びG 2により、奇数番目の発光サイリスタLH及び偶数番目の発光サイリスタLHを交互に切り替えながら、それぞれを発光させるようになっている。

20

【0070】

[1-3. ドライバICの回路構成]

次に、ドライバIC54の回路構成について、図7及び図8を参照しながら説明する。ストローブ端子STBは、図示しない電源電圧VDDとの間にプルアップ抵抗61が接続されると共に、インバータ回路62の入力端子に接続されている。

【0071】

インバータ回路62は、ストローブ信号HD-STB-Nがストローブ端子STBに供給されると、これを論理反転してSTB-P信号とし、NAND回路64の入力端子、第1制御回路65（図中に「CTRL1」と表記）及び第2制御回路66（図中に「CTRL2」と表記）にそれぞれ供給する。

30

【0072】

ラッチ端子LOADは、ラッチ信号HD-LOAD（以下これをLOAD-P信号とも呼ぶ）が供給されると、これを96個のラッチ回路LT（LTD1～LTD24、LTC1～LTC24、LTB1～LTB24及びLTA1～LTA24）、インバータ回路63の入力端子、第1制御回路65及び第2制御回路66にそれぞれ供給する。インバータ回路63は、LOAD-P信号を論理反転してNAND回路64の入力端子に供給する。NAND回路64は、STB-P信号と、LOAD-P信号を論理反転したものとの否定論理積（NAND）を演算することにより、素子駆動制御信号DRVON-Nを生成する。この素子駆動制御信号DRVON-Nは、主に素子駆動回路70に対して各発光サイリスタLHの駆動を許容するか否かを表す信号となっている。

40

【0073】

一方、ドライバIC54は、クロック端子CLKから供給されるクロック信号HD-CLK（図6）を適宜整形及び増幅させた上で、合計100個のフリップフロップ回路FF（FFA1～FFD25）におけるクロック端子へそれぞれ供給する。

【0074】

フリップフロップ回路FFD1には、データ入力端子DATAI3から印刷データ信号HD-DATA3が入力端子（図中に英文字「D」として表示）に供給される。フリップフロップ回路FFD1は、クロック信号HD-CLKに合わせたタイミングで、出力端子（図中に英文字「Q」として表示）から印刷データ信号HD-DATA3をラッチ回路LTD1及び第2記憶回路67（図中に「MEM2」と表記）へ供給すると共に、後段のフ

50

リップフロップ回路 F F D 2（図示せず）へ供給する。

【0075】

ドライバ I C 5 4では、25個のリップフロップ回路 F F D 1～F F D 25がカスケード接続されており、このうち24段目までのリップフロップ回路 F F D 1～F F D 24には、ラッチ回路 L T D 1～L T D 24及び第2記憶回路67がそれぞれ接続されている。

【0076】

各リップフロップ回路 F Fは、クロック信号 H D－C L Kに合わせた周期で、印刷データ信号 H D－D A T A 3を次段のリップフロップ回路 F Fへ順次供給する。これを換言すれば、各リップフロップ回路 F Fは、クロック信号 H D－C L Kと同期して、印刷データ信号 H D－D A T A 3を次段のリップフロップ回路 F Fへ順次シフトさせる、25段のシフトレジスタを形成している。説明の都合上、以下ではこれをシフトレジスタ S Rとも呼ぶ。

【0077】

最下段（すなわち25段目）のリップフロップ回路 F F D 25は、印刷データ信号 H D－D A T A 3を第1記憶回路73（図中に「M E M」と表記）及びセクタ回路75（図中に「S E L」と表記）の入力端子 B 3へ供給する。またその上段（すなわち24段目）のリップフロップ回路 F F D 24は、印刷データ信号 H D－D A T A 3をセクタ回路75の入力端子 A 3へ供給する。

【0078】

セクタ回路75は、後述する信号 E 2に従い、入力端子 A 3又は入力端子 B 3の何れかを出力端子 Y 3に、すなわちデータ出力端子 D A T A O 3に接続するよう切り替える。これによりセクタ回路75は、リップフロップ回路 F F D 24の印刷データ信号 H D－D A T A 3又はリップフロップ回路 F F D 25の印刷データ信号 H D－D A T A 3の何れかをデータ出力端子 D A T A O 3に供給することができる。すなわちドライバ I C 54は、セクタ回路75によりシフト段数を24段又は25段に切り替えることができる。

【0079】

またドライバ I C 54には、リップフロップ回路 F F D 1～F F D 25と同様に構成されたリップフロップ回路 F F C 1～F F C 25、F F B 1～F F B 25及び F F A 1～F F A 25とが設けられている。さらに24段目までのリップフロップ回路 F F C 1～F F C 24、F F B 1～F F B 24及び F F A 1～F F A 24には、ラッチ回路 L T C 1～L T C 24、L T B 1～L T B 24及び L T A 1～L T A 24並びに第2記憶回路67がそれぞれ接続されている。

【0080】

リップフロップ回路 F F C 1～F F C 25、F F B 1～F F B 25及び F F A 1～F F A 25は、リップフロップ回路 F F D 1～F F D 25と同様に、それぞれ25段のシフトレジスタとなっており、印刷データ信号 H D－D A T A 2、H D－D A T A 1及び H D－D A T A 0をそれぞれシフトさせる。

【0081】

各第2記憶回路67には、各マルチプレクサ回路68（図中に「M U X 2」と表記）がそれぞれ接続され、各マルチプレクサ回路68に各素子駆動回路70（図中に「D R V」と表記）がそれぞれ接続されている。各第2記憶回路67には、各発光サイリスタ L Hにおける光量のバラツキを補正するための4ビットの補正データ等がそれぞれ格納される。

【0082】

96段目のリップフロップ回路 F F A 24と接続された96段目の第2記憶回路67は、第1記憶回路73と接続されている。第1記憶回路73は、発光素子チップ53ごとの光量補正データ、或いはドライバ I C 54ごとの固有データ等が格納される。

【0083】

最上段のリップフロップ回路 F F D 1と接続された最上段の第2記憶回路67は、上

10

20

30

40

50

述した第1制御回路65と接続されている。第1制御回路65、96段の第2記憶回路67及び第1記憶回路73は、6本の信号線によりカスケード接続されており、6種類の書込指令信号E1、E2、W3、W2、W1及びW0を順次供給するようになっている。第1制御回路65は、この6種類の書込指令信号を適宜用いることにより、上述した補正データ等を第2記憶回路67及び第1記憶回路73に書き込むことができる。

【0084】

また上述した第2制御回路66及び96段のマルチプレクサ回路68は、2本の信号線によりカスケード接続されており、2種類のデータ切替信号S1N及びS2Nを順次供給するようになっている。このデータ切替信号S1N及びS2Nは、2個1組である発光サイリスタLHのうち奇数側及び偶数側の何れを発光させるかを表す信号であり、最下段のマルチプレクサ回路68からバッファ回路71及び72にそれぞれ供給されて増幅され、ゲート駆動信号SG1及びSG2となる。このゲート駆動信号SG1及びSG2は、各切替回路77（詳しくは後述する）を介して各ゲート駆動端子G1及びG2にそれぞれ供給される。各切替回路77には、NAND回路64から素子駆動制御信号DRVON-Nも供給されている。

10

【0085】

ところでドライバIC54では、上述した2個1組の（すなわち奇数番目及び偶数番目の）発光サイリスタLHに対して、1個ずつのラッチ回路LT、第2記憶回路67、マルチプレクサ回路68及び素子駆動回路70を1組として対応させている。このため第2記憶回路67は、2個の発光サイリスタLHそれぞれと対応する2個の補正データを記憶しており、その両方を読み出してマルチプレクサ回路68に供給する。マルチプレクサ回路68は、第2制御回路66から供給されるデータ切替信号S1N及びS2Nに従い、奇数（ODD）用の補正データ又は偶数（EVN）用の補正データ何れか一方を選択し、これを素子駆動回路70に供給する。

20

【0086】

またラッチ回路LTは、ラッチ信号HD-LOADに従い、各フリップフロップ回路FFに格納されている印刷データ信号HD-DATA（HD-DATA3～HD-DATA0）をラッチし、素子駆動回路70へ供給する。

【0087】

一方、第1記憶回路73は、制御電圧発生回路74（図中に「ADJ」と表記）と接続されている。制御電圧発生回路74は、VREF端子から基準電圧値VREFが供給されており、これを基に発光サイリスタLHを駆動するための制御電圧Vを発生して各素子駆動回路70に供給する。

30

【0088】

すなわち素子駆動回路70は、NAND回路64から素子駆動制御信号DRVON-Nが供給され、制御電圧発生回路74から制御電圧Vが供給され、ラッチ回路LTから印刷データ信号HD-DATAが供給され、さらに第2記憶回路67からマルチプレクサ回路68を介して奇数用又は偶数用の補正データが供給される。

【0089】

素子駆動回路70は、印刷データ信号HD-DATAがハイレベルであり、且つ素子駆動制御信号DRVON-Nもハイレベルである場合、制御電圧Vを基準としながら、補正データに基づいた大きさの駆動電流を生成し、これを出力端子DOに供給する。

40

【0090】

ここで、プリントヘッド33におけるドライバIC54及び発光素子チップ53のうち、1個の素子駆動回路70と、2個の切替回路77と、2個1組の発光サイリスタLH（例えば発光サイリスタLH191及びLH192）とに関する部分を抽出すると、図9のように表すことができる。説明の都合上、以下では、第2制御回路66、バッファ回路71及び72、並びに切替回路77をまとめて伝達状態切替部78とも呼ぶ。

【0091】

図6においても上述したように、両発光サイリスタLHのカソード端子（K）は、何れ

50

もグラウンドに接続（すなわち接地）されている。また両発光サイリスタLHのアノード端子（A）は、互いに接続された上で、ドライバIC54の出力端子DO96を介して素子駆動回路70の出力端子DOと接続されている。

【0092】

奇数側の発光サイリスタLH191におけるゲート端子（G）は、ドライバIC54のゲート駆動端子G1を介して、切替回路77の2番端子と接続されている。また切替回路77は、バッファ回路71と接続された1番端子から、ゲート駆動信号SG1が供給される。さらに切替回路77は、素子駆動制御信号DRVON-Nが3番端子に供給される。

【0093】

この切替回路77は、素子駆動制御信号DRVON-Nに基づき、1番端子及び2番端子の間でゲート駆動信号SG1を発光サイリスタLH191のゲート端子（G）に伝達する伝達状態と、両端子を切り離して該ゲート駆動信号SG1を該ゲート端子（G）に伝達しない非伝達状態とを切り替えるようになっている。

【0094】

偶数側の発光サイリスタLH192は、奇数側の発光サイリスタLH191と概ね同様に接続されているものの、接続された切替回路77の1番端子がバッファ回路72と接続され、該バッファ回路72からデータ切替信号S2Nが供給される。

【0095】

かかる構成により、プリントヘッド33では、素子駆動回路70から出力端子DOを介して供給される駆動電流を発光サイリスタLH191及びLH192に供給する。またプリントヘッド33では、素子駆動制御信号DRVON-Nにより各切替回路77が伝達状態となっていれば、ゲート駆動信号SG1及びSG2に従い、奇数側の発光サイリスタLH191又は偶数側の発光サイリスタLH192の何れかを、駆動電流に応じて点灯させることができる。説明の都合上、以下では、素子駆動制御信号DRVON-Nを伝達状態切替信号とも呼ぶ。

【0096】

[1-4. 発光サイリスタの構成]

次に、発光サイリスタLHの構成及び基本動作について説明する。被駆動素子としての発光サイリスタLHは、一般的な発光ダイオード（LED）と類似した構成となっており、電流が供給されると発光する、いわゆる発光素子として機能する。発光サイリスタLHは、図10（A）に回路記号を示すように、アノード（A）、カソード（K）及びゲート（G）といった3個の端子を有している。この発光サイリスタLHは、閾値電圧若しくは閾値電流が外部から制御可能な制御端子（すなわちゲート端子）を有する三端子スイッチ素子となっている。換言すれば、このゲート端子は、発光サイリスタLHを発光させるか否か、すなわち駆動させるか否かの制御を受け付ける制御端子となっている。

【0097】

この発光サイリスタLHは、図10（B）に模式的な断面図を示すように、性質の異なる複数の材料によりそれぞれ構成された複数の層が積層されたような構成となっている。例えば発光サイリスタLHは、GaAsウェハ基材を用い、周知のMO-CVD（Metal Organic-Chemical Vapor Deposition）法によりその上側に所定の結晶をエピタキシャル成長させることにより、製造される。

【0098】

具体的に発光サイリスタLHは、GaAsウェハ基材に対し、所定のバッファ層や犠牲層（図示せず）をエピタキシャル成長させた後、AlGaAs基材にN型の不純物を含ませたN型層81と、P型の不純物を含ませて成層したP型層82と、N型の不純物を含ませたN型層83とを順次積層させる。これにより発光サイリスタLHは、まず「NPN」の3層構造でなるウェハとして構成される。

【0099】

次に発光サイリスタLHは、最上層であるN型層83の一部に対し、周知のフォトリソグラフィ法が施されることにより、選択的にP型の不純物が含まれるP型領域84が形

10

20

30

40

50

成される。さらに発光サイリスタLHは、周知のドライエッチング法が施されることにより、所定の溝部分が形成され、その結果として素子分離が行われ、各発光サイリスタLHに分離される。また発光サイリスタLHは、前述したエッチングの過程において、最下層であるN型層81の一部が露出され、この露出された領域に金属配線が形成されてカソード(K)電極が形成される。さらに発光サイリスタLHは、P型層82及びP型領域84にも、これと同様にアノード(A)電極及びゲート(G)電極がそれぞれ形成される。因みに本実施の形態による発光サイリスタLHは、ゲート(G)がN型層83から引き出された、いわゆるNゲート型となっている。

【0100】

なお発光サイリスタLHは、図10(C)に示すように、図10(B)と一部異なる手法により製造することもできる。具体的に発光サイリスタLHは、まず図5(B)に示した手法と同様に、N型層81、P型層82及びN型層83が順次積層された「NPN」の3層構造でなるウェハとして構成される。さらに発光サイリスタLHは、N型層83の上側に、P型の不純物を含ませたP型層85が成層されることにより、上側から「PNPN」の4層構造でなるウェハとして構成される。

【0101】

次に発光サイリスタLHは、周知のドライエッチング法が施されることにより、所定の溝部分が形成され、その結果として素子分離が行われる。また発光サイリスタLHは、前述したエッチングの過程において、最下層であるN型層81の一部が露出され、この露出された領域に金属配線が形成されてカソード電極が形成される。さらに発光サイリスタLHは、最上層であるP型層85の一部が露出され、アノード電極が形成されると共に、P型層82の一部が露出され、ゲート電極が形成される。

【0102】

このように製造される発光サイリスタLH(図10(B)及び(C))は、図10(D)に示す等価回路86と同等の電気的特性を有している。等価回路86は、PNPトランジスタ87及びNPNトランジスタ88が組み合わされた構成となっている。すなわち等価回路86は、PNPトランジスタ87のエミッタ端子が発光サイリスタLHのアノード端子に相当し、PNPトランジスタ87のベース端子が発光サイリスタLHのゲート端子に相当し、NPNトランジスタ88のエミッタ端子が発光サイリスタLHのカソード端子に相当している。また等価回路86は、PNPトランジスタ87のコレクタ端子がNPNトランジスタ88のベース端子と接続され、PNPトランジスタ87のベース端子がNPNトランジスタ88のコレクタ端子と接続されている。

【0103】

かかる構成により発光サイリスタLHは、アノード端子に所定の電源電圧が印加され、且つカソード端子の電位が低くゲート端子の電位が高い状態になると、両者の間にトリガ電流が流れ、これを契機としてアノード端子及びカソード端子間に電流が流れ、発光状態となる。また発光サイリスタLHは、この発光状態において、カソード端子の電位がアノード端子と同程度に高められて両者の電位差が無くなると、消灯状態となる。さらに発光サイリスタLHは、ゲート端子の電位が高い状態であれば、アノード端子及びカソード端子の間に電位差が生じたとしても、トリガ電流が流れないため、発光状態にはならず、消灯状態を維持する。

【0104】

なお発光サイリスタLHは、GaAsウェハ上にAlGaAs層を形成した構造に限らず、例えばGaP、GaAsPやAlGaInP等の材料を用いるものであっても良く、さらにはサファイア基板上にGaN、AlGaNやInGaN等の材料を成膜したものであっても良い。

【0105】

[1-5. 切替回路の構成]

次に、切替回路77の構成について、図11(A)～(D)を参照しながら説明する。切替回路77は、図9において上述したように、ゲート駆動信号SG1又はSG2が供給

10

20

30

40

50

される第1端子、発光サイリスタLHのゲート端子と接続される第2端子、及び素子駆動制御信号DRVON-Nが供給される第3端子を有している。なお図7～図9では、図11(A)のように、切替回路77を正方形でなる簡易な記号により簡略化して表している。

【0106】

この切替回路77は、図11(B)に詳細な回路図を示すように、PMOSトランジスタ91により構成されている。すなわちPMOSトランジスタ91のソース端子(S)、ドレイン端子(D)及びゲート端子(G)が、それぞれ切替回路77の第1端子、第2端子及び第3端子となっている。またPMOSトランジスタ91は、一般的な性質として、ドレイン端子(D)及びソース端子(S)の間に、破線で示す寄生ダイオード92が寄生的に生じる。

10

【0107】

切替回路77は、PMOSトランジスタ91の一般的な性質により、ゲート端子(G)の電位に応じて、ソース端子(S)及びドレイン端子(D)の間に電流を流すか否かを切り替える、スイッチとしての役割を有する。

【0108】

例えば切替回路77は、第3端子の電位、すなわちPMOSトランジスタ91のゲート端子(G)の電位が比較的低い場合、このスイッチを「オン」とした状態に切り替わり、第1端子及び第2端子の間に電流を流すことができる。以下、この状態を伝達状態とも呼ぶ。一方、切替回路77は、第3端子の電位が比較的高い場合、このスイッチを「オフ」とした状態に切り替わり、第1端子及び第2端子の間に電流を流さなくなる。以下、この状態を非伝達状態とも呼ぶ。

20

【0109】

このPMOSトランジスタ91は、図11(C)に模式的な断面図を示すように、P型の不純物を含むチップ基材93(図中に「Psub」と表記)内にN型の不純物が注入されてNウェル領域94(図中に「Nwell」と表記)が形成される。さらにPMOSトランジスタ91は、このNウェル領域94にP型の不純物が注入されてP型領域95及び96がそれぞれ形成されると共に、N型の不純物が拡散されてN型領域97が形成される。そのうえPMOSトランジスタ91は、Nウェル領域94の上側におけるP型領域95及び96の間となる箇所に、ポリシリコンからなるゲート電極98が設けられる。

30

【0110】

Nウェル領域94と接続されるN型領域97は、PMOSトランジスタ91におけるサブストレート端子となっており、該PMOSトランジスタ91のソース端子(S)に相当するP型領域95と接続されている。この結果、上述した寄生ダイオード92(図11(B))が形成されることになる。因みに図11(C)では、簡略化のため、ゲート酸化膜、コンタクトホール及びパッシベーション保護膜等を省略している。

【0111】

次に示す図11(D)は、第3端子の電位が低くスイッチを「オン」とした場合、すなわち素子駆動制御信号DRVON-Nがローレベルであり、伝達状態となっている場合における、切替回路77の特性をグラフとして表したものである。この図11(D)では、横軸が第1端子及び第2端子の間に印加される電圧を表し、縦軸が第1端子及び第2端子の間に流れる電流を表す。

40

【0112】

ただし図11(D)では、第1象限の縦軸が第2端子から第1端子へ流れ込む電流I1(図11(B))に対応し、第4象限の縦軸が第1端子から第2端子へ流れる電流I2に対応している。説明の都合上、以下では、第1象限における電流I1の特性を表す曲線を特性曲線IOLと呼び、また第4象限における電流I2の特性を表す曲線を特性曲線IOHと呼ぶ。

【0113】

特性曲線IOLに着目する場合、横軸は第1端子及び第2端子の間に印加される電圧を

50

表している。この特性曲線 $I_o L$ から、切替回路 77 では、第 1 端子及び第 2 端子の間に印加される電圧が順方向電圧 V_f を越えた場合に、電流 I_1 が流れることが分かる。この順方向電圧 V_f は、寄生ダイオード 92 の順方向電圧であり、図 11 (C) における N ウェル領域 94 と P 型領域 96 との境界面に生じるものである。切替回路 77 は、PMOS トランジスタ 91 の基材がシリコンであるため、典型的な設計例において、順方向電圧 V_f が約 0.6 [V] となる。

【0114】

また特性曲線 $I_o H$ に着目する場合、横軸は第 2 端子の電位を表している。この特性曲線 $I_o H$ から、切替回路 77 では、例えば第 1 端子をほぼ電源電圧 V_{DD} の電位とし、第 2 端子もほぼ電源電圧 V_{DD} の電位とした場合、第 2 端子から流れ出る電流 I_2 がほぼ 0 [A] となることが分かる。また切替回路 77 では、第 2 端子の電圧を電源電圧 V_{DD} から降下させていくと、第 2 端子から流れ出る電流 I_2 の絶対値がある程度まで増加した後、やがて飽和し、所定の電流値 I_d に収束する、といった定電流性の特性となる。

【0115】

このように切替回路 77 は、第 3 端子（すなわち PMOS トランジスタ 91 におけるゲート端子）の電位が低い場合には伝達状態に切り替えて、第 1 端子及び第 2 端子の間で両者の電位差に応じて電流を流し、該電位が高い場合には非伝達状態に切り替えて、第 1 端子及び第 2 端子を切り離す。

【0116】

[1-6. データの転送及び発光]

次に、画像形成装置 1 (図 1) において印刷処理を行う場合に、制御部 3 (図 3) からプリントヘッド 33 に対して行われる補正データの転送処理と、その後に行われる印刷データの転送の概要について、図 12 のタイミングチャートを参照しながら説明する。

【0117】

まず制御部 3 は、補正データの転送開始に先立ち、ラッチ信号 $HD-LOAD$ を LD1 部においてハイレベルに立ち上げる。これにより、引き続いて転送されるデータが印刷データではなく、補正データであることが示される。

【0118】

続いて制御部 3 は、奇数番目の各発光サイリスタ LH (図 6) と対応する 4 ビットの各補正データを、各ビットごとに分け、さらに奇数番目 (Odd) 及び偶数番目 (Even) に分けたグループ単位で、クロック信号 $HD-CLK$ に同期して印刷データ信号 $HD-DATA$ ($HD-DATA3 \sim HD-DATA0$) として順次供給する。すなわち印刷データ信号 $HD-DATA$ は、補正データ bit 3 の奇数番目、補正データ bit 3 の偶数番目、補正データ bit 2 の奇数番目、…、及び補正データ bit 0 の偶数番目の各グループ単位で、順次供給される。

【0119】

この補正データは、フリップフロップ回路 FF によって構成されるシフトレジスタ SR (図 7 及び図 8) により、上段側から下段側へ順次シフトされる。制御部 3 は、1 つのグループについてのシフトを完了する度に、STB1 部、STB2 部、…、STB8 部として示すように、ストロブ信号 $HD-STB-N$ を 3 パルスずつ入力する。

【0120】

ドライバ IC 54 の第 1 制御回路 65 (図 7) は、ストロブ信号 $HD-STB-N$ のパルスに応じて、書込指令信号 W3 において W31 部及び W32 部のように 2 個のパルスを書込指令として発生させる。また第 1 制御回路 65 は、書込指令信号 W2、W1 及び W0 においても、同様に 2 個ずつのパルスを書込指令として順次発生させる。

【0121】

このとき第 1 制御回路 65 は、書込指令信号 W3、W2、W1 及び W0 における 1 パルス目の書込指令を、ストロブ信号 $HD-STB-N$ における STB1 部、STB3 部、STB5 部及び STB7 部の各パルスを基にそれぞれ発生させる。また第 1 制御回路 65 は、書込指令信号 W3、W2、W1 及び W0 における 2 パルス目の書込指令を、ストロー

10

20

30

40

50

ブ信号HD-STB-NにおけるSTB 2部、STB 4部、STB 6部及びSTB 8部の各パルスを基にそれぞれ発生させる。

【0122】

これに応じてドライバIC 54の各第2記憶回路67（図7及び図8）は、書込指令信号W3～W0にパルスが発生する度に、補正データが書き込まれ、これを記憶する。具体的に第2記憶回路67では、1個目のパルスに応じて奇数番目の発光サイリスタLH用の補正データが書き込まれ、2個目のパルスに応じて偶数番目の発光サイリスタLH用の補正データが書き込まれる。

【0123】

このようにして各第2記憶回路67に奇数番目及び偶数番目それぞれの発光サイリスタLHについての3ビット分の補正データが書き込まれると、制御部3は、LD 2部に示すように、ラッチ信号HD-LOADをローレベルに立ち下げ、印刷データの転送が可能な状態に遷移する。その後、制御部3は、1ライン分の印刷データを奇数番目のドット（すなわち発光サイリスタLH）及び偶数番目のドット（発光サイリスタLH）に分けて、順次供給していく。

【0124】

まず制御部3は、SY 1部に示すように、主走査同期信号HD-HSYNC-Nに1個のパルスを供給することにより、引き続いて転送される印刷データが奇数番目のドットであることを第2制御回路66（図7）に通知する。次に制御部3は、DT 1部に示すように、印刷データのうち奇数番目（Odd）のドットを印刷データ信号HD-DATAとして順次供給し、その後にLD 3部に示すように、ラッチ信号HD-LOADにパルスを発生させる。

【0125】

これによりドライバIC 54（図7及び図8）では、シフトレジスタSRにより奇数番目の印刷データを順次シフトした後に、各ラッチ回路LTにおいて各ドットの印刷データをそれぞれラッチする（すなわち一時的に保持する）ことができる。さらに制御部3は、STB 9部において、ストロブ信号HD-STB-Nをローレベルに立ち下げることにより、奇数番目の各発光サイリスタLHをそれぞれの印刷データに応じて点灯（発光）又は消灯させ、所定時間の経過後にストロブ信号HD-STB-Nをハイレベルに戻す。

【0126】

続いて制御部3は、DT 2部に示すように、印刷データのうち偶数番目（Even）のドットを印刷データ信号HD-DATAとして順次供給し、その後にLD 4部に示すように、ラッチ信号HD-LOADにパルスを発生させる。これによりドライバIC 54（図7及び図8）では、シフトレジスタSRにより偶数番目の印刷データを順次シフトした後に、各ラッチ回路LTにおいて各ドットの印刷データをそれぞれラッチすることができる。

【0127】

さらに制御部3は、奇数番目の場合と同様に、STB 10部において、ストロブ信号HD-STB-Nをローレベルに立ち下げることにより、偶数番目の各発光サイリスタLHをそれぞれの印刷データに応じて点灯（発光）又は消灯させ、所定時間の経過後にストロブ信号HD-STB-Nをハイレベルに戻す。

【0128】

因みにプリントヘッド33では、第2制御回路66（図7）から出力されるデータ切替信号S1N及びS2Nがバッファ回路71及び72（図8）において増幅され、ゲート駆動信号SG1及びSG2となる。このゲート駆動信号SG1及びSG2は、ゲート駆動端子G1及びG2を介して、奇数番目及び偶数番目の発光サイリスタLHにおけるゲート端子にそれぞれ供給される（図9）。

【0129】

次に、プリントヘッド33において、制御部3からドライバIC 54に補正データが転送された後に、奇数番目及び偶数番目に分けて順次行われる、印刷データの転送及び各発

10

20

30

40

50

光サイリスタLHの発光等について、図13のタイミングチャートを参照しながら説明する。

【0130】

まず制御部3は、SY1部に示すように、負論理の主走査同期信号HD-HSYNCH-Nにパルスを発生させる。これにより制御部3は、1ラインのうち奇数番目のドットの印刷を開始することを通知する。次に制御部3は、CK1部に示すように、クロック信号HD-CLKに同期して、奇数番目(Odd)の発光サイリスタLH用の印刷データを印刷データ信号HD-DATA(HD-DATA3~HD-DATA0)として順次供給する。

【0131】

因みに、プリントヘッド33においては、上述したように26個のドライバIC54がカスケード接続されており、それぞれのドライバIC54に96個の出力端子DO(DO1~DO96)が設けられている。またプリントヘッド33では、1パルスのクロック信号HD-CLKにより、4ドット(すなわち画素)分の印刷データ信号HD-DATAが一度に転送される。このためプリントヘッド33では、一度のデータ転送、すなわち1ラインにおける奇数番目又は偶数番目の何れかの印刷データを転送する場合において、必要となるクロックパルス数が $96 / 4 * 26 = 24 * 26 = 624$ 個となる。

【0132】

その後、制御部3は、1ラインデータのうち奇数番目のドットを表す印刷データの転送が完了すると、LD3部に示すように、ラッチ信号HD-LOADにパルスを発生させる。これによりドライバIC54(図7及び図8)では、シフトレジスタSRにより奇数番目の印刷データを順次シフトした後に、各ラッチ回路LTにおいて奇数番目の各ドットの印刷データをそれぞれラッチする。

【0133】

またこのとき第2制御回路66は、データ切替信号S1N及びS2Nをそれぞれローレベル及びハイレベルとすることにより、SG11部のようにゲート駆動信号SG1をローレベルに切り替え、且つSG21部のようにゲート駆動信号SG2をハイレベルに切り替える。

【0134】

さらに制御部3は、STB11部のように、ストロブ信号HD-STB-Nをハイレベルからローレベルに遷移させ、発光サイリスタLHの駆動を通知する。このときドライバIC54の各出力端子DO(DO1~DO96)は、印刷データ信号HD-DATAによる各ドットの値に基づき、選択的にオン状態となる。

【0135】

このときプリントヘッド33では、ドライバIC54のゲート駆動端子G1からローレベルのゲート駆動信号SG1が供給された発光サイリスタLH、すなわち奇数番目の発光サイリスタLHは、Odd部のように奇数番目(Odd)の発光サイリスタLHに流れる駆動電流(以下これをOdd電流と表記する)が供給されて、駆動される。これによりプリントヘッド33(図9)では、ドライバIC54の出力端子DO96から出力された駆動電流が、奇数番目の発光サイリスタである発光サイリスタLH191のアノード及びカソードを経て、グランド(GND)へと至る電流経路が形成される。

【0136】

一方、偶数番目の発光サイリスタLH(例えば発光サイリスタLH192)は、ゲート端子に供給されるゲート駆動信号SG2がハイレベルであるため、オフ状態となっている。このため偶数番目の発光サイリスタLHは、ドライバIC54の出力端子DO96から出力された駆動電流が流れず、消灯した状態のままとなる。この結果、画像形成装置1の画像形成ユニット16(図2)では、プリントヘッド33において奇数番目の発光サイリスタLHが選択的に発光し、感光体ドラム38上の周側面に静電潜像を形成することができる。

【0137】

やがて制御部3は、STB12部において、ストロブ信号HD-STB-Nをハイレベルに遷移させる。これによりドライバIC54は、各出力端子DOからの駆動電流の供給を停止し、Od2部のように、奇数番目の発光サイリスタLHを全て消灯させる。

【0138】

また制御部3は、これと並行して、すなわち奇数番目の発光サイリスタLHを選択的に発光させている間に、CK2部に示すように、クロック信号HD-CLKに同期して、偶数番目(Even)の発光サイリスタLH用の印刷データを印刷データ信号HD-DATAとして順次供給する。その度、制御部3は、1ラインデータのうち偶数番目のドットを表す印刷データの転送が完了すると、LD4部に示すように、ラッチ信号HD-LOADにパルスが発生させる。これによりドライバIC54(図7及び図8)では、シフトレジスタSRにより偶数番目の印刷データを順次シフトした後に、各ラッチ回路LTにおいて偶数番目の各ドットの印刷データをそれぞれラッチする。

10

【0139】

またこのとき第2制御回路66は、データ切替信号S1N及びS2Nをそれぞれハイレベル及びローレベルとすることにより、SG12部のようにゲート駆動信号SG1をハイレベルに切り替え、且つSG22部のようにゲート駆動信号SG2をローレベルに切り替える。

【0140】

さらに制御部3は、STB13部のように、ストロブ信号HD-STB-Nをハイレベルからローレベルに遷移させ、発光サイリスタLHの駆動を通知する。このときドライバIC54の各出力端子DO(DO1~DO96)は、印刷データ信号HD-DATAによる各ドットの値に基づき、選択的にオン状態となる。

20

【0141】

このときプリントヘッド33では、ドライバIC54のゲート駆動端子G2からローレベルのゲート駆動信号SG2が供給された発光サイリスタLH、すなわち偶数番目の発光サイリスタLHは、Ev1部のように偶数番目(Even)の発光サイリスタLHに流れる駆動電流(以下これをEven電流と表記する)が供給されて、駆動される。これによりプリントヘッド33(図9)では、ドライバIC54の出力端子DO96から出力された駆動電流が、偶数番目の発光サイリスタである発光サイリスタLH192のアノード及びカソードを経て、グランド(GND)へと至る電流経路が形成される。

30

【0142】

一方、奇数番目の発光サイリスタLH(例えば発光サイリスタLH191)は、ゲート端子に供給されるゲート駆動信号SG1がハイレベルであるため、オフ状態となっている。このため奇数番目の発光サイリスタLHは、ドライバIC54の出力端子DO96から出力された駆動電流が流れず、消灯した状態のままとなる。この結果、画像形成装置1の画像形成ユニット16(図2)では、プリントヘッド33において偶数番目の発光サイリスタLHが選択的に発光し、感光体ドラム38上の周側面に静電潜像を形成することができる。

【0143】

やがて制御部3は、STB14部において、ストロブ信号HD-STB-Nをハイレベルに遷移させる。これによりドライバIC54は、各出力端子DOからの駆動電流の供給を停止し、Ev2部のように、偶数番目の発光サイリスタLHを全て消灯させる。

40

【0144】

このようにプリントヘッド33では、制御部3の制御に基づき、発光素子チップ54(図6)の発光サイリスタLHのうち、奇数番目の発光サイリスタLH1、LH3、…、LH191と、偶数番目の発光サイリスタLH2、LH4、…、LH192とを順に時分割で駆動する。これによりプリントヘッド33は、1ライン分の発光サイリスタLH1、LH2、…、LH192を駆動することができる。

【0145】

ところでプリントヘッド33では、SY1部において主走査同期信号HD-HSYNC

50

－Nにパルスを発生させると、ゲート駆動信号SG1をハイインピーダンス状態（以下これをH i－Z状態と表す）に遷移させ、ゲート駆動信号SG2をローレベルに遷移させる。またプリントヘッド33では、LD3部においてラッチ信号HD－LOADがハイレベルに立ち上がると、ゲート駆動信号SG1をローレベルに遷移させ、ゲート駆動信号SG2をH i－Z状態に遷移させる。

【0146】

さらにプリントヘッド33では、STB11部においてストロブ信号HD－STB－Nがローレベルとなり発光サイリスタLHの駆動が指示されると、素子駆動制御信号DRVON－Nもローレベルに遷移し、ゲート駆動信号SG2がH i－Z状態からハイレベルに遷移される。このときゲート駆動信号SG1はローレベルのままであるため、このゲート駆動信号SG1が供給される奇数番目の発光サイリスタLHは、印刷データ信号HD－DATAに応じて駆動される。

10

【0147】

やがてプリントヘッド33では、STB12部においてストロブ信号HD－STB－Nがハイレベルに遷移すると、素子駆動制御信号DRVON－Nもハイレベルに遷移し、奇数番目の発光サイリスタLHを駆動しない状態となる。これによりプリントヘッド33では、Od2部においてOdd電流がゼロとなり、偶数番目の発光サイリスタLHが消灯する。またこのとき、ゲート駆動信号SG2がH i－Z状態に遷移する。

【0148】

さらにプリントヘッド33では、LD4部においてラッチ信号HD－LOADがハイレベルに立ち上がると、ゲート駆動信号SG1をローレベルからH i－Z状態に遷移させ、ゲート駆動信号SG2をH i－Z状態からローレベルに遷移させる。

20

【0149】

またプリントヘッド33では、STB13部においてストロブ信号HD－STB－Nがローレベルに遷移すると、素子駆動制御信号DRVON－Nもローレベルに遷移する。このときゲート駆動信号SG1はH i－Z状態からハイレベルに遷移し、ゲート駆動信号SG2はローレベルを維持する。この結果、偶数番目の発光サイリスタLHでは、Ev1分のようにEven電流が供給され、印刷データ信号HD－DATAに応じて駆動される。

【0150】

[1－7. 発光サイリスタのターンオン動作]

次に、発光サイリスタLHにおけるターンオン動作について、詳細に説明する。図14（A）は、図9の一部と対応する回路図であり、バッファ回路71並びに1個の切替回路77及び1個の発光サイリスタLHを表している。この発光サイリスタLHでは、カソードを基準としたアノード電位Va及びゲート電位Vg、アノード端子に流れるアノード電流Ia、ゲート端子に流れるゲート電流Igをそれぞれ定義する。

30

【0151】

また図14（B）は、図10（D）と同様、発光サイリスタLHを等価回路86により表した回路図である。この図14（B）では、発光サイリスタLHのアノード端子、カソード端子及びゲート端子に相当する各端子を、それぞれ単にアノード端子（A）、カソード端子（K）及びゲート端子（G）と呼ぶ。このうちアノード端子は、図示しない電源回路から所定の電源電圧VDDが印加されている。またカソード端子は、グランドに接続されている。

40

【0152】

この等価回路86では、図14（A）において定義した各電圧及び電流に加えて、発光サイリスタLHにおけるアノード・カソード間の電圧に相当する電圧Vce1及びPNPトランジスタ87のベース端子に流れるベース電流Ibを定義する。また等価回路86では、発光サイリスタLHのカソード端子に相当するNPNトランジスタ88のエミッタ端子に流れるカソード電流Ikを定義する。

【0153】

50

ここで、図14(A)の回路において、発光サイリスタLHがターンオン(点灯)する過程に着目するものとし、バッファ回路71の入力端子における電位がローレベルであるものとする。これに伴い、バッファ回路71は、その出力端子の電位をローレベルとし、これに接続された切替回路77の第1端子もローレベルとする。また切替回路77では、第3端子(すなわちPMOSトランジスタ91のゲート端子)に供給される素子駆動制御信号DRVON-Nがローレベル(0[V])となっている。これにより切替回路77は、スイッチを「オン」に切り替えた伝達状態であり、第1端子及び第2端子の間で電流を通過させることができる。

【0154】

発光サイリスタLHは、ドライバIC54の出力端子DO(図7~図9等)から駆動電流がアノード端子に供給され、これがアノード電流 I_a となっている。ここで発光サイリスタLHでは、アノード電流 I_a がPNPトランジスタ87のエミッタ・ベース間を流れてベース電流 I_b となり、さらにこれがゲート電流 I_g として切替回路77の第2端子に流れ込む。

【0155】

一方、切替回路77は、PMOSトランジスタ91のゲート端子に素子駆動制御信号DRVON-Nの信号線が接続されているものの、このゲート端子には電流が流れない。このため切替回路77では、第2端子に供給された電流が、寄生ダイオード92を介して第1端子へ流れる。しかしながら、この第1端子に接続されたバッファ回路71の出力端子は、その電位がグランドとほぼ等しい0[V]である。このため切替回路77では、第2端子の電位が寄生ダイオード92の順方向電圧 V_f を越えるときに、ゲート電流 I_g が流れることになる。

【0156】

次に、図14(B)の回路に着目すると、前述したゲート電流 I_g は、等価回路86におけるPNPトランジスタ87のベース電流 I_b に相当するものである。PNPトランジスタ87は、このベース電流 I_b が流れることにより、オン状態への移行を開始し、コレクタ端子にコレクタ電流を発生させる。等価回路86では、このコレクタ電流がNPNトランジスタ88のベース電流となるため、該NPNトランジスタ88もオン状態へ移行する。このとき生じたコレクタ電流は、PNPトランジスタ87のベース電流 I_b を増強し、該PNPトランジスタ87のオン状態への移行を加速させることになる。

【0157】

一方、等価回路86では、NPNトランジスタ88が完全にオン状態へ移行した後に、該NPNトランジスタ88におけるコレクタ・エミッタ間の電圧 V_{ce1} が低下し、前述した寄生ダイオード92の順方向電圧 V_f よりも小さい電位となる。典型的には、例えば順方向電圧 V_f が約0.6[V]であるのに対し、発光サイリスタLHのゲート・カソード間電圧、すなわちNPNトランジスタ88におけるコレクタ・エミッタ間の電圧 V_{ce1} が約0.2[V]となる。

【0158】

この結果、発光サイリスタLHでは、ゲート端子から切替回路77の第2端子に流れるゲート電流 I_g がほぼゼロとなり、アノード電流 I_a とほぼ等しい大きさのカソード電流 I_k が流れる。この結果、発光サイリスタLHは完全にオン状態、すなわち発光した状態となる。

【0159】

ここで、発光サイリスタLHにおけるアノード電流 I_a とアノード電位 V_a との関係をグラフ化すると、図14(C)に示すような特性曲線U1として表すことができる。図14(C)において、座標(0,0)である原点は、発光サイリスタLHが消灯している状態を表しており、アノード電流 I_a がほぼ0[A]となっている。

【0160】

発光サイリスタLHがターンオンを開始すると、等価回路86では、アノード電流 I_a が増加していき、やがて電流 I_p となる。これと共に等価回路86では、アノード電位 V_a

10

20

30

40

50

aが上昇していき、やがて電位 V_p に到達する。またこのときの座標 (I_p, V_p) により表される特性曲線 U_1 上の点を、特性点 U_p とする。すなわち特性曲線 U_1 は、矢印 w_1 として示したように、発光サイリスタ LH がターンオンを開始した原点 $(0, 0)$ から、比較的急峻な傾斜角度の曲線を描きながら、座標 (I_p, V_p) の特性点 U_p に到達する。

【0161】

この電位 V_p は、PMOSトランジスタ91における寄生ダイオード92の順方向電圧 V_f と、PNPトランジスタ87におけるエミッタ・ベース間の電圧 V_{be} との加算値に相当するものである。このため切替回路77は、第1端子及び第2端子の間にこの電位 V_p と同等の大きさでなる順方向の電圧が印加されると、ゲート電流 I_g を生じる。また座標 (I_p, V_p) の特性点 U_p は、発光サイリスタ LH におけるオフ領域 TT_1 とオン遷移領域 TT_2 との境界に位置している。

10

【0162】

その後、アノード電流 I_a が増加すると、アノード電位 V_a は低下していき、座標 (I_v, V_v) の特性点 U_v に到達する。この特性点 U_v は、発光サイリスタ LH のオン遷移領域 TT_2 とオン領域 TT_3 との境界に位置している。また特性点 U_v において、ゲート電流 I_g はほぼ0[A]まで低下している。すなわちこのとき切替回路77は、発光サイリスタ LH から切り離された場合と同等の状態となっている。

【0163】

さらにアノード電流 I_a が増加すると、アノード電位 V_a は増加していき、やがて座標 (I_e, V_e) の特性点 U_e に到達する。この特性点 U_e は、発光サイリスタ LH を発光駆動させる場合における最終的な動作点となっている。このとき発光サイリスタ LH は、ドライバIC54の出力端子DO(図7～図9等)から供給されるアノード電流 I_a に応じた光強度で発光する。

20

【0164】

ところで画像形成装置1では、待機状態に遷移している場合のように、電源が投入されているものの印刷処理を行わず、発光サイリスタ LH を発光させる必要が無い場合、素子駆動制御信号 $DRVON-N$ がハイレベル(例えば電源電圧 V_{DD} の電位)に切り替わる。

【0165】

このように素子駆動制御信号 $DRVON-N$ がハイレベルである場合、切替回路77(図14(B))は、第3端子(すなわちPMOSトランジスタ91のゲート端子)がハイレベルとなり、伝達状態となる。すなわち切替回路77は、第1端子及び第2端子の間を電氣的に分離し、両者の間で電流を通過させない状態となる。

30

【0166】

このため図14(B)の回路では、切替回路77の第2端子から発光サイリスタ LH のゲート端子に対して、電圧が印加されない。これを換言すれば、切替回路77は、素子駆動制御信号 $DRVON-N$ がハイレベルとなり非伝達状態となることにより、発光サイリスタ LH のゲート端子に対し、第2端子をハイインピーダンスとすることができる。

【0167】

これにより発光サイリスタ LH は、画像形成装置1が待機状態である場合等にゲート端子に電圧が印加されることを回避でき、電圧ストレスによる素子の劣化を防ぐことができる。

40

【0168】

[1-8. 複数の発光サイリスタにおける同時オンの動作]

次に、プリントヘッド33において複数の発光サイリスタ LH が同時に点灯した場合の動作について、図15を参照しながら説明する。ここでは、1ドット目及び3ドット目に対応する2個の発光サイリスタ LHN_1 及び LHN_3 、並びにそれぞれに対応する2個の切替回路77 N_1 及び77 N_3 に着目する。説明の都合上、以下では、1ドット目の発光サイリスタ LHN_1 に関する構成部品の符号の末尾に「 N_1 」を付加し、また3ドット目

50

の発光サイリスタLHN3に関する構成部品の符号の末尾に「N3」を付加することにより、それぞれを区別するものとする。

【0169】

図15(A)は、2個の発光サイリスタLHN1及びLHN3、2個の切替回路77N1及び77N3、並びにバッファ回路71の接続を表している。バッファ回路71の出力端子は、共通接続線としての共通ゲート配線Gを介して、各切替回路77の第1端子にそれぞれ接続されている。また、各切替回路77の第2端子は、各発光サイリスタLHのゲート端子に接続されている。さらに、各切替回路77の第3端子は、素子駆動制御信号DRVON-Nの信号線とそれぞれ接続されている。

【0170】

ここでは、バッファ回路71から供給されるゲート駆動信号SG1により、各発光サイリスタLHがオン状態に制御されている場合、すなわちゲート駆動信号SG1がローレベルである場合を想定する。このためバッファ回路71は、入力端子がグランドに接続されている。また素子駆動制御信号DRVON-Nは、ローレベル(0[V])となっている。これにより各PMOSトランジスタ91は、スイッチが「オン」となり、各切替回路77を伝達状態として、第1端子及び第2端子の間で電流を通過させ得る状態となる。

【0171】

図15(B)は、図15(A)における各発光サイリスタLHを等価回路86(図10(D))に置き換えると共に、切替回路77内のPMOSトランジスタ91に寄生ダイオード92を加えたものである。

【0172】

この図15(B)は、2個の発光サイリスタLHN1及びLHN3が同時に発光している状態、すなわちオンにされた後の状態を表している。このとき各切替回路77N1及びN3では、上述したように、各発光サイリスタLHN1及びLHN3のゲート端子から第2端子に向かって流れる電流をほぼ0[A]とすることができる。このため図15(B)の回路では、共通ゲート配線Gに接続されているバッファ回路71の影響を除外することが可能となる。そこで図15(B)では、該バッファ回路71を破線により表している。

【0173】

次に、この図15(B)において発光サイリスタLHN1のゲート電流 I_g が流れる経路を検討する。このゲート電流 I_g が流れるものと仮定した場合、該ゲート電流 I_g は、図中に破線の矢印で示した経路を流れることが想定される。すなわちゲート電流 I_g は、は、PNPトランジスタ87N1のエミッタ・ベース間を通り、切替回路77における第2端子及び第1端子の間、すなわちPMOSトランジスタ91のソース・ドレイン間において寄生ダイオード92を順方向に通過し、このときに順方向電圧 V_f だけ電位を降下させる。

【0174】

続いてゲート電流 I_g は、共通ゲート配線Gを経由して発光サイリスタLHN3側へ進行し、切替回路77N3における第1端子及び第2端子の間、すなわちPMOSトランジスタ91のソース・ドレイン間において寄生ダイオード92を逆方向に通過し、NPNトランジスタ88N3のコレクタ・エミッタ間を流れてグランドに流出する。

【0175】

そうすると、発光サイリスタLHN1のゲート端子からゲート電流 I_g の流出経路に沿って積算した積算電位 V_s は、次の(1)式のように算出することができる。

【0176】

$$V_s = V_f + V_{ceN3} \quad \dots\dots (1)$$

【0177】

この(1)式において、順方向電圧 V_f が約0.6[V]であるため、積算電位 V_s は約0.6[V]以上と算出される。一方、発光サイリスタLHN1におけるNPNトランジスタ88のコレクタ・エミッタ間における電圧 V_{ce1} は、上述したように、典型的には約0.2[V]であり、積算電位 V_s よりも小さくなる。

【0178】

このため発光サイリスタLHN1では、PNPトランジスタ87N1のベース端子から流れ出る電流が、破線矢印の経路を通ることなく、NPNトランジスタ88のコレクタ電流となり、自身のカソード電流 I_k の一部となる。

【0179】

このようにプリントヘッド33では、各発光サイリスタLHのゲート端子が切替回路77を介して共通ゲート配線Gに接続されているため、該ゲート端子と他の発光サイリスタLHにおけるゲート端子との間で電流を流すことがない。すなわちプリントヘッド33では、共通ゲート配線Gにそれぞれ接続された複数の発光サイリスタLHの間で、電流が回り込むことを制限できる。

10

【0180】

[1-9. 動作及び効果]

以上の構成において、第1の実施の形態による画像形成装置1のプリントヘッド33では、バッファ回路71又は72と発光サイリスタLHのゲート端子との間に、切替回路77を配置した(図9)。またプリントヘッド33では、この切替回路77をPMOSトランジスタ91により構成した(図11)。

【0181】

切替回路77は、第3端子に供給される素子駆動制御信号DRVON-Nがローレベルである場合、PMOSトランジスタ91のスイッチ機能を「オン」とした伝達状態となり、第1端子及び第2端子の間で電流を流すことができる。このため切替回路77は、バッファ回路71又は72から供給されるゲート駆動信号SG1又はSG2を発光サイリスタLHのゲート端子に供給することができる。

20

【0182】

これにより切替回路77は、該ゲート駆動信号SG1又はSG2の電位に応じて、各発光サイリスタLHの発光を制御させることができる。具体的に切替回路77は、ゲート駆動信号SG1又はSG2の電位に応じて、各発光サイリスタLHをアノード端子に供給されるアノード電流に基づき発光させること、又は該アノード電流と無関係に発光を禁止することができる。

【0183】

またこのとき切替回路77は、第1端子及び第2端子の間に発生する寄生ダイオード92の順方向電圧 V_f が、発光サイリスタLHにおけるグラウンドに対するゲート端子の電位、すなわち電圧 V_{ce1} (図14)NPNトランジスタ88のコレクタ・エミッタ間における電圧 V_{ce1} よりも大きくなる。これにより切替回路77は、共通ゲート配線Gを介して相互に接続された点灯中の複数の発光サイリスタLHの間で回り込む電流をほぼゼロに抑えること、すなわち電流の回り込みを良好に抑制することができる(図15)。

30

【0184】

ところで画像形成装置1では、待機状態等のように電源が投入されているものの印刷処理を行わない場合、すなわちプリントヘッド33を動作させない場合、例えば発光サイリスタLHのゲート端子にハイレベルの(例えば電源電圧VDDと同程度の)電圧を印加することにより、発光を禁止することができる。しかしながら画像形成装置1では、このような待機状態が長期間になる場合が多い。

40

【0185】

そうすると発光サイリスタLHでは、ゲート・カソード間にハイレベルの電圧が継続して印加されることになるため、電圧ストレスによる素子の劣化が生じて、リーク電流の増加や発光効率の低下のような不具合を生じる恐れがある。このような場合、各発光サイリスタLHから所定の光量を発光させる目的で、該発光サイリスタLHのアノード端子に所定の電流を供給したとしても、発光に用いられる電流の割合が減少してしまうため、所望の光量が得られなくなる。この結果、画像形成装置1では、最終的に印刷される画像の品質を低下させる恐れがあった。

【0186】

50

この点において、本実施の形態によるプリントヘッド33の切替回路77は、第3端子に供給される素子駆動制御信号DRVON-Nがハイレベルである場合、PMOSトランジスタ91のスイッチ機能を「オフ」とした非伝達状態となり、該第1端子及び第2端子を電氣的に分離した（切り離れた）状態に切り替えることができる。これを換言すれば、切替回路77は、第1端子及び第2端子の間で電流を流させない状態、すなわちバッファ回路71又は72から供給されるゲート駆動信号SG1又はSG2を発光サイリスタLHのゲート端子に供給しない状態に切り替えることができる。

【0187】

すなわち切替回路77は、非伝達状態において、第2端子に接続された発光サイリスタLHのゲート端子をハイインピーダンス状態（Hi-Z状態）とすることができる。これによりプリントヘッド33では、ゲート駆動信号SG1又はSG2の電位に拘わらず、切替回路77から発光サイリスタLHのゲート端子に電圧が印加されない状態とすることができ、該発光サイリスタLHが電圧ストレスにより劣化することを未然に防止できる。

【0188】

またプリントヘッド33では、複数の発光サイリスタLHの間で電流の回り込みを防止する目的で配置する切替回路77を、寄生ダイオード92を有すると共にスイッチとして機能するPMOSトランジスタ91により構成した（図11）。このためプリントヘッド33では、バッファ回路71又は72の出力端子と、各発光サイリスタLHのゲート端子とを電氣的に接続し又は分離するスイッチ回路等を別途設ける必要が無い。

【0189】

さらにプリントヘッド33では、切替回路77をPMOSトランジスタ91により構成した。このPMOSトランジスタ91では、ゲート端子がローレベルである場合に第1端子及び第2端子の間を電氣的に接続し、ハイレベルである場合に両者を電氣的に切り離すことができる。一方、プリントヘッド33では、ドライバIC54（図7、図8）において生成される素子駆動制御信号DRVON-N（図13）が、各発光サイリスタLHを選択的に発光させる場合にローレベルとなり、該発光サイリスタLHの発光を禁止する場合にハイレベルとなる。そこでプリントヘッド33では、この素子駆動制御信号DRVON-NをPMOSトランジスタ91のゲート端子に供給すれば良く、専用の制御信号を別途生成する必要が無い。

【0190】

以上の構成によれば、第1の実施の形態による画像形成装置1のプリントヘッド33では、バッファ回路71又は72と発光サイリスタLHのゲート端子との間に、PMOSトランジスタ91により構成されスイッチとして機能する切替回路77を設けた。プリントヘッド33は、切替回路77を伝達状態に切り替えた場合、バッファ回路71又は72から供給されるゲート駆動信号SG1又はSG2を発光サイリスタLHのゲート端子に供給してその発光を制御でき、且つ点灯中の複数の発光サイリスタLHの間で電流が回り込むことを防止できる。またプリントヘッド33は、切替回路77を非伝達状態に切り替えた場合、第2端子をハイインピーダンス状態にすることができ、発光サイリスタLHのゲート端子に電圧を印加させること無く、該発光サイリスタLHの劣化を防止できる。

【0191】

[2. 第2の実施の形態]

第2の実施の形態による画像形成装置201（図1）は、第1の実施の形態による画像形成装置1と比較して、プリントヘッド33（図2）に代わるプリントヘッド233を有する点において相違するものの、他の点については同様に構成されている。プリントヘッド233（図4）は、第1の実施の形態によるプリントヘッド33と比較して、発光素子チップ53及びドライバIC54に代わる発光素子チップ253及びドライバIC254を有する点において相違するものの、他の点については同様に構成されている。

【0192】

図6と対応する図16に示すように、プリントヘッド233の発光素子チップ253及びドライバIC254は、第1の実施の形態による発光素子チップ53及びドライバIC

10

20

30

40

50

54と概ね同様に構成され、一部のみが相違している。このうち発光素子チップ253には、第1の実施の形態における発光サイリスタLH（LH1～LH192）と対応する発光サイリスタLHP（LHP1～LHP192）が192個設けられている。

【0193】

図10（A）～（D）とそれぞれ対応する図17（A）～（D）に示すように、発光サイリスタLHPは、いわゆるPゲート型となっており、Nゲート型であった発光サイリスタLHとは構成が一部相違している。具体的に発光サイリスタLHPは、図17（B）及び（C）に示したように、下から3番目のN型層283がその下層であるP型層282よりも小さくなっており、該P型層282からゲート端子（G）が引き出されている。

【0194】

また図17（D）に示すように、発光サイリスタLHPの等価回路286は、第1の実施の形態における等価回路86（図10（D））と比較して、やはりゲート端子（G）を引き出す箇所が相違している。すなわち等価回路286では、PNPトランジスタ87のベース端子では無く、NPNトランジスタ88のベース端子からゲート端子（G）が引き出されている。

【0195】

一方、ドライバIC254は、第1の実施の形態によるドライバIC54（図7及び図8）と比較して、切替回路77に代わる切替回路277が設けられている点、及び負論理の素子駆動制御信号DRVON-Nに代えて正論理の素子駆動制御信号DRVON-Pが生成される点において相違するものの、他の点については同様に構成されている。

【0196】

切替回路277は、図11（A）～（D）と対応する図18（A）～（D）に示すように、第1端子、第2端子及び第3端子を有しており、第1の実施の形態におけるPMOSTランジスタ91に代えて、NMOSTランジスタ291により構成されている。このNMOSTランジスタ291は、第3端子に供給される素子駆動制御信号DRVON-Pがハイレベルであれば、第1端子及び第2端子の間で電流を流す伝達状態となり、該素子駆動制御信号DRVON-Pがローレベルであれば、第1端子及び第2端子の間で電流を流さない非伝達状態となる。またNMOSTランジスタ291は、寄生ダイオード92に代わる寄生ダイオード292を寄生的に発生させる。この寄生ダイオード292は、寄生ダイオード92と比較して、アノード端子及びカソード端子が入れ替わった構成となっている。

【0197】

このNMOSTランジスタ291は、図18（C）に模式的な断面図を示したように、P型の不純物を含むチップ基材293（図中に「Psub」と表記）内にN型の不純物が注入されてNウェル領域294（図中に「Nwell」と表記）が形成される。またNMOSTランジスタ291は、このNウェル領域294内に、P型の不純物が注入されたPウェル領域295（図中に「Pwell」と表記）が形成される。

【0198】

さらにNMOSTランジスタ291は、このPウェル領域295にN型の不純物が注入されてN型領域296及び297がそれぞれ形成されると共に、P型の不純物が拡散されてP型領域298が形成される。またNMOSTランジスタ291は、Nウェル領域294にN型の不純物が拡散されてN型領域299が形成される。そのうえNMOSTランジスタ291は、Pウェル領域295の上側におけるN型領域296及び297の間となる箇所に、第1の実施の形態と同様のポリシリコンからなるゲート電極98が設けられる。

【0199】

Pウェル領域295と接続されるP型領域298は、NMOSTランジスタ291におけるサブストレート端子となっており、該NMOSTランジスタ291のソース端子（S）に相当するN型領域296と接続されている。この結果、上述した寄生ダイオード292（図18（B））が形成されることになる。

【0200】

図11(D)と対応する図18(D)は、第3端子の電位が高くスイッチを「オン」とした場合、すなわち素子駆動制御信号DRVON-Pがハイレベルである場合における、切替回路277の特性をグラフとして表したものであり、横軸が第1端子及び第2端子の間に印加される電圧を表し、縦軸が第1端子及び第2端子の間に流れる電流を表す。

【0201】

ただし図18(D)では、図11(D)と同様、第1象限の縦軸が第2端子から第1端子へ流れ込む電流I1(図18(B))に対応し、第4象限の縦軸が第1端子から第2端子へ流れる電流I2に対応している。以下では、第1の実施の形態と同様に、第1象限における電流I1の特性を表す曲線を特性曲線IOLと呼び、また第4象限における電流I2の特性を表す曲線を特性曲線IOHと呼ぶ。

10

【0202】

この第2の実施の形態では、切替回路277における各部の正負が、第1の実施の形態による切替回路77と概ね反転している。このため図18(D)では、特性曲線IOLが、第1の実施の形態における特性曲線IOH(図11(D))を縦軸方向及び横軸方向に反転させたような形状となっている。また図18(D)では、特性曲線IOHが、第1の実施の形態における特性曲線IOLを縦軸方向及び横軸方向に反転させたような形状となっている。

【0203】

特性曲線IOLに着目する場合、横軸は第2端子の電位を表している。この特性曲線IOLから、切替回路277では、例えば第1端子の電位をほぼ0[V]とし、第2端子もほぼ0[V]とした場合、第2端子から第1端子へ流れ出る電流I1がほぼ0[A]となることが分かる。また切替回路277では、第2端子の電位を0[V]から上昇させていくと、第2端子から流れ出る電流I1の絶対値がある程度まで増加した後、やがて飽和し、所定の電流値Idに収束する、といった定電流性の特性となる。

20

【0204】

また特性曲線IOHに着目する場合、横軸は第1端子及び第2端子の間に印加される電圧を表している。この特性曲線IOHから、切替回路277では、第1端子の電位を電源電圧VDDと同等とし、第2端子の電位も電源電圧VDDと同等とした場合、第2端子へ流れ込む電流I2がほぼ0[A]となる。また切替回路277では、第2端子の電位を電源電圧VDDから下降させていった場合、該電源電圧VDDからの下降分が順方向電圧Vfを越えた場合に、電流I2が流れることが分かる。この順方向電圧Vfは、寄生ダイオード292の順方向電圧であり、典型的な設計例において約0.6[V]となる。

30

【0205】

以上の構成において、第2の実施の形態による画像形成装置201のプリントヘッド233では、切替回路277をNMOSトランジスタ291により構成した(図18)。

【0206】

切替回路277は、第3端子に供給される素子駆動制御信号DRVON-Pがハイレベルである場合、NMOSトランジスタ291のスイッチ機能が「オン」である伝達状態となり、第1端子及び第2端子の間で電流を流すことができる。このため切替回路277は、バッファ回路71又は72から供給されるゲート駆動信号SG1又はSG2(図7及び図8)を発光サイリスタLHのゲート端子に供給することができる。これにより切替回路277は、第1の実施の形態と同様に、該ゲート駆動信号SG1又はSG2の電位に応じて、各発光サイリスタLHの発光を制御させることができる。

40

【0207】

またこのとき切替回路277は、寄生ダイオード292の作用により、第1の実施の形態と同様に、共通ゲート配線Gを介して相互に接続された点灯中の複数の発光サイリスタLHの間で回り込む電流をほぼゼロに抑えること、すなわち電流の回り込みを良好に抑制することができる。

【0208】

さらに切替回路277は、第3端子に供給される素子駆動制御信号DRVON-Pがロ

50

ーレベルである場合、NMOSトランジスタ291のスイッチ機能が「オフ」である非伝達状態となり、該第1端子及び第2端子を電氣的に分離した（切り離した）状態に切り替えることができる。すなわち切替回路277は、第2端子に接続される発光サイリスタLHのゲート端子をハイインピーダンス状態（H i - Z 状態）とすることができる。

【0209】

これによりプリントヘッド233では、第1の実施の形態と同様、ゲート駆動信号SG1又はSG2の電位に拘わらず、切替回路277から発光サイリスタLHのゲート端子に電圧が印加されない状態とすることができ、該発光サイリスタLHが電圧ストレスにより劣化することを未然に防止できる。

【0210】

[3. 他の実施の形態]

なお上述した第1の実施の形態においては、切替回路77をPMOSトランジスタ91により構成する場合について述べた。しかしながら本発明はこれに限らず、他の種々の素子やその組合せ等により切替回路77を構成しても良い。この場合、要は、第1端子及び第2端子に関して伝達状態又は非伝達状態に切り替えるスイッチとしての機能を有し、且つ非伝達状態において第2端子を第1端子と切り離してハイインピーダンスの状態とすることができれば良い。第2の実施の形態についても同様である。

【0211】

また上述した第1の実施の形態においては、ドライバIC54において素子駆動回路70から発光サイリスタLHに駆動電流を供給させるか否かを制御する素子駆動制御信号DRVON-Nにより、切替回路77を伝達状態又は非伝達状態に切り替える場合について述べた（図14）。しかしながら本発明はこれに限らず、例えばラッチ信号HD-LOAD等、他の種々の信号により、切替回路77を伝達状態又は非伝達状態に切り替えるようにしても良い。第2の実施の形態についても同様である。

【0212】

さらに上述した第1の実施の形態においては、発光する発光サイリスタLHを被駆動素子とし、これをドライバIC54により駆動する場合について述べた。しかしながら本発明はこれに限らず、例えばサイリスタをスイッチング素子として用い、このサイリスタに著癖列に接続された他の素子、例えば有機EL（Electro-Luminescence）素子や発熱抵抗素子等への電圧印加制御を行う場合に、該サイリスタを被駆動素子としても良い。この場合、例えば有機ELや発熱抵抗素子をプリントヘッドに設けたプリンタに適用することができる。第2の実施の形態についても同様である。

【0213】

さらに上述した第1の実施の形態においては、プリントヘッド33に組み込まれる発光サイリスタLHのゲート端子に切替回路77を接続する場合について述べた。しかしながら本発明はこれに限らず、例えば列状或いはマトリクス状に配列された表示素子に印加する電圧を制御するためのスイッチング素子として用いられるサイリスタ等、種々の用途で用いられる種々の素子に印加する電圧を制御するためのサイリスタのゲート端子に切替回路77を接続しても良い。第2の実施の形態についても同様である。

【0214】

さらに上述した第1の実施の形態においては、ゲート端子を1個のみ有する発光サイリスタLHを被駆動素子とする場合について述べた。しかしながら本発明はこれに限らず、ゲート端子が2個以上設けられた発光サイリスタを被駆動素子としても良い。第2の実施の形態についても同様である。

【0215】

さらに上述した第1の実施の形態においては、P型半導体、N型半導体、P型半導体及びN型半導体を順次接合させた、いわゆる「PNPN型」の構成でなる発光サイリスタLHを被駆動素子とし、これをドライバIC54により駆動する場合について述べた。しかしながら本発明はこれに限らず、例えばP型半導体、N型半導体、P型半導体、N型半導体、P型半導体及びN型半導体を順次接合させた「PNPNPN型」の構成でなる発光サ

10

20

30

40

50

イリスタ等、PN接合を有する種々の発光サイリスタを被駆動素子としても良い。

【0216】

さらに上述した第1の実施の形態においては、MFPでなる画像形成装置1に本発明を適用する場合について述べた。しかしながら本発明はこれに限らず、例えば複写機やファクシミリ装置等、電子写真方式によりトナー画像を形成して用紙に定着させる機能を有する種々の電子機器に適用しても良い。第2の実施の形態についても同様である。

【0217】

さらに本発明は、上述した各実施の形態及び他の実施の形態に限定されるものではない。すなわち本発明は、上述した各実施の形態と上述した他の実施の形態の一部又は全部を任意に組み合わせた実施の形態や、一部を抽出した実施の形態にもその適用範囲が及ぶものである。

10

【0218】

さらに上述した実施の形態においては、制御信号供給部としての第2制御回路66並びにバッファ回路71及び72と、切替部としての切替回路77とによって伝達状態切替回路としての伝達状態切替部78を構成する場合について述べた。しかしながら本発明はこれに限らず、その他種々の構成でなる制御信号供給部と、切替部とによって伝達状態切替回路を構成しても良い。

【産業上の利用可能性】

【0219】

本発明は、例えば電子写真方式によりトナー画像を形成して用紙に定着させることにより印刷するMFPで利用できる。

20

【符号の説明】

【0220】

1、201……画像形成装置、3……制御部、16……画像形成ユニット、33、233……プリントヘッド、53、253……発光素子チップ、54……ドライバIC、65……第1制御回路、66……第2制御回路、68……マルチプレクサ回路、70……素子駆動回路、71、72……バッファ回路、77、277……切替回路、78……伝達状態切替部、91……PMOSトランジスタ、92、292……寄生ダイオード、291……NMOSトランジスタ、DO……出力端子、DRVON-N、DRVON-P……素子駆動制御信号、E1、E2……書込指令信号、G……共通ゲート配線、G1、G2……ゲート駆動端子、HD-STB-N……ストロブ信号、I1……電流、I2……電流、Ia……アノード電流、Ig……ゲート電流、Ik……カソード電流、LH、LHP……発光サイリスタ、S1N、S2N……データ切替信号、SG1、SG2……ゲート駆動信号、VDD……電源電圧、Va……アノード電位、Vce1……電圧、Vf……順方向電圧、Vg……ゲート電位、Vs……積算電位。

30

【図 3】

1 画像形成装置

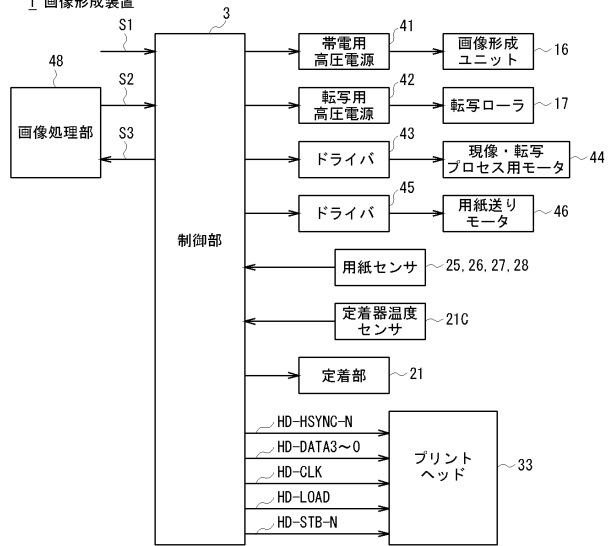


図3 画像形成装置のブロック構成

【図 2】

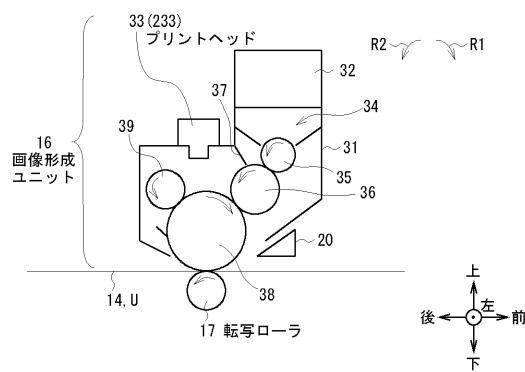


図2 画像形成ユニットの構成

【図 4】

33 プリントヘッド

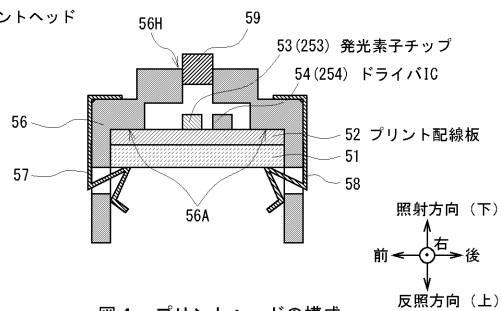


図4 プリントヘッドの構成

【図 5】

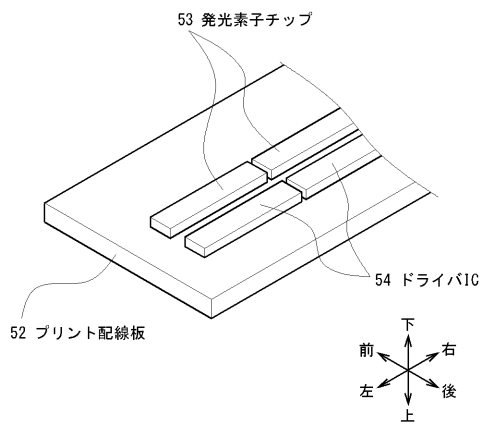


図5 プリント配線板、発光素子チップ及びドライバICの構成

【図 6】

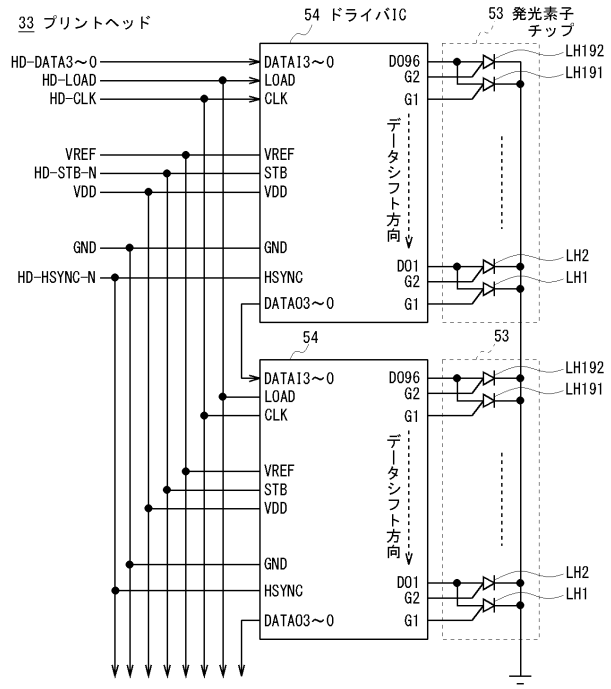
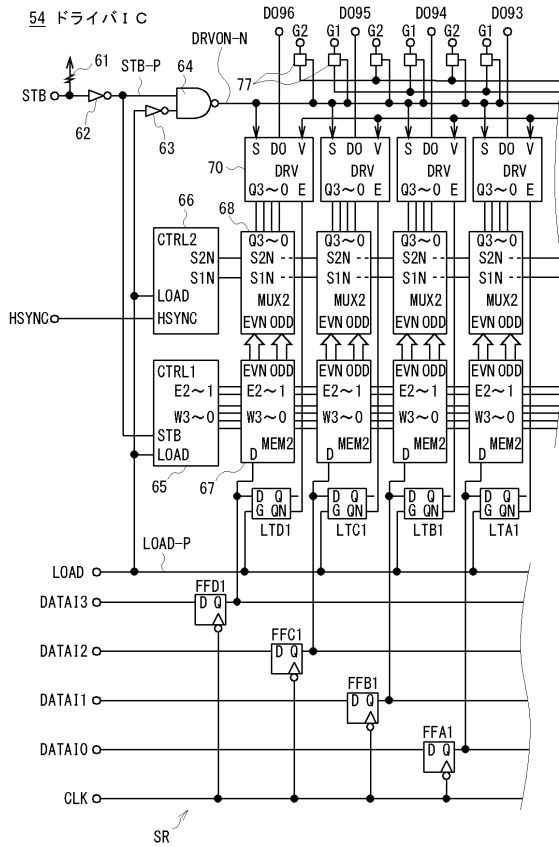
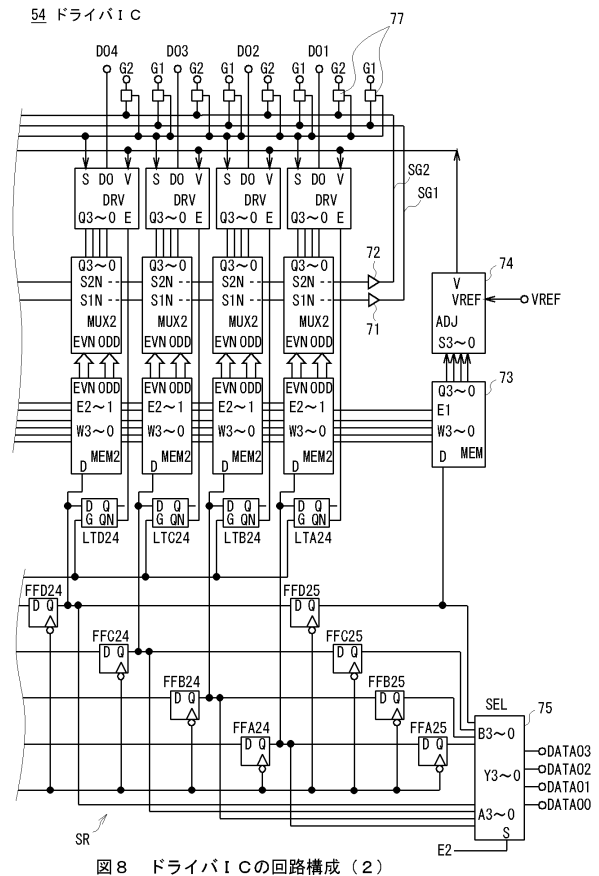


図6 第1の実施の形態によるプリントヘッドの回路構成

【図 7】

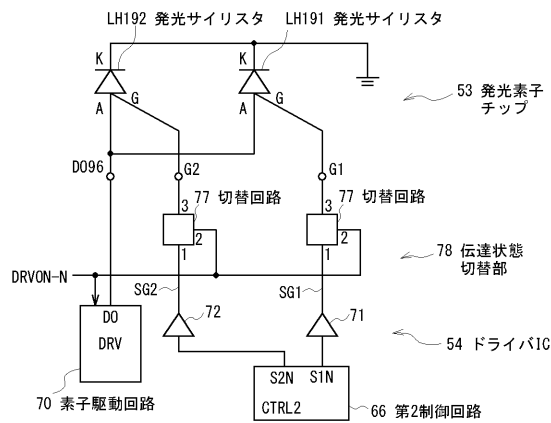


【図 8】



【図 9】

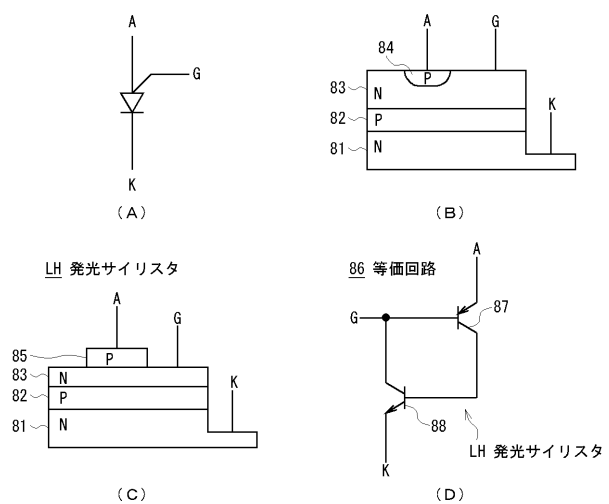
33 プリントヘッド



【図 10】

LH 発光サイリスタ

LH 発光サイリスタ



【図 1 1】

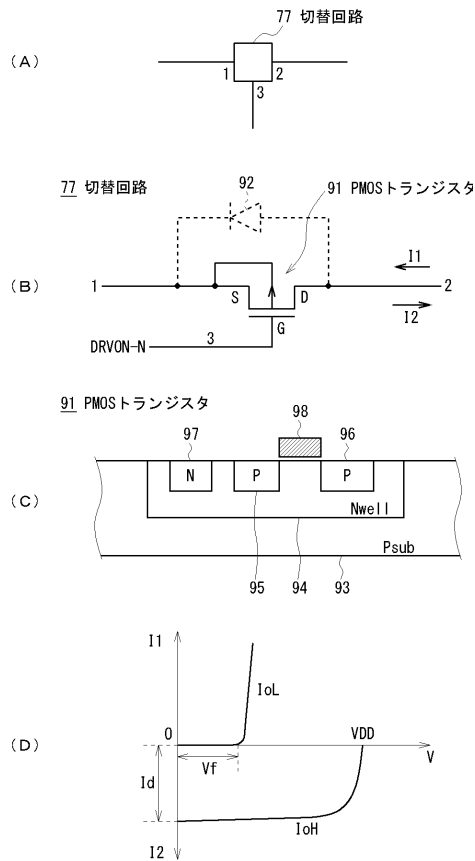


図 1 1 第 1 の実施の形態による切替回路の構成

【図 13】

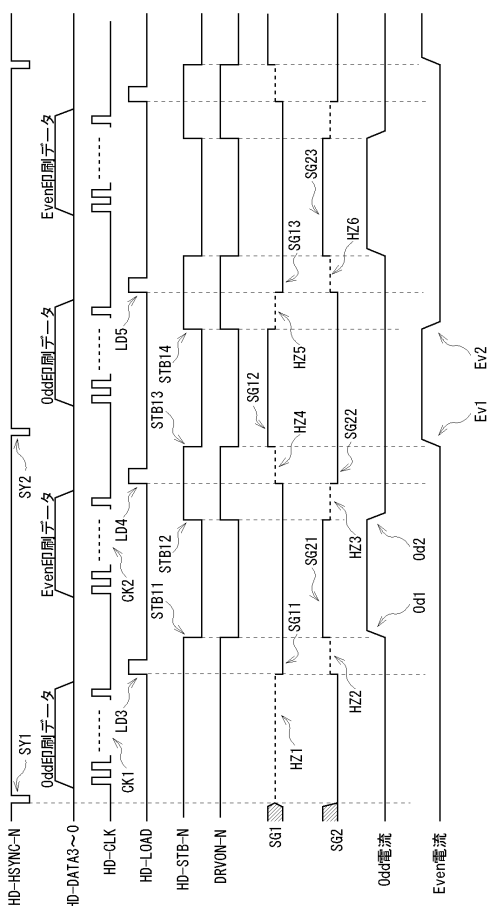


図 13 発光時における各種信号波形

【図 1 2】

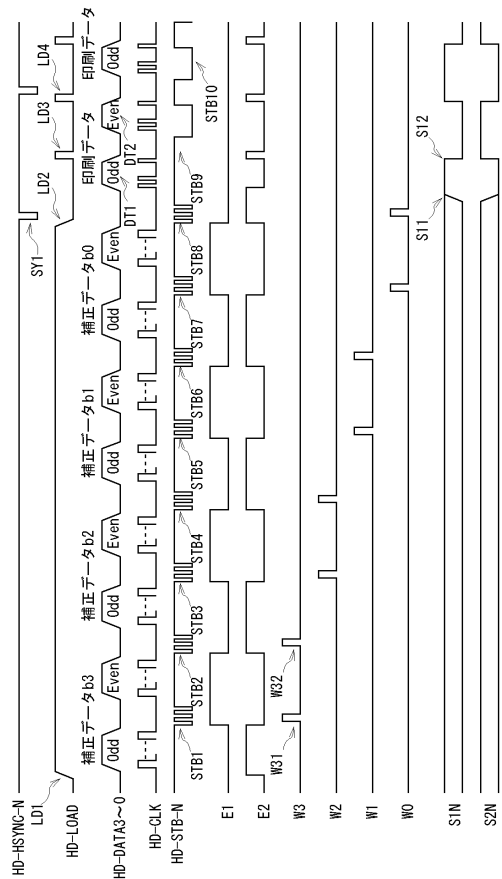


図 12 印刷処理開始時における各種信号波形

【図 14】

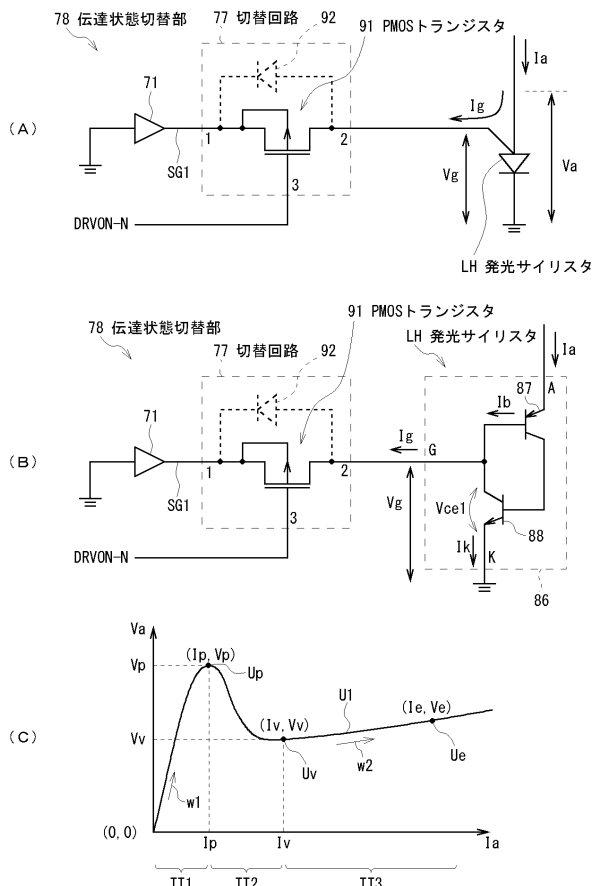


図 14 発光サイリスタのターンオン動作

【図 15】

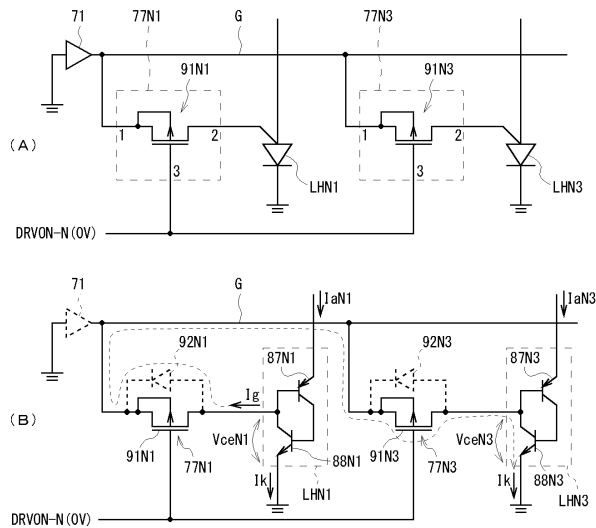


図 15 発光サイリスタ間における電流の回り込みの阻止

【図 16】

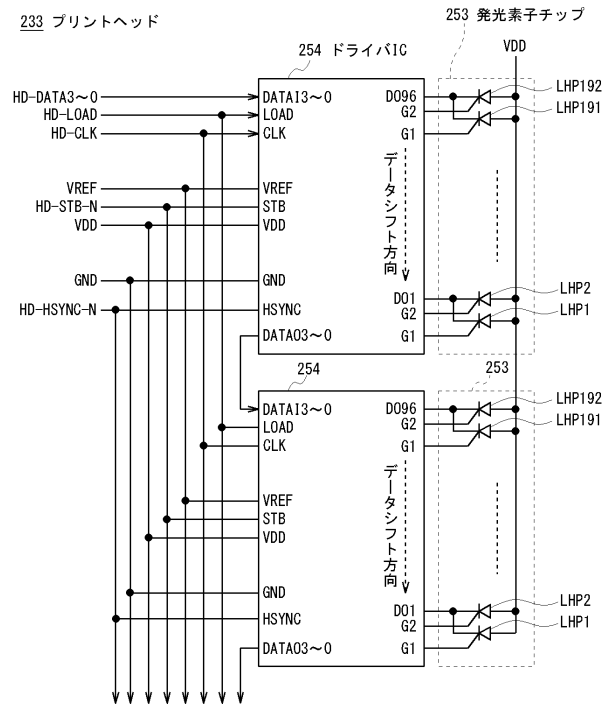


図 16 第2の実施の形態によるプリントヘッドの回路構成

【図 17】

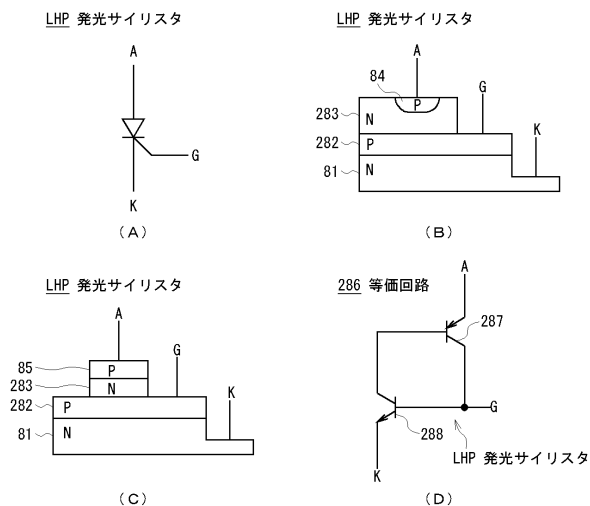


図 17 第2の実施の形態による発光サイリスタの構成

【図 18】

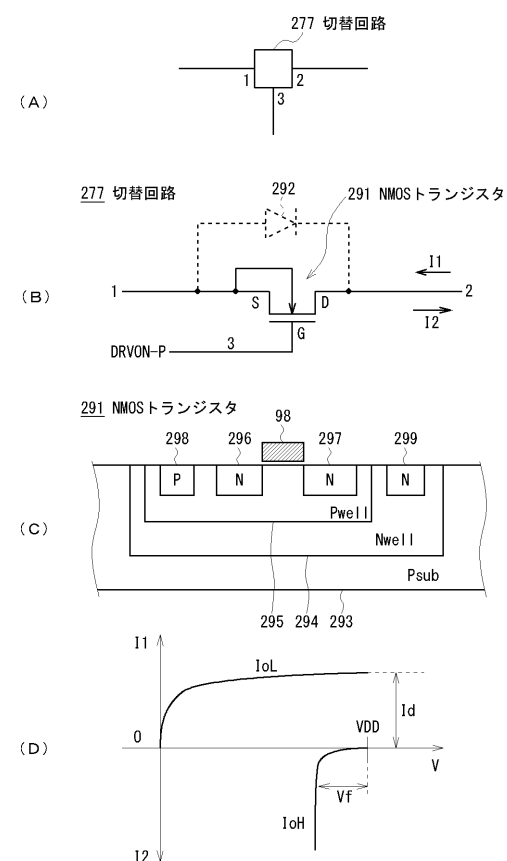


図 18 第2の実施の形態による切替回路の構成

フロントページの続き

(51)Int.Cl. F I
G 0 3 G 15/04 1 1 1
H 0 4 N 1/036

(56)参考文献 特開平06-270466 (JP, A)
特開平02-288375 (JP, A)
特開2007-230004 (JP, A)
特開2011-233590 (JP, A)

(58)調査した分野(Int.Cl., DB名)
B 4 1 J 2/447
B 4 1 J 2/45
G 0 3 G 15/04
H 0 1 L 33/00
H 0 4 N 1/036