

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4532
(P2010-4532A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/20 (2006.01)	H03K 19/20	5J042
H03K 19/017 (2006.01)	H03K 19/017	5J056

審査請求 未請求 請求項の数 30 O L (全 15 頁)

(21) 出願番号 特願2009-144734 (P2009-144734)
 (22) 出願日 平成21年6月17日 (2009.6.17)
 (31) 優先権主張番号 10-2008-0057488
 (32) 優先日 平成20年6月18日 (2008.6.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆

最終頁に続く

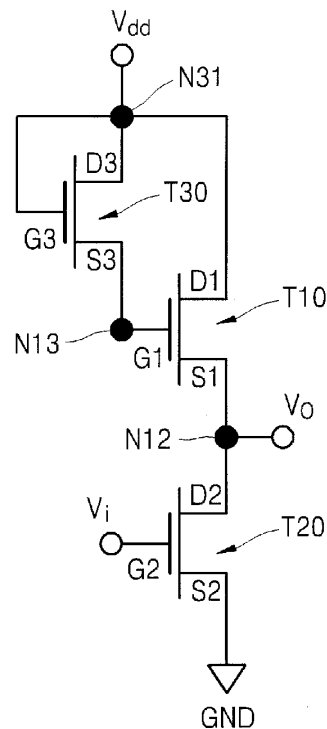
(54) 【発明の名称】 インバータ素子及びその動作方法

(57) 【要約】

【課題】本発明は、インバータ素子及びその動作方法を提供することを目的とする。

【解決手段】電源節点と接地部との間に接続された少なくとも1つの第1トランジスタが与えられ、該少なくとも1つの第1トランジスタは、第1ゲート及び第1ターミナルを備え、第1ゲート及び第1ターミナルは、昇圧節点で昇圧電圧を調節するために内部的に容量結合され、第1ターミナルは、第1トランジスタの第1ソース及び第1ドレインのいずれか一つである。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

電源節点と接地部との間に接続された少なくとも1つの第1トランジスタを備え、前記少なくとも1つの第1トランジスタは、第1ゲート及び第1ターミナルを備え、前記第1ゲート及び第1ターミナルは、昇圧節点で昇圧電圧を調節するために内部的に容量結合され、

前記第1ターミナルは、前記第1トランジスタの第1ソース及び第1ドレインのうちいずれか一つであることを特徴とするインバータ素子。

【請求項 2】

前記第1ゲート及び前記第1ターミナルは、寄生容量を介して内部的に容量結合されることを特徴とする請求項1に記載のインバータ素子。 10

【請求項 3】

前記寄生容量は、少なくとも前記第1ターミナル及び前記第1ゲートの重畳によって与えられることを特徴とする請求項1に記載のインバータ素子。

【請求項 4】

前記昇圧電圧は、前記第1トランジスタのチャンネル幅と、前記第1ターミナル及び前記第1ゲートの重畳長とに基づいて調節されることを特徴とする請求項1に記載のインバータ素子。

【請求項 5】

前記昇圧電圧は、分離されたキャパシタなしに調節されることを特徴とする請求項1に記載のインバータ素子。 20

【請求項 6】

前記電源節点と接地部との間に接続された複数のトランジスタを備えることを特徴とする請求項1に記載のインバータ素子。

【請求項 7】

前記複数のトランジスタは、前記第1ドレインに電源電圧が印加される前記第1トランジスタと、第2ゲート、第2ソース及び第2ドレインを備え、前記第2ゲートに入力電圧が印加され、前記第2ドレインは、出力電圧が出力節点に出力されるように、前記第1ソースに接続された第2トランジスタと、 30

第3ゲート、第3ソース及び第3ドレインを備え、前記第3ゲート及び前記第3ドレインに前記電源電圧が印加され、前記第3ソースが前記第1ゲートに接続された第3トランジスタとを備え、

前記第1ゲート及び前記第1ソースは、前記昇圧節点で前記昇圧電圧を制御するように、前記第1トランジスタで内部的に容量結合されたことを特徴とする請求項6に記載のインバータ素子。

【請求項 8】

前記第1ゲート及び前記第1ソースは、前記第1ゲート及び前記第1ソースの重畳による第1寄生容量によって、容量結合されたことを特徴とする請求項7に記載のインバータ素子。 40

【請求項 9】

前記第1トランジスタは、薄膜トランジスタであることを特徴とする請求項8に記載のインバータ素子。

【請求項 10】

前記第1トランジスタは、前記第1ゲート上に前記第1ソース及び前記第1ドレインが存在する逆転構造を有することを特徴とする請求項9に記載のインバータ素子。

【請求項 11】

前記第1ゲート及び前記第1ソースの重畳長は、 $0.1\ \mu\text{m}$ より大きいことを特徴とする請求項7に記載のインバータ素子。

【請求項 12】

前記第 3 ゲート及び前記第 3 ソースは、前記第 3 ゲート及び前記第 3 ソースの重畳による第 2 寄生容量によって、容量結合されたことを特徴とする請求項 7 に記載のインバータ素子。

【請求項 1 3】

前記第 3 トランジスタは、薄膜トランジスタであることを特徴とする請求項 1 2 に記載のインバータ素子。

【請求項 1 4】

前記第 3 トランジスタは、前記第 3 ゲート上に前記第 3 ソース及び前記第 3 ドレインが存在する逆転構造を有することを特徴とする請求項 1 3 に記載のインバータ素子。

【請求項 1 5】

前記第 2 ソースは、接地部に接続されることを特徴とする請求項 7 に記載のインバータ素子。

【請求項 1 6】

前記第 1 トランジスタ、前記第 2 トランジスタ及び前記第 3 トランジスタは、エンハンスメント・モード・トランジスタであることを特徴とする請求項 7 に記載のインバータ素子。

【請求項 1 7】

前記第 1 トランジスタは負荷トランジスタであり、

前記第 2 トランジスタは入力トランジスタであり、前記入力トランジスタの前記第 2 ソースが接地部に接続され、

前記第 3 トランジスタは予備充電トランジスタであり、

前記第 1 ゲート及び前記第 1 ソースは、前記第 1 ゲート及び前記第 1 ソースの重畳による第 1 寄生容量によって、容量結合されたことを特徴とする請求項 7 に記載のインバータ素子。

【請求項 1 8】

請求項 7 に記載のインバータ素子を利用したものであって、

前記第 1 ゲート及び前記第 1 ソースの重畳による第 1 寄生容量によって、前記第 1 トランジスタの前記第 1 ゲートに誘導される昇圧電圧の大きさを調節することを含むことを特徴とするインバータ素子の動作方法。

【請求項 1 9】

前記第 1 寄生容量は、前記第 1 ゲート及び前記第 1 ソースの重畳面積によって調節することを特徴とする請求項 1 8 に記載のインバータ素子の動作方法。

【請求項 2 0】

前記第 1 ゲート及び前記第 1 ソースの重畳面積は、前記第 1 ゲート及び前記第 1 ソースの重畳長によって調節することを特徴とする請求項 1 9 に記載のインバータ素子の動作方法。

【請求項 2 1】

前記第 1 ゲート及び前記第 1 ソースの重畳面積は、前記第 1 トランジスタのチャンネル幅によって調節することを特徴とする請求項 1 9 に記載のインバータ素子の動作方法。

【請求項 2 2】

前記昇圧電圧の大きさは、前記第 3 ゲート及び前記第 3 ソースの重畳による第 2 寄生容量によってさらに調節されることを特徴とする請求項 1 8 に記載のインバータ素子の動作方法。

【請求項 2 3】

前記第 2 寄生容量は、前記第 3 ゲート及び前記第 3 ソースの重畳面積によって調節することを特徴とする請求項 2 2 に記載のインバータ素子の動作方法。

【請求項 2 4】

前記第 3 ゲート及び前記第 3 ソースの重畳面積は、前記第 3 ゲート及び前記第 3 ソースの重畳長によって調節することを特徴とする請求項 2 3 に記載のインバータ素子の動作方法。

10

20

30

40

50

【請求項 25】

前記第3ゲート及び前記第3ソースの重畳面積は、前記第3トランジスタのチャンネル幅によって調節することを特徴とする請求項23に記載のインバータ素子の動作方法。

【請求項 26】

請求項1に記載のインバータ素子を利用したものであって、

前記第1ゲート及び前記第1ターミナルの重畳による寄生容量によって、前記第1トランジスタの前記第1ゲートに誘導される昇圧電圧の大きさを調節することを含むことを特徴とするインバータ素子の動作方法。

【請求項 27】

前記寄生容量は、前記第1ゲート及び前記第1ターミナルの重畳面積によって調節することを特徴とする請求項26に記載のインバータ素子の動作方法。 10

【請求項 28】

前記第1ゲート及び前記第1ターミナルの重畳面積は、前記第1ゲート及び前記第1ターミナルの重畳長によって調節することを特徴とする請求項27に記載のインバータ素子の動作方法。

【請求項 29】

前記第1ゲート及び前記第1ターミナルの重畳面積は、前記第1トランジスタのチャンネル幅によって調節することを特徴とする請求項27に記載のインバータ素子の動作方法。

【請求項 30】

前記第1ゲート及び前記第1ターミナルは、寄生容量によって内部的に容量結合され、前記寄生容量は、前記第1ターミナルと前記第1ゲートとの重畳によって与えられることを特徴とする請求項29に記載のインバータ素子の動作方法。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子に係り、特にインバータ素子及びその動作方法に関する。

【背景技術】

【0002】

インバータ素子は、ロジック回路で、入力電圧の位相を反転させて出力させるために使われる。インバータ素子は、エンハンスメント・モード (enhancement mode) トランジスタのみによって構成される、またはエンハンスメント・モード・トランジスタとデプレション・モード (depletion mode) トランジスタを組み合わせる。 30

【0003】

図1は、一般的なE/E (enhancement/enhancement) モードのインバータ素子を示している。図1を参照すれば、第1トランジスタT1及び第2トランジスタT2は、電源電圧 V_{dd} 及び接地部GND間でインバータ構造として接続される。入力電圧 V_i は、第2トランジスタT2に印加され、電源電圧 V_{dd} は、第1トランジスタT1に印加される。出力電圧 V_o は、第1トランジスタT1及び第2トランジスタT2間に出力される。第1トランジスタT1及び第2トランジスタT2は、いずれもエンハンスメント・モード・トランジスタである。 40

【0004】

そのようなE/Eモードのインバータ素子で、第1トランジスタT1は、一般的にオン (on) 状態にあるために、負荷抵抗として機能する。従って、出力電圧 V_o は、第1トランジスタT1及び第2トランジスタT2の抵抗比によって決定される。これにより、ハイレベル (high level) 出力は、電源電圧 V_{dd} と同一ではなく、電源電圧 V_{dd} から第1トランジスタT1のしきい値電圧 V_{th1} を差し引いた値 ($V_{dd} - V_{th1}$) に減る。そのような出力減少は、図11で後述するように、インバータ素子のチェーン構造で、出力パルスの振幅をだんだんと縮小させうる。

【0005】

図 2 は、一般的な E / D モードのインバータ素子を示している。図 2 を参照すれば、第 3 トランジスタ T 3 及び第 4 トランジスタ T 4 は、電源電圧 V_{dd} 及び接地部 GND 間でインバータ構造として接続される。入力電圧 V_i は第 4 トランジスタ T 4 に印加され、出力電圧 V_o は第 3 トランジスタ T 3 及び第 4 トランジスタ T 4 間に出力される。第 3 トランジスタ T 3 は、デプレッション・モード・トランジスタであり、第 4 トランジスタ T 4 は、エンハンスメント・モード・トランジスタである。

【 0 0 0 6 】

そのような E / D モードのインバータ素子で、ハイレベル出力は、ほぼ電源電圧 V_{dd} と同じになりうる。しかし、そのようなインバータ素子は、図 9 で後述するように、信号伝播時間 (signal propagation time) が長いという短所がある。

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明がなそうとする技術的課題は、十分な出力電圧を与え、かつ信号伝送時間の短いインバータ素子を提供するところにある。

【 0 0 0 8 】

本発明がなそうとする他の技術的課題は、前記インバータ素子の効率的な動作方法を提供するところにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

20

前記技術的課題を達成するための本発明の一実施形態によるインバータ素子が提供される。電源節点と接地部との間に接続された少なくとも 1 つの第 1 トランジスタが与えられる。前記少なくとも 1 つの第 1 トランジスタは、第 1 ゲート及び第 1 ターミナルを備え、前記第 1 ゲート及び第 1 ターミナルは、昇圧節点で昇圧電圧を調節するために内部的に容量結合され、前記第 1 ターミナルは、前記第 1 トランジスタの第 1 ソース及び第 1 ドレインのうちいずれか一つである。

【 0 0 1 0 】

前記本発明によるインバータ素子において、前記第 1 ゲート及び前記第 1 ソースは、前記第 1 ゲート及び前記第 1 ソースの重畳による第 1 寄生容量によって容量結合される。

【 0 0 1 1 】

30

前記本発明によるインバータ素子において、前記電源節点と接地部との間に接続された複数のトランジスタが与えられる。前記複数のトランジスタは、前記第 1 ドレインに電源電圧が印加される前記第 1 トランジスタと、第 2 ゲート、第 2 ソース及び第 2 ドレインを備え、前記第 2 ゲートに入力電圧が印加され、前記第 2 ドレインは、出力電圧が出力節点に出力されるように、前記第 1 ソースに接続された第 2 トランジスタと、第 3 ゲート、第 3 ソース及び第 3 ドレインを備え、前記第 3 ゲート及び前記第 3 ドレインに前記電源電圧が印加され、前記第 3 ソースが前記第 1 ゲートに接続された第 3 トランジスタとを備える。前記第 1 ゲート及び前記第 1 ソースは、前記昇圧節点で前記昇圧電圧を制御するように、前記第 1 トランジスタで内部的に容量結合される。ここで、前記第 3 ゲート及び前記第 3 ソースは、前記第 3 ゲート及び前記第 3 ソースの重畳による第 2 寄生容量によって容量結合されうる。

40

【 0 0 1 2 】

前記本発明によるインバータ素子において、前記第 1 トランジスタ及び / または前記第 3 トランジスタは、薄膜トランジスタ (T F T)、例えば逆転構造の薄膜トランジスタでありうる。

【 0 0 1 3 】

前記本発明によるインバータ素子において、前記第 1 トランジスタ、前記第 2 トランジスタ及び前記第 3 トランジスタは、エンハンスメント・モード・トランジスタでありうる。

【 0 0 1 4 】

50

前記本発明によるインバータ素子において、前記第 1 トランジスタは負荷トランジスタであり、前記第 2 トランジスタは入力トランジスタであり、前記入力トランジスタの前記第 2 ソースが接地部に接続され、前記第 3 トランジスタは予備充電トランジスタである。

【0015】

前記他の技術的課題を達成するための本発明の一実施形態によるインバータ素子の動作方法が提供される。これによれば、前記第 1 ゲート及び前記第 1 ソースの重畳による第 1 寄生容量によって、前記出力電圧から前記第 1 トランジスタの前記第 1 ゲートに誘導される昇圧電圧の大きさを調節することが提供される。

【0016】

前記インバータ素子の動作方法において、前記昇圧電圧の大きさは、前記第 3 ゲート及び前記第 3 ソースの重畳による第 2 寄生容量によってさらに調節されうる。

10

【0017】

前記インバータ素子の動作方法において、前記第 1 寄生容量及び前記第 2 寄生容量は、それぞれ前記第 1 ゲート及び前記第 1 ソースの重畳面積、前記第 3 ゲート及び前記第 3 ソースの重畳面積によって調節されうる。

【0018】

前記インバータ素子の動作方法において、前記第 1 ゲート及び前記第 1 ソースの重畳面積は、前記第 1 ゲート及び前記第 1 ソースの重畳長及び / または前記第 1 トランジスタのチャンネル幅によって調節されうる。

【0019】

前記インバータ素子の動作方法において、前記第 3 ゲート及び前記第 3 ソースの重畳面積は、前記第 3 ゲート及び前記第 3 ソースの重畳長及び / または前記第 3 トランジスタのチャンネル幅によって調節されうる。

20

【発明の効果】

【0020】

本発明によるインバータ素子によれば、別途の分離されたキャパシタなしに、負荷トランジスタに内在された第 1 寄生容量によって、出力電圧を高めることができ、信号伝播時間を縮めることができる。従って、本発明によるインバータ素子は、高い動作速度を具現できる。

【0021】

本発明によるインバータ素子によれば、負荷トランジスタのゲートに誘導される昇圧電圧を、負荷トランジスタのゲートとソースとの重畳面積を調節し、さらに予備充電トランジスタのゲートとソースとの重畳面積を調節して容易に調節できる。

30

【図面の簡単な説明】

【0022】

【図 1】一般的な E / E モードのインバータ素子を示す回路図である。

【図 2】一般的な E / D モードのインバータ素子を示す回路図である。

【図 3】本発明の一実施例によるインバータ素子を示す回路図である。

【図 4】図 3 のインバータ素子の動作について説明するための回路図である。

【図 5】図 3 のインバータ素子で、トランジスタを例示的に示す断面図である。

40

【図 6】図 3 のインバータ素子で、トランジスタを例示的に示す断面図である。

【図 7】図 3 のインバータ素子に係る、シミュレーションを介して得られたゲート電圧 - 電流特性を示すグラフである。

【図 8】図 7 の結果から得られた重畳長 - 電流特性を示すグラフである。

【図 9】図 2 及び図 3 のインバータ素子に係る、シミュレーションを介して得られた時間 - 電流特性を示すグラフである。

【図 10】図 1 及び図 3 のインバータ素子に係る、シミュレーションを介して得られた時間 - 電圧特性を示すグラフである。

【図 11】図 1 ないし図 3 のインバータ素子の 7 レベルチェーン構造に係る、シミュレーションを介して得られた時間 - 電圧特性を示すグラフである。

50

【発明を実施するための形態】

【0023】

以下、添付した図面を参照しつつ、本発明による望ましい実施例について説明することによって、本発明について詳細に説明する。しかし、本発明は、以下で開示される実施例に限定されるものではなく、互いに異なる多様な実施形態で具現され、本実施例は、単に本発明の開示を完全なものにするためのものであり、本発明の技術分野の当業者に発明の範疇を完全に知らせるために提供されるものである。図面での構成要素は、説明の便宜のために、その大きさが誇張されうる。

【0024】

図3は、本発明の一実施例によるインバータ素子を示す回路図であり、図4は、図3のインバータ素子の動作について説明するための回路図である。

10

【0025】

図3を参照すれば、インバータ素子は、電源節点(power node) N31及び接地部(ground) GND間に少なくとも1つのトランジスタ、例えば第1トランジスタT10、第2トランジスタT20及び第3トランジスタT30を備えることができる。第1トランジスタT10及び第3トランジスタT30は、電源節点N31及び出力節点N12間に結合され、第2トランジスタT20は、出力節点N12及び接地部GND間に結合されうる。電源電圧 V_{dd} は、電源節点N31を介して印加され、出力電圧 V_o は、出力節点N12を介して出力されうる。第1トランジスタT10は負荷トランジスタと呼ばれ、第2トランジスタT20は入力トランジスタと呼ばれ、第3トランジスタT30は予備充電トランジスタ(pre-charge transistor)と呼ばれもする。

20

【0026】

第1トランジスタT10は、第1ゲートG1と、第1ターミナル、例えば第1ドレインD1及び/または第1ソースS1とを備えることができる。第2トランジスタT20は、第2ゲートG2と、第2ターミナル、例えば第2ドレインD2及び/または第2ソースS2とを備えることができる。第3トランジスタT30は、第3ゲートG3と、第3ターミナル、例えば第3ドレインD3及び/または第3ソースS3とを備えることができる。

【0027】

例えば、第1トランジスタT10、第2トランジスタT20及び第3トランジスタT30は、いずれもエンハンスメント・モード(enhancement-mode)のN型MOS(metal oxide semiconductor)トランジスタでありうる。エンハンスメント・モードは、デプレション・モード(depletion-mode)と対比的に使われうる。エンハンスメント・モードのトランジスタは、一般的に(normally)オフ(off)状態にあり、デプレション・モードのトランジスタは、一般的にオン(on)状態にある。

30

【0028】

電源電圧 V_{dd} は、電源節点N31を介して第1ドレインD1、第3ドレインD3及び第3ゲートG3に印加されうる。入力電圧 V_i は、第2ゲートG2に印加されうる。第3ソースS3は昇圧節点(boost node) N13を介して第1ゲートG1に接続されうる。第1ソースS1及び第2ドレインD2は、出力節点N12を介して互いに接続されうる。これにより、出力電圧 V_o は、第1ソースS1または第2ドレインD2から、出力節点N12を介して出力されうる。第2ソースS2は、接地部GNDに接続されうる。

40

【0029】

本実施例のインバータ素子で、昇圧節点N13及び出力節点N12間に分離されたキャパシタがない。代わりに、第1ゲートG1及び第1ソースS1は、第1トランジスタT10内部的に容量結合(capacitive-coupled)されうる。例えば、図4に図示されているように、第1ゲートG1及び第1ソースS1は、その重畳による第1寄生容量C10によって容量結合されうる。しかし、そのような第1寄生容量C10は、別途の構成要素なしに第1トランジスタT10に内在的であるということから点線で表示され、別途に分離されて与えられるキャパシタによる容量とは区別されうる。そのような第1寄生容量C10によって、昇圧節点N13及び出力節点N12は、容量的に結合されうる。

50

【 0 0 3 0 】

選択的に、第3ゲートG3及び第1ソースS3は、第3トランジスタT30内部的に容量結合されうる。例えば、図4に図示されているように、第3ゲートG3及び第3ソースS3は、その重畳による第2寄生容量C30によって容量結合されうる。しかし、そのような第2寄生容量C30は、第1寄生容量C10と同様に、別途の構成要素なしに第3トランジスタT30に内在的であるという点で、別途に分離されて与えられるキャパシタの容量とは区別されうる。そのような第2寄生容量C30によって、電源節点N31及び昇圧節点N13は容量的に結合されうる。

【 0 0 3 1 】

図4を参照し、図3のインバータ素子の動作特性について説明する。

10

【 0 0 3 2 】

図4を参照すれば、入力電圧 V_i がハイレベル (high level) である場合、第2トランジスタT20がターンオン (turn-on) される。これにより、出力節点N12と接地部GNDとが互いに接続されるとともに、出力電圧 V_o は、入力電圧 V_i の反対であるローレベル (low level) になりうる。

【 0 0 3 3 】

一方、入力電圧 V_i がローレベルである場合、第2トランジスタT20は、ターンオフ (turn-off) される。これにより、出力節点N12と接地部GNDとは断絶されうる。電源電圧 V_{dd} はハイレベルであるので、第3トランジスタT30がターンオンされて昇圧節点N13が充電されうる。昇圧節点N13が、電源電圧 V_{dd} から第3トランジスタT30のスレシヨルド電圧 V_{th30} を差し引いた値 ($V_{dd} - V_{th30}$) ほど充電された後、第3トランジスタT30はターンオフされる。これにより、昇圧節点N13はフローティングされる。

20

【 0 0 3 4 】

昇圧節点N13が充電されることによって第1トランジスタT10がターンオンされ、出力節点N12の電圧が上昇する。出力節点N12の電圧が上がることにより、第1寄生容量C10によって昇圧節点N13の電圧が昇圧されうる。これにより、第1ゲートG1に印加された電圧が大きくなり、出力電圧 V_o が大きくなりうる。すなわち、出力電圧 V_o は、電源電圧 V_{dd} から第1トランジスタT10のスレシヨルド電圧 V_{th10} を差し引いた値 ($V_{dd} - V_{th10}$) より大きくなり、理想的には電源電圧 V_{dd} に近接した値でありうる。すなわち、別途の分離されたキャパシタなしでも、第1寄生容量C10によって、出力電圧 V_o を高めることができる。

30

【 0 0 3 5 】

第1寄生容量C10と第2寄生容量C30が共にある場合、昇圧節点N13での昇圧電圧 V は、第1寄生容量C10及び第2寄生容量C30の結合によって、次の式(1)のように求めることができる。

【 0 0 3 6 】

【 数 1 】

$$\Delta V = V_{dd} \times (C10 / (C10 + C30)) \quad (1)$$

40

【 0 0 3 7 】

一方、第1寄生容量C10は、第1ゲートG1と第1ソースS1との重畳面積を調節することによって調節され、第2寄生容量C30は、第3ゲートG3と第3ソースS3との重畳面積によって調節されうる。従って、式(1)は、下の式(2)のように展開できる。

【 0 0 3 8 】

【 数 2 】

$$\Delta V = V_{dd} \times (W10 \times L10 / (W10 \times L10 + W30 \times L30)) \quad (2)$$

【 0 0 3 9 】

50

L 1 0 は、第 1 ゲート G 1 と第 1 ソース S 1 との重畳長を示し、L 3 0 は、第 3 ゲート G 3 と第 3 ソース S 3 との重畳長を示す。W 1 0 は、第 1 トランジスタ T 1 0 のチャンネル幅を示し、W 3 0 は、第 3 トランジスタ T 3 0 のチャンネル幅を示す。ここで、第 1 ゲート G 1 と第 1 ソース S 1 との間の誘電定数と、第 3 ゲート G 3 と第 3 ソース S 3 との間の誘電定数とが同じであると仮定したが、本実施例がそのような例に限定されるものではない。

【 0 0 4 0 】

前記式 (1) 及び式 (2) から、第 1 寄生容量 C 1 0 を大きくして第 2 寄生容量 C 3 0 を小さくするほど、昇圧電圧 V が大きくなることが分かる。さらに、第 1 ゲート G 1 と第 1 ソース S 1 との重畳長 L 1 0、及び / または第 1 トランジスタのチャンネル幅 W 1 0 を大きくし、第 3 ゲート G 3 と第 1 ソース S 3 の重畳長 L 3 0 及び / または第 3 トランジスタのチャンネル幅 W 3 0 を小さくするほど、昇圧電圧 V が大きくなることが分かる。

10

【 0 0 4 1 】

第 1 寄生容量 C 1 0 及び第 2 寄生容量 C 3 0 は、バルク基板を利用した場合よりも、薄膜トランジスタ (T F T : thin film transistor ; T F T) で容易に調節されうる。図 5 及び図 6 は、図 3 のインパータ素子で使われうる薄膜トランジスタを例示的に示している。

【 0 0 4 2 】

図 5 を参照すれば、例えば、基板 1 0 5 上に、絶縁層 1 1 0 を介在してボトムゲート電極 1 1 5 が与えられうる。ゲート絶縁層 1 2 0 は、ボトムゲート電極 1 1 5 上に与えられうる。チャンネル層 1 2 5 は、ゲート絶縁層 1 2 0 上に与えられうる。ソース電極 1 3 0 及びドレイン電極 1 4 0 は、チャンネル層 1 2 5 上に離隔配置されうる。そのような構造は、ボトムゲート電極 1 1 5 上に、チャンネル層 1 2 5、ソース電極 1 3 0 及びドレイン電極 1 4 0 が存在するということから、逆転構造 (inverted structure) と呼ばれうる。

20

【 0 0 4 3 】

ボトムゲート電極 1 1 5 は、図 3 の第 1 ゲート G 1、第 2 ゲート G 2 または第 3 ゲート G 3 に対応しうる。ソース電極 1 3 0 は、図 3 の第 1 ソース S 1、第 2 ソース S 2 または第 3 ソース S 3 に対応しうる。ドレイン電極 1 4 0 は、図 3 の第 1 ドレイン D 1、第 2 ドレイン D 2 または第 3 ドレイン D 3 に対応しうる。

【 0 0 4 4 】

例えば、チャンネル層 1 2 5 は、半導体酸化物を含むことができる。そのような半導体酸化物は、亜鉛酸化物 (例えば、Z n O)、スズ酸化物 (例えば、S n O ₂)、インジウム - スズ酸化物 (例えば、I T O)、インジウム - 亜鉛酸化物 (例えば、I Z O)、銅酸化物 (例えば、C u ₂ O)、ニッケル酸化物 (例えば、N i O)、チタン酸化物 (例えば、T i O ₂)、(アルミニウム , ガリウム , インジウム) - ドープされた亜鉛酸化物 (Z n O)、(窒素 , リン , ヒ素) - ドープされた亜鉛酸化物 (Z n O) または非晶質 - G I Z O (例えば、G a ₂ O ₃ - I n ₂ O ₃ - Z n O) を含むことができる。他の例として、チャンネル層 1 2 5 は、非晶質シリコン、ポリシリコン、ゲルマニウム (G e) またはポリマーを含むことができる。

30

【 0 0 4 5 】

ボトムゲート電極 1 1 5 とソース電極 1 3 0 との間、またはボトムゲート電極 1 1 5 とドレイン電極 1 4 0 との間の重畳長 L o は、ソース電極 1 3 0 またはドレイン電極 1 4 0 の位置を調節することによって、容易に調節されうる。

40

【 0 0 4 6 】

図 6 を参照すれば、基板 2 0 5 上にチャンネル層 2 2 5 が与えられ、チャンネル層 2 2 5 の両側に、ソース電極 2 3 0 及びドレイン電極 2 4 0 が接続されうる。ゲート絶縁層 2 2 0 は、チャンネル層 2 2 5 上に与えられ、上部ゲート電極 2 1 5 は、ゲート絶縁層 2 2 0 上に与えられうる。そのような構造は、上部ゲート電極 2 1 5 がチャンネル層 2 2 5、ソース電極 2 3 0 及びドレイン電極 2 4 0 上に形成されるという点で、図 5 の構造と対比されうる。

50

【 0 0 4 7 】

上部ゲート電極 2 1 5 は、図 3 の第 1 ゲート G 1、第 2 ゲート G 2 または第 3 ゲート G 3 に対応しうる。ソース電極 2 3 0 は、図 3 の第 1 ソース S 1、第 2 ソース S 2 または第 3 ソース S 3 に対応しうる。ドレイン電極 2 4 0 は、図 3 の第 1 ドレイン D 1、第 2 ドレイン D 2 または第 3 ドレイン D 3 に対応しうる。

【 0 0 4 8 】

上部ゲート電極 2 1 5 とソース電極 2 3 0 との間、または上部ゲート電極 2 1 5 とドレイン電極 2 4 0 との間の重畳長 L_o は、上部ゲート電極 2 1 5 のゲート長さを調節する、またはソース電極 2 3 0 またはドレイン電極 2 4 0 の位置を調節することによって、調節されうる。上部ゲート電極 2 1 5 の寸法は、厳格に制限される場合が多いということを考慮すれば、ソース電極 2 3 0 またはドレイン電極 2 4 0 の位置調節がさらに好まれるであろう。

10

【 0 0 4 9 】

ただし、ソース電極 2 3 0 またはドレイン電極 2 4 0 の位置調節後、上部ゲート電極 2 1 5 の整列をさらに考慮せねばならないという点で、図 5 の逆転構造の方が図 6 の普通構造に比べ、重畳長 L_o 調節面ではさらに容易でありうる。

【 0 0 5 0 】

図 7 は、図 3 のインバータ素子に対してシミュレーションを介して得られたゲート電圧 - 電流特性を示すグラフである。図 8 は、図 7 の結果から得られた重畳長 - 電流特性を示すグラフである。図 7 及び図 8 は、図 5 の薄膜トランジスタを利用した結果であり、重畳長 L_o は、図 3 での第 1 ゲート G 1 と第 1 ソース S 1 との重畳長を示す。

20

【 0 0 5 1 】

図 7 及び図 8 を参照すれば、重畳長 L_o が大きくなるほど飽和状態の電流値が大きくなることが分かる。ここで、電流は、図 3 の出力節点 N 1 2 から出力される出力電流を示す。そのような出力電流の上昇は、図 3 での出力電圧 V_o の上昇を意味し、結果的に動作速度の上昇を意味する。従って、重畳長 L_o を大きくすることにより、出力電圧 V_o を高めることができ、動作速度を速めることができる。

【 0 0 5 2 】

特に、図 8 に図示されているように、重畳長 L_o がおよそ $0.1 \mu\text{m}$ より大きい場合、出力電流はほぼ飽和する。従って、効果的な出力電圧 V_o の上昇のためには、重畳長 L_o を約 $0.1 \mu\text{m}$ より大きくする必要がある。

30

【 0 0 5 3 】

以下では、第 1 インバータ素子ないし第 3 インバータ素子の特性を比較して説明する。

【 0 0 5 4 】

図 9 は、図 2 及び図 3 のインバータ素子に係る、シミュレーションを介して得られた時間 - 電流特性を示すグラフである。

【 0 0 5 5 】

図 9 を参照すれば、入力電圧 V_i に対して、図 3 のインバータ素子に対する出力電圧 V_{o3} と図 2 のインバータ素子に対する出力電圧 V_{o2} とが比較されうる。出力電圧 V_{o3} は、ハイレベルでおよそ 5 V であり、ローレベルでおよそ 0.7 V である。出力電圧 V_{o2} は、ハイレベルでおよそ 5 V であり、ローレベルでおよそ 0.17 V である。一方、信号伝播時間は、出力電圧 V_{o3} の場合、約 0.75 ns であり、出力電圧 V_{o2} の場合、およそ 4.5 ns である。従って、図 3 のインバータ素子は、図 2 のインバータ素子と比較し、ハイレベルの出力は類似しているが、信号伝播時間面で有利であるということが分かる。

40

【 0 0 5 6 】

図 10 は、図 1 及び図 3 のインバータ素子に係る、シミュレーションを介して得られた時間 - 電圧特性を示すグラフである。

【 0 0 5 7 】

図 10 を参照すれば、入力電圧 V_i に係る、図 3 のインバータ素子に対する出力電圧 V

50

o₃と図1のインバータ素子に対する出力電圧V_{o₁}とが比較されうる。出力電圧V_{o₃}は、ハイレベルでおよそ4.7Vであり、ローレベルでおよそ0.43Vである。出力電圧V_{o₁}は、ハイレベルでおよそ4.3Vであり、ローレベルでおよそ0.7Vである。一方、信号伝播時間は、出力電圧V_{o₃}の場合、およそ1.6nsであり、出力電圧V_{o₁}の場合、およそ1.7nsである。従って、図3のインバータ素子は、図1のインバータ素子と比較し、信号伝播時間面では類似しているが、ハイレベル出力面では、有利である。

【0058】

図11は、図1ないし図3のインバータ素子の7レベルチェーン構造に係る、シミュレーションを介して得られた時間-電圧特性を示すグラフである。

10

【0059】

図11を参照すれば、入力電圧V_iに対して、図3のインバータ素子のチェーンに係る出力電圧V_{o₃}、図1のインバータ素子のチェーンに係る出力電圧V_{o₁}、及び図2のインバータ素子のチェーンに係る出力電圧V_{o₂}が比較されうる。出力電圧V_{o₁}は、ハイレベルでおよそ1.9Vであり、ローレベルでおよそ1.58Vであり、およそ6nsの信号伝播時間を有する。出力電圧V_{o₂}は、ハイレベルでおよそ3.4Vであり、ローレベルでおよそ0.21Vであり、およそ38nsの信号伝播時間を有する。出力電圧V_{o₃}は、ハイレベルでおよそ2.5Vであり、ローレベルでおよそ1.2Vであり、およそ6nsの信号伝播時間を有する。

【0060】

20

従って、図3のインバータ素子のチェーン構造を利用して十分なハイレベル出力を得て、同時に信号伝播時間を縮めることができる。

【0061】

発明の特定実施例に係る以上の説明は、例示及び説明を目的として提供されたものである。従って、本発明は、前記実施例に限定されるものではなく、本発明の技術的思想内で、当該分野で当業者によって、前記実施例を組み合わせるなど、多くの様々な修正及び変更が可能であることは明白である。

【産業上の利用可能性】

【0062】

本発明のインバータ素子及びその動作方法は、例えば、電源関連の技術分野に効果的に適用可能である。

30

【符号の説明】

【0063】

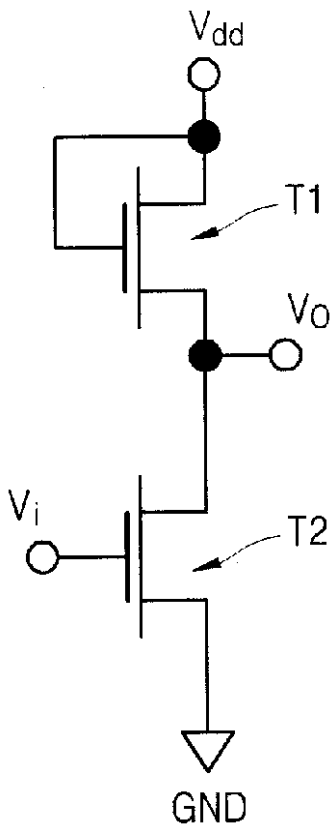
- 105, 205 基板
- 110 絶縁層
- 115 ボトムゲート電源
- 120, 220 ゲート絶縁層
- 125, 225 チャンネル層
- 130, 230 ソース電極
- 140, 240 ドレイン電極
- 215 上部ゲート電極
- D1 第1ドレイン
- D2 第2ドレイン
- D3 第3ドレイン
- G1 第1ゲート
- G2 第2ゲート
- G3 第3ゲート
- S1 第1ソース
- S2 第2ソース
- S3 第3ソース

40

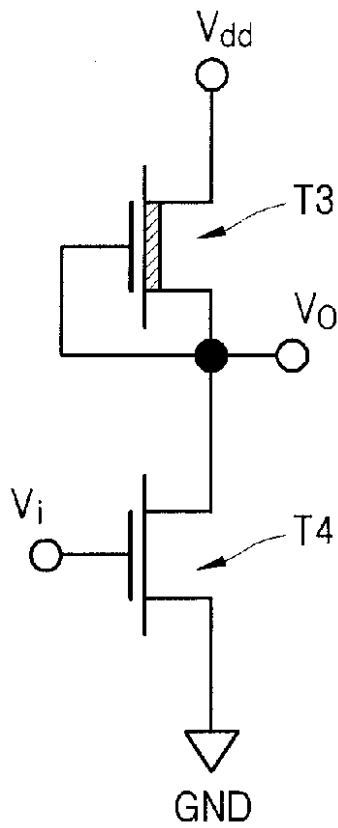
50

- T 1 , T 1 0 第 1 トランジスタ
- T 1 , T 2 0 第 2 トランジスタ
- T 3 , T 3 0 第 3 トランジスタ
- T 4 第 4 トランジスタ
- N 1 2 出力 節 点
- N 1 3 昇 圧 節 点
- N 3 1 電 源 節 点
- V d d 電 源 電 圧
- V i 入 力 電 圧
- V o 出 力 電 圧
- G N D 接 地 部
- C 1 0 第 1 寄 生 容 量
- C 3 0 第 2 寄 生 容 量
- L o 重 疊 長

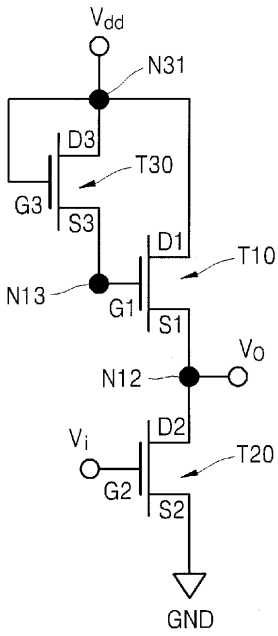
【 図 1 】



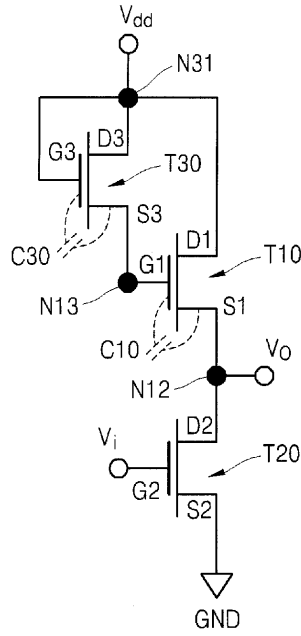
【 図 2 】



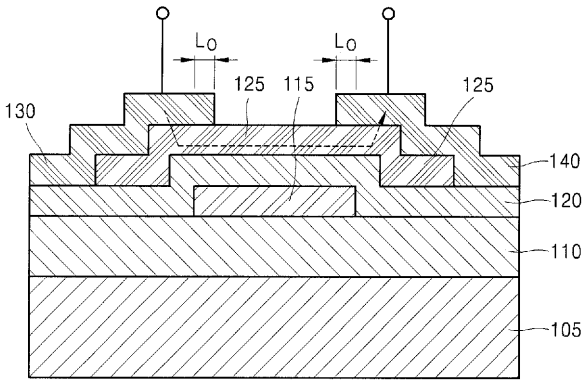
【 図 3 】



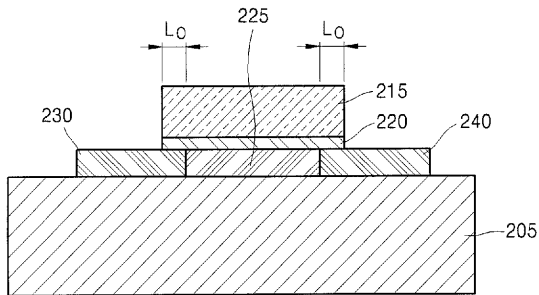
【 図 4 】



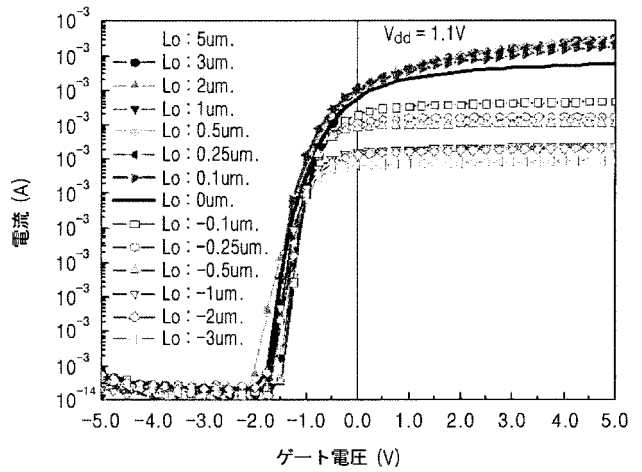
【 図 5 】



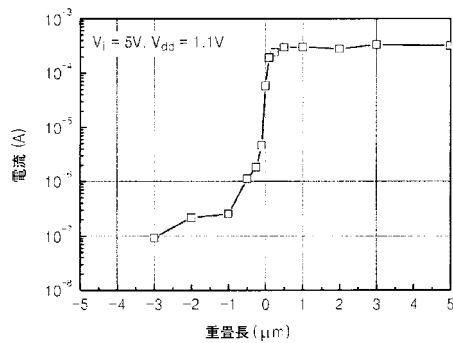
【 図 6 】



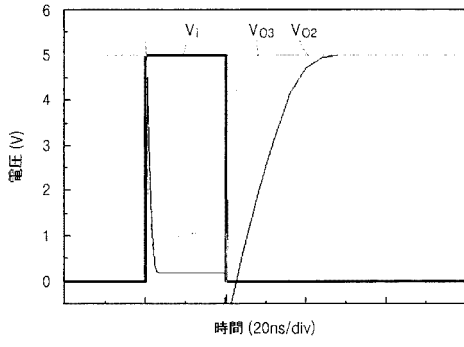
【 図 7 】



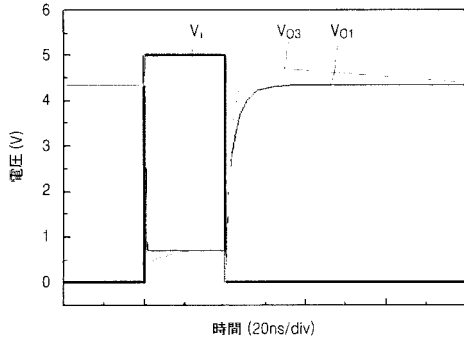
【 図 8 】



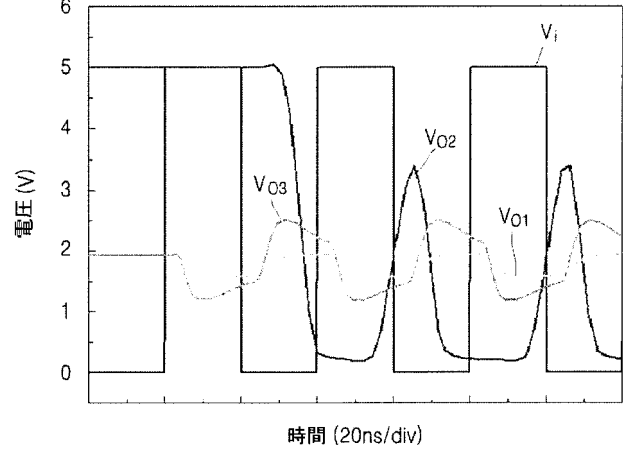
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 殷 華湘

大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

(72)発明者 朴 永洙

大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

(72)発明者 朴 宰徹

大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

(72)発明者 金 善日

大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

Fターム(参考) 5J042 BA00 CA07 CA27 DA00 DA03

5J056 AA03 AA04 BB04 CC00 CC04 DD13 DD18 DD27 EE06 FF08

GG09 KK01 KK02 KK03