

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4298559号
(P4298559)

(45) 発行日 平成21年7月22日 (2009. 7. 22)

(24) 登録日 平成21年4月24日 (2009. 4. 24)

(51) Int. Cl.	F I
H05K 3/46 (2006.01)	H05K 3/46 Q
H01L 23/12 (2006.01)	H05K 3/46 B
	H01L 23/12 B
	H01L 23/12 N

請求項の数 18 (全 19 頁)

(21) 出願番号	特願2004-96660 (P2004-96660)	(73) 特許権者	000190688
(22) 出願日	平成16年3月29日 (2004. 3. 29)		新光電気工業株式会社
(65) 公開番号	特開2005-286036 (P2005-286036A)		長野県長野市小島田町80番地
(43) 公開日	平成17年10月13日 (2005. 10. 13)	(74) 代理人	100091672
審査請求日	平成18年11月24日 (2006. 11. 24)		弁理士 岡本 啓三
		(72) 発明者	春原 昌宏
			長野県長野市小島田町80番地 新光電気
			工業株式会社内
		(72) 発明者	村山 啓
			長野県長野市小島田町80番地 新光電気
			工業株式会社内
		(72) 発明者	加藤 広幸
			長野県長野市小島田町80番地 新光電気
			工業株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品実装構造及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

樹脂層と、前記樹脂層上に形成され、開口部を備えたプリプレグ絶縁層とにより構成されたコア基板であって、前記プリプレグ絶縁層の開口部によって凹部が設けられた構造の前記コア基板と、

前記コア基板の凹部内の前記樹脂層上に、電子部品の接続パッドが上側になって実装された前記電子部品とを有することを特徴とする電子部品実装構造。

【請求項 2】

プリプレグ絶縁層と、前記プリプレグ絶縁層上に形成された樹脂層とにより構成されるコア基板と、

前記コア基板の前記樹脂層に、電子部品の接続パッドが上側になって埋設された前記電子部品とを有することを特徴とする電子部品実装構造。

【請求項 3】

前記コア基板及び電子部品の上方に、前記電子部品の接続パッドに電氣的に接続される配線パターンが形成されていることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造。

【請求項 4】

前記配線パターンは n 層 (n は 1 以上) で構成されており、最上の前記配線パターンに上側電子部品がフリップチップ接続されていることを特徴とする請求項 3 に記載の電子部品実装構造。

【請求項 5】

前記コア基板の両面には、該コア基板を貫通するビアホールを介して相互接続された配線パターンが形成されており、前記電子部品の接続パッドに電氣的に接続された配線パターンは、前記コア基板の両面に形成された前記配線パターンと電氣的に接続されていることを特徴とする請求項 3 又は 4 に記載の電子部品実装構造。

【請求項 6】

前記コア基板の下面側には、 n 層 (n は 1 以上) で構成される前記配線パターンが形成されており、最下の前記配線パターンの部分に外部接続端子が設けられる外部用接続部が画定されていることを特徴とする請求項 5 に記載の電子部品実装構造。

【請求項 7】

前記配線パターンは n 層 (n は 1 以上) で構成されており、最上の前記配線パターンには、上側電子部品がフリップチップ接続され、かつ、前記上側電子部品から外側の前記最上の配線パターンの部分に外部接続端子が設けられる外部用接続部が画定されていることを特徴とする請求項 3 に記載の電子部品実装構造。

【請求項 8】

前記電子部品は、表面に、ペリフェラル型で配置された前記接続パッドと、該接続パッドを露出させるパシベーション膜とが設けられており、

前記配線パターンは、前記パシベーション膜に接触した状態で前記電子部品の接続パッドに直接接続され、かつ該接続パッドから前記電子部品の外側に延在して形成されていることを特徴とする請求項 3 に記載の電子部品実装構造。

【請求項 9】

前記電子部品は半導体チップであることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の電子部品実装構造。

【請求項 10】

樹脂層の上に、開口部が設けられたプリプレグを配置し、加熱／加圧して前記樹脂層上に前記プリプレグを接着することにより、前記開口部によって凹部が設けられた構造のコア基板を得る工程と、

前記コア基板の凹部内の樹脂層上に、電子部品の接続パッドを上側にして前記電子部品を実装する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 11】

プリプレグ上に、樹脂層を配置し、電子部品の接続パッドを上側にして前記電子部品を前記樹脂層上に配置する工程と、

前記プリプレグ、前記樹脂層及び前記電子部品を加熱／加圧することにより、前記プリプレグと前記樹脂層とを接着し、かつ、前記樹脂層に前記電子部品を埋設して実装する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 12】

前記電子部品を実装する工程の後に、前記コア基板及び電子部品の上方に、前記電子部品の接続パッドに電氣的に接続される配線パターンを形成する工程をさらに有することを特徴とする請求項 10 又は 11 に記載の電子部品実装構造の製造方法。

【請求項 13】

前記電子部品の接続パッドに電氣的に接続される配線パターンを形成する工程は、

前記コア基板を貫通するビアホールを介して相互接続される配線パターンを前記コア基板の両面にそれぞれ形成する工程と、

前記コア基板及び前記電子部品の上方に、前記電子部品の接続パッド及びコア基板上の前記配線パターンにそれぞれ電氣的に接続される配線パターンを形成する工程とを含むことを特徴とする請求項 12 に記載の電子部品実装構造の製造方法。

【請求項 14】

前記樹脂層の下面には銅箔が形成されており、

前記電子部品を実装する工程の後に、

前記コア基板を貫通するビアホールを介して相互接続される配線パターンを前記コア基

10

20

30

40

50

板の両面にそれぞれ形成する工程と、

前記コア基板及び前記電子部品の上方に、前記電子部品の接続パッド及びコア基板上の前記配線パターンにそれぞれ電氣的に接続される配線パターンを形成する工程とをさらに有し、

前記コア基板の下面の配線パターンは前記銅箔がパターニングされて形成されることを特徴とする請求項 10 に記載の電子部品実装構造の製造方法。

【請求項 15】

前記配線パターンを形成する工程は、 n 層 (n は 1 以上の整数) の配線パターンを形成することを含み、前記 n 層の配線パターンの最上の前記配線パターンに上側電子部品をフリップチップ接続する工程をさらに有することを特徴とする請求項 12 に記載の電子部品実装構造の製造方法。

10

【請求項 16】

前記配線パターンを形成する工程は、 n 層 (n は 1 以上の整数) の配線パターンを形成することを含み、前記配線パターンを形成する工程の後に、前記 n 層の配線パターンの最上の配線パターンに上側電子部品をフリップチップ接続すると共に、前記上側電子部品から外側の前記最上の配線パターンに該上側電子部品の高さよりも高い外部接続端子を形成する工程をさらに有することを特徴とする請求項 12 に記載の電子部品実装構造の製造方法。

【請求項 17】

前記電子部品は、表面に、ペリフェラル型で配置された前記接続パッドと、該接続パッドを露出させるパシベーション膜とを備え、

20

前記電子部品の接続パッドに電氣的に接続される配線パターンを形成する工程において、前記配線パターンを、前記電子部品の接続パッドに前記パシベーション膜に接触した状態で直接接続すると共に、前記接続パッドから前記電子部品の外側に延在して形成することを特徴とする請求項 12 に記載の電子部品実装構造の製造方法。

【請求項 18】

前記電子部品は半導体チップであることを特徴とする請求項 10 乃至 17 のいずれか一項に記載の電子部品実装構造の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は電子部品実装構造及びその製造方法に係り、より詳しくは、薄型化に容易に対応できる電子部品実装構造及びその製造方法に関する。

【背景技術】

【0002】

マルチメディア機器を実現するためのキーテクノロジーである L S I 技術はデータ伝送の高速化、大容量化に向かって着実に開発が進んでいる。これに伴って、L S I と電子機器とのインターフェイスとなる実装技術の高密度化が進められている。

【0003】

例えば、特許文献 1 には、リード部品を介さないでプリント配線基板と半導体チップを電氣的に接続するために、凹部が設けられた一体型のコア基板の該凹部に半導体チップを実装し、それらの上に半導体チップに接続される多層配線を形成することが記載されている。

40

【0004】

また、特許文献 2 には、配線基板上に複数の半導体チップが絶縁層に埋設された状態で 3 次元的に実装され、絶縁層を介して多層に形成された配線パターンにより複数の半導体チップが相互接続された構造の半導体装置が記載されている。

【特許文献 1】特開 2002-170840 号公報

【特許文献 2】特開 2000-323645 号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0005】

ところで、半導体チップが配線基板上に3次元的に積層された半導体装置では、小型化に加えて全体の厚みを薄型化することが要求されている。

【0006】

上記した特許文献1及び2では、半導体装置の全体の厚みを薄型化することに関しては何ら考慮されていない。

【0007】

本発明は以上の課題を鑑みて創作されたものであり、薄型化の要求に容易に対応できる電子部品実装及びその製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明は電子部品実装構造に係り、樹脂層と、前記樹脂層上に形成され、開口部を備えたプリプレグ絶縁層とにより構成されたコア基板であって、前記プリプレグの開口部によって凹部が設けられた構造の前記コア基板と、前記コア基板の凹部内の前記樹脂層上に、電子部品の接続パッドが上側になって実装された前記電子部品とを有することを特徴とする。

【0009】

本発明では、コア基板は、樹脂層上に、開口部が設けられたプリプレグ絶縁層が形成されたものであり、プリプレグ絶縁層の開口部によってコア基板に凹部が設けられた構成となっている。プリプレグ絶縁層は、ガラスクロスなどを樹脂に含浸させたプリプレグが硬化したものである。コア基板の凹部の底部には、電子部品の接続パッドが上側になった状態で該電子部品が実装されている。

20

【0010】

本発明では、電子部品がコア基板の中に実装されて電子部品の厚みが解消されることから、電子部品の厚みは実装構造全体の厚みに影響しなくなり、電子部品実装構造の薄型化を図ることができる。

【0011】

しかも、コア基板は、樹脂上に、予め開口部が設けられたプリプレグが接着されて得られるので、ルータなどで板状のコア基板に凹部を形成する方法（特許文献1）よりも極めて簡易な方法でかつ低コストで製造される。

30

【0012】

また、上記課題を解決するため、本発明は電子部品実装構造に係り、プリプレグ絶縁層と、前記プリプレグ絶縁層上に形成された樹脂層とにより構成されるコア基板と、前記コア基板の前記樹脂層に、電子部品の接続パッドが上側になって埋設された前記電子部品とを有することを特徴とする。

【0013】

本発明では、コア基板がプリプレグ絶縁層とその上に形成された樹脂層とにより構成され、コア基板の樹脂層に、電子部品の接続パッドが上側になって電子部品が埋設されている。

40

【0014】

このようにしても、電子部品がコア基板を構成する樹脂層の中に実装されて電子部品の厚みが解消されるので、電子部品実装構造の薄型化を図ることができる。

【0015】

本発明の好適な態様では、コア基板及び電子部品の上方に、電子部品の接続パッドに電氣的に接続される配線パターンが形成される。また、最上の配線パターンに上側電子部品がフリップチップ実装される。さらに、電子部品の接続パッドに接続された配線パターンは、コア基板を貫通するビアホールを介してコア基板の下面側に形成された配線パターンに電氣的に接続される。そして、コア基板の下面側の最下の配線パターンに外部接続端子が接続される接続部が設けられる。

50

【0016】

あるいは、コア基板の片面のみを使用する片面実装とし、上側電子部品の外側近傍の最上の配線パターンに、上側電子部品の高さよりも高い外部接続端子が接続される接続部を設けるようにしてもよい。この態様の場合、電子部品の外側領域に配線パターンを引き回す必要がないので、コア基板の下面側に外部接続端子を設ける場合よりも電子部品実装構造の面積を縮小化することができる。

【0017】

また、電子部品が、表面に、ペリフェラル型で配置された接続パッドとそれを露出させるパシベーション膜とを備え、配線パターンが、パシベーション膜に接触した状態で接続パッドに接続され、かつ接続パッドから電子部品の外側に延在して形成されるようにして

10

【0018】

この態様の場合、電子部品の接続パッド上にビアホールを形成する必要がないので、電子部品がレーザによってダメージを受けるおそれがない。しかも、電子部品のパシベーション膜の絶縁耐性が低い場合であっても、電子部品の中央部に配線パターンが配置されないため、配線パターンと電子部品の電気回路とが電氣的にショートするおそれもない。

【0019】

また、上記した課題を解決するため、本発明は電子部品実装構造の製造方法に係り、樹脂層の上に、開口部が設けられたプリプレグを配置し、加熱／加圧して前記樹脂層上に前記プリプレグを接着することにより、前記開口部によって凹部が設けられた構造のコア基板を得る工程と、前記コア基板の凹部の底部の樹脂層上に、電子部品の接続パッドを上側にして前記電子部品を実装する工程とを有することを特徴とする。

20

【0020】

また、上記した課題を解決するため、本発明は電子部品実装構造の製造方法に係り、プリプレグ上に、樹脂層を配置し、電子部品の接続パッドを上側にして前記電子部品を前記樹脂層上に配置する工程と、前記プリプレグ、前記樹脂層及び前記電子部品を加熱／加圧することにより、前記プリプレグと前記樹脂層とを接着し、かつ、前記樹脂層に前記電子部品を埋設して実装する工程とを有することを特徴とする。

【0021】

本発明の製造方法を使用することにより、板状のコア基板をルータで加工して凹部を形成する方法よりも生産効率を格段に向上させることができ、上記した電子部品実装構造を低コストで製造することができる。

30

【発明の効果】

【0022】

以上説明したように、本発明では、極めて簡易な方法でコア基板の中に電子部品が実装されるので、電子部品実装構造の薄型化に容易に対応できるようになる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0024】

本発明の実施形態を説明する前に、コア基板上に電子部品が絶縁膜に埋設された状態で実装された構造の電子部品実装構造について説明する。図1は関連技術の電子部品実装構造を示す断面図である。

40

【0025】

図1に示すように、関連技術の電子部品実装構造では、半導体チップ102がその接続パッド102aが上側になって（フェイスアップ）、接着層103によってコア基板100上に固着されている。コア基板100にはスルーホール100xが設けられており、その内面にはスルーホール導電層101が形成されている。スルーホール100xの孔には樹脂体104が充填されている。

【0026】

50

コア基板100の上面にはスルーホール導電層101に接続された第1配線パターン108が形成されている。第1配線パターン108の膜厚は、半導体チップ102の段差を解消するために半導体チップ102の厚みに対応している。

【0027】

また、半導体チップ102及び第1配線パターン108上には層間絶縁膜110が形成されており、半導体チップ102が層間絶縁膜110に埋設されている。半導体チップ102の接続パッド102a及び第1配線パターン108上の層間絶縁膜110の部分にビアホール110xが形成されている。層間絶縁膜110上には半導体チップ102の接続パッド102a及び第1配線パターン108にビアホール110xを介して接続された第2配線パターン112が形成されている。

10

【0028】

また、第2配線パターン112の所要部上に開口部114xが設けられたソルダレジスト膜114が形成されており、その開口部114xに露出する第2配線パターン112の部分にNi/Auめっき層よりなる接続部112aが形成されている。そして、接続部112aに上側半導体チップ（不図示）がフリップチップ実装される。また、コア基板100の下面側にも所定のビルドアップ配線層（不図示）が形成され、最下の配線層に外部接続端子が設けられる。

【0029】

関連技術の電子部品実装構造では、比較的厚みの厚いコア基板100（200μm以上）上にさらの半導体チップ102が実装されるため、実装構造を薄型化する際に容易に対応できないという問題がある。さらには、半導体チップ102の段差を解消するために、第1配線パターン108の膜厚を半導体チップ102の厚みに合わせる必要があるため、配線パターンを形成する際の電解めっきの処理時間が長くなり、生産効率が悪いという問題も残る。

20

【0030】

次に説明する本発明の実施形態の電子部品実装構造では、そのような問題を解決することができ、しかも簡易な製造方法により薄型化に対応することができる。

【0031】

（第1の実施の形態）

図2～図5は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図、図6は同じく電子部品実装構造を示す断面図である。第1実施形態の電子部品実装構造の製造方法は、図2（a）に示すように、まず、ガラスクロスやアラミド繊維などにエポキシ樹脂などの樹脂を含侵させたプリプレグ（prepreg）10aを用意する。プリプレグ10aはBステージ（半硬化状態）のものが使用される。

30

【0032】

その後、図2（b）に示すように、プレス加工でプリプレグ10aの所要部を打ち抜くことにより、プリプレグ10aに開口部10xを形成する。

【0033】

次いで、図2（c）に示すように、樹脂層20aの片面に銅箔20bが貼着された構造の銅箔付き樹脂層20を用意する。続いて、開口部10xが設けられたプリプレグ10aを銅箔付き樹脂層20の樹脂層20aの露出面に配置し、加熱／加圧することにより、プリプレグ10a及び樹脂層20aを硬化させて接着させる。これより、図2（d）に示すように、銅箔付き樹脂層20上に、開口部10xを備えたプリプレグ絶縁層10が形成され、樹脂層20aとプリプレグ絶縁層10とにより構成されるコア基板30が得られる。つまり、コア基板30に半導体チップが実装される凹部31が設けられたことになり、凹部31内に露出する樹脂層20aの部分が実装領域Aとなる。

40

【0034】

本実施形態と違って、ルータを使用して板状のコア基板に凹部を形成する場合、比較的広い面積をルータでスキャンしながら加工する必要があるため、加工時間が長く、生産効率が悪いという課題がある。

50

【0035】

しかしながら、本実施形態では、開口部10xを備えたプリプレグ10aを樹脂層20a上に接着することにより、凹部31が設けられたコア基板30を容易に得ることができるので、ルータを使用する場合よりも生産効率を格段に向上させることができる。

【0036】

続いて、図2(e)に示すように、素子形成面に接続パッド40aとパシベーション膜40bとが露出した構造を有する半導体チップ40を用意する。そして、接続パッド40aを上側にした状態で（フェイスアップ）、半導体チップ40を接着層12によってコア基板30の凹部31の実装領域Aに固着する。このとき、好適には、半導体チップ40の上面とコア基板30の上面が同一高さになるように、凹部31の深さ（プリプレグ10aの厚みに相当）が半導体チップ40の厚みに合わせて設定される。

10

【0037】

あるいは、図2(e)の構造体を得るための変形例としては、図3(a)及び(b)に示すように、まず、銅箔付き樹脂層20の実装領域Aになる部分に、接続パッド40aを上側にして半導体チップ30を接着層12によって固着する。その後に、図3(c)に示すように、樹脂層20aの半導体チップ30が実装された実装領域Aに対応する部分に開口部10xが設けられたプリプレグ10aを銅箔付き樹脂層10上に配置し、加熱／加圧することにより、プリプレグ10a及び樹脂層20aを硬化させて接着させる。これにより、図3(c)に示すように、図2(e)同一の構造体が得られる。

20

【0038】

このようにすることにより、半導体チップ40の厚みはコア基板30の厚みに含まれて解消されるので、半導体チップ40の厚みは実装構造全体の厚みに影響しなくなる。

【0039】

なお、電子部品の一例として半導体チップ40を挙げたが、コンデンサ部品などの各種電子部品を使用してもよい。

【0040】

次いで、図4(a)に示すように、半導体チップ40とコア基板30の凹部31の側面との隙間に充填樹脂14を埋め込んで平坦化する。さらに、コア基板30（プリプレグ絶縁層10及び樹脂層20a）をレーザなどで加工することにより、コア基板30を貫通して銅箔20bに到達する深さの第1ビアホール30xを形成する。

30

【0041】

続いて、図4(b)に示すように、第1ビアホール30xを介して銅箔20bに接続される第1配線パターン16をコア基板30の上面に形成する。第1配線パターン16は例えばセミアディティブ法によって形成される。

詳しく説明すると、まず、コア基板30及び半導体チップ40上と第1ビアホール30xの内面にスパッタ法や無電解めっきによりシード層（不図示）を形成する。その後に、第1配線パターン16に対応する部分に開口部が設けられたレジスト膜（不図示）を形成する。次いで、シード層をめっき給電層に利用する電解めっきにより、レジスト膜の開口部に金属膜パターン（不図示）を形成する。さらに、レジスト膜を除去した後に、金属膜パターンをマスクにしてシード層をエッチングすることにより第1配線パターン16を得る。シード層は半導体チップ40の接続パッド40aに対して選択的にエッチングされる。なお、セミアディティブ法他に、サブトラクティブ法やフルアディティブ法などを使用してもよい。

40

【0042】

さらに、図4(c)に示すように、コア基板30の下面の銅箔20bがパターンニングされて、コア基板30の下面にも第1配線パターン16が形成される。

【0043】

次いで、図4(d)に示すように、コア基板30の両面側に樹脂フィルムをそれぞれ貼着するなどして、第1配線パターン16を被覆する層間絶縁膜18をそれぞれ形成する。なお、半導体チップ40とコア基板30の凹部31の側面との隙間を層間絶縁膜18で埋

50

め込んで平坦化できる場合は、前述した充填樹脂 14 を省略してもよい。

【0044】

続いて、図 5 (a) に示すように、コア基板 30 の両面側の層間絶縁膜 18 をレーザなどでそれぞれ加工することにより、半導体チップ 40 の接続パッド 40 a や第 1 配線パターン 16 に到達する深さの第 2 ビアホール 18 x をそれぞれ形成する。

【0045】

さらに、図 5 (b) に示すように、コア基板 30 の両面側の層間絶縁膜 18 上に、半導体チップ 40 の接続パッド 40 a や第 1 配線パターン 18 に第 2 ビアホール 18 x を介して接続される第 2 配線パターン 16 a をそれぞれ形成する。

【0046】

なお、本実施形態では、コア基板 30 の両面側にそれぞれ 2 層の配線パターン 16, 16 a を形成する形態を例示するが、コア基板 30 の両面側に n 層 (n は 1 以上の整数) の配線パターンがそれぞれ積層された形態としてもよい。

【0047】

続いて、図 5 (c) に示すように、コア基板 30 の両面側の第 2 配線パターン 16 a の所要部上に開口部 24 x が設けられたソルダレジスト膜 24 をそれぞれ形成する。さらに、コア基板 30 の両面側のソルダレジスト膜 24 の開口部 24 x の第 2 配線パターン 16 a の部分に Ni / Au めっきを選択的に施すことにより接続部 17 をそれぞれ形成する。

【0048】

その後、図 6 に示すように、コア基板 30 の上側の第 2 配線パターン 16 a の接続部 17 に上側半導体チップ 40 x (上側電子部品) の bumps 40 a がフリップチップ接続されて、第 1 実施形態の電子部品実装構造 1 が得られる。

【0049】

第 1 実施形態の電子部品実装構造 1 では、図 6 に示すように、コア基板 30 が樹脂層 20 a と開口部 10 x が設けられたプリプレグ絶縁層 10 とにより構成されており、これによってコア基板 30 に凹部 31 が設けられている。そして、コア基板 30 の凹部 31 の底面の実装領域 A に、半導体チップ 40 がその接続パッド 40 a が上側になった状態で接着層 12 によって固着されて実装されている。つまり、半導体チップ 40 は樹脂層 20 a 及びプリプレグ絶縁層 10 より構成されるコア基板 30 の中に埋設されて配置されており、半導体チップ 40 の厚みが解消された構成となっている。

【0050】

また、コア基板 30 にはそれを貫通する第 1 ビアホール 30 x が形成されており、コア基板 30 の両面側には第 1 ビアホール 30 x を介して相互接続された第 1 配線パターン 16 がそれぞれ形成されている。

【0051】

また、コア基板 30 の両面側には、第 1 配線パターン 16 を被覆する層間絶縁膜 18 がそれぞれ形成されている。コア基板 30 の上側の層間絶縁膜 18 には半導体チップ 40 の接続パッド 40 a 及び第 1 配線パターン 16 に到達する深さの第 2 ビアホール 18 x が形成されている。また、コア基板 30 の下側の層間絶縁膜 18 には第 1 配線パターン 16 に到達する深さの第 2 ビアホール 18 x が形成されている。

【0052】

コア基板 30 の上側の層間絶縁膜 18 上には、第 2 ビアホール 18 x を介して半導体チップ 40 の接続パッド 40 a 及び第 1 配線パターン 16 に接続される第 2 配線パターン 16 a が形成されている。また、コア基板 30 の下側の層間絶縁膜 18 上には、第 2 ビアホール 18 x を介して第 1 配線パターン 16 に接続される第 2 配線パターン 16 a が形成されている。

【0053】

さらに、コア基板 30 の両面側の第 2 配線パターン 16 a 及び層間絶縁膜 18 上には、第 2 配線パターン 16 a の所要部上に開口部 24 x が設けられたソルダレジスト膜 24 がそれぞれ形成されている。コア基板 30 の両面側のソルダレジスト膜 24 の開口部 24 x

10

20

30

40

50

内の第2配線パターン16aの部分には、Ni/Auめっき層よりなる接続部17がそれぞれ形成されている。

【0054】

そして、コア基板30の上側の第2配線パターン16aの接続部17には、上側半導体チップ40xの bumps 40aがフリップチップ接続されている。一方、コア基板30の下側の第2配線パターン16aの接続部17が外部接続用パッドとなる。BGA (Ball Grid Array) タイプとする場合は、コア基板30の下側の第2配線パターン16aの接続部17にはんだボールや金 bumps などの外部接続端子（不図示）が設けられ、その外部接続端子がマザーボードなどに接続される。また、LGA (Land Grid Array) タイプとする場合は、外部接続端子は省略される。

10

【0055】

第1実施形態では、樹脂層20a及びプリプレグ絶縁層10により構成されるコア基板30の凹部31の中に半導体チップ40が実装されるので、半導体チップ40の厚みが解消され、前述した関連技術よりも実装構造の全体の厚みを薄型化することができる。また、前述した関連技術と違って、第1配線パターン16の膜厚を半導体チップ40の厚みに合わせるために不必要に厚くする必要がないので、電解めっきの処理時間を大幅に短縮することができる、製造コストの低減を図ることができる。

【0056】

さらには、開口部10xを備えたプリプレグ10aを樹脂層20a上に接着することにより、凹部31が設けられたコア基板30が得るので、ルータでコア基板に凹部を形成する方法よりも生産効率を格段に向上させることができる。

20

【0057】

（第2の実施の形態）

図7及び図8は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図、図9は本発明の第2実施形態の電子部品実装構造を示す断面図、図10は図9を平面方向からみた平面図、図11は本発明の第2実施形態の電子部品実装構造の変形例を示す断面図である。

【0058】

第2実施形態の特徴は、プリプレグとその上に形成された樹脂層とによりコア基板を構成し、プリプレグ上に樹脂層を接着する際に、同時に半導体チップを樹脂層に埋設させることにある。第2実施形態では、第1実施形態と同様な工程についてはその詳しい説明を省略する。

30

【0059】

第2実施形態の電子部品実装構造の製造方法は、図7(a)に示すように、まず、第1実施形態と同様なプリプレグ10a、エポキシ樹脂などの樹脂層21、及び素子形成面に接続パッド40aとパシベーション膜40bとが露出した構造を有する半導体チップ40（電子部品）を用意する。その後に、プリプレグ10a上に樹脂層21を配置し、その上に接続パッド40aを上側にして半導体チップ40を配置する。さらに、この積層体を例えば温度：110℃、圧力：1MPaの条件の真空プレスによって加熱／加圧する。

【0060】

40

このとき、半導体チップ40は樹脂層21側に押圧されて樹脂層21の中に埋設されると同時に、プリプレグ10a及び樹脂層21が硬化して樹脂層21がプリプレグ10aに接着される。これにより、図7(b)に示すように、プリプレグ絶縁層10上に樹脂層21が形成され、樹脂層21の中に半導体チップ40が埋設された構造体得られる。つまり、プリプレグ絶縁層10とその上に形成された樹脂層21とによりコア基板30aが構成され、コア基板30aの樹脂層21の中に半導体チップ40が埋設される。

【0061】

これによって、第1実施形態と同様に、半導体チップ40はコア基板30aに埋設されることでその厚みが解消されるので、半導体チップ40の厚みは実装構造の全体の厚みに影響しなくなる。このとき、好適には、半導体チップ40はその上面が樹脂層21の上面

50

と同一面となった状態で樹脂層 2 1 に埋設される。

【0062】

なお、第 2 実施形態では、半導体チップ 4 0 は樹脂層 2 1 の中に埋設される際に固着されるので、第 1 実施形態と違って接着層を使用する必要はなく、コスト低減を図ることができる。

【0063】

次いで、図 7 (c) に示すように、コア基板 3 0 a 及び半導体チップ 4 0 上に層間絶縁膜 1 8 を形成する。さらに、図 8 (a) に示すように、レーザなどで層間絶縁膜 1 8 を加工することにより、半導体チップ 4 0 の接続パッド 4 0 a に到達する深さのビアホール 1 8 x を形成する。次いで、図 8 (b) に示すように、第 1 実施形態の説明したセミアディティブ法などにより、ビアホール 1 8 x を介して半導体チップ 4 0 の接続パッド 4 0 a に接続される配線パターン 1 6 を層間絶縁膜 1 8 上に形成する。

10

【0064】

なお、本実施形態では、コア基板 3 0 の上面側に 1 層の配線パターン 1 6 を形成する形態を例示するが、n 層 (n は 1 以上の整数) の配線パターンが積層された形態としてもよい。

【0065】

続いて、図 8 (c) に示すように、配線パターン 1 6 の所要部上に開口部 2 4 x が設けられたソルダレジスト膜 2 4 を形成する。その後、ソルダレジスト膜 2 4 の開口部 2 4 x 内の配線パターン 1 6 の部分に選択的に Ni / Au めっきを施すことにより、チップ用接続部 1 7 a 及び外部用接続部 1 7 b を形成する。このとき、チップ用接続部 1 7 a は中央部に配置され、外部用接続部 1 7 b は周縁側にリング状に配置される。

20

【0066】

そして、図 9 に示すように、図 8 (c) の構造体の中央部のチップ用接続部 1 7 a に上側半導体チップ 4 0 x (上側電子部品) の bumps 4 0 a がフリップチップ接続される。さらに、図 8 (c) の構造体の周縁側の外部用接続部 1 7 b に、はんだボールや金 bumps などの外部接続端子 2 6 が形成される。外部接続端子 2 6 の高さは、上側半導体チップ 4 0 x の高さよりも高く設定される。以上により、第 2 実施形態の電子部品実装構造 1 a が得られる。

【0067】

30

第 2 実施形態の電子部品実装構造 1 a では、図 9 に示すように、コア基板 3 0 a がブリグ絶縁層 1 0 とその上に形成された樹脂層 2 1 とにより構成されている。コア基板 3 0 a を構成する樹脂層 2 1 には半導体チップ 4 0 が埋設されて実装されている。コア基板 3 0 及び半導体チップ 4 0 上には半導体チップ 4 0 の接続パッド 4 0 a 上にビアホール 1 8 x が設けられた層間絶縁膜 1 8 が形成されている。層間絶縁膜 1 8 上にはビアホール 1 8 x を介して半導体チップ 4 0 の接続パッド 4 0 a に接続される配線パターン 1 6 が形成されている。

【0068】

層間絶縁膜 1 8 上には配線パターン 1 6 の所要部上に開口部 2 4 x が設けられたソルダレジスト膜 2 4 が形成されおり、その開口部 2 4 x 内の配線パターン 1 6 の部分にはチップ用接続部 1 7 a 及び外部用接続部 1 7 b が設けられている。

40

【0069】

また、中央部に配置されたチップ用接続部 1 7 a には上側半導体チップ 4 0 x の bumps 4 0 a がフリップチップ接続されている。さらに、周縁側に配置された外部用接続部 1 7 b には上側半導体チップ 4 0 x の高さよりも高い高さの外部接続端子 2 6 が設けられている。そして、図 9 の電子部品実装構造 1 a は、上下反転した状態となって外部接続端子 2 6 がマザーボードなどに接続される。

【0070】

図 9 の電子部品実装構造 1 a を上側からみると、図 1 0 に示すように、コア基板 3 0 a の中央部に上側半導体チップ 4 0 x がフリップチップ接続され、外部接続端子 2 6 が上側

50

半導体チップ40xを取り囲むようにコア基板30aの周縁部にリング状に配置されている。

【0071】

第2実施形態の電子部品実装構造1aでは、コア基板30aの樹脂層21の中に半導体チップ40が埋設されることから、半導体チップ40の厚みが実装構造の全体の厚みに影響を与えないので、第1実施形態と同様に電子部品実装構造の全体の厚みを薄型化することができる。

【0072】

また、前述した第1実施形態では、コア基板30の半導体チップ40が実装された面と反対面側に外部接続端子が設けられるため、半導体チップ40から外側領域に配線パターン16, 16aを引き回し、さらにはコア基板30に設けられた第1ビアホール30xを経由して半導体チップ40と外部接続端子とを電氣的に接続する必要がある。

10

【0073】

このため、半導体チップ40から外側領域をある程度確保する必要があるので、電子部品実装構造の面積を小さくする際に容易に対応できない場合が想定される。

【0074】

第2実施形態では、コア基板30aの片面のみを使用する片面実装の形態であって、コア基板30aの半導体チップ40が実装された面側に、上側半導体チップ40xが実装されるばかりではなく、外部接続端子26が設けられている。このため、半導体チップ40と外部接続端子26との電氣的な接続においては、半導体チップ40から外側領域に配線パターンを引き回すことなく、半導体チップ40の外周近傍上に配線パターンを持ち上げることによって行うことができる。従って、電子部品実装構造1aの面積は、半導体チップ40の面積と略同一サイズまで縮小することが可能となり、電子部品実装構造1aの面積の縮小化に容易に対応することができる。

20

【0075】

なお、図11に示された第2実施形態の変形例の電子部品実装構造1bのように、第2実施形態の図9において、コア基板30aの樹脂層21に電子部品40が埋設されたものを使用する代わりに、第1実施形態で説明した凹部31が設けられたコア基板30を使用し、その凹部31の底部に電子部品40が接着層12によって固着されたものを使用してもよい。図11において、それ以外の要素は図9と同一であるのでその説明を省略する。

30

【0076】

また、前述した第1実施形態において、前述した第2実施形態で説明したコア基板30aの樹脂層21に電子部品40が埋設されたものを使用し、第1実施形態と同様な配線パターンを形成してもよい。

【0077】

(第3の実施の形態)

図12～図14は本発明の第3実施形態の電子部品実装構造の製造方法を示す断面図、図15は本発明の第3実施形態の電子部品実装構造を示す断面図、図16は同じく電子部品実装構造の変形例を示す断面図である。

【0078】

40

第3実施形態の特徴は、半導体チップとしてペリフェラル型で配置された接続パッドを備えたものを使用し、その接続パッドと配線パターンとをビアホールを介さずに直接接続することにある。第3実施形態では、第2実施形態と同様な工程についてはその詳しい説明を省略する。

【0079】

第3実施形態の電子部品実装構造の製造方法は、図12(a)に示すように、まず、素子形成面に接続パッド40a及びパシベーション膜40bが露出した構造を有する半導体チップ40(電子部品)を用意する。第3実施形態で使用される半導体チップ40では、ペリフェラル型で周縁部に接続パッド40aが配置されている。また、パシベーション膜40bは、例えば、シリコン窒化膜とその上に形成されたポリイミド膜とより構成される

50

。

【0080】

さらに、第2実施形態と同様なプリプレグ10a及び樹脂層21を用意する。その後に、第2実施形態と同様な方法により、プリプレグ10a上に樹脂層21を配置し、さらに接続パッド40aを上側にして半導体チップ40を樹脂層21上に配置する。続いて、第2実施形態と同様な方法で加熱／加圧することにより、プリプレグ10a上に樹脂層21を接着すると共に、半導体チップ40を樹脂層21内に埋設する。

【0081】

これにより、図12(b)に示すように、第2実施形態と同様に、プリプレグ絶縁層10及び樹脂層21により構成されるコア基板30aが得られると共に、コア基板30aの樹脂層21に半導体チップ40が埋設された状態となり、半導体チップ40の段差が解消される。次いで、図12(c)に示すように、コア基板30aをレーザなどで加工することにより、コア基板30aを貫通する第1ビアホール30xを形成する。

10

【0082】

続いて、図13(a)に示すように、コア基板30aの上面、下面及び第1ビアホール30xの内面に、無電解めっきによりシード層13を形成する。さらに、配線パターンに対応する部分に開口部23xが設けられたレジスト膜23を形成する。

【0083】

次いで、図13(b)に示すように、シード層13をめっき給電層に利用する電解めっきにより、レジスト膜23の開口部23x内、及び第1ビアホール30x内に金属膜パターン15を形成する。さらに、レジスト膜23を除去した後に、金属膜パターン15をマスクにしてシード層13をエッチングする。これにより、図12(c)に示すように、コア基板30の両面側に第1配線パターン16が形成される。

20

【0084】

コア基板30aの上面の第1配線パターン16は、ビアホールを介することなく半導体チップ40の接続パッド40aに直接接続され、パシベーション膜に接触した状態で接続パッド40aから半導体チップ40の外側周辺部に延在して形成される。さらに、コア基板30aの上面の第1配線パターン16は、コア基板30aの下面の第1配線パターン16に第1ビアホール30xを介して電氣的に接続される。

【0085】

前述した第2実施形態では、半導体チップ40を被覆する層間絶縁膜18を形成した後に、半導体チップ40の接続パッド40a上の層間絶縁膜18にレーザによりビアホール18xを形成している。このため、レーザが半導体チップ40の接続パッド40bに照射されることによって、半導体チップ40のタイプによってはダメージが問題になる場合が想定される。

30

【0086】

しかしながら、第3実施形態では、ビアホールを介することなく半導体チップ40の接続パッド40aに第1配線パターン16が直接接続されるので、半導体チップ40にダメージを与えるおそれがなくなる。従って、各種の電子部品を幅広く使用できるようになり、実装の自由度を広くすることができる。

40

【0087】

しかも、図12(c)の下図に示すように、コア基板30aの上面側の第1配線パターン16は、ペリフェラル型で配置された半導体チップ40の接続パッド40aから外側周辺部延在して形成される。つまり、半導体チップ40の中央部に第1配線パターン16を配置しないようにしている。

【0088】

本実施形態と違って、半導体チップ40の接続パッド40aがエリアアレイ型で全面に配置されている場合、半導体チップ40の中央部にも配線パターンが形成される。このため、半導体チップ40のパシベーション膜40bとして、絶縁耐性が低いものが使用される場合、配線パターンと半導体チップ40の電気回路とが電氣的にショートする場合が想

50

定される。このため、パシベーション膜40b上に絶縁性の高い保護膜を再度パターンニングしなければならない場合が想定される。

【0089】

しかしながら、本実施形態では、半導体チップ40のペリフェラル型で配置された接続パッド40aから外側周辺部に第1配線パターン16が延在して形成されるので、第1配線パターン16と半導体チップ40の電気回路とが電氣的にショートするおそれがない。ペリフェラル型で配置される接続パッド40aから外側の下の半導体チップ40の領域には電気回路が存在しないからである。

【0090】

このようにすることにより、半導体チップ40を実装した後に、層間絶縁膜やビアホールを形成する工程を省略できるので、第1実施形態よりもコスト低減を図ることができる。

10

【0091】

次いで、図14(a)に示すように、コア基板30aの下面側の第1配線パターン16を被覆する層間絶縁膜18を形成し、第1配線パターン16上の層間絶縁膜18の部分に第2ビアホール18xを形成する。さらに、第2ビアホール18xを介して第1配線パターン16に接続される第2配線パターン16aをコア基板30aの下面側の層間絶縁膜18上に形成する。

【0092】

なお、本実施形態では、コア基板30の上面側に1層の配線パターン16を形成し、コア基板30の下面側に2層の配線パターン16、16aを形成する形態を例示するが、コア基板30の両面側にn層(nは1以上の整数)の配線パターンがそれぞれ積層された形態としてもよい。

20

【0093】

続いて、図14(b)に示すように、コア基板30aの上面側の第1配線パターン16上、及び下面側の第2配線パターン16a上に開口部24xがそれぞれ設けられたソルダレジスト膜24をコア基板30aの両面側にそれぞれ形成する。さらに、コア基板30aの両面側のソルダレジスト膜24の開口部24x内の第1、第2配線パターン16、16aの部分にNi/Auめっきを施して接続部17をそれぞれ形成する。

【0094】

30

その後、図15に示すように、コア基板30aの上側の第1配線パターン16の接続部17に上側半導体チップ40xの bumps 40aがフリップチップ接続される。これにより、第3実施形態の電子部品実装構造1cが得られる。そして、第1実施形態と同様に、コア基板30aの下側の第2配線パターン16の接続部17が外部接続用パッドとなる。

【0095】

第3実施形態の電子部品実装構造1cでは、図15に示すように、第2実施形態と同様に、プリプレグ絶縁層10及び樹脂層21により構成されるコア基板30aの樹脂層21に半導体チップ40が埋設されて、半導体チップ40の厚みがコア基板30aに含まれて解消されている。

【0096】

40

コア基板30aにはそれを貫通するビアホール30xが設けられており、コア基板30aの両面側にはビアホール30xを介して相互接続された第1配線パターン16がそれぞれ形成されている。コア基板30aの上面側の第1配線パターン16は、半導体チップ40のペリフェラル型で配置された接続パッド40aにビアホールを介することなく直接接続され、パシベーション膜40bに接触した状態で形成されている。第1配線パターン16は、半導体チップ40の中央部上には形成されておらず、接続パッド40a上から半導体チップ40の外側周辺部に延在して形成されている。

【0097】

コア基板30aの上面側の第1配線パターン16の所要部上に開口部24xが設けられたソルダレジスト膜24が形成されており、その開口部24xには接続部17が設けられ

50

ている。そして、その接続部 17 に上側半導体チップ 40 x (上側電子部品) の bumps 40 a が flip-chip 接続されている。

【0098】

また、コア基板 30 a の下面側の第 1 配線パターン 16 上には第 2 ビアホール 18 x が設けられた層間絶縁膜 18 が形成されており、その上には第 2 ビアホール 18 x を介して第 1 配線パターン 16 に接続された第 2 配線パターン 16 a が形成されている。さらに、第 2 配線パターン 16 a の所要部上に開口部 24 x が設けられたソルダレジスト膜 24 が形成されており、その開口部 24 x には外部接続用の接続部 17 が設けられている。

【0099】

第 3 実施形態の電子部品実装構造 1 c は、第 2 実施形態と同様に、半導体チップ 40 がコア基板 30 a の樹脂層 21 に埋設されているので、半導体チップ 40 の厚みが解消され、実装構造の薄型化に容易に対応できる。

【0100】

さらに、第 1 配線パターン 16 が、半導体チップ 40 のペリフェラル型で配置された接続パッド 40 a にビアホールを介することなく接続されて、半導体チップ 40 の外側周辺部に延在して形成されている。従って、前述したような理由により、半導体チップ 40 上に絶縁性の高い保護膜を特別にパターニングする必要がない。しかも、半導体チップ 40 は製造工程においてレーザによりダメージを受けるおそれがないので、各種の電子部品を使用できると共に、電子部品実装構造の信頼性を向上させることができる。

【0101】

なお、図 16 に示される第 3 実施形態の変形例の電子部品実装構造 1 d のように、第 3 実施形態の図 15 において、コア基板 30 a の樹脂層 21 に電子部品 40 が埋設されたものを使用する代わりに、第 1 実施形態で説明した凹部 31 が設けられたコア基板 30 を使用し、その凹部 31 に電子部品 40 が接着層 12 によって固着されたものを使用してもよい。図 16 において、それ以外の要素は図 15 と同一であるのでその説明を省略する。

【図面の簡単な説明】

【0102】

【図 1】図 1 は関連技術に係る電子部品実装構造を示す断面図である。

【図 2】図 2 (a) ~ (e) は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図(その 1)である。

【図 3】図 3 (a) ~ (c) は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図(その 2)である。

【図 4】図 4 (a) ~ (d) は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図(その 3)である。

【図 5】図 5 (a) ~ (c) は本発明の第 1 実施形態の電子部品実装構造の製造方法を示す断面図(その 4)である。

【図 6】図 6 は本発明の第 1 実施形態の電子部品実装構造を示す断面図である。

【図 7】図 7 (a) ~ (c) は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図(その 1)である。

【図 8】図 8 (a) ~ (c) は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図(その 2)である。

【図 9】図 9 は本発明の第 2 実施形態の電子部品実装構造を示す断面図である。

【図 10】図 10 は図 9 を平面方向からみた平面図である。

【図 11】図 11 は本発明の第 2 実施形態の電子部品実装構造の変形例を示す断面図である。

【図 12】図 12 (a) ~ (c) は本発明の第 3 実施形態の電子部品実装構造の製造方法を示す断面図(その 1)である。

【図 13】図 13 (a) ~ (c) は本発明の第 3 実施形態の電子部品実装構造の製造方法を示す断面図(その 2)である。

【図 14】図 14 (a) 及び (b) は本発明の第 3 実施形態の電子部品実装構造の製造方

10

20

30

40

50

法を示す断面図（その３）である。

【図１５】図１５は本発明の第３実施形態の電子部品実装構造を示す断面図である

【図１６】図１６は本発明の第３実施形態の電子部品実装構造の変形例を示す断面図である。

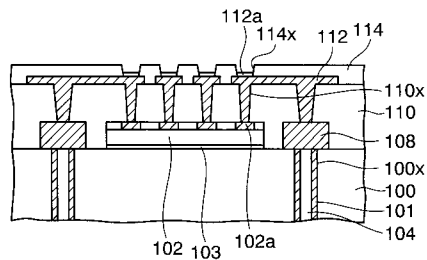
【符号の説明】

【０１０３】

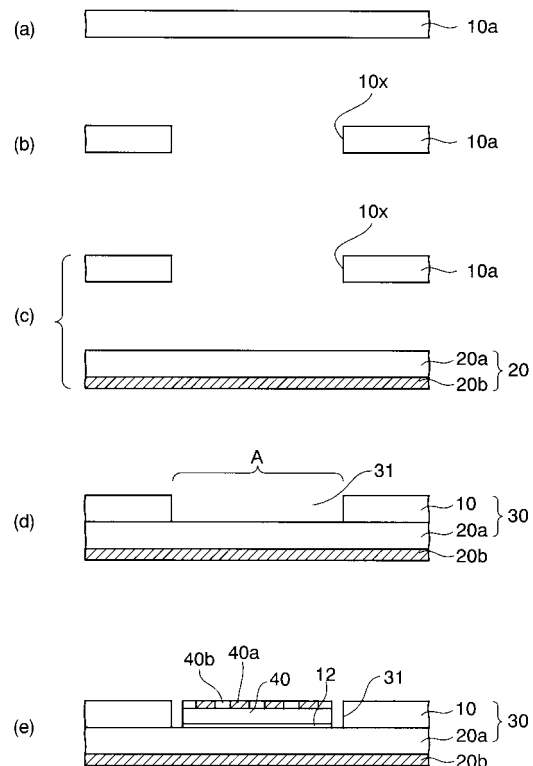
１，１ａ，１ｂ，１ｃ，１ｄ…電子部品実装構造、１０ａ…プリプレグ、１０…プリプレグ絶縁層、１０ｘ，２３ｘ，２４ｘ…開口部、１２…接着層、１４…充填樹脂、１６…第１配線パターン、１６ａ…第２配線パターン、１７…接続部、１７ａ…チップ用接続部、１７ｂ…外部用接続部、１８…層間絶縁膜、１８ｘ，３０ｘ…ビアホール、２０…銅箔付き樹脂層、２０ａ，２１…樹脂層、２０ｂ…銅箔、２３…レジスト膜、２４…ソルダレジスト膜、２６…外部接続端子、３０，３０ａ…コア基板、３１…凹部、４０…半導体チップ（電子部品）、４０ａ…接続パッド、４０ｂ…パシベーション膜、４０ｘ…上側半導体チップ（上側電子部品）。

10

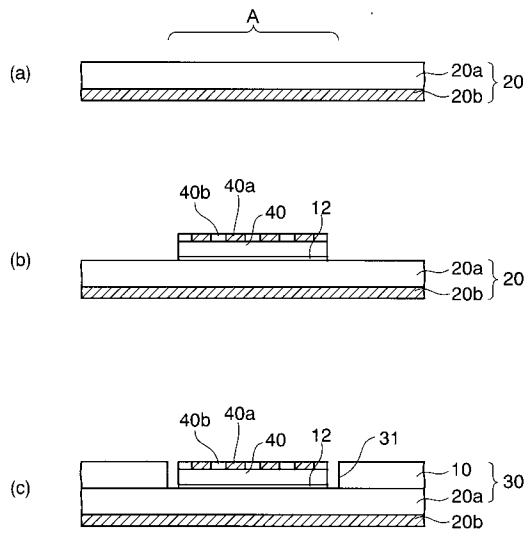
【図１】



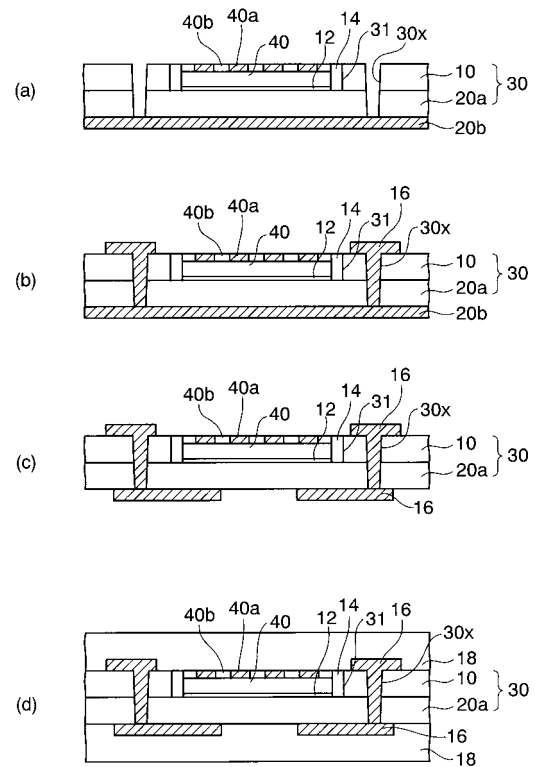
【図２】



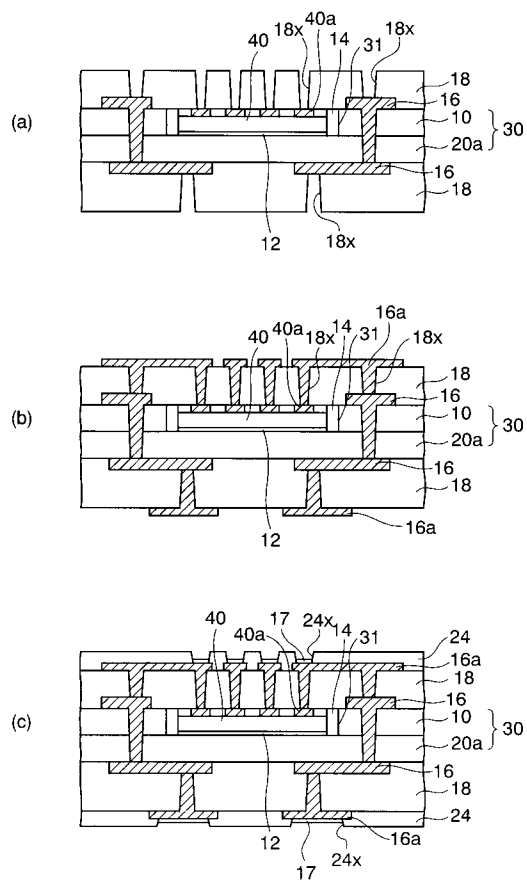
【図 3】



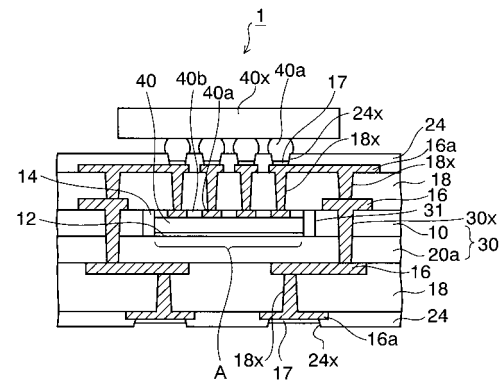
【図 4】



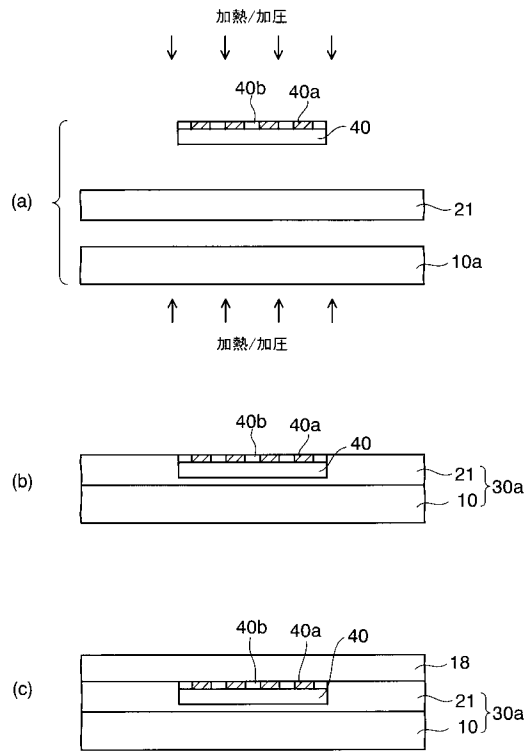
【図 5】



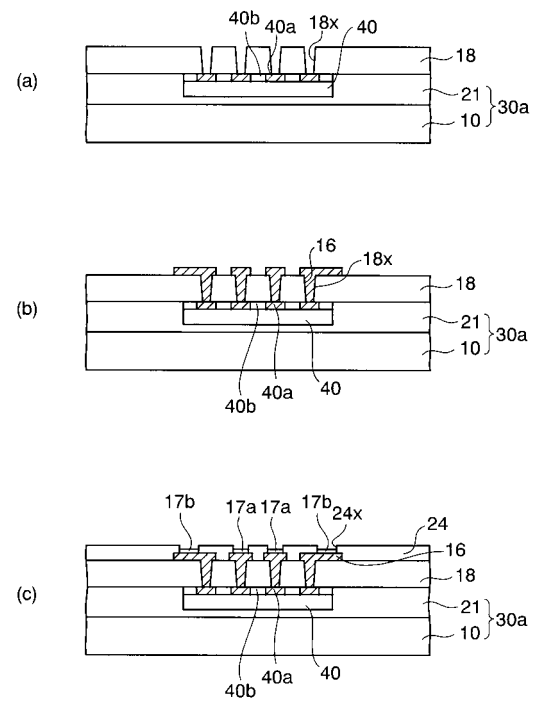
【図 6】



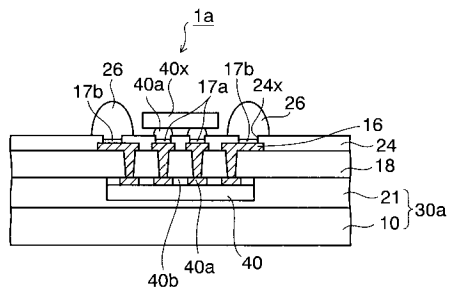
【図 7】



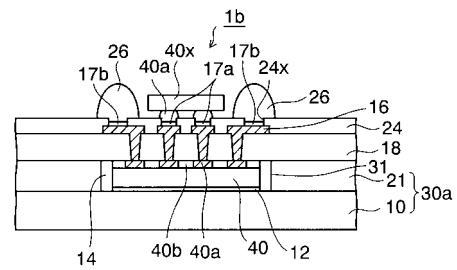
【図 8】



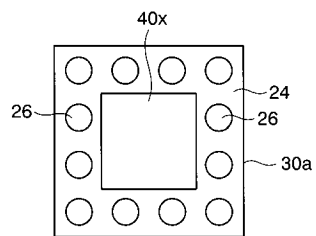
【図 9】



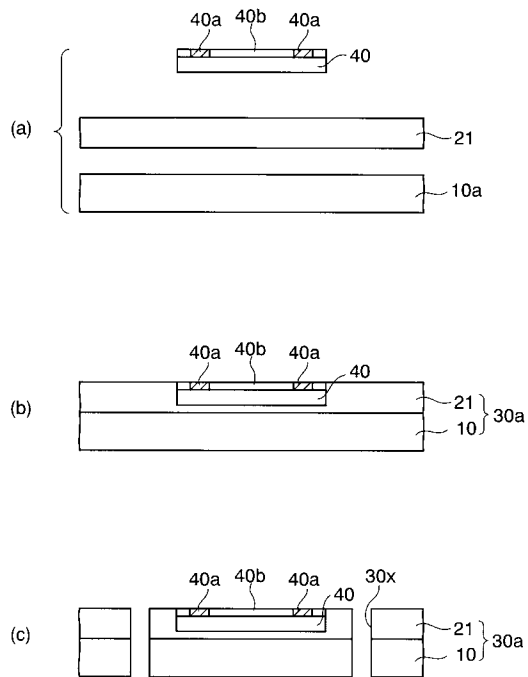
【図 11】



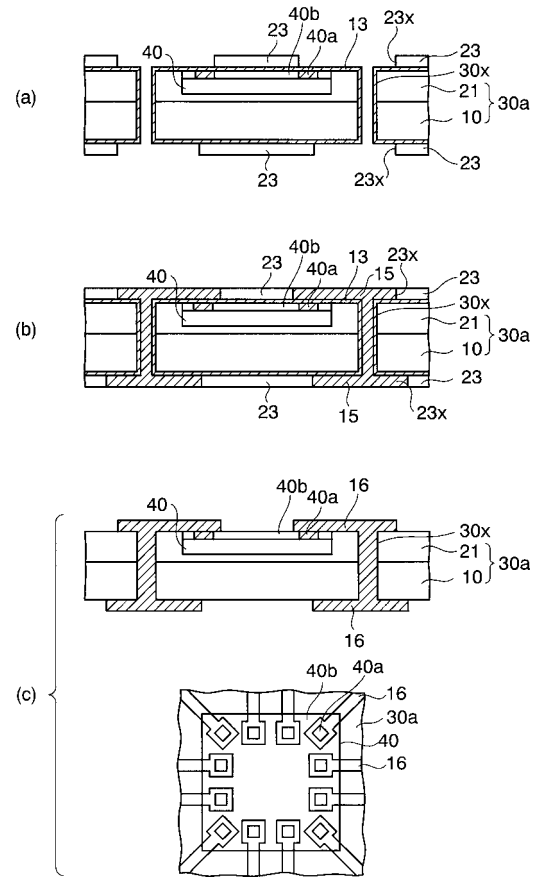
【図 10】



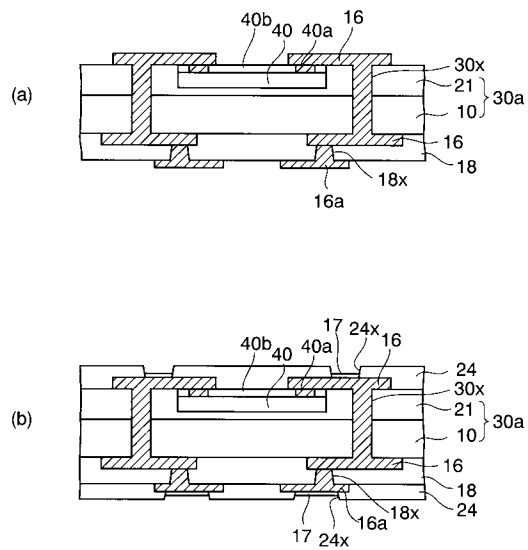
【図 1 2】



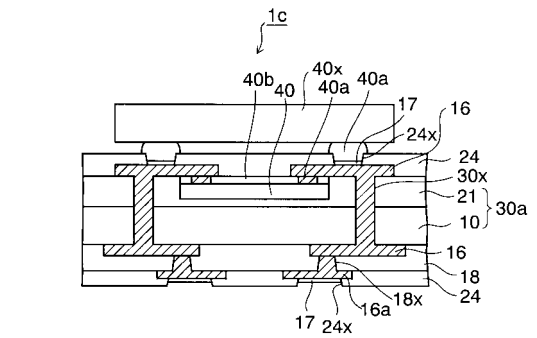
【図 1 3】



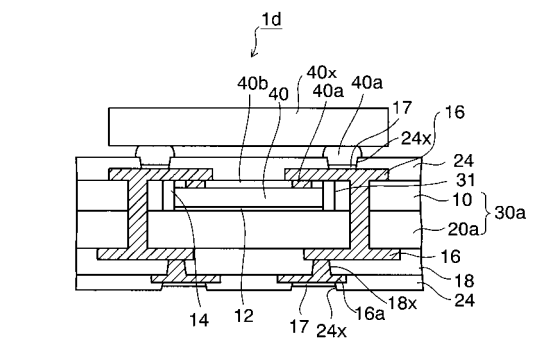
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

(72)発明者 渡▲辺▼ 章司
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 黒石 孝志

(56)参考文献 特開2001-156457 (JP, A)
特開2003-188314 (JP, A)
特開2001-217337 (JP, A)
特開平9-321408 (JP, A)
特開2002-111226 (JP, A)
特開2003-209357 (JP, A)
特開2001-313468 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H05K 3/46
H01L 23/12
H05K 1/18