



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0074514
(43) 공개일자 2016년06월28일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *G02F 1/1368* (2006.01)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 27/1225 (2013.01)
G02F 1/1368 (2013.01)
- (21) 출원번호 10-2016-7010932
- (22) 출원일자(국제) 2014년10월09일
 심사청구일자 없음
- (85) 번역문제출일자 2016년04월26일
- (86) 국제출원번호 PCT/JP2014/077625
- (87) 국제공개번호 WO 2015/060203
 국제공개일자 2015년04월30일
- (30) 우선권주장
 JP-P-2013-219516 2013년10월22일 일본(JP)
 JP-P-2014-047260 2014년03월11일 일본(JP)
- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
 구보타 다이스케
 일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 장훈

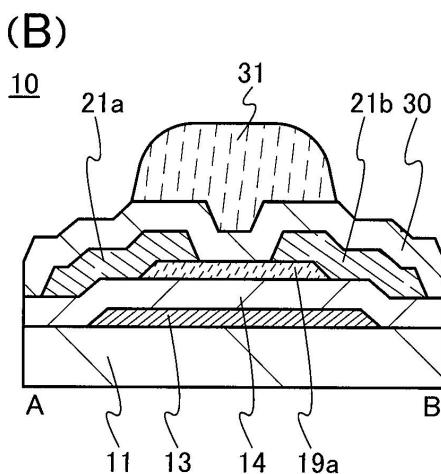
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

우수한 표시 품질을 갖는 표시 장치를 제공한다. 상기 표시 장치는 제 1 기판 위의 트랜지스터, 트랜지스터와 접하는 무기 절연막, 및 무기 절연막과 접하는 유기 절연막을 포함한다. 트랜지스터는 제 1 기판 위의 게이트 전극, 게이트 전극과 중첩되는 산화물 반도체막, 산화물 반도체막의 한쪽 면과 접하는 게이트 절연막, 및 산화물 반도체막과 접하는 한 쌍의 전극을 포함한다. 무기 절연막은 산화물 반도체막의 다른 쪽 면과 접한다. 유기 절연막은 무기 절연막을 개재하여 산화물 반도체막과 중첩되고, 또한 분리된다. 또한, 유기 절연막의 두께는 500nm 이상 10 μ m 이하인 것이 바람직하다.

대표 도



(52) CPC특허분류

H01L 27/1248 (2013.01)

H01L 27/1255 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

표시 장치에 있어서,
 제 1 기판 위의 트랜지스터;
 상기 트랜지스터 위의 무기 절연막;
 상기 무기 절연막 위에 접하는 유기 절연막; 및
 상기 무기 절연막 위에 접하며 상기 트랜지스터에 전기적으로 접속되는 화소 전극을 포함하고,
 상기 트랜지스터는,
 상기 제 1 기판 위의 게이트 전극;
 상기 게이트 전극 위의 산화물 반도체막; 및
 상기 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막을 포함하고,
 상기 산화물 반도체막의 상면은 상기 무기 절연막과 접하고,
 상기 유기 절연막은 상기 무기 절연막을 개재하여 상기 산화물 반도체막과 중첩되고,
 상기 게이트 전극의 단부는 상기 유기 절연막의 단부의 바깥쪽에 위치하는, 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 기판과 중첩되는 제 2 기판; 및
 상기 유기 절연막과 상기 제 2 기판 사이의 액정층을 더 포함하고,
 상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되는, 표시 장치.

청구항 3

제 1 항에 있어서,
 상기 제 1 기판과 중첩되는 제 2 기판; 및
 상기 화소 전극과 상기 제 2 기판 사이의 액정층을 더 포함하고,
 상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되고,
 상기 액정층은 상기 유기 절연막과 상기 제 2 기판 사이에 제공되지 않는, 표시 장치.

청구항 4

제 1 항에 있어서,
 상기 유기 절연막의 두께는 500nm 이상 10 μ m 이하인, 표시 장치.

청구항 5

제 1 항에 있어서,
 상기 무기 절연막은, 상기 산화물 반도체막의 상면과 접하는 산화물 절연막 및 상기 산화물 절연막 위에 접하는 질화물 절연막을 포함하는, 표시 장치.

청구항 6

제 1 항에 있어서,

평면에서 보아, 상기 유기 절연막은 상기 산화물 반도체막과 완전히 중첩되는, 표시 장치.

청구항 7

표시 장치에 있어서,

제 1 기판 위의 트랜지스터;

상기 트랜지스터 위의 무기 절연막;

상기 무기 절연막 위에 접하는 유기 절연막;

상기 트랜지스터에 전기적으로 접속되는 화소 전극; 및

상기 트랜지스터에 전기적으로 접속되는 용량 소자를 포함하고,

상기 트랜지스터는,

상기 제 1 기판 위의 게이트 전극;

상기 게이트 전극 위의 산화물 반도체막; 및

상기 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막을 포함하고,

상기 산화물 반도체막의 상면은 상기 무기 절연막과 접하고,

상기 유기 절연막은 상기 무기 절연막을 개재하여 상기 산화물 반도체막과 중첩되고,

상기 게이트 전극의 단부는 상기 유기 절연막의 단부의 바깥쪽에 위치하고,

상기 용량 소자는 상기 화소 전극, 상기 무기 절연막, 및 금속 산화물막을 포함하고,

상기 화소 전극은 투광성 도전 재료를 포함하고, 상기 무기 절연막을 개재하여 상기 금속 산화물막과 중첩되고,

상기 금속 산화물막은 상기 산화물 반도체막과 같은 금속 원소를 포함하고, 상기 금속 산화물막의 상면은 상기 무기 절연막과 접하는, 표시 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 기판과 중첩되는 제 2 기판; 및

상기 유기 절연막과 상기 제 2 기판 사이의 액정층을 더 포함하고,

상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되는, 표시 장치.

청구항 9

제 7 항에 있어서,

상기 제 1 기판과 중첩되는 제 2 기판; 및

상기 화소 전극과 상기 제 2 기판 사이의 액정층을 더 포함하고,

상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되고,

상기 액정층은 상기 유기 절연막과 상기 제 2 기판 사이에 제공되지 않는, 표시 장치.

청구항 10

제 7 항에 있어서,

상기 유기 절연막의 두께는 500nm 이상 10 μ m 이하인, 표시 장치.

청구항 11

제 7 항에 있어서,

상기 무기 절연막은, 상기 산화물 반도체막의 상면과 접하는 산화물 절연막 및 상기 산화물 절연막 위에 접하는 질화물 절연막을 포함하는, 표시 장치.

청구항 12

제 7 항에 있어서,

평면에서 보아, 상기 유기 절연막은 상기 산화물 반도체막과 완전히 중첩되는, 표시 장치.

청구항 13

제 7 항에 있어서,

상기 산화물 반도체막과 접하는 한 쌍의 전극을 더 포함하고,

상기 한 쌍의 전극 중 하나는 상기 화소 전극에 전기적으로 접속되는, 표시 장치.

청구항 14

표시 장치에 있어서,

제 1 기판 위의 트랜지스터;

상기 트랜지스터 위의 무기 절연막;

상기 무기 절연막 위에 접하는 유기 절연막;

상기 트랜지스터에 전기적으로 접속되는 화소 전극; 및

상기 트랜지스터에 전기적으로 접속되는 용량 소자를 포함하고,

상기 트랜지스터는,

상기 제 1 기판 위의 게이트 전극;

상기 게이트 전극 위의 산화물 반도체막; 및

상기 게이트 전극과 상기 산화물 반도체막 사이의 게이트 절연막을 포함하고,

상기 산화물 반도체막의 상면은 상기 무기 절연막과 접하고,

상기 유기 절연막은 상기 무기 절연막을 개재하여 상기 산화물 반도체막과 중첩되고,

상기 게이트 전극의 단부는 상기 유기 절연막의 단부의 바깥쪽에 위치하고,

상기 용량 소자는 상기 화소 전극, 상기 무기 절연막, 및 투광성 도전막을 포함하고,

상기 화소 전극은 상기 게이트 절연막 위에 제공되며 상기 산화물 반도체막과 같은 금속 원소를 포함하고,

상기 투광성 도전막은 상기 무기 절연막을 개재하여 상기 화소 전극과 중첩되고, 공통 전극으로서 기능하는, 표시 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 기판과 중첩되는 제 2 기판; 및

상기 유기 절연막과 상기 제 2 기판 사이의 액정층을 더 포함하고,

상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되는, 표시 장치.

청구항 16

제 14 항에 있어서,

상기 제 1 기판과 중첩되는 제 2 기판; 및

상기 화소 전극과 상기 제 2 기판 사이의 액정층을 더 포함하고,

상기 트랜지스터 및 상기 유기 절연막은 상기 제 1 기판과 상기 제 2 기판 사이에 제공되고,

상기 액정층은 상기 유기 절연막과 상기 제 2 기판 사이에 제공되지 않는, 표시 장치.

청구항 17

제 14 항에 있어서,

상기 유기 절연막의 두께는 500nm 이상 10 μ m 이하인, 표시 장치.

청구항 18

제 14 항에 있어서,

상기 무기 절연막은, 상기 산화물 반도체막의 상면과 접하는 산화물 절연막 및 상기 산화물 절연막 위에 접하는 질화물 절연막을 포함하는, 표시 장치.

청구항 19

제 14 항에 있어서,

평면에서 보아, 상기 유기 절연막은 상기 산화물 반도체막과 완전히 중첩되는, 표시 장치.

청구항 20

제 14 항에 있어서,

상기 산화물 반도체막과 접하는 한 쌍의 전극을 더 포함하고,

상기 한 쌍의 전극 중 하나는 상기 화소 전극에 전기적으로 접속되는, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 특히 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다. 특히, 본 발명의 일 형태는 표시 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002] 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 형성하는 기술이 주목을 모으고 있다. 이러한 트랜지스터는, 집적 회로(IC) 또는 화상 표시 장치(표시 장치) 등의 다양한 전자 디바이스에 적용된다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 다른 재료로서, 산화물 반도체가 주목되고 있다.

[0003] 예를 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물 반도체를 활성층으로서 포함하는 트랜지스터가 개시(開示)되어 있다(특허문헌 1 참조).

[0004] 또한, 트랜지스터의 활성층에 사용되는 산화물 반도체막들의 적층을 형성함으로써 캐리어 이동도를 향상시키는 기술이 개시되어 있다(특허문헌 2 참조).

[0005] 산화물 반도체에서 수소 등의 불순물의 침입에 의하여 전기적으로 얇은 도너 준위가 형성되고 캐리어가 되는 전자가 발생하는 것이 지적되고 있다. 그 결과, 산화물 반도체를 포함하는 트랜지스터의 문턱 전압이 음 방향으로 변동되어 트랜지스터가 노멀리 온이 되므로, 전압이 게이트에 인가되지 않는 상태(즉, 오프 상태)에서의 누설 전류가 증가된다. 따라서, 수소를 차단하는 성질을 갖는 산화 알루미늄막을, 산화물 반도체막의 채널 영역,

소스 전극, 및 드레인 전극을 덮도록 기판의 영역 전체에 제공함으로써 산화물 반도체막에 수소가 들어가는 것을 억제하여, 누설 전류의 발생을 억제한다(특허문헌 3 참조).

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본 공개 특허 제 2006-165528호
- (특허문헌 0002) 일본 공개 특허 제 2011-138934호
- (특허문헌 0003) 일본 공개 특허 제 2010-016163호

발명의 내용

해결하려는 과제

- [0007] 산화물 반도체막을 포함하는 트랜지스터는 시간에 따른 변화 또는 스트레스 시험으로 인한 전기 특성(대표적으로는 문턱 전압)의 변화량이 증가된다는 문제를 갖는다. 노멀리 온 특성을 갖는 트랜지스터는, 예를 들어 트랜지스터가 동작하지 않을 때의 소비 전력이 증가되거나 또는 표시 장치의 콘트라스트의 저하로 인하여 표시 품질이 저하되는 다양한 문제를 일으킨다.
- [0008] 따라서, 본 발명의 일 형태의 목적은 표시 품질이 우수한 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 개구율이 높으며, 전하 용량을 증가시킬 수 있는 용량 소자를 포함하는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 소비 전력이 낮은 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 전기 특성이 우수한 트랜지스터를 포함하는 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 신규 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 개구율이 높으며 시야각이 넓은 표시 장치를 적은 단계로 제작하는 방법을 제공하는 것이다. 본 발명의 일 형태의 또 다른 목적은 표시 장치의 신규 제작 방법을 제공하는 것이다.
- [0009] 또한, 이들 목적의 기재는 다른 목적들의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 이들 목적 모두를 달성할 필요는 없다. 다른 목적들이, 명세서, 도면, 및 청구항 등의 기재로부터 분명해질 것이며 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

과제의 해결 수단

- [0010] 본 발명의 일 형태에 따르면, 표시 장치는 제 1 기판 위의 트랜지스터, 트랜지스터와 접하는 무기 절연막, 및 무기 절연막과 접하는 유기 절연막을 포함한다. 트랜지스터는 제 1 기판 위의 게이트 전극, 게이트 전극과 중첩되는 산화물 반도체막, 산화물 반도체막의 한쪽 면과 접하는 게이트 절연막, 및 산화물 반도체막과 접하는 한쌍의 전극을 포함한다. 무기 절연막은 산화물 반도체막의 다른 쪽 면과 접한다. 또한, 산화물 반도체막의 다른 쪽 면은 산화물 반도체막의 상면이어도 좋다. 유기 절연막은 무기 절연막을 개재(介在)하여 산화물 반도체막과 중첩되고, 또한 격리된다. 또한 유기 절연막의 두께는 500nm 이상 10 μ m 이하인 것이 바람직하다. 또한, 게이트 전극의 단부는 유기 절연막의 단부의 바깥쪽에 위치하는 것이 바람직하다. 또는, 게이트 전극의 단부는 유기 절연막과 중첩되지 않는 것이 바람직하다. 또한 평면에서 보아, 유기 절연막은 산화물 반도체막과 완전히 중첩되어도 좋다.
- [0011] 또한, 표시 장치는 제 1 기판과 중첩되는 제 2 기판, 제 1 기판과 제 2 기판 사이의 트랜지스터 및 유기 절연막, 및 유기 절연막과 제 2 기판 사이의 액정층을 더 포함하여도 좋다.
- [0012] 또는, 표시 장치는 제 1 기판과 중첩되는 제 2 기판, 제 1 기판과 제 2 기판 사이의 트랜지스터 및 유기 절연막을 더 포함하여도 좋고, 유기 절연막과 제 2 기판 사이에 액정층이 제공되지 않는다. 이 경우, 유기 절연막은 제 1 기판과 제 2 기판 사이의 공간을 유지하는 스페이서로서 기능한다.
- [0013] 무기 절연막은 산화물 반도체막의 다른 쪽 면과 접하는 산화물 절연막, 및 산화물 절연막과 접하는 질화물 절연막을 포함하여도 좋다.
- [0014] 표시 장치는 한 쌍의 전극 중 하나에 접속되는 화소 전극을 더 포함하여도 좋다. 이 경우, 화소 전극은 투광성

도전막을 사용하여 형성된다. 표시 장치는 게이트 절연막 및 무기 절연막과 접하여 형성되며, 무기 절연막을 개재하여 화소 전극과 중첩되는 금속 산화물막을 더 포함하여도 좋다. 또한, 금속 산화물막의 상면은 무기 절연막과 접하여도 좋다. 또한, 금속 산화물막은 산화물 반도체막과 같은 금속 원소를 포함한다. 또한, 화소 전극, 무기 절연막, 및 금속 산화물막은 용량 소자로서 기능한다.

[0015] 또는, 화소 전극은 게이트 절연막 위에 형성되며 산화물 반도체막과 같은 금속 원소를 포함하는 금속 산화물막이어도 좋다. 이 경우, 표시 장치는 무기 절연막을 개재하여 화소 전극과 중첩되는 투광성 도전막을 더 포함하고, 투광성 도전막은 공통 전극으로서 기능한다. 또한, 화소 전극, 무기 절연막, 및 투광성 도전막은 용량 소자로서 기능한다.

[0016] 산화물 반도체막은 In-Ga 산화물, In-Zn 산화물, 또는 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd)를 포함하여도 좋다. 또는, 산화물 반도체막은 제 1 막과 제 2 막의 다층 구조를 가져도 좋고, 제 1 막이 금속 원소의 원자 비율에서 제 2 막과 상이하여도 좋다.

발명의 효과

[0017] 본 발명의 일 형태에 따라, 표시 품질이 우수한 표시 장치를 제공할 수 있다. 개구율이 높으며, 전하 용량을 증가시킬 수 있는 용량 소자를 포함하는 표시 장치를 제공할 수 있다. 소비 전력이 낮은 표시 장치를 제공할 수 있다. 전기 특성이 우수한 트랜지스터를 포함하는 표시 장치를 제공할 수 있다. 개구율이 높으며 시야각이 넓은 표시 장치를 적은 단계로 제작할 수 있다. 신규 표시 장치를 제공할 수 있다. 또한, 이들 효과의 기재는 다른 효과들의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 모든 목적을 달성할 필요는 없다. 다른 효과들이 명세서, 도면, 및 청구항 등의 기재로부터 분명해질 것이며 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

도면의 간단한 설명

[0018] 도 1의 (A)~(E)는 반도체 장치의 일 형태를 도시한 상면도 및 단면도.

도 2의 (A) 및 (B)는 반도체 장치의 일 형태를 도시한 단면도.

도 3의 (A)~(C)는 표시 장치의 일 형태를 도시한 블록도 및 회로도.

도 4는 표시 장치의 일 형태를 도시한 상면도.

도 5는 표시 장치의 일 형태를 도시한 단면도.

도 6은 표시 장치의 일 형태를 도시한 단면도.

도 7은 표시 장치의 일 형태를 도시한 단면도.

도 8은 표시 장치의 일 형태를 도시한 단면도.

도 9는 표시 장치의 일 형태를 도시한 단면도.

도 10의 (A)~(D)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 11의 (A)~(D)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 12의 (A)~(C)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 13은 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 14의 (A) 및 (B)는 표시 장치의 일 형태를 도시한 상면도 및 단면도.

도 15는 표시 장치의 일 형태를 도시한 상면도.

도 16은 표시 장치의 일 형태를 도시한 상면도.

도 17은 표시 장치의 일 형태를 도시한 상면도.

도 18은 표시 장치의 일 형태를 도시한 상면도.

도 19는 표시 장치의 일 형태를 도시한 상면도.

도 20은 표시 장치의 일 형태를 도시한 단면도.

도 21의 (A)~(C)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 22의 (A)~(C)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 23은 표시 장치의 일 형태를 도시한 단면도.

도 24는 표시 장치의 일 형태를 도시한 단면도.

도 25의 (A)~(C)는 표시 장치의 제작 방법의 일 형태를 도시한 단면도.

도 26의 (A) 및 (B)는 각각 표시 장치의 일 형태를 도시한 단면도.

도 27의 (A)~(C)는 산화물 반도체의 단면 TEM 이미지 및 국소 푸리에 변환 이미지.

도 28의 (A) 및 (B)는 산화물 반도체막의 나노빔 전자 회절 패턴을 나타낸 것이고, 도 28의 (C) 및 (D)는 투과 전자 회절 측정 장치의 일례를 도시한 것.

도 29의 (A)는 투과 전자 회절 측정에 의한 구조 해석의 일례를 나타낸 것이고, 도 29의 (B) 및 (C)는 평면 TEM 이미지를 나타낸 것.

도 30의 (A) 및 (B)는 표시 장치의 구동 방법의 예를 도시한 개념도.

도 31은 표시 모듈을 도시한 것.

도 32의 (A)~(D)는 각각 전자 기기의 일 형태를 도시한 외관도.

도 33은 표시 장치의 일 형태를 도시한 단면도.

도 34는 도전율의 온도 의존성을 나타낸 그래프.

도 35는 전자 빔 조사에 의한 결정부의 변화를 나타낸 것.

발명을 실시하기 위한 구체적인 내용

[0019]

본 발명의 실시형태에 대하여 도면을 참조하여 아래에서 자세히 설명한다. 다만, 본 발명은 이하의 기재에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 자세한 사항이 다양하게 변경될 수 있다는 것은 당업자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태들의 기재에 한정되어 해석되지 말아야 한다. 또한, 이하의 실시형태들에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 다른 도면 간에서도 같은 부호 또는 같은 해석 패턴으로 나타내고, 그 설명은 반복하지 않을 것이다.

[0020]

또한, 본 명세서에서 설명하는 각 도면에서 각 구성요소의 사이즈, 막 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서, 본 발명의 실시형태들은 이런 스케일에 한정되지 않는다.

[0021]

또한 본 명세서에서 "제 1", "제 2", 및 "제 3" 등의 용어는 구성요소들 사이의 혼동을 피하기 위하여 사용되고, 이를 용어는 구성요소를 수직으로 한정하지 않는다. 따라서, 예를 들어, "제 1"이라는 용어를 "제 2" 또는 "제 3" 등의 용어와 적절히 바꿀 수 있다.

[0022]

"소스" 및 "드레인"의 기능은, 예를 들어 회로 동작에서 전류의 흐름 방향이 변화할 때 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서 "소스"라는 용어가 드레인을 나타내기 위하여 사용되고, "드레인"이라는 용어가 소스를 나타내기 위하여 사용될 수 있다.

[0023]

또한, 전압은 2점의 전위 사이의 차이를 말하고, 전위는 정전기장에서 소정의 점에 있는 단위 전하의 정전 에너지(전기적 전위 에너지)를 말한다. 또한 일반적으로, 1점의 전위와 기준 전위 사이의 차이를 단순히 전위 또는 전압이라고 부르고, 전위 및 전압은 동의어로서 사용되는 경우가 많다. 따라서, 본 명세서에서 특정되지 않는 한, 전위를 전압이라고 바꿔 말하고 전압을 전위라고 바꿔 말하여도 좋다.

[0024]

본 명세서에서 "평행"이라는 용어는 2개의 직선이 이루는 각이 -10° 이상 10° 이하임을 가리키고, 따라서 그 각이 -5° 이상 5° 이하인 경우도 포함한다. 또한, "수직"이라는 용어는 2개의 직선이 이루는 각이 80° 이상 100° 이하임을 가리키고, 따라서 그 각이 85° 이상 95° 이하인 경우도 포함한다.

[0025]

본 명세서에서, 삼방정계 및 능면체정계(rhombohedral crystal system)는 육방정계에 포함된다.

- [0026] (실시형태 1)
- [0027] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치에 대하여 도면을 참조하여 설명한다.
- [0028] 도 1의 (A)~(C)는 반도체 장치에 포함되는 트랜지스터(10)의 상면도 및 단면도이다. 도 1의 (A)는 트랜지스터(10)의 상면도이고, 도 1의 (B)는 도 1의 (A)에서의 일점쇄선 A-B를 따른 단면도이고, 도 1의 (C)는 도 1의 (A)에서의 일점쇄선 C-D를 따른 단면도이다. 또한, 도 1의 (A)에서 제 1 기판(11), 게이트 절연막(14), 및 무기 절연막(30) 등은 간략화를 위하여 생략하였다.
- [0029] 도 1의 (A)~(C)에 도시된 트랜지스터(10)는 채널 에치형 트랜지스터이고, 제 1 기판(11) 위에 제공된 게이트 전극으로서 기능하는 도전막(13), 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 게이트 절연막(14), 게이트 절연막(14)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 산화물 반도체 막(19a), 및 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 게이트 절연막(14), 산화물 반도체막(19a), 및 도전막(21a 및 21b) 위에 제 1 절연막이 제공되고, 제 1 절연막 위에 산화물 반도체막(19a)과 중첩되는 제 2 절연막이 제공된다.
- [0030] 제 1 절연막과 제 2 절연막의 총 두께는, 게이트 전극으로서 기능하는 도전막(13)에 전압이 인가될 때 제 2 절연막의 표면에 전하가 발생하지 않는 두께, 대표적으로는 600nm 이상의 두께인 것이 바람직하다. 또한, 산화물 반도체막(19a)과의 계면에서의 결함량을 저감하기 위하여, 제 1 절연막은 무기 절연막인 것이 바람직하고, 대표적으로는 산화물 절연막이 포함된다. 공정 시간을 짧게 하기 위하여 제 2 절연막은 유기 절연막인 것이 바람직하다. 이하의 설명에서는, 제 1 절연막으로서 무기 절연막(30)이 사용되고, 제 2 절연막으로서 유기 절연막(31)이 사용된다. 또한, 게이트 전극의 단부는 유기 절연막의 단부의 바깥쪽에 위치한다. 또는, 게이트 전극의 단부는 유기 절연막과 중첩되지 않는다.
- [0031] 무기 절연막(30)은 적어도 산화물 절연막을 포함하고, 산화물 절연막은 질화물 절연막과 적층되는 것이 바람직하다. 무기 절연막(30) 중 산화물 반도체막(19a)과 접하는 영역에 산화물 절연막이 형성됨으로써, 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면에서의 결함량을 저감할 수 있다.
- [0032] 질화물 절연막은 물 또는 수소 등에 대한 배리어막으로서 기능한다. 물 또는 수소 등이 산화물 반도체막(19a)에 들어가면, 산화물 반도체막(19a)에 포함되는 산소가 물 또는 수소 등과 반응하여, 산화물 반도체막(19a)에 산소 결손이 형성된다. 또한, 산소 결손에 의하여 산화물 반도체막(19a)에 캐리어가 생성되면, 트랜지스터의 문턱 전압이 음 방향으로 변동되기 때문에, 트랜지스터는 노멀리 온 특성을 갖게 된다. 따라서, 무기 절연막(30)의 일부로서 질화물 절연막을 제공함으로써, 외부로부터 산화물 반도체막(19a)으로의 물 또는 수소 등의 확산량을 저감할 수 있어, 산화물 반도체막(19a) 내의 결함량을 저감할 수 있다. 그러므로, 무기 절연막(30)에서 산화물 반도체막(19a) 측으로부터 산화물 절연막 및 질화물 절연막을 순차적으로 적층함으로써, 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면에서의 결함량 및 산화물 반도체막(19a)에서의 산소 결손의 양을 저감할 수 있어, 노멀리 오프 특성을 갖는 트랜지스터를 제작할 수 있다.
- [0033] 또한, 본 실시형태에 나타낸 트랜지스터(10)에서, 격리된 유기 절연막(31)이 무기 절연막(30) 위에서 산화물 반도체막(19a)과 중첩된다.
- [0034] 유기 절연막(31)의 두께는 500nm 이상 $10 \mu\text{m}$ 이하인 것이 바람직하다.
- [0035] 유기 절연막(31)은, 아크릴 수지, 폴리이미드 수지, 또는 에폭시 수지 등의 유기 수지를 사용하여 형성된다.
- [0036] 여기서, 무기 절연막(30) 위에 유기 절연막(31)이 형성되지 않는 경우에 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되는 경우에 대하여 도 2의 (B)를 참조하여 설명한다.
- [0037] 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되면 전계가 발생한다. 이 전계는 산화물 반도체막(19a)으로 차단되지 않고 무기 절연막(30)까지 영향을 미치기 때문에, 무기 절연막(30)의 표면이 약하게 양으로 대전한다. 또한, 게이트 전극으로서 기능하는 도전막(13)에 음의 전압이 인가되면, 공기 중에 포함되는 양으로 대전한 입자들이 무기 절연막(30)의 표면에 흡착되고, 무기 절연막(30)의 표면에 약한 양의 전하가 발생한다.
- [0038] 무기 절연막(30)의 표면이 양으로 대전하여 전계가 발생하고, 이 전계가 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면에 영향을 미친다. 따라서, 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면은 실질적으로 양의 바이어스가 인가된 상태가 되어, 트랜지스터의 문턱 전압이 음 방향으로 변동된다.
- [0039] 한편, 본 실시형태에서 도 2의 (A)에 도시된 트랜지스터(10)는 무기 절연막(30) 위에 유기 절연막(31)을 포함한

다. 유기 절연막(31)의 두께는 500nm 이상이기 때문에, 게이트 전극으로서 기능하는 도전막(13)에 음의 전압을 인가함으로써 발생한 전계는 유기 절연막(31)의 표면에 영향을 미치지 않고, 유기 절연막(31)의 표면은 양으로 대전하기 어렵다. 또한, 두께가 500nm 이상이기 때문에, 공기 중에 포함되는 양으로 대전한 입자들의 전계는, 양으로 대전한 입자들이 유기 절연막(31)의 표면에 흡착되더라도 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면에 영향을 미치지 않는다. 따라서, 산화물 반도체막(19a)과 무기 절연막(30) 사이의 계면은 실질적으로 양의 바이어스가 인가된 상태가 되지 않아, 트랜지스터의 문턱 전압의 변화량이 작다.

[0040] 유기 절연막(31)에서는 물 등이 확산되기 쉽지만, 유기 절연막이 각 트랜지스터(10)에서 격리되기 때문에, 외부로부터의 물이 유기 절연막(31)을 통하여 반도체 장치로 확산되지 않는다. 또한, 무기 절연막(30)에는 질화물 절연막이 포함되므로, 외부로부터 유기 절연막(31)으로 확산된 물이 산화물 반도체막(19a)으로 확산되는 것을 방지할 수 있다.

[0041] 상술한 바와 같이, 트랜지스터의 전기 특성의 변동은 트랜지스터 위에 격리된 유기 절연막들(31)을 제공함으로써 저감할 수 있다. 또한, 노멀리 오프 특성을 가지며 신뢰성이 높은 트랜지스터를 제작할 수 있다. 또한, 유기 절연막은 인쇄법 또는 코팅법 등으로 형성될 수 있어, 제작 시간을 줄일 수 있다.

[0042] <변형 예 1>

[0043] 본 실시형태에서 설명하는 트랜지스터의 변형예에 대하여 도 1의 (D)를 참조하여 설명한다. 본 변형예에 나타낸 트랜지스터(10a)는 다계조 포트마스크(multi-tone photomask)를 사용하여 형성된 산화물 반도체막(19g) 및 한 쌍의 도전막(21f 및 21g)을 포함한다.

[0044] 다계조 포토마스크를 사용함으로써, 복수의 두께를 갖는 레지스트 마스크를 형성할 수 있다. 이 레지스트 마스크를 사용하여 산화물 반도체막(19g)을 형성한 후에, 레지스트 마스크를 산소 플라즈마 등에 노출시켜 부분적으로 제거함으로써, 한 쌍의 도전막을 형성하기 위한 레지스트 마스크가 형성된다. 따라서, 산화물 반도체막(19g) 및 한 쌍의 도전막(21f 및 21g)을 형성하는 공정에서 포토리소그래피 공정의 단계 수를 줄일 수 있다.

[0045] 또한, 평면 형상에서 다계조 포토마스크를 사용하여 형성된 산화물 반도체막(19g)은 한 쌍의 도전막(21f 및 21g)의 바깥쪽으로 부분적으로 노출된다.

[0046] <변형 예 2>

[0047] 본 실시형태에서 설명하는 트랜지스터의 변형예에 대하여 도 1의 (E)를 참조하여 설명한다. 본 변형예에서 설명하는 트랜지스터(10b)는 채널 보호형 트랜지스터이다.

[0048] 도 1의 (E)에 도시된 트랜지스터(10b)는 제 1 기판(11) 위에 제공된 게이트 전극으로서 기능하는 도전막(13), 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 게이트 절연막(14), 게이트 절연막(14)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 산화물 반도체막(19a), 산화물 반도체막(19a)의 채널 영역 및 측면을 덮는 무기 절연막(30a), 및 무기 절연막(30a)의 개구에서 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21h 및 21i)을 포함한다. 또한, 무기 절연막(30a)을 개재하여 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)이 포함된다. 유기 절연막(31)은 도전막(21h 및 21i) 및 무기 절연막(30a) 위에 제공된다.

[0049] 채널 보호형 트랜지스터에서, 산화물 반도체막(19a)은 무기 절연막(30a)으로 덮이므로, 도전막(21h 및 21i)을 형성하기 위한 예칭에 의하여 대미지를 받지 않는다. 따라서, 산화물 반도체막(19a)의 결함을 저감할 수 있다.

[0050] 또한, 본 실시형태에서 설명한 구조 및 방법 등을 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0051] (실시형태 2)

[0052] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치에 대하여 도면을 참조하여 설명한다.

[0053] 도 3의 (A)는 표시 장치의 일례를 도시한 것이다. 도 3의 (A)에 도시된 표시 장치는 화소부(101); 주사선 구동 회로(104); 신호선 구동 회로(106); 서로 평행 또는 실질적으로 평행하게 배열되며, 주사선 구동 회로(104)에 의하여 전위가 제어되는 m 개의 주사선들(107); 및 서로 평행 또는 실질적으로 평행하게 배열되며, 신호선 구동 회로(106)에 의하여 전위가 제어되는 n 개의 신호선들(109)을 포함한다. 화소부(101)는 매트릭스로 배열된 복수의 화소(103)를 더 포함한다. 또한, 평행 또는 실질적으로 평행하게 배열된 용량선들(115)이 신호선들(109)을 따라 제공된다. 또한, 용량선들(115)은 주사선들(107)을 따라 평행 또는 실질적으로 평행하게 배열되어도

좋다. 주사선 구동 회로(104) 및 신호선 구동 회로(106)를 통합적으로 구동 회로부라고 하는 경우가 있다.

[0054] 또한, 표시 장치는 복수의 화소를 구동하는 구동 회로 등도 포함한다. 표시 장치는 다른 기판 위에 제공된 제어 회로, 전원 회로, 신호 생성 회로, 및 백라이트 모듈 등을 포함하는 액정 모듈이라고도 불릴 수 있다.

[0055] 각 주사선(107)은 화소부(101)에서 m 행 n 열로 배열된 화소들(103) 중 대응하는 행에서의 n 개의 화소(103)에 전기적으로 접속된다. 각 신호선(109)은 m 행 n 열로 배열된 화소들(103) 중 대응하는 열에서의 m 개의 화소(103)에 전기적으로 접속된다. 또한, m 및 n 은 각각 1 이상의 정수이다. 각 용량선(115)은 m 행 n 열로 배열된 화소들(103) 중 대응하는 열에서의 m 개의 화소(103)에 전기적으로 접속된다. 또한, 용량선들(115)이 주사선들(107)을 따라 평행 또는 실질적으로 평행하게 배열되는 경우, 각 용량선(115)은 m 행 n 열로 배열된 화소들(103) 중 대응하는 행에서의 n 개의 화소(103)에 전기적으로 접속된다.

[0056] 또한 여기서, 하나의 화소는 주사선 및 신호선으로 둘러싸이며 하나의 색을 나타내는 영역을 말한다. 따라서, R(적색), G(녹색), 및 B(청색)의 색 요소를 갖는 컬러 표시 장치의 경우, 화상의 최소 단위는 R 화소, G 화소, 및 B 화소의 3개의 화소로 이루어진다. 또한, R 화소, G 화소, 및 B 화소에 황색 화소, 시안 화소, 또는 마젠타 화소 등을 추가함으로써 색 재현성을 향상시킬 수 있다. 또한, R 화소, G 화소, 및 B 화소에 W(백색) 화소를 추가함으로써 표시 장치의 소비 전력을 저감할 수 있다. 액정 표시 장치의 경우에는, R 화소, G 화소, 및 B 화소 각각에 W 화소를 추가함으로써 액정 표시 장치의 밝기를 향상시킬 수 있다. 결과적으로 액정 표시 장치의 소비 전력을 저감할 수 있다.

[0057] 도 3의 (B) 및 (C)는 도 3의 (A)에 도시된 표시 장치의 화소(103)에 사용될 수 있는 회로 구성의 예를 도시한 것이다.

[0058] 도 3의 (B)의 화소(103)는 액정 소자(121), 트랜지스터(102), 및 용량 소자(105)를 포함한다.

[0059] 액정 소자(121)의 한 쌍의 전극 중 하나의 전위는 화소(103)의 사양에 따라 적절히 설정된다. 액정 소자(121)의 배향 상태는 기록되는 데이터에 의존한다. 복수의 화소(103) 각각에 포함되는 액정 소자(121)의 한 쌍의 전극 중 하나에 공통 전위가 공급되어도 좋다. 또한, 하나의 행의 화소(103)에서의 액정 소자(121)의 한 쌍의 전극 중 하나에 공급되는 전위는 다른 행의 화소(103)에서의 액정 소자(121)의 한 쌍의 전극 중 하나에 공급되는 전위와 상이하여도 좋다.

[0060] 액정 소자(121)는 액정의 광학적 변조 작용을 이용하여 광의 투과 또는 비투과를 제어하는 소자이다. 또한, 액정의 광학적 변조 작용은 액정에 인가되는 전계(수평 전계, 수직 전계, 및 경사 전계를 포함함)에 의하여 제어된다. 액정 소자(121)의 예는 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 서모트로픽 액정, 리오프트로픽 액정, 강유전 액정, 및 반강유전 액정이 있다.

[0061] 액정 소자(121)를 포함하는 표시 장치의 구동 방법의 예로서는 다음의 방식 중 어느 것을 들 수 있다: TN 모드, VA(vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS 모드, FFS 모드, 및 TBA(transverse bend alignment) 모드 등. 또한, 본 발명의 일 형태는 이에 한정되지 않고, 액정 소자 및 그 구동 방법으로서 다양한 액정 소자 및 구동 방법을 사용할 수 있다.

[0062] 액정 소자는, 블루상을 나타내는 액정과 키랄체를 포함하는 액정 조성물을 사용하여 형성되어도 좋다. 블루상을 나타내는 액정은 1msec 이하의 짧은 응답 시간을 갖고 광학적 등방성이기 때문에 배향 처리가 불필요하고 시야각 의존성이 작다.

[0063] 도 3의 (B)에 도시된 화소(103)의 구조에서, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 한쪽은 신호선(109)에 전기적으로 접속되고, 다른 쪽은 액정 소자(121)의 한 쌍의 전극 중 다른 하나에 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 주사선(107)에 전기적으로 접속된다. 트랜지스터(102)는 온 또는 오프 상태가 됨으로써 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0064] 도 3의 (B)의 화소(103)에서, 용량 소자(105)의 한 쌍의 전극 중 하나는 전위가 공급되는 용량선(115)에 전기적으로 접속되고, 다른 하나는 액정 소자(121)의 한 쌍의 전극 중 다른 하나에 전기적으로 접속된다. 용량선(115)의 전위는 화소(103)의 사양에 따라 적절히 설정된다. 용량 소자(105)는 기록된 데이터를 저장하는 저장용량 소자로서 기능한다.

[0065] 예를 들어, 도 3의 (B)의 화소(103)를 포함하는 표시 장치에서는, 주사선 구동 회로(104)에 의하여 화소들(103)

3)이 행마다 순차적으로 선택됨으로써, 트랜지스터(102)가 온 상태가 되어 데이터 신호의 데이터가 기록된다.

[0066] 트랜지스터(102)가 오프 상태가 되면, 데이터가 기록된 화소(103)는 유지 상태가 된다. 이 동작이 행마다 순차적으로 수행됨으로써 화상이 표시된다.

[0067] 도 3의 (C)의 화소(103)는 표시 소자의 스위칭을 수행하는 트랜지스터(133), 화소 구동을 제어하는 트랜지스터(102), 트랜지스터(135), 용량 소자(105), 및 발광 소자(131)를 포함한다.

[0068] 트랜지스터(133)의 소스 전극 및 드레인 전극 중 한쪽은 데이터 신호가 공급되는 신호선(109)에 전기적으로 접속된다. 트랜지스터(133)의 게이트 전극은 게이트 신호가 공급되는 주사선(107)에 전기적으로 접속된다.

[0069] 트랜지스터(133)는 온 또는 오프 상태가 됨으로써 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0070] 트랜지스터(102)의 소스 전극 및 드레인 전극 중 한쪽은 애노드선으로서 기능하는 배선(137)에 전기적으로 접속되고, 다른 쪽은 발광 소자(131)의 한쪽 전극에 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 쪽 및 용량 소자(105)의 한쪽 전극에 전기적으로 접속된다.

[0071] 트랜지스터(102)는 온 또는 오프 상태가 됨으로써 발광 소자(131)를 흐르는 전류를 제어하는 기능을 갖는다.

[0072] 트랜지스터(135)의 소스 전극 및 드레인 전극 중 한쪽은 데이터의 기준 전위가 공급되는 배선(139)에 접속되고, 다른 쪽은 발광 소자(131)의 한쪽 전극 및 용량 소자(105)의 다른 쪽 전극에 전기적으로 접속된다. 또한, 트랜지스터(135)의 게이트 전극은 게이트 신호가 공급되는 주사선(107)에 전기적으로 접속된다.

[0073] 트랜지스터(135)는 발광 소자(131)를 흐르는 전류를 조절하는 기능을 갖는다. 예를 들어, 발광 소자(131)의 열화 등으로 인하여 발광 소자(131)의 내부 저항이 증가되면, 트랜지스터(135)의 소스 전극 및 드레인 전극 중 한쪽이 접속된 배선(139)을 흐르는 전류를 모니터링함으로써, 발광 소자(131)를 흐르는 전류를 보정할 수 있다. 배선(139)에 공급되는 전위는 예를 들어 0V로 설정할 수 있다.

[0074] 용량 소자(105)의 한쪽 전극은 트랜지스터(102)의 게이트 전극 및 트랜지스터(133)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속되고, 용량 소자(105)의 다른 쪽 전극은 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 쪽 및 발광 소자(131)의 한쪽 전극에 전기적으로 접속된다.

[0075] 도 3의 (C)의 화소(103)에서, 용량 소자(105)는 기록된 데이터를 저장하는 저장 용량 소자로서 기능한다.

[0076] 발광 소자(131)의 한쪽 전극은 트랜지스터(135)의 소스 전극 및 드레인 전극 중 다른 쪽, 용량 소자(105)의 다른 쪽 전극, 및 트랜지스터(102)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 발광 소자(131)의 다른 쪽 전극은 캐소드로서 기능하는 배선(141)에 전기적으로 접속된다.

[0077] 발광 소자(131)로서는, 예를 들어 유기 일렉트로루미네센스 소자(유기 EL 소자라고도 함) 등을 사용할 수 있다. 또한, 발광 소자(131)는 유기 EL 소자에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자가 사용되어도 좋다.

[0078] 배선(137) 및 배선(141) 중 하나에는 고전원 전위(VDD)가 공급되고, 다른 하나에는 저전원 전위(VSS)가 공급된다. 도 3의 (C)의 구조에서는, 배선(137)에 고전원 전위(VDD)가 공급되고, 배선(141)에 저전원 전위(VSS)가 공급된다.

[0079] 예를 들어, 도 3의 (C)의 화소(103)를 포함하는 표시 장치에서, 화소(103)가 주사선 구동 회로(104)에 의하여 행마다 순차적으로 선택됨으로써, 트랜지스터(102)가 온 상태가 되어 데이터 신호의 데이터가 기록된다.

[0080] 트랜지스터(133)가 오프 상태가 되면, 데이터가 기록된 화소(103)는 유지 상태가 된다. 트랜지스터(133)는 용량 소자(105)에 접속되기 때문에, 기록된 데이터가 오랫동안 저장될 수 있다. 소스 및 드레인 전극들 사이를 흐르는 전류의 양은 트랜지스터(133)에 의하여 제어된다. 발광 소자(131)는 흐르는 전류의 양에 상당하는 회도의 광을 발한다. 이 동작이 행마다 순차적으로 수행됨으로써 화상이 표시된다.

[0081] 도 3의 (B) 및 (C)는 각각 표시 소자로서 액정 소자(121) 및 발광 소자(131)가 사용되는 예를 각각 도시한 것임지만, 본 발명의 일 형태는 이에 한정되지 않는다. 각종 표시 소자 중 어느 것을 사용하여도 좋다. 표시 소자의 예에는, EL(일렉트로루미네센스) 소자(예를 들어 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 및 무기 EL 소자), LED(예를 들어 백색 LED, 적색 LED, 녹색 LED, 및 청색 LED), 트랜지스터(전류에 따라 광을 발하는 트랜지스터), 전자 이미터, 전자 잉크, 전기 영동 소자, GLV(Grating Light Valve), PDP(Plasma Display Panel), MEMS(Micro Electro Mechanical System), DMD(Digital Micromirror Device), DMS(Digital Micro

Shutter), IMOD(Interferometric Modulator Display), 일렉트로웨팅 소자, 압전 세라믹 디스플레이, 및 카본 나노 튜브 등, 전자기 작용에 의하여 콘트라스트, 휘도, 반사율, 또는 투과율 등이 변화되는 표시 매체를 포함하는 소자가 포함된다. 또한 EL 소자를 포함하는 표시 장치의 예에는 EL 디스플레이가 포함된다. 전자 이미터를 포함하는 표시 장치의 예는 FED(Field Emission Display) 및 SED형 평판 디스플레이(SED: Surface-conduction Electron-emitter Display)이다. 액정 소자를 포함하는 표시 장치의 예에는 액정 디스플레이(예를 들어, 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이) 등이 포함된다. 전자 잉크 또는 전기 영동 소자를 포함하는 표시 장치의 예는 전자 페이퍼이다.

[0082] 다음에, 표시 장치에 포함되는 소자 기판의 구체적인 구조에 대하여 설명한다. 여기서는, 화소(103)에 액정 소자를 포함하는 액정 표시 장치의 구체적인 예에 대하여 설명한다. 도 4는 도 3의 (B)에 나타낸 화소(103)의 상면도이다.

[0083] 여기서는, 표시 장치로서 FFS 모드로 구동되는 액정 표시 장치가 사용되고, 도 4는 이 액정 표시 장치에 포함되는 복수의 화소(103a, 103b, 및 103c)의 상면도이다.

[0084] 도 4에서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서는 가로 방향)으로 연장된다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서는 세로 방향)으로 연장된다. 또한, 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104)(도 3의 (A) 참조)에 전기적으로 접속되고, 신호선으로서 기능하는 도전막(21a)은 신호선 구동 회로(106)(도 3의 (A) 참조)에 전기적으로 접속된다.

[0085] 트랜지스터(102)는, 주사선으로서 기능하는 도전막과 신호선으로서 기능하는 도전막이 서로 교차되는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막(도 4에서는 미도시); 게이트 절연막 위의, 채널 영역이 형성되는 산화물 반도체막(19a); 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a) 및 도전막(21b)을 포함한다. 도전막(13)은 주사선으로서 기능하는 도전막으로서도 기능하고, 도전막(13)에서 산화물 반도체막(19a)과 중첩되는 영역은 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 신호선으로서 기능하는 도전막으로서도 기능하고, 도전막(21a)에서 산화물 반도체막(19a)과 중첩되는 영역은 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 도 4의 상면도에서, 주사선으로서 기능하는 도전막의 단부는 산화물 반도체막(19a)의 단부의 바깥쪽에 위치한다. 따라서, 주사선으로서 기능하는 도전막은 백라이트 등의 광원으로부터의 광을 차단하는 차광막으로서 기능한다. 그러므로, 트랜지스터에 포함되는 산화물 반도체막(19a)이 광으로 조사되지 않아, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.

[0086] 또한, 트랜지스터(102)는 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)을 포함한다. 유기 절연막(31)은 무기 절연막(도 4에서는 미도시)을 개재하여 산화물 반도체막(19a)(특히, 산화물 반도체막(19a)에서 도전막들(21a 및 21b) 사이에 있는 영역)과 중첩된다.

[0087] 유기 절연막(31)은 각 트랜지스터(10)에서 격리되기 때문에 외부로부터의 물이 유기 절연막(31)을 통하여 액정 표시 장치로 확산되지 않아, 액정 표시 장치에 제공된 트랜지스터의 전기 특성의 변동을 저감할 수 있다.

[0088] 도전막(21b)은 화소 전극(19b)에 전기적으로 접속된다. 공통 전극(29)은 절연막을 개재하여 화소 전극(19b) 위에 제공된다. 일점쇄선으로 나타낸 개구(40)는 화소 전극(19b) 위에 제공된 절연막에 제공된다. 화소 전극(19b)은 개구(40)에서 질화물 절연막(도 4에서는 미도시)과 접한다.

[0089] 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 교차되는 방향으로 연장되는 줄무늬 영역을 포함한다. 이 줄무늬 영역은 신호선으로서 기능하는 도전막(21a)에 평행 또는 실질적으로 평행한 방향으로 연장되는 영역에 접속된다. 따라서, 화소에서 공통 전극(29)의 줄무늬 영역은 같은 전위에 있다.

[0090] 용량 소자(105)는 화소 전극(19b) 및 공통 전극(29)이 서로 중첩되는 영역에 형성된다. 화소 전극(19b) 및 공통 전극(29)은 각각 투광성을 갖는다. 즉, 용량 소자(105)는 투광성을 갖는다.

[0091] 도 4에 도시된 바와 같이, FFS 모드의 액정 표시 장치에는, 신호선으로서 기능하는 도전막과 교차되는 방향으로 연장되는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 우수한 콘트라스트를 가질 수 있다.

[0092] 용량 소자(105)는 투광성을 갖기 때문에, 화소(103) 내에 용량 소자(105)를 크게(큰 면적으로) 형성할 수 있다.

따라서, 대표적으로 50% 이상, 바람직하게는 60% 이상으로 높아진 개구율과 함께 대용량의 용량 소자를 갖는 표시 장치를 제공할 수 있다. 예를 들어, 액정 표시 장치 등의 고해상도 표시 장치에서는 화소의 면적이 작아 용량 소자의 면적도 작다. 이 이유로, 고해상도 표시 장치에서 용량 소자에 축적되는 전하의 양은 작다. 그러나, 본 실시형태의 용량 소자(105)는 투광성을 갖기 때문에, 용량 소자(105)가 화소에 제공될 때 화소에서 충분한 용량을 얻을 수 있고 개구율을 향상시킬 수 있다. 대표적으로는, 화소 밀도가 200ppi(pixels per inch) 이상, 300ppi 이상, 더구나 500ppi 이상인 고해상도 표시 장치에 용량 소자(105)를 바람직하게 사용할 수 있다.

[0093] 액정 표시 장치에서, 용량 소자의 용량값이 증가될수록 전계가 인가되는 상태에서 액정 소자의 액정 분자의 배향이 일정하게 유지될 수 있는 기간이 길어진다. 정지 화상을 표시하는 표시 장치에서 상기 기간을 길게 할 수 있으면, 화상 데이터를 재기록하는 횟수를 줄일 수 있어 소비 전력의 저감으로 이어진다. 또한, 본 실시형태의 구조에 따르면 고해상도 표시 장치에서도 개구율을 향상시킬 수 있기 때문에 백라이트 등의 광원으로부터의 광을 효율적으로 사용할 수 있게 되어, 표시 장치의 소비 전력을 저감할 수 있다.

[0094] 다음에, 도 5는 도 4의 일점쇄선 A-B 및 C-D를 따른 단면도이다. 도 5에 도시된 트랜지스터(102)는 채널 에치형 트랜지스터이다. 또한, 일점쇄선 A-B를 따른 단면도에는 채널 길이 방향에서의 트랜지스터(102) 및 용량 소자(105)를 도시하였고, 일점쇄선 C-D에 따른 단면도에는 채널 폭 방향에서의 트랜지스터(102)를 도시하였다.

[0095] 본 실시형태에서 설명하는 액정 표시 장치는 한 쌍의 기판(제 1 기판(11) 및 제 2 기판(342)), 제 1 기판(11)과 접하는 소자층, 제 2 기판(342)과 접하는 소자층, 및 소자층들 사이에 제공되는 액정 소자(320)를 포함한다. 또한, 소자층은 기판과 액정층 사이에 개재되는 층을 말하기 위하여 사용되는 일반 용어이다. 한 쌍의 기판(제 1 기판(11)과 제 2 기판(342)) 사이에 액정 소자(322)가 제공된다.

[0096] 액정 소자(322)는 제 1 기판(11) 위의 화소 전극(19b), 공통 전극(29), 질화물 절연막(27), 배향을 제어하는 막(아래에서는 배향막(33)이라고 함), 및 액정층(320)을 포함한다. 화소 전극(19b)은 액정 소자(322)의 한쪽 전극으로서 기능하고, 공통 전극(29)은 액정 소자(322)의 다른 쪽 전극으로서 기능한다.

[0097] 우선, 제 1 기판(11) 위에 형성된 소자층에 대하여 설명한다. 도 5의 트랜지스터(102)는 싱글 게이트 구조를 가지며, 게이트 전극으로서 기능하는 도전막(13)을 제 1 기판(11) 위에 포함한다. 또한, 트랜지스터(102)는 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 질화물 절연막(15), 질화물 절연막(15) 위에 형성된 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 산화물 반도체막(19a), 및 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 질화물 절연막(15) 및 산화물 절연막(17)은 게이트 절연막(14)으로서 기능한다. 또한, 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 위에는 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에는 산화물 절연막(25)이 형성된다. 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에는 질화물 절연막(27)이 형성된다. 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)은 무기 절연막(30)으로서 기능한다. 산화물 절연막(17) 위에 화소 전극(19b)이 형성된다. 화소 전극(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 하나에 접속된다(여기서는 도전막(21b)에 접속됨). 질화물 절연막(27) 위에는 공통 전극(29)이 형성된다. 또한, 무기 절연막(30)을 개재하여 트랜지스터(102)의 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)이 포함된다.

[0098] 화소 전극(19b), 질화물 절연막(27), 및 공통 전극(29)이 서로 중첩되는 영역이 용량 소자(105)로서 기능한다.

[0099] 유기 절연막(31)의 두께는 500nm 이상 10 μ m 이하인 것이 바람직하다. 도 5의 유기 절연막(31)의 두께는 제 1 기판(11) 위에 형성된 무기 절연막(30)과 제 2 기판(342) 상에 형성된 소자층 사이의 틈보다 작다. 따라서, 유기 절연막(31)과 제 2 기판(342) 상에 형성된 소자층 사이에 액정층(320)이 제공된다. 바꿔 말하면, 액정층(320)은 유기 절연막(31) 위의 배향막(33)과 제 2 기판(342) 상의 소자층에 포함되는 배향막(352) 사이에 제공된다.

[0100] 또한 도 6에 도시된 바와 같이, 유기 절연막(31a) 위의 배향막(33) 및 제 2 기판(342) 상의 소자층에 포함되는 배향막(352)은 서로 접하여도 좋다. 이 경우, 유기 절연막(31a)은 스페이서로서 기능하기 때문에, 액정 표시 장치의 셀 갭이 유기 절연막(31a)으로 유지될 수 있다.

[0101] 도 5 또는 도 6 등에서 배향막(33)이 유기 절연막(31) 또는 유기 절연막(31a) 위에 제공되어 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 33에 도시된 바와 같이, 경우 또는 상황에 따라서는 유기 절연막(31b)이 배향막(33) 위에 제공되어도 좋다. 이 경우, 러빙 단계는 예를 들어, 배향막(33) 형성 직후 대신에 배향막(33)

위에 유기 절연막(31b) 등을 형성한 후에 수행하여도 좋다.

[0102] 산화물 반도체막(19a)과 중첩되는 유기 절연막(31, 31a, 또는 31b)을 트랜지스터(102) 위에 제공함으로써, 산화물 반도체막(19a)의 표면을 유기 절연막(31, 31a, 또는 31b)의 표면으로부터 떨어지게 할 수 있다. 이로써, 산화물 반도체막(19a)의 표면은 유기 절연막(31, 31a, 또는 31b)의 표면에 흡착된 양으로 대전한 입자들의 전계에 의한 영향을 받지 않아, 트랜지스터(102)의 신뢰성을 향상시킬 수 있다.

[0103] 또한 본 발명의 일 형태의 단면도는 도 5, 도 6, 및 도 33에 한정되지 않는다. 표시 장치는 다양한 다른 구조를 가질 수 있다. 예를 들어, 화소 전극(19b)은 슬릿을 가져도 좋다. 화소 전극(19b)은 빗 형상을 가져도 좋다. 이 경우의 단면도의 예를 도 7에 나타내었다. 또는, 도 8에 도시된 바와 같이 격리되어 있지 않은 유기 절연막(31c)이 질화물 절연막(27) 위에 제공되어도 좋다. 예를 들어, 격리되어 있지 않은 유기 절연막(31c)을 제공함으로써, 유기 절연막(31c)의 표면을 평탄하게 할 수 있다. 바꿔 말하면, 예를 들어 유기 절연막(31c)은 평탄화막으로서 기능할 수 있다. 또는, 도 9에 도시된 바와 같이 공통 전극(29)과 도전막(21b)이 서로 중첩되도록 용량 소자(105b)를 형성하여도 좋다. 이러한 구조는 용량 소자(105b)가 화소 전극의 전위를 유지하는 용량 소자로서 기능하도록 할 수 있다. 따라서, 이러한 구조에 의하여 용량 소자의 용량을 증가시킬 수 있다.

[0104] 표시 장치의 구조에 대하여 아래에서 자세히 설명한다.

[0105] 적어도 나중의 가열 처리를 견딜 수 있을 정도의 내열성을 갖는 재료이기만 하면, 제 1 기판(11)의 재료 등의 성질에 대하여 특별한 제한은 없다. 예를 들어, 제 1 기판(11)으로서 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판을 사용하여도 좋다. 또는, 제 1 기판(11)으로서 실리콘 또는 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어지는 화합물 반도체 기판, 또는 SOI(silicon on insulator) 기판 등을 사용하여도 좋다. 또한, 이들 기판에 반도체 소자가 더 제공된 것 중 어느 것을 제 1 기판(11)으로서 사용하여도 좋다. 제 1 기판(11)으로서 유리 기판이 사용되는 경우, 다음의 사이즈 중 어느 것을 갖는 유리 기판을 사용할 수 있다: 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm), 및 제 10 세대(2950mm×3400mm). 이로써, 대형 표시 장치를 제작할 수 있다.

[0106] 또는, 제 1 기판(11)으로서 플렉시블 기판을 사용하고, 플렉시블 기판에 직접 트랜지스터(102)를 제공하여도 좋다. 또는, 제 1 기판(11)과 트랜지스터(102) 사이에 분리층을 제공하여도 좋다. 분리층은, 분리층 위에 형성된 표시 장치의 일부 또는 전체를 제 1 기판(11)으로부터 분리하고 다른 기판으로 옮길 때 사용할 수 있다. 이러한 경우, 트랜지스터(102)를 내열성이 낮은 기판 또는 플렉시블 기판으로도 옮길 수 있다.

[0107] 게이트 전극으로서 기능하는 도전막(13)은 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데넘, 및 텅스텐으로부터 선택되는 금속 원소; 이들 금속 원소 중 어느 것을 성분으로서 포함하는 합금; 또는 이들 금속 원소 중 어느 것을 조합하여 포함하는 합금 등을 사용하여 형성할 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택되는 하나 이상의 금속 원소를 사용하여도 좋다. 게이트 전극으로서 기능하는 도전막(13)은 단층 구조 또는 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 질화 타이타늄막 위에 타이타늄막이 적층된 2층 구조, 질화 타이타늄막 위에 텅스텐막이 적층된 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 몰리브데넘막 위에 구리막이 적층된 2층 구조, 및 타이타늄막과 알루미늄막과 타이타늄막이 순차적으로 적층된 3층 구조를 들 수 있다. 또는, 알루미늄, 및 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택되는 하나 이상의 원소를 포함하는 합금막 또는 질화막을 사용하여도 좋다.

[0108] 게이트 전극으로서 기능하는 도전막(13)은 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘의 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성할 수도 있다. 상술한 투광성 도전 재료 및 상술한 금속 원소를 사용하여 형성된 적층 구조를 가질 수도 있다.

[0109] 질화물 절연막(15)은 산소가 투과하기 어려운 질화물 절연막일 수 있다. 또한, 산소, 수소, 및 물이 투과하기 어려운 질화물 절연막을 사용할 수 있다. 산소가 투과하기 어려운 질화물 절연막 및 산소, 수소, 및 물이 투과하기 어려운 질화물 절연막으로서는, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화산화 알루미늄막 등을 들 수 있다. 산소가 투과하기 어려운 질화물 절연막 및 산소, 수소, 및 물이 투과하기 어려운 질화물 절연막 대신에, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막,

산화질화 이트륨막, 산화 하프늄막, 또는 산화질화 하프늄막 등의 산화물 절연막을 사용할 수 있다.

[0110] 질화물 절연막(15)의 두께는 5nm 이상 100nm 이하인 것이 바람직하고, 20nm 이상 80nm 이하인 것이 더 바람직하다.

[0111] 산화물 절연막(17)은 예를 들어, 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, Ga-Zn계 금속 산화물막, 및 질화 실리콘막 중 하나 이상을 사용하여 단층 구조 또는 적층 구조를 갖도록 형성할 수 있다.

[0112] 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_{x,y}N_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_{x,y}N_z$), 산화 하프늄, 또는 산화 이트륨 등 비유전율이 높은 재료를 사용하여 산화물 절연막(17)을 형성하여도 좋고, 이로써 트랜지스터의 게이트 누설 전류를 저감할 수 있다.

[0113] 산화물 절연막(17)의 두께는 5nm 이상 400nm 이하인 것이 바람직하고, 10nm 이상 300nm 이하인 것이 더 바람직하고, 50nm 이상 250nm 이하인 것이 더욱 바람직하다.

[0114] 산화물 반도체막(19a)은 대표적으로 In-Ga 산화물, In-Zn 산화물, 또는 In-*M*-Zn 산화물(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd을 나타냄)을 사용하여 형성된다.

[0115] 산화물 반도체막(19a)이 In-*M*-Zn 산화물을 포함하는 경우, In과 *M*의 합을 100atomic%로 가정할 때 In과 *M*의 비율은 다음과 같은 것이 바람직하다: In의 원자 비율이 25atomic%보다 높고 *M*의 원자 비율이 75atomic% 미만이고, 더 바람직하게는 In의 원자 비율이 34atomic%보다 높고 *M*의 원자 비율이 66atomic% 미만이다.

[0116] 산화물 반도체막(19a)의 에너지 캡은 2eV 이상이고, 2.5eV 이상인 것이 바람직하고, 3eV 이상인 것이 더 바람직하다. 이러한 넓은 에너지 캡을 갖는 산화물 반도체를 사용함으로써 트랜지스터(102)의 오프 전류를 저감할 수 있다.

[0117] 산화물 반도체막(19a)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.

[0118] 산화물 반도체막(19a)이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd을 나타냄)인 경우, In-*M*-Zn 산화물막을 형성하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자 비율이 $In \geq M$ 및 $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자 비율로서 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, 및 $In:M:Zn=3:1:2$ 가 바람직하다. 또한, 형성되는 산화물 반도체막(19a)의 원자 비율에서의 각 금속 원소의 비율은, 상기 스퍼터링 타깃의 상술한 원자 비율에서 오차로서 $\pm 40\%$ 의 범위 내에서 변동된다.

[0119] 산화물 반도체막(19a)으로서는 캐리어 밀도가 낮은 산화물 반도체막이 사용된다. 예를 들어, 캐리어 밀도가 $1 \times 10^{17}/cm^3$ 이하, 바람직하게는 $1 \times 10^{15}/cm^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11}/cm^3$ 이하인 산화물 반도체막이 산화물 반도체막(19a)으로서 사용된다.

[0120] 또한 상술한 조성에 한정되지 않고, 요구되는 트랜지스터의 반도체 특성 및 전기 특성(예를 들어, 전계 효과 이동도 및 문턱 전압)에 따라 적절한 조성의 재료가 사용될 수 있다. 또한, 요구되는 트랜지스터의 반도체 특성을 얻기 위하여, 산화물 반도체막(19a)의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자 비율, 원자간 거리, 및 밀도 등을 적절하게 설정하는 것이 바람직하다.

[0121] 또한, 산화물 반도체막(19a)으로서 불순물 농도가 낮고 결함 상태의 밀도가 낮은 산화물 반도체막을 사용하면 트랜지스터는 더 우수한 전기 특성을 가질 수 있어 바람직하다. 여기서, 불순물 농도가 낮고 결함 상태의 밀도가 낮은(산소 결손의 양이 작은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는 경우가 있다. 따라서 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 음의 문턱 전압을 좀처럼 갖지 않는다(노멀리 온이 좀처럼 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 결함 상태의 밀도가 낮기 때문에 캐리어 트랩이 적은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 오프 전류가 매우 낮고; 소자가 $1 \times 10^6 \mu m$ 의 채널 폭 및 $10 \mu m$ 의 채널 길이(*L*)를 가지더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V~10V일 때 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} A$ 이하일 수 있다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 경우가 있다. 불순물의 예로서, 수소, 질소, 알칼리 금

속, 및 알칼리 토금속을 들 수 있다.

[0122] 산화물 반도체막에 포함되는 수소는 금속 원자에 결합된 산소와 반응하여 물이 되고, 또한 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 결손이 형성된다. 이 산소 결손에 수소가 들어감으로 인하여 캐리어로서 기능하는 전자가 발생하는 경우가 있다. 또한, 수소의 일부와, 금속 원자에 결합된 산소의 결합이, 캐리어로서 기능하는 전자를 발생시키는 경우가 있다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.

[0123] 따라서, 산화물 반도체막(19a)에서 산소 결손과 함께 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(19a)에서 SIMS(secondary ion mass spectrometry)에 의하여 측정되는 수소의 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0124] 14족에 속하는 원소 중 하나인 실리콘 또는 탄소가 산화물 반도체막(19a)에 포함되면, 산소 결손이 증가되고, 산화물 반도체막(19a)은 n형막이 된다. 따라서, 산화물 반도체막(19a)의 실리콘 또는 탄소의 농도(이 농도는 SIMS에 의하여 측정됨)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0125] SIMS에 의하여 측정되는 산화물 반도체막(19a)에서의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 결합될 때 캐리어를 생성할 수 있고, 이 경우, 트랜지스터의 오프 전류가 증가될 수 있다. 따라서, 산화물 반도체막(19a)에서 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0126] 또한, 산화물 반도체막(19a)은 질소를 포함할 때 캐리어로서 기능하는 전자의 발생 및 캐리어 밀도의 증가에 의하여 n형 도전성을 갖기 쉽다. 따라서, 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이 이유로, 산화물 반도체막에서의 질소는 가능한 한 저감되는 것이 바람직하고, 예를 들어 SIMS에 의하여 측정되는 질소의 농도를 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0127] 산화물 반도체막(19a)은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조는 예를 들어 나중에 설명하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 구조, 나중에 설명하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조 중, 비정질 구조는 결함 상태의 밀도가 가장 높은 한편, CAAC-OS는 결함 상태의 밀도가 가장 낮다.

[0128] 산화물 반도체막(19a)은 예를 들어 비단결정 구조를 가져도 좋다. 비정질 구조를 갖는 산화물 반도체막들은 각각 예를 들어 무질서한 원자 배열을 갖고, 결정 성분을 갖지 않는다.

[0129] 또한, 산화물 반도체막(19a)은 다음의 2 이상의 영역을 포함하는 혼합막이여도 좋다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역. 혼합막은 예를 들어 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2 이상을 포함하는 단층 구조를 갖는 경우가 있다. 또한, 혼합막은 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2 이상의 적층 구조를 갖는 경우가 있다.

[0130] 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막을 가공함으로써 형성된다. 따라서, 화소 전극(19b)은 산화물 반도체막(19a)과 같은 금속 원소를 포함한다. 또한, 화소 전극(19b)은 산화물 반도체막(19a)과 같거나 다른 결정 구조를 갖는다. 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막에 불순물 또는 산소 결손을 첨가함으로써, 산화물 반도체막은 도전성을 갖게 되어 화소 전극(19b)으로서 기능한다. 산화물 반도체막에 포함되는 불순물의 예는 수소이다. 수소 대신에 불순물로서 붕소, 인, 주석, 안티모니, 희가스 원소, 알칼리 금속, 또는 알칼리 토금속 등이 포함되어도 좋다. 또는, 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성되며, 플라즈마 대미지 등에 의하여 생성된 산소 결손을 포함함으로써 증가된 도전성을 갖는다. 또는, 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성되며, 불순물 및 플라즈마 대미지 등에 의하여 생성된 산소 결손을 포함함으로써 증가된 도전성을 갖는다.

[0131] 산화물 반도체막(19a) 및 화소 전극(19b)은 양쪽 모두 산화물 절연막(17) 위에 형성되지만 불순물 농도가 다르다. 구체적으로는, 화소 전극(19b)은 산화물 반도체막(19a)보다 불순물 농도가 높다. 예를 들어, 산화물 반

체막(19a)에 포함되는 수소의 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이하이다. 화소 전극(19b)에 포함되는 수소의 농도는 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 5×10^{20} atoms/cm³ 이상이다. 화소 전극(19b)에 포함되는 수소의 농도는 산화물 반도체막(19a)의 2배 이상, 바람직하게는 10배 이상이다.

[0132] 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막이 플라즈마에 노출되면, 산화물 반도체막이 대미지를 받아 산소 결손이 생성될 수 있다. 예를 들어, 플라즈마 CVD법 또는 스퍼터링법에 의하여 산화물 반도체막 위에 막이 형성될 때, 산화물 반도체막은 플라즈마에 노출되어 산소 결손이 생성된다. 또는, 산화물 절연막(23) 및 산화물 절연막(25)의 형성을 위한 에칭 처리에서 산화물 반도체막이 플라즈마에 노출되면, 산소 결손이 생성된다. 또는, 산화물 반도체막이 산소와 수소의 혼합 가스, 수소, 희가스, 및 암모니아 등의 플라즈마에 노출되면 산소 결손이 생성된다. 그 결과, 산화물 반도체막의 도전성이 증가되어, 산화물 반도체막은 도전성을 갖게 되어 화소 전극(19b)으로서 기능한다.

[0133] 바꿔 말하면, 화소 전극(19b)은 도전성이 높은 산화물 반도체막을 사용하여 형성된다. 또한, 화소 전극(19b)은 도전성이 높은 금속 산화물막을 사용하여 형성된다고 할 수도 있다.

[0134] 질화물 절연막(27)으로서 질화 실리콘막이 사용되는 경우, 질화 실리콘막은 수소를 포함한다. 질화물 절연막(27)에서의 수소가 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막으로 화산되면, 수소는 산소에 결합되고 산화물 반도체막에 캐리어로서 기능하는 전자가 발생한다. 질화 실리콘막이 플라즈마 CVD법 또는 스퍼터링법에 의하여 형성될 때, 산화물 반도체막이 플라즈마에 노출되어 산화물 반도체막에 산소 결손이 생성된다. 질화 실리콘막에 포함되는 수소가 산소 결손에 들어가면 캐리어로서 기능하는 전자가 발생한다. 결과적으로, 산화물 반도체막의 도전성이 증가되어, 산화물 반도체막은 화소 전극(19b)으로서 기능한다.

[0135] 산소 결손을 포함하는 산화물 반도체에 수소가 첨가될 때, 수소는 산소 결손 사이트에 들어가고 전도대 부근에 도너 준위를 형성한다. 그 결과, 산화물 반도체의 도전성이 증가되어, 산화물 반도체는 도전체가 된다. 도전체가 된 산화물 반도체를 산화물 도전체라고 할 수 있다. 바꿔 말하면, 화소 전극(19b)은 산화물 도전체막을 사용하여 형성된다. 산화물 반도체는 에너지 캡이 크기 때문에 일반적으로 가시광 투과성을 갖는다. 산화물 도전체는 전도대 부근에 도너 준위를 갖는 산화물 반도체이다. 따라서, 도너 준위로 인한 흡수의 영향이 작고, 산화물 도전체는 산화물 반도체와 같은 정도의 가시광 투과성을 갖는다.

[0136] 화소 전극(19b)은 산화물 반도체막(19a)보다 저항률이 낮다. 화소 전극(19b)의 저항률은 산화물 반도체막(19a)의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 미만인 것이 바람직하다. 화소 전극(19b)의 저항률은 대표적으로 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-4} \Omega \text{cm}$ 미만, 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이다.

[0137] 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)은 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텉스텐 등의 금속 중 어느 것, 또는 이들 금속 중 어느 것을 주성분으로서 포함하는 합금을 포함하는 단층 구조 또는 적층 구조를 갖도록 각각 형성된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텉스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텉스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 순차적으로 적층된 3층 구조, 및 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 순차적으로 적층된 3층 구조를 들 수 있다. 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0138] 산화물 절연막(23) 또는 산화물 절연막(25)으로서, 화학량론 조성보다 많은 산소를 포함하는 산화물 절연막을 사용하는 것이 바람직하다. 여기서, 산화물 절연막(23)으로서 산소를 투과하는 산화물 절연막이 형성되고, 산화물 절연막(25)으로서 화학량론 조성보다 많은 산소를 포함하는 산화물 절연막이 형성된다.

[0139] 산화물 절연막(23)은 산소를 투과시키는 산화물 절연막이다. 따라서, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 방출된 산소는 산화물 절연막(23)을 통하여 산화물 반도체막(19a)으로 이동할 수 있다. 또한, 산화물 절연막(23)은, 나중에 산화물 절연막(25)을 형성할 때의 산화물 반도체막(19a)에 대한 대미지를 완화시키는 막으로서도 기능한다.

- [0140] 산화물 절연막(23)으로서, 두께 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하의 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다. 또한 본 명세서에서, "산화질화 실리콘막"은 질소보다 산소를 더 많이 포함하는 막을 말하고, "질화산화 실리콘막"은 산소보다 질소를 더 많이 포함하는 막을 말한다.
- [0141] 또한, 산화물 절연막(23)은 질소를 포함하며 결합의 수가 적은 산화물 절연막인 것이 바람직하다.
- [0142] 질소를 포함하며 결합의 수가 적은 산화물 절연막의 대표적인 예에는 산화질화 실리콘막 및 산화질화 알루미늄 막이 포함된다.
- [0143] 결합의 수가 적은 산화물 절연막의 100K 이하에서의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g -인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g -인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g -인자에서 나타나는 제 3 신호가 관측된다. X밴드를 사용한 ESR 측정에 의하여 얻어지는 제 1 신호와 제 2 신호 사이의 스플릿 폭 및 제 2 신호와 제 3 신호 사이의 스플릿 폭은 각각 약 5mT이다. 2.037 이상 2.039 이하의 g -인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g -인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g -인자에서 나타나는 제 3 신호의 스픬 밀도의 합은 1×10^{18} spins/cm³ 미만, 대표적으로는 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만이다.
- [0144] 100K 이하에서의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g -인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g -인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g -인자에서 나타나는 제 3 신호는 질소 산화물(NO_x ; x 는 0 이상 2 이하, 바람직하게는 1 이상 2 이하임)에 기인하는 신호에 상당한다. 질소 산화물의 대표적인 예에는 일산화 질소 및 이산화 질소가 포함된다. 바꿔 말하면, 1.964 이상 1.966 이하의 g -인자 ~2.037 이상 2.039 이하의 g -인자에서 나타나는 신호의 스픬 밀도가 낮을 때, 산화물 절연막에서의 질소 산화물의 함유량은 낮다.
- [0145] 상술한 바와 같이 산화물 절연막(23)이 작은 양의 질소 산화물을 포함할 때, 산화물 절연막(23)과 산화물 반도체막 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 따라서, 반도체 장치에 포함되는 트랜지스터의 문턱 전압의 변화를 저감할 수 있어, 트랜지스터의 전기 특성의 변화를 저감할 수 있다.
- [0146] 산화물 절연막(23)은 SIMS에 의하여 측정되는 질소 농도가 6×10^{20} atoms/cm³ 이하인 것이 바람직하다. 이 경우, 산화물 절연막(23)에 질소 산화물이 생성되기 어려워 산화물 절연막(23)과 산화물 반도체막(19a) 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 문턱 전압의 변화를 저감할 수 있어, 트랜지스터의 전기 특성의 변화를 저감할 수 있다.
- [0147] 또한, 산화물 절연막(23)에 질화산화물 및 암모니아가 포함되면, 제작 공정의 가열 처리에서 질화산화물 및 암모니아가 서로 반응하여, 질화산화물이 질소 가스로서 방출된다. 따라서, 산화물 절연막(23)의 질소 농도 및 질소 산화물의 양을 저감할 수 있다. 또한, 산화물 절연막(23)과 산화물 반도체막(19a) 사이의 계면에서의 캐리어 트랩을 저감할 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터의 문턱 전압의 변화량을 저감할 수 있어, 트랜지스터의 전기 특성의 변화를 저감할 수 있다.
- [0148] 또한 산화물 절연막(23)에서, 외부로부터 산화물 절연막(23)으로 들어온 산소 모두가 산화물 절연막(23)의 외부로 이동하지 않고, 산소의 일부는 산화물 절연막(23)에 잔존한다. 또한, 산화물 절연막(23)으로 산소가 들어오고 산화물 절연막(23)에 포함되는 산소가 산화물 절연막(23)의 외부로 이동함으로써 산화물 절연막(23)에서의 산소의 이동이 일어나는 경우가 있다.
- [0149] 산화물 절연막(23)으로서 산소가 투과하는 산화물 절연막이 형성될 때, 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 방출된 산소는 산화물 절연막(23)을 통하여 산화물 반도체막(19a)으로 이동할 수 있다.
- [0150] 산화물 절연막(25)은 산화물 절연막(23)과 접하여 형성된다. 산화물 절연막(25)은 화학량론 조성보다 높은 비율로 산소를 포함하는 산화물 절연막을 사용하여 형성된다. 화학량론 조성보다 높은 비율로 산소를 포함하는 산화물 절연막으로부터 산소의 일부가 가열에 의하여 방출된다. 화학량론 조성보다 높은 비율로 산소를 포함하는 산화물 절연막은, TDS 분석에서 산소 원자로 변환한 방출된 산소의 양이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 산화물 절연막이다. 또한 TDS 분석에서의 막 표면의 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하인 것이 바람직하다.
- [0151] 산화물 절연막(25)으로서, 두께 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의 산화 실리콘막 또

는 산화질화 실리콘막 등을 사용할 수 있다.

[0152] 산화물 절연막(25)에서의 결합량은 작은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 $g=2.001$ 에서 나타나는 신호의 스핀 밀도가 1.5×10^{18} spins/cm³ 미만, 더 바람직하게는 1×10^{18} spins/cm³ 이하이다. 또한, 산화물 절연막(25)은 산화물 절연막(23)보다 산화물 반도체막(19a)으로부터 멀리 제공되기 때문에, 산화물 절연막(25)은 산화물 절연막(23)보다 결합 밀도가 높아도 좋다.

[0153] 질화물 절연막(15)과 같이, 질화물 절연막(27)은 산소가 투과하기 어려운 질화물 절연막일 수 있다. 또한, 산소, 수소 및 물이 투과하기 어려운 질화물 절연막을 사용할 수 있다.

[0154] 질화물 절연막(27)은 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 또는 질화산화 알루미늄막 등을 사용하여 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 형성된다.

[0155] 화학량론 조성보다 높은 비율로 산소를 포함하는 산화물 절연막이 산화물 절연막(23) 또는 산화물 절연막(25)에 포함되는 경우, 산화물 절연막(23) 또는 산화물 절연막(25)에 포함되는 산소의 일부는 산화물 반도체막(19a)으로 이동할 수 있어, 산화물 반도체막(19a)에 포함되는 산소 결손의 양이 저감될 수 있다.

[0156] 산소 결손을 갖는 산화물 반도체막을 사용한 트랜지스터의 문턱 전압은 음으로 쉽게 변동되고, 이러한 트랜지스터는 노멀리 온이 되기 쉽다. 이것은 산화물 반도체막에서의 산소 결손으로 인하여 전하가 생성되어 저항이 저감되기 때문이다. 노멀리 온 특성을 갖는 트랜지스터는 예를 들어 동작 시에는 동작 불량이 일어나기 쉽고 비동작 시에는 소비 전력이 증가된다는 다양한 문제를 일으킨다. 또한, 시간에 따른 변화 또는 스트레스 시험에 의하여 트랜지스터의 전기 특성(대표적으로 문턱 전압)의 변화량이 증가되는 문제가 있다.

[0157] 그러나, 본 실시형태의 트랜지스터(102)에서, 산화물 반도체막(19a) 위에 제공된 산화물 절연막(23) 또는 산화물 절연막(25)은 화학량론 조성보다 높은 비율로 산소를 포함한다. 또한, 산화물 반도체막(19a), 산화물 절연막(23), 및 산화물 절연막(25)은 질화물 절연막(15) 및 산화물 절연막(17)으로 둘러싸인다. 그 결과, 산화물 절연막(23) 또는 산화물 절연막(25)에 포함되는 산소는 산화물 반도체막(19a)으로 효율적으로 이동하여, 산화물 반도체막(19a)에서의 산소 결손의 양이 저감될 수 있다. 따라서, 노멀리 오프 특성을 갖는 트랜지스터가 얻어진다. 또한, 시간 경과 또는 스트레스 시험에 의한 트랜지스터의 전기 특성(대표적으로 문턱 전압)의 변화량이 저감될 수 있다.

[0158] 공통 전극(29)은 투광성막, 바람직하게는 투광성 도전막을 사용하여 형성된다. 투광성 도전막으로서는, 산화 텅스텐을 포함하는 인듐 산화물막, 산화 텅스텐을 포함하는 인듐 아연 산화물막, 산화 타이타늄을 포함하는 인듐 산화물막, 산화 타이타늄을 포함하는 인듐 주석 산화물막, 인듐 주석 산화물(아래에서 ITO라고 함)막, 인듐 아연 산화물막, 및 산화 실리콘이 첨가된 인듐 주석 산화물막 등을 들 수 있다.

[0159] 신호선으로서 기능하는 도전막(21a)의 연장 방향 및 공통 전극(29)의 연장 방향은 서로 교차된다. 따라서, 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이의 전계 및 화소 전극(19b)과 공통 전극(29) 사이의 전계의 방향 차이가 생기고 그 차이는 큰 각도를 형성한다. 따라서, 네거티브 액정 분자가 사용되는 경우, 신호선으로서 기능하는 도전막 부근의 액정 분자의 배향 상태 및 인접한 화소들에 제공된 화소 전극과 공통 전극 사이의 전계에 의하여 생기는 화소 전극 부근의 액정 분자의 배향 상태는 서로 영향을 받기 어렵다. 이로써, 화소의 투과율의 변화가 억제된다. 따라서, 화상의 플리커가 저감될 수 있다.

[0160] 리프레시 레이트가 낮은 액정 표시 장치에서는, 유지 기간에도, 신호선으로서 기능하는 도전막(21a) 부근의 액정 분자의 배향은 인접한 화소들의 화소 전극과 공통 전극(29) 사이의 전계에 의한 화소 전극 부근의 액정 분자의 배향 상태에 영향을 미치기 어렵다. 따라서, 유지 기간에서의 화소의 투과율을 유지할 수 있고, 플리커를 저감할 수 있다.

[0161] 공통 전극(29)은, 신호선으로서 기능하는 도전막(21a)과 교차되는 방향으로 연장되는 줄무늬 영역을 포함한다. 따라서, 화소 전극(19b)과 도전막(21a)의 부근에서, 액정 분자의 의도하지 않는 배향을 방지할 수 있어, 광 누설을 억제할 수 있다. 결과적으로, 콘트라스트가 우수한 표시 장치를 제작할 수 있다.

[0162] 또한 공통 전극(29)의 형상은 도 4에 도시된 것에 한정되지 않고, 줄무늬이어도 좋다. 줄무늬 형상의 경우, 연장 방향은 신호선으로서 기능하는 도전막과 평행이어도 좋다. 공통 전극(29)은 빗 형상을 가져도 좋다. 또는, 공통 전극을 제 1 기판(11) 전체면 위에 형성하여도 좋다. 또는, 화소 전극(19b)과 상이한 투광성 도전막을 절연막을 개재하여 공통 전극(29) 위에 형성하여도 좋다.

- [0163] 공통 전극(29), 질화물 절연막(27), 및 유기 절연막(31) 위에 배향막(33)이 형성된다.
- [0164] 다음에, 도 5의 트랜지스터(102) 및 용량 소자(105)를 제작하는 방법에 대하여 도 10의 (A)~(D), 도 11의 (A)~(D), 및 도 12의 (A)~(C)를 참조하여 설명한다.
- [0165] 도 10의 (A)에 도시된 바와 같이, 도전막(13)이 되는 도전막(12)을 제 1 기판(11) 위에 형성한다. 도전막(12)은 스퍼터링법, MOCVD(metal organic chemical vapor deposition)법, 금속 화학 기상 증착법, ALD(atomic layer deposition)법, 또는 PECVD(plasma-enhanced chemical vapor deposition)법 등의 CVD(chemical vapor deposition)법, 증착법, 또는 PLD(pulsed laser deposition)법 등에 의하여 형성한다. MOCVD법, 금속 화학 기상 증착법, 또는 ALD법을 채용하면 도전막은 플라즈마에 의한 대미지를 덜 받는다.
- [0166] 여기서 제 1 기판(11)으로서 유리 기판을 사용한다. 또한, 도전막(12)으로서 두께 100nm의 텅스텐막을 스퍼터링법으로 형성한다.
- [0167] 다음에, 제 1 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(12) 위에 마스크를 형성한다. 그리고, 도 10의 (B)에 도시된 바와 같이, 상기 마스크를 사용하여 도전막(12)의 일부를 에칭하여 게이트 전극으로서 기능하는 도전막(13)을 형성한다. 그 후, 마스크를 제거한다.
- [0168] 또한, 게이트 전극으로서 기능하는 도전막(13)은 상술한 형성 방법 대신에 전해 도금법, 인쇄법, 또는 잉크젯법 등에 의하여 형성하여도 좋다.
- [0169] 여기서, 텅스텐막을 드라이 에칭법에 의하여 에칭하여 게이트 전극으로서 기능하는 도전막(13)을 형성한다.
- [0170] 다음에, 도 10의 (C)에 도시된 바와 같이, 게이트 전극으로서 기능하는 도전막(13) 위에, 질화물 절연막(15) 및 나중에 산화물 절연막(17)이 되는 산화물 절연막(16)을 형성한다. 그리고, 산화물 절연막(16) 위에, 나중에 산화물 반도체막(19a) 및 화소 전극(19b)이 되는 산화물 반도체막(18)을 형성한다.
- [0171] 질화물 절연막(15) 및 산화물 절연막(16)은 각각 스퍼터링법, MOCVD법, 금속 화학 기상 증착법, ALD법, 또는 PECVD법 등의 CVD법, 증착법, PLD법, 코팅법, 또는 인쇄법 등에 의하여 형성한다. MOCVD법, 금속 화학 기상 증착법, 또는 ALD법을 채용하면 질화물 절연막(15) 및 산화물 절연막(16)은 플라즈마에 의한 대미지를 덜 받는다. ALD법을 채용하면, 질화물 절연막(15) 및 산화물 절연막(16)의 피복성을 증가시킬 수 있다.
- [0172] 여기서, 질화물 절연막(15)으로서 두께 300nm의 질화 실리콘막을 실레인, 질소, 및 암모니아를 원료 가스로서 사용한 플라즈마 CVD법에 의하여 형성한다.
- [0173] 산화물 절연막(16)으로서 산화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막을 형성하는 경우, 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 원료 가스로서 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 불화 실레인이 포함된다. 산화성 가스로서는, 예를 들어 산소, 오존, 일산화 이질소, 및 이산화 질소를 들 수 있다.
- [0174] 또한, 산화물 절연막(16)으로서 산화 갈륨막을 형성하는 경우에는, MOCVD법을 채용할 수 있다.
- [0175] 여기서, 산화물 절연막(16)으로서 두께 50nm의 산화질화 실리콘막을 실레인 및 일산화 이질소를 원료 가스로서 사용한 플라즈마 CVD법에 의하여 형성한다.
- [0176] 산화물 반도체막(18)은 스퍼터링법, MOCVD법, ALD법, 또는 PECVD법 등의 CVD법, 웨스 레이저 퇴적법, 레이저 어블레이션법, 또는 코팅법 등에 의하여 형성한다. MOCVD법, 금속 화학 기상 증착법, 또는 ALD법을 채용하면 산화물 반도체막(18)은 플라즈마에 의한 대미지를 덜 받고 산화물 절연막(16)은 대미지를 덜 받는다. ALD법을 채용하면, 산화물 반도체막(18)의 피복성을 증가시킬 수 있다.
- [0177] 스퍼터링법에 의하여 산화물 반도체막을 형성하는 경우에 플라즈마를 생성하기 위한 전원 장치로서, RF 전원 장치, AC 전원 장치, 또는 DC 전원 장치 등을 적절히 사용할 수 있다.
- [0178] 스퍼터링 가스로서, 희가스(대표적으로 아르곤), 산소 가스, 또는 희가스와 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우에는, 희가스에 대한 산소의 비율을 높이는 것이 바람직하다.
- [0179] 또한, 타깃은 형성하는 산화물 반도체막의 조성에 따라 적절히 선택할 수 있다.
- [0180] 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막을 얻기 위하여, 체임버를 고진공으로 배기하는 것에 더하여, 스퍼터링 가스를 고순도화할 필요가 있다. 스퍼터링 가스에 사용되는 산소 가스 또는 아르곤 가스

로서, -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하, 더욱 바람직하게는 -120°C 이하의 노점을 갖도록 고순도화된 가스를 사용함으로써, 수분 등이 산화물 반도체막에 들어가는 것을 가능한 한 방지할 수 있다.

[0181] 여기서, 산화물 반도체막으로서, In-Ga-Zn 산화물 타깃(In:Ga:Zn=1:1:1)을 사용하여 스퍼터링법에 의하여 두께 35nm의 In-Ga-Zn 산화물막을 형성한다.

[0182] 그리고, 제 2 포토마스크를 사용한 포토리소그래피 공정에 의하여 산화물 반도체막(18) 위에 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체막을 부분적으로 에칭한다. 이로써, 도 10의 (D)에 도시된 바와 같이 서로 격리된 산화물 반도체막(19a) 및 산화물 반도체막(19c)을 형성한다. 그 후 마스크를 제거한다.

[0183] 여기서는, 산화물 반도체막(18) 위에 마스크를 형성하고, 웨트 에칭법에 의하여 산화물 반도체막(18)의 일부를 선택적으로 에칭하여 산화물 반도체막(19a 및 19c)을 형성한다.

[0184] 다음에, 도 11의 (A)에 도시된 바와 같이, 나중에 도전막(21a 및 21b)이 되는 도전막(20)을 형성한다.

[0185] 도전막(20)은 도전막(12)과 같은 방법에 의하여 적절히 형성할 수 있다.

[0186] 여기서는, 두께 50nm의 텅스텐막 및 두께 300nm의 구리막을 스퍼터링법에 의하여 순차적으로 적층한다.

[0187] 다음에, 제 3 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(20) 위에 마스크를 형성한다. 그리고, 상기 마스크를 사용하여 도전막(20)을 에칭하여 도 11의 (B)에 도시된 바와 같이 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 형성한다. 그 후, 마스크를 제거한다.

[0188] 여기서는, 구리막 위에 포토리소그래피 공정에 의하여 마스크를 형성한다. 그리고, 상기 마스크를 사용하여 텅스텐막 및 구리막을 에칭하여 도전막(21a 및 21b)을 형성한다. 또한, 구리막은 웨트 에칭법에 의하여 에칭한다. 다음에, SF_6 을 사용한 드라이 에칭법에 의하여 텅스텐막을 에칭함으로써, 구리막 표면에 불화물을 형성한다. 이 불화물에 의하여, 구리막으로부터의 구리 원소의 확산이 저감되어, 산화물 반도체막(19a)에서의 구리 농도를 저감할 수 있다.

[0189] 다음에, 도 11의 (C)에 도시된 바와 같이, 나중에 산화물 절연막(23)이 되는 산화물 절연막(22) 및 나중에 산화물 절연막(25)이 되는 산화물 절연막(24)을 산화물 반도체막(19a 및 19c) 및 도전막(21a 및 21b) 위에 형성한다. 산화물 절연막(22) 및 산화물 절연막(24)은 질화물 절연막(15) 및 산화물 절연막(16)과 같은 방법으로 각각 적절히 형성할 수 있다.

[0190] 또한, 산화물 절연막(22)을 형성한 후, 산화물 절연막(24)을 공기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 산화물 절연막(22)을 형성한 후, 공기에 노출시키지 않고, 원료 가스의 유량, 압력, 고주파 전력, 및 기관 온도 중 적어도 하나를 조절하여 산화물 절연막(24)을 연속적으로 형성함으로써, 산화물 절연막(22)과 산화물 절연막(24) 사이의 계면에서의 대기 성분으로 인한 불순물 농도를 저감할 수 있고, 산화물 절연막(24)의 산소가 산화물 반도체막(19a)으로 이동할 수 있기 때문에, 산화물 반도체막(19a)에서의 산소 결손의 양을 저감할 수 있다.

[0191] 산화물 절연막(22)은, 퇴적 가스에 대한 산화성 가스의 비율이 20배보다 크고 100배 미만, 바람직하게는 40배 이상 80배 이하이고, 처리 체임버 내의 압력이 100Pa 미만, 바람직하게는 50Pa 이하인 조건에서의 CVD법에 의하여 형성되는, 질소를 포함하며 결함의 수가 적은 산화물 절연막을 사용하여 형성할 수 있다.

[0192] 산화물 절연막(22)의 원료 가스로서, 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 불화 실레인이 포함된다. 산화성 가스로서는, 예를 들어 산소, 오존, 일산화 이질소, 및 이산화 질소를 들 수 있다.

[0193] 상술한 조건을 사용함으로써, 산화물 절연막(22)으로서 산소를 투과시키는 산화물 절연막을 형성할 수 있다. 또한, 산화물 절연막(22)을 제공함으로써, 산화물 절연막(24)을 형성하는 단계에서 산화물 반도체막(19a)에 대한 대미지를 저감할 수 있다.

[0194] 여기서, 산화물 절연막(22)으로서, 유량 50sccm의 실레인 및 유량 2000sccm의 일산화 이질소를 원료 가스로서 사용하고, 처리 체임버 내의 압력을 20Pa, 기관 온도를 220°C 로 하고, 27.12MHz의 고주파 전원을 사용하여 평행판 전극에 100W의 고주파 전력을 공급한 플라즈마 CVD법에 의하여 두께 50nm의 산화질화 실리콘막을 형성한다. 상술한 조건에서, 질소를 포함하며 결함의 수가 적은 산화질화 실리콘막을 형성할 수 있다.

- [0195] 산화물 절연막(24)으로서, 다음의 조건에서 산화 실리콘막 또는 산화질화 실리콘막을 형성한다: 진공 배기된 플라즈마 CVD 장치의 처리 체임버에 배치된 기판을 180°C 이상 280°C 이하, 바람직하게는 200°C 이상 240°C 이하의 온도에서 유지하고, 처리 체임버에 원료 가스를 도입하여 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리 체임버에 제공된 전극에 $0.17W/cm^2$ 이상 $0.5W/cm^2$ 이하, 바람직하게는 $0.25W/cm^2$ 이상 $0.35W/cm^2$ 이하의 고주파 전력을 공급한다.
- [0196] 산화물 절연막(24)의 원료 가스로서 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 불화 실레인이 포함된다. 산화성 가스로서는, 예를 들어 산소, 오존, 일산화 이질소, 및 이산화 질소를 들 수 있다.
- [0197] 산화물 절연막(24)의 막 형성 조건으로서, 상술한 압력을 갖는 처리 체임버에 상술한 파워 밀도를 갖는 고주파 전력을 공급함으로써, 플라즈마에서의 원료 가스의 소모 효율이 증가되고, 산소 라디칼이 증가되고, 원료 가스의 산화가 촉진되기 때문에, 산화물 절연막(24)에서의 산소 함유량이 화학량론 조성보다 많아진다. 한편, 상술한 온도 범위 내의 기판 온도에서 형성된 막에서는, 실리콘과 산소의 결합이 약하므로, 막에서의 산소의 일부가 나중의 단계에서의 가열 처리에 의하여 방출된다. 따라서, 화학량론 조성보다 높은 비율로 산소를 포함하며 가열에 의하여 산소의 일부가 방출되는 산화물 절연막을 형성할 수 있다. 또한, 산화물 반도체막(19a) 위에는 산화물 절연막(22)이 제공된다. 따라서, 산화물 절연막(24)을 형성하는 단계에서, 산화물 절연막(22)은 산화물 반도체막(19a)의 보호막으로서 기능한다. 그 결과, 산화물 반도체막(19a)에 대한 대미지를 저감하면서, 파워 밀도가 높은 고주파 전력을 사용하여 산화물 절연막(24)을 형성할 수 있다.
- [0198] 여기서, 산화물 절연막(24)으로서, 유량 200sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로서 사용하고, 처리 체임버 내의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 평행판 전극에 1500W의 고주파 전력을 공급한 플라즈마 CVD법에 의하여 두께 400nm의 산화질화 실리콘막을 형성한다. 또한 플라즈마 CVD 장치는 전극 면적이 $6000cm^2$ 인 평행판 플라즈마 CVD 장치이고, 공급된 전력이 환산된 단위 면적당 전력(파워 밀도)은 $0.25W/cm^2$ 이다.
- [0199] 또한, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 형성할 때, 도전막의 에칭에 의하여 산화물 반도체막(19a)이 대미지를 받아, 산화물 반도체막(19a)의 백 채널 측(산화물 반도체막(19a)에서 게이트 전극으로서 기능하는 도전막(13)과 대향하는 측과 반대인 측)에 산소 결손이 생성된다. 그러나, 화학량론 조성보다 높은 비율로 산소를 포함하는 산화물 절연막을 산화물 절연막(24)으로서 사용함으로써, 백 채널 측에 생성된 산소 결손을 가열 처리에 의하여 수복(修復)할 수 있다. 이로써, 산화물 반도체막(19a)에 포함되는 결함을 저감할 수 있어, 트랜지스터(102)의 신뢰성을 향상시킬 수 있다.
- [0200] 그리고, 제 4 포토마스크를 사용한 포토리소그래피 공정에 의하여 산화물 절연막(24) 위에 마스크를 형성한다. 다음에, 도 11의 (D)에 도시된 바와 같이, 상기 마스크를 사용하여 산화물 절연막(22)의 일부 및 산화물 절연막(24)의 일부를 에칭하여 개구(40)를 갖는 산화물 절연막(23) 및 산화물 절연막(25)을 형성한다. 그 후, 마스크를 제거한다.
- [0201] 이 공정에서, 드라이 에칭법에 의하여 산화물 절연막(22 및 24)을 에칭하는 것이 바람직하다. 그 결과, 에칭 처리에서 산화물 반도체막(19c)은 플라즈마에 노출되기 때문에, 산화물 반도체막(19c)에서의 산소 결손의 양을 증가시킬 수 있다.
- [0202] 다음에, 가열 처리를 수행한다. 가열 처리는 대표적으로, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도에서 수행되는 것이 바람직하다.
- [0203] 가열 처리에는 전기로(electric furnace) 또는 RTA 장치 등을 사용할 수 있다. RTA 장치의 사용에 의하여, 가열 시간이 짧으면 기판의 변형점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0204] 가열 처리는 질소, 산소, 초건조 공기(물 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(아르곤 또는 헬륨 등)의 분위기에서 수행할 수 있다. 질소, 산소, 초건조 공기, 또는 희가스의 분위기는 수소 및 물 등을 포함하지 않는 것이 바람직하다.
- [0205] 가열 처리에 의하여, 산화물 절연막(25)에 포함되는 산소의 일부가 산화물 반도체막(19a)으로 이동할 수 있어, 산화물 반도체막(19a)에 포함되는 산소 결손의 양을 더 저감할 수 있다.

- [0206] 산화물 절연막(23) 및 산화물 절연막(25)에 물 또는 수소 등이 들어가고 질화물 절연막(26)이 물 또는 수소 등에 대한 배리어성을 갖는 경우, 질화물 절연막(26)을 나중에 형성하고 가열 처리를 수행하면, 산화물 절연막(23) 및 산화물 절연막(25)에 포함되는 물 또는 수소 등이 산화물 반도체막(19a)으로 이동하여, 산화물 반도체막(19a)에서 결함이 생긴다. 그러나 가열에 의하여, 산화물 절연막(23) 및 산화물 절연막(25)에 포함되는 물 또는 수소 등이 방출될 수 있으므로, 트랜지스터(102)의 전기 특성의 변동이 저감될 수 있고, 문턱 전압의 변동이 억제될 수 있다.
- [0207] 또한, 가열하면서 산화물 절연막(22) 위에 산화물 절연막(24)을 형성하면, 산소가 산화물 반도체막(19a)으로 이동하여 산화물 반도체막(19a)에서의 산소 결손의 양을 저감할 수 있기 때문에, 가열 처리를 수행할 필요는 없다.
- [0208] 산화물 절연막(22 및 24)의 형성 후에 가열 처리를 수행하여도 좋다. 그러나, 산소가 산화물 반도체막(19c)으로 이동하지 않고, 산화물 반도체막(19c)의 노출에 의하여 산화물 반도체막(19c)으로부터 산소가 방출되어 산소 결손이 생성됨으로써 도전성이 높은 막이 형성되기 때문에, 산화물 절연막(23 및 25)의 형성 후에 가열 처리를 수행하는 것이 바람직하다.
- [0209] 여기서, 질소와 산소의 혼합 분위기에서 350°C로 1시간 가열 처리를 수행한다.
- [0210] 다음에, 도 12의 (A)에 도시된 바와 같이 질화물 절연막(26)을 형성한다.
- [0211] 질화물 절연막(26)은 질화물 절연막(15) 및 산화물 절연막(16)과 같은 방법으로 적절히 형성할 수 있다. 스퍼터링법 또는 CVD법 등에 의하여 질화물 절연막(26)을 형성함으로써, 산화물 반도체막(19c)이 플라즈마에 노출되기 때문에, 산화물 반도체막(19c)에서의 산소 결손의 양을 증가시킬 수 있다.
- [0212] 산화물 반도체막(19c)은 향상된 도전성을 가지며 화소 전극(19b)으로서 기능한다. 질화물 절연막(26)으로서 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하면, 질화 실리콘막에 포함되는 수소가 산화물 반도체막(19c)으로 확산되어, 화소 전극(19b)의 도전성을 높일 수 있다.
- [0213] 질화물 절연막(26)으로서 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하는 경우, 진공 배기된 플라즈마 CVD 장치의 처리 채임버에 배치된 기판을 300°C 이상 400°C 이하, 바람직하게는 320°C 이상 370°C 이하의 온도에서 유지하면 치밀한 질화 실리콘막을 형성할 수 있어 바람직하다.
- [0214] 질화 실리콘막을 형성하는 경우, 실리콘, 질소, 및 암모니아를 포함하는 퇴적 가스를 원료 가스로서 사용하는 것이 바람직하다. 원료 가스로서, 질소의 양에 비하여 암모니아의 양이 작은 것을 사용함으로써, 플라즈마 중에서 암모니아가 분리되고 활성종(activated species)이 발생한다. 활성종은 실리콘을 포함하는 퇴적 가스에 포함되는 실리콘과 수소의 결합, 및 질소 분자들의 삼중 결합을 쪼갠다. 그 결과, 실리콘과 질소의 결합이 촉진되고 실리콘과 수소의 결합이 적으며 결함이 적은 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에서 암모니아의 양이 질소의 양보다 많으면, 실리콘을 포함하는 퇴적 가스의 벽개(cleavage) 및 질소의 벽개가 촉진되지 않아, 실리콘과 수소의 결합이 잔존하여 결함이 증가된 성긴 질화 실리콘마이 형성된다. 따라서 원료 가스에서, 암모니아에 대한 질소의 유량비를 5 이상 50 이하로 하는 것이 바람직하고, 10 이상 50 이하로 하는 것이 더 바람직하다.
- [0215] 여기서, 플라즈마 CVD 장치의 처리 채임버에서, 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아를 원료 가스로서 사용하고, 처리 채임버 내의 압력을 100Pa, 기판 온도를 350°C로 하고, 27.12MHz의 고주파 전원을 사용하여 평행판 전극에 1000W의 고주파 전력을 공급한 플라즈마 CVD법에 의하여 두께 50nm의 질화 실리콘막을 질화물 절연막(26)으로서 형성한다. 또한 플라즈마 CVD 장치는 전극 면적이 6000cm^2 인 평행판 플라즈마 CVD 장치이고, 공급된 전력이 환산된 단위 면적당 전력(파워 밀도)은 $1.7 \times 10^{-1}\text{W/cm}^2$ 이다.
- [0216] 다음에, 가열 처리를 수행하여도 좋다. 가열 처리는 대표적으로, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도에서 수행되는 것이 바람직하다. 그 결과, 문턱 전압의 마이너스 변동을 저감할 수 있다. 또한, 문턱 전압의 변화량을 저감할 수 있다.
- [0217] 이어서, 도시하지 않았지만, 제 5 포토마스크를 사용한 포토리소그래피 공정에 의하여 마스크를 형성한다. 그 후, 상기 마스크를 사용하여 질화물 절연막(15), 산화물 절연막(16), 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26) 각각의 일부를 에칭하여 질화물 절연막(27), 및 도전막(13)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다. 또는, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26) 각각

의 일부를 에칭하여 질화물 절연막(27), 및 도전막(21a 및 21b)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다.

[0218] 다음에, 도 12의 (B)에 도시된 바와 같이, 나중에 공통 전극(29)이 되는 도전막(28)을 질화물 절연막(27) 위에 형성한다.

[0219] 도전막(28)은 스퍼터링법, CVD법, 또는 증착법 등에 의하여 형성한다.

[0220] 그리고, 제 6 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(28) 위에 마스크를 형성한다. 그 후, 도 12의 (C)에 도시된 바와 같이, 상기 마스크를 사용하여 도전막(28)의 일부를 에칭하여 공통 전극(29)을 형성한다. 도시되지 않았지만, 공통 전극(29)은 도전막(13)과 동시에 형성된 접속 단자 또는 도전막(21a 및 21b)과 동시에 형성된 접속 단자에 접속된다. 그 후, 마스크를 제거한다.

[0221] 다음에, 도 13에 도시된 바와 같이, 질화물 절연막(27) 위에 유기 절연막(31)을 형성한다. 유기 절연막은 코팅 법 또는 인쇄법 등에 의하여 적절히 형성할 수 있다.

[0222] 코팅법에 의하여 유기 절연막을 형성하는 경우, 질화물 절연막(27) 및 공통 전극(29)의 상면을 코팅한 감광성 조성물을 제 7 포토마스크를 사용한 포토리소그래피 공정에 의하여 광에 노출시키고 현상하고 나서 가열 처리를 수행한다. 또한, 질화물 절연막(27) 및 공통 전극(29)의 상면을 비감광성 조성물로 코팅하는 경우, 비감광성 조성물의 상면을 코팅한 레지스트를 제 7 마스크를 사용한 포토리소그래피 공정에 의하여 가공하여 마스크를 형성하고 나서, 이 마스크를 사용하여 비감광성 조성물을 에칭함으로써, 유기 절연막(31)을 형성할 수 있다.

[0223] 상술한 공정을 거쳐, 트랜지스터(102)가 제작되고 용량 소자(105)가 제작될 수 있다.

[0224] 본 실시형태에서 설명하는 표시 장치의 소자 기판은 무기 절연막을 개재하여 트랜지스터와 중첩되는 유기 절연막을 포함한다. 따라서, 트랜지스터의 신뢰성이 향상될 수 있고 표시 품질이 유지된 표시 장치를 제작할 수 있다.

[0225] 본 실시형태의 표시 장치의 소자 기판에는, 상면이 지그재그 형상을 갖고, 신호선으로서 기능하는 도전막과 교차되는 방향으로 연장되는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 우수한 콘트라스트를 가질 수 있다. 또한, 리프레시 레이트가 낮은 액정 표시 장치에서 폴리커가 저감될 수 있다.

[0226] 본 실시형태의 표시 장치의 소자 기판에서, 화소 전극이 트랜지스터의 산화물 반도체막과 동시에 형성되기 때문에, 트랜지스터(102) 및 용량 소자(105)를 6개의 포토마스크를 사용하여 형성할 수 있다. 화소 전극은 용량 소자의 전극들 중 하나로서 기능한다. 또한, 공통 전극은 용량 소자의 전극들 중 다른 하나로서 기능한다. 이로써, 용량 소자를 형성하기 위하여 도전막을 하나 더 형성하는 단계가 필요하지 않아 표시 장치의 제작 단계 수를 삭감할 수 있다. 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자가 차지하는 면적을 증대시킬 수 있고 화소에서의 개구율을 높일 수 있다. 또한, 표시 장치의 소비 전력을 저감할 수 있다.

[0227] 다음에, 제 2 기판(342)에 형성되는 소자층에 대하여 설명한다. 유색성을 갖는 막(아래에서 착색막(346)이라고 함)이 제 2 기판(342)에 형성된다. 착색막(346)은 컬러 필터로서 기능한다. 또한, 착색막(346)에 인접한 차광막(344)이 제 2 기판(342)에 형성된다. 차광막(344)은 블랙 매트릭스로서 기능한다. 예를 들어, 액정 표시 장치가 흑백 표시 장치인 경우에는 착색막(346)이 제공될 필요는 없다.

[0228] 착색막(346)은 특정 파장 범위의 광을 투과시키는 착색막이다. 예를 들어, 적색 파장 범위의 광을 투과시키는 적색(R)막, 녹색 파장 범위의 광을 투과시키는 녹색(G)막, 또는 청색 파장 범위의 광을 투과시키는 청색(B)막 등을 사용할 수 있다.

[0229] 차광막(344)은 특정 파장 범위의 광을 차단하는 기능을 갖는 것이 바람직하고, 예를 들어 금속막, 또는 흑색 안료 등을 포함하는 유기 절연막일 수 있다.

[0230] 착색막(346) 상에 절연막(348)이 형성된다. 절연막(348)은 평탄화층으로서 기능하거나 또는 착색막(346)에서의 불순물의 액정 소자 측으로의 확산을 억제한다.

[0231] 도전막(350)은 절연막(348) 상에 형성된다. 도전막(350)은 투광성 도전막을 사용하여 형성된다. 도전막(350)의 전위는 공통 전극(29)의 전위와 같은 것이 바람직하다. 바꿔 말하면, 도전막(350)에는 공통 전위가 인가되는 것이 바람직하다.

[0232] 액정 분자를 구동시키기 위한 전압이 도전막(21b)에 인가되면, 도전막(21b)과 공통 전극(29) 사이에 전계가 발

생한다. 도전막(21b)과 공통 전극(29) 사이의 액정 분자는 이 전계의 영향으로 인하여 배향되어 플리커가 생긴다.

[0233] 하지만, 액정층(320)을 통하여 공통 전극(29)과 대향하도록 도전막(350)을 제공하여 공통 전극(29) 및 도전막(350)이 같은 전위를 갖게 함으로써, 도전막(21b)과 공통 전극(29) 사이의 전계로 인한 기판에 수직인 방향으로의 액정 분자의 배향 변화를 억제할 수 있다. 따라서, 이 영역에서의 액정 분자의 배향 상태가 안정된다. 이로써, 플리커를 저감할 수 있다.

[0234] 또한, 도전막(350) 상에 배향막(352)이 형성된다.

[0235] 또한, 배향막들(33 및 352) 사이에 액정층(320)이 형성된다. 액정층(320)은 실란트(미도시)를 사용하여 제 1 기판(11)과 제 2 기판(342) 사이에 밀봉된다. 실란트는 외부로부터의 수분 등의 침입을 방지하기 위하여 무기 재료와 접하는 것이 바람직하다.

[0236] 액정층(320)의 두께(셀 캡이라고도 함)를 유지하기 위하여 배향막들(33 및 352) 사이에 스페이서가 제공되어도 좋다.

[0237] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0238] <변형 예 1>

[0239] 공통 전극에 접속된 공통선이 실시형태 1에서 설명한 표시 장치에 제공된 구조에 대하여 도 14의 (A) 및 (B)를 참조하여 설명한다.

[0240] 도 14의 (A)는 표시 장치에 포함되는 화소(103a, 103b, 및 103c)의 상면도이고, 도 14의 (B)는 도 14의 (A)에서의 일점쇄선 A-B 및 C-D를 따른 단면도이다.

[0241] 도 14의 (A)에 도시된 바와 같이, 공통 전극(29)의 상면은 지그재그 형상을 갖고, 신호선으로서 기능하는 도전막(21a)의 연장 방향이 공통 전극(29)의 연장 방향과 교차된다.

[0242] 공통 전극(29)의 구조의 이해를 쉽게 하기 위하여, 도 14의 (A)에서 공통 전극(29)을 해칭하여 그 형상을 설명한다. 공통 전극(29)은 왼쪽 아래로 비스듬하게 해칭된 영역과 오른쪽 아래로 비스듬하게 해칭된 영역을 포함한다. 왼쪽 아래로 비스듬하게 해칭된 영역은 지그재그 형상을 갖는 줄무늬 영역(제 1 영역)이고, 신호선으로서 기능하는 도전막(21a)의 연장 방향이 공통 전극(29)의 연장 방향과 교차된다. 오른쪽 아래로 비스듬하게 해칭된 영역은, 줄무늬 영역(제 1 영역)과 접속되며 신호선으로서 기능하는 도전막(21a)과 평행 또는 실질적으로 평행한 방향으로 연장되는 접속 영역(제 2 영역)이다.

[0243] 공통선(21c)은 공통 전극(29)의 접속 영역(제 2 영역)과 중첩된다.

[0244] 또는, 공통선(21c)은 복수의 화소마다 제공되어도 좋다. 또는, 공통선(21c)은 복수의 화소마다 제공되어도 좋다. 예를 들어, 도 14의 (A)에 도시된 바와 같이, 화소 3개마다 하나의 공통선(21c)을 제공하여, 표시 장치의 평면에서 공통선이 차지하는 면적을 축소할 수 있다. 그 결과, 화소의 면적 및 화소의 개구율을 높일 수 있다.

[0245] 화소 전극(19b)과 공통 전극(29)이 서로 중첩되는 영역에서는, 화소 전극(19b)과 공통 전극(29)의 접속 영역(제 2 영역) 사이에 발생한 전계에 의하여 액정 분자가 구동되기 어렵다. 따라서, 공통 전극(29)의 접속 영역(제 2 영역)에서 화소 전극(19b)과 중첩되는 영역의 면적을 축소하여 액정 분자가 구동되는 영역을 증가시킴으로써, 개구율을 높일 수 있다. 예를 들어, 도 14의 (A)에 도시된 바와 같이, 공통 전극(29)의 접속 영역(제 2 영역)을 화소 전극(19b)과 중첩되지 않도록 제공함으로써, 화소 전극(19b)과 공통 전극(29)이 서로 중첩되는 영역의 면적을 축소할 수 있어, 화소의 개구율을 높일 수 있다.

[0246] 도 14의 (A)에서는 3개의 화소(103a, 103b, 및 103c)에 하나의 공통선(21c)이 제공되었지만, 화소 2개마다 하나의 공통선(21c)이 제공되어도 좋다. 또는, 화소 4개 이상마다 하나의 공통선(21c)이 제공되어도 좋다.

[0247] 도 14의 (B)에 도시된 바와 같이, 공통선(21c)은 신호선으로서 기능하는 도전막(21a)과 동시에 형성될 수 있다. 공통 전극(29)은 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)에 형성된 개구(42)에서 공통선(21c)에 접속된다.

[0248] 도전막(21a)의 재료는 공통 전극(29)의 재료보다 저항률이 낮기 때문에, 공통 전극(29) 및 공통선(21c)의 저항을 저감할 수 있다.

[0249] <변형 예 2>

[0250] 본 변형예는 고해상도 표시 장치에 포함되는 트랜지스터가 광 누설을 저감할 수 있는 소스 전극 및 드레인 전극을 포함하는 점에서 실시형태 2와 다르다.

[0251] 도 15는 본 실시형태에서 설명하는 표시 장치의 상면도이다. 이 표시 장치의 특징 중 하나는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전막(21b)이 상면도에서 L 형상을 갖는 점이다. 바꿔 말하면, 도전막(21b)은, 주사선으로서 기능하는 도전막(13)의 연장 방향에 수직 또는 실질적으로 수직인 방향으로 연장되는 영역(21b_1) 및 도전막(13)의 연장 방향에 평행 또는 실질적으로 평행한 방향으로 연장되는 영역(21b_2)이 상면도에서 서로 접속되는 형상을 갖는다. 상면도에서 영역(21b_2)은 도전막(13), 화소 전극(19b), 및 공통 전극(29) 중 적어도 하나와 중첩된다. 또는, 도전막(21b)은 도전막(13)의 연장 방향에 평행 또는 실질적으로 평행한 방향으로 연장되는 영역(21b_2)을 포함하고, 영역(21b_2)은 상면도에서 도전막(13)과 화소 전극(19b) 또는 공통 전극(29) 사이에 배치된다.

[0252] 고해상도 표시 장치에서 화소의 면적이 축소되기 때문에, 공통 전극(29)과 주사선으로서 기능하는 도전막(13) 사이의 거리가 줄어진다. 흑색 표시를 행하는 화소에서, 트랜지스터가 온 상태가 되는 전압이 주사선으로서 기능하는 도전막(13)에 인가되면, 흑색 표시 상태의 화소 전극(19b)과 주사선으로서 기능하는 도전막(13) 사이에 전계가 발생한다. 그 결과, 액정 분자가 의도하지 않은 방향으로 회전되어 광 누설을 일으킨다.

[0253] 그러나, 본 실시형태의 표시 장치에 포함되는 트랜지스터에서, 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전막(21b)은 도전막(13), 화소 전극(19b), 및 공통 전극(29) 중 적어도 하나와 중첩되는 영역(21b_2), 또는 상면도에서 도전막(13)과 화소 전극(19b) 또는 공통 전극(29) 사이에 배치된 영역(21b_2)을 포함한다. 그 결과, 영역(21b_2)이 주사선으로서 기능하는 도전막(13)의 전계를 차단하고, 도전막(13)과 화소 전극(19b) 사이에 발생하는 전계를 억제할 수 있어, 광 누설의 저감으로 이어진다.

[0254] 또한, 도전막(21b) 및 공통 전극(29)은 서로 중첩되어도 좋다. 이 중첩되는 영역은 용량 소자로서 기능할 수 있다. 따라서, 이 구조에 의하여 용량 소자의 용량을 증가시킬 수 있다. 도 16은 이 경우의 예를 도시한 것이다.

[0255] <변형 예 3>

[0256] 본 변형예는 고해상도 표시 장치가 광 누설을 저감할 수 있는 공통 전극을 포함하는 점에서 실시형태 2와 다르다.

[0257] 도 17은 본 실시형태에서 설명하는 표시 장치의 상면도이다. 공통 전극(29a)은, 신호선으로서 기능하는 도전막(21a)과 교차되는 방향으로 연장되는 줄무늬 영역(29a_1), 및 이 줄무늬 영역에 접속되며 주사선으로서 기능하는 도전막(13)과 중첩되는 영역(29a_2)을 포함한다.

[0258] 고해상도 표시 장치에서 화소의 면적이 축소되기 때문에, 화소 전극(19b)과 주사선으로서 기능하는 도전막(13) 사이의 거리가 줄어진다. 주사선으로서 기능하는 도전막(13)에 전압이 인가되면, 도전막(13)과 화소 전극(19b) 사이에 전계가 발생한다. 그 결과, 액정 분자는 의도하지 않은 방향으로 회전되어, 광 누설을 일으킨다.

[0259] 하지만, 본 실시형태에서 설명하는 표시 장치는 주사선으로서 기능하는 도전막(13)과 교차되는 영역(29a_2)을 포함하는 공통 전극(29a)을 포함한다. 따라서, 도전막(13)과 공통 전극(29a) 사이에 전계가 발생하고, 화소 전극(19b)과 주사선으로서 기능하는 도전막(13) 사이에 발생한 전계로 인한 액정 분자의 회전을 억제할 수 있어, 광 누설의 저감으로 이어진다.

[0260] 또한, 도전막(21b) 및 공통 전극(29a)은 서로 중첩되어도 좋다. 이 중첩되는 영역은 용량 소자로서 기능할 수 있다. 따라서, 이 구조에 의하여 용량 소자의 용량을 증가시킬 수 있다. 도 18은 이 경우의 예를 도시한 것이다.

[0261] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0262] (실시형태 3)

[0263] 본 실시형태에서는, 표시 장치의 일례로서 VA 모드로 구동되는 액정 표시 장치에 대하여 설명한다. 우선, 도 19에 액정 표시 장치에 포함되는 복수의 화소(103)의 상면도를 나타내었다.

- [0264] 도 19에서, 주사선으로서 기능하는 도전막(13)은 신호선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서는 가로 방향)으로 연장된다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서는 세로 방향)으로 연장된다. 용량선으로서 기능하는 도전막(21e)은 신호선에 평행한 방향으로 연장된다. 또한, 주사선으로서 기능하는 도전막(13)은 주사선 구동 회로(104)(도 1의 (A)~(E) 참조)에 전기적으로 접속되고, 신호선으로서 기능하는 도전막(21a) 및 용량선으로서 기능하는 도전막(21e)은 신호선 구동 회로(106)(도 1의 (A)~(E))에 전기적으로 접속된다.
- [0265] 트랜지스터(102)는, 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차되는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막(도 19에는 미도시); 채널 영역이 형성되는, 게이트 절연막 위의 산화물 반도체막(19a); 및 한 쌍의 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 도전막(13)은 주사선으로서도 기능하고, 도전막(13)에서 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(102)의 게이트 전극으로서 기능한다. 또한, 도전막(21a)은 신호선으로서도 기능하고, 도전막(21a)에서 산화물 반도체막(19a)과 중첩되는 영역이 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 또한 도 19의 상면도에서, 주사선으로서 기능하는 도전막의 단부는 산화물 반도체막(19a)의 단부의 바깥쪽에 위치한다. 이로써, 주사선으로서 기능하는 도전막은 백라이트 등의 광원으로부터의 광을 차단하는 차광막으로서 기능한다. 이 이유로, 트랜지스터에 포함되는 산화물 반도체막(19a)이 광으로 조사되지 않아, 트랜지스터의 전기 특성의 변동을 억제할 수 있다.
- [0266] 또한, 트랜지스터(102)는 실시형태 1과 마찬가지의 방식으로 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)을 포함한다. 유기 절연막(31)은 무기 절연막(도 19에는 미도시)을 개재하여 산화물 반도체막(19a)(특히, 산화물 반도체막(19a)에서 도전막들(21a 및 21b) 사이에 있는 영역)과 중첩된다.
- [0267] 도전막(21b)은 개구(41)에서 화소 전극으로서 기능하는 투광성 도전막(29c)에 전기적으로 접속된다.
- [0268] 용량 소자(105)는 용량선으로서 기능하는 도전막(21e)에 접속된다. 용량 소자(105)는 게이트 절연막 위에 형성된 도전성을 갖는 막(19d), 트랜지스터(102) 위에 형성된 유전체막, 및 화소 전극으로서 기능하는 투광성 도전막(29c)을 포함한다. 유전체막은 산소 배리어막을 사용하여 형성된다. 게이트 절연막 위에 형성된 도전성을 갖는 막(19d)은 투광성을 갖는다. 즉, 용량 소자(105)는 투광성을 갖는다.
- [0269] 용량 소자(105)의 투광성 때문에, 화소(103)에 크게(큰 면적으로) 용량 소자(105)를 형성할 수 있다. 이로써, 대표적으로 55% 이상, 바람직하게는 60% 이상으로 증가된 개구율에 더하여 대용량의 용량 소자를 갖는 표시 장치를 제공할 수 있다. 예를 들어, 액정 표시 장치 등의 고해상도 표시 장치에서는, 화소의 면적이 작아, 용량 소자의 면적도 작다. 이 때문에, 고해상도 표시 장치에서 용량 소자에 축적되는 전하의 양이 작다. 그러나, 본 실시형태의 용량 소자(105)는 투광성을 갖기 때문에, 화소에 용량 소자(105)를 제공하면, 화소에서 충분한 용량을 얻을 수 있고 개구율을 향상시킬 수 있다. 대표적으로는, 용량 소자(105)는 화소 밀도가 200ppi 이상, 300ppi 이상, 또는 500ppi 이상인 고해상도 표시 장치에 바람직하게 사용될 수 있다.
- [0270] 또한, 본 발명의 일 형태에 따르면, 고해상도 표시 장치에서도 개구율을 향상시킬 수 있고, 이로써 백라이트 등의 광원으로부터의 광을 효율적으로 사용할 수 있어, 표시 장치의 소비 전력을 저감할 수 있다.
- [0271] 다음에, 도 20은 도 19에서의 일점쇄선 A-B 및 C-D를 따른 단면도이다. 도 19에 도시된 트랜지스터(102)는 채널 에치형 트랜지스터이다. 또한, 일점쇄선 A-B를 따른 단면도에는, 채널 길이 방향에서의 트랜지스터(102), 트랜지스터(102)와 화소 전극으로서 기능하는 도전막(29c)의 접속부, 및 용량 소자(105)를 도시하고, 일점쇄선 C-D를 따른 단면도에는 채널 폭 방향에서의 트랜지스터(102)를 도시하였다.
- [0272] 본 실시형태에서 설명하는 액정 표시 장치는 VA 모드로 구동되기 때문에, 액정 소자(322a)는 제 1 기판(11)의 소자층에 포함되는 화소 전극으로서 기능하는 도전막(29c), 제 2 기판(342)의 소자층에 포함되는 도전막(350), 및 액정층(320)을 포함한다.
- [0273] 또한, 도 20의 트랜지스터(102)는 실시형태 1의 트랜지스터(102)와 같은 구조를 갖는다. 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 하나에 접속되는(여기서는 도전막(21b)에 접속되는) 화소 전극으로서 기능하는 도전막(29c)이 질화물 절연막(27) 위에 형성된다. 질화물 절연막(27)의 개구(41)에서, 도전막(21b)은 화소 전극으로서 기능하는 도전막(29c)에 접속된다.
- [0274] 화소 전극으로서 기능하는 도전막(29c)은 실시형태 2에서의 공통 전극(29)과 같은 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다.

- [0275] 도 20의 용량 소자(105)는 산화물 절연막(17) 위에 형성된 도전성을 갖는 막(19d), 질화물 절연막(27), 및 화소 전극으로서 기능하는 도전막(29c)을 포함한다.
- [0276] 본 실시형태에서, 트랜지스터(102) 위에, 서로 격리된 산화물 절연막들(23 및 25)이 형성된다. 서로 격리된 산화물 절연막들(23 및 25)은 산화물 반도체막(19a)과 중첩된다.
- [0277] 또한, 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)이 질화물 절연막(27) 위에 제공된다. 산화물 반도체막(19a)과 중첩되는 유기 절연막(31)을 트랜지스터(102) 위에 제공함으로써, 산화물 반도체막(19a)의 표면을 유기 절연막(31)의 표면으로부터 떨어지게 할 수 있다. 이로써, 산화물 반도체막(19a)의 표면은, 유기 절연막(31)의 표면에 흡착된 양으로 대전한 입자들의 전계에 의한 영향을 받지 않아, 트랜지스터(102)의 신뢰성을 향상시킬 수 있다.
- [0278] 용량 소자(105)에서, 도전성을 갖는 막(19d)은 실시형태 2와 다르고 도전막(21b)에 접속되지 않는다. 한편, 도전성을 갖는 막(19d)은 도전막(21d)과 접한다. 도전막(21d)은 용량선으로서 기능한다. 도전성을 갖는 막(19d)은 실시형태 2에서의 화소 전극(19b)에 사용되는 금속 산화물막과 같은 것을 사용하여 형성할 수 있다. 바꿔 말하면, 도전성을 갖는 막(19d)은 산화물 반도체막(19a)과 같은 금속 원소를 포함하는 금속 산화물막이다. 또한, 도전성을 갖는 막(19d)에는 실시형태 2에서의 화소 전극(19b)과 같은 형성 방법을 적절히 사용할 수 있다.
- [0279] 다음에, 도 20의 트랜지스터(102) 및 용량 소자(105)의 제작 방법에 대하여 도 21의 (A)~(C) 및 도 22의 (A)~(C)를 참조하여 설명한다.
- [0280] 제 1 기판(11) 위에 도전막을 형성하고, 그 후 실시형태 2의 제 1 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 도전막을 에칭함으로써, 제 1 기판(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 형성한다(도 21의 (A) 참조).
- [0281] 다음에, 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 질화물 절연막(15) 및 산화물 절연막(16)을 형성한다. 그 후, 산화물 절연막(16) 위에 산화물 반도체막을 형성하고 나서, 실시형태 2의 제 2 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 산화물 반도체막을 에칭함으로써, 산화물 반도체막(19a 및 19c)을 형성한다(도 21의 (B) 참조).
- [0282] 다음에, 산화물 절연막(16) 및 산화물 반도체막(19a 및 19c) 위에 도전막을 형성하고 나서, 실시형태 2의 제 3 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 도전막을 에칭함으로써, 도전막(21a, 21b, 및 21d)을 형성한다(도 21의 (C) 참조). 이때, 도전막(21b)은 산화물 반도체막(19c)과 접하지 않도록 형성한다. 도전막(21d)은 산화물 반도체막(19c)과 접하도록 형성한다.
- [0283] 이어서, 산화물 절연막(16), 산화물 반도체막(19a 및 19c), 및 도전막(21a, 21b, 및 21d) 위에 산화물 절연막을 형성하고 나서, 실시형태 2의 제 4 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 산화물 절연막을 에칭함으로써, 산화물 절연막(23 및 25)을 형성한다(도 22의 (A) 참조).
- [0284] 다음에, 산화물 절연막(17), 산화물 반도체막(19a 및 19c), 도전막(21a, 21b, 및 21d), 및 산화물 절연막(23 및 25) 위에 질화물 절연막을 형성하고 나서, 실시형태 2의 제 5 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 질화물 절연막을 에칭함으로써, 도전막(21b)의 일부가 노출되는 개구(41)를 갖는 질화물 절연막(27)을 형성한다(도 22의 (B) 참조).
- [0285] 상술한 공정을 거쳐 산화물 반도체막(19c)은 도전성을 갖는 막(19d)이 된다. 나중에 질화물 절연막(27)으로서 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하면, 질화 실리콘막에 포함되는 수소가 산화물 반도체막(19c)으로 확산되어, 도전성을 갖는 막(19d)의 도전성을 높일 수 있다.
- [0286] 다음에, 도전막(21b) 및 질화물 절연막(27) 위에 도전막을 형성하고 나서, 실시형태 2의 제 6 포토리소그래피 공정을 거쳐 형성된 마스크를 사용하여 이 도전막을 에칭함으로써, 도전막(21b)에 접속된 도전막(29c)을 형성한다(도 22의 (C) 참조).
- [0287] 상기로부터, 산화물 반도체막을 포함하는 반도체 장치에 관하여 전기 특성이 향상된 반도체 장치를 얻을 수 있다.
- [0288] 본 실시형태에 설명하는 반도체 장치의 소자 기판에, 트랜지스터의 산화물 반도체막과 동시에 용량 소자의 한쪽 전극이 형성된다. 또한, 화소 전극으로서 기능하는 도전막이 용량 소자의 다른 쪽 전극으로서 사용된다. 따라서, 용량 소자를 형성하기 위하여 도전막을 하나 더 형성하는 단계가 필요하지 않아 표시 장치의 제작 단계 수

를 삭감할 수 있다. 또한, 한 쌍의 전극은 투광성을 갖기 때문에, 용량 소자는 투광성을 갖는다. 결과적으로, 용량 소자가 차지하는 면적을 증대시킬 수 있고 화소에서의 개구율을 높일 수 있다.

[0289] <변형 예 1>

[0290] 본 실시형태에서는, 실시형태 1~4 중 어느 것에서 설명한 반도체 장치에 비하여 적은 마스크 수로 제작될 수 있는 표시 장치에 대하여 도 23을 참조하여 설명한다.

[0291] 도 23에 도시된 표시 장치에서는, 트랜지스터(102) 위에 형성되는 산화물 절연막(22) 및 산화물 절연막(24)을 예치하지 않음으로써, 마스크의 수를 삭감할 수 있다. 또한, 산화물 절연막(24) 위에 질화물 절연막(27)이 형성되고, 도전막(21b)의 일부가 노출되는 개구(41a)가 산화물 절연막(22 및 24) 및 질화물 절연막(27)에 형성된다. 개구(41a)에서 도전막(21b)에 접속되는 화소 전극으로서 기능하는 도전막(29d)이 질화물 절연막(27) 위에 형성된다.

[0292] 산화물 절연막(17) 위에 도전막(21d)이 형성된다. 도전막(21d)은 도전막(21a 및 21b)과 동시에 형성되기 때문에 도전막(21d)을 형성하기 위하여 추가적인 포토마스크가 필요하지 않다. 도전막(21d)은 용량선으로서 기능한다. 즉, 용량 소자(105a)는 도전막(21d), 산화물 절연막(22), 산화물 절연막(24), 질화물 절연막(27), 및 화소 전극으로서 기능하는 도전막(29d)을 포함한다.

[0293] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0294] (실시형태 4)

[0295] 본 실시형태에서는, 실시형태 2의 표시 장치와 다른 표시 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다. 본 실시형태는, 산화물 반도체막이 상이한 게이트 전극들 사이에 제공된 구조, 즉 듀얼 게이트 구조를 트랜지스터가 갖는 점에서 실시형태 2와 다르다. 또한, 실시형태 2와 같은 구조에 대해서는 여기서는 반복적으로 설명하지 않는다.

[0296] 표시 장치에 포함되는 제 1 기판(11) 위에 형성되는 소자층의 구체적인 구조에 대하여 설명한다. 본 실시형태의 표시 장치에 제공된 트랜지스터는, 게이트 전극으로서 기능하는 도전막(13), 산화물 반도체막(19a), 도전막(21a 및 21b), 및 산화물 절연막(25) 각각의 일부 또는 전체와 중첩되며 게이트 전극으로서 기능하는 도전막(29b)이 제공되는 점에서 실시형태 2와 다르다. 게이트 전극으로서 기능하는 도전막(29b)은 개구(41a, 41b)에서 게이트 전극으로서 기능하는 도전막(13)에 접속된다.

[0297] 도 24에 도시된 트랜지스터(102a)는 채널 에치형 트랜지스터이다. 또한, 부분 A-B에서의 단면도에는 채널 길이 방향에서의 트랜지스터(102a) 및 용량 소자(105)를 도시하고, 부분 C-D에서의 단면도에는 채널 폭 방향에서의 트랜지스터(102a), 및 게이트 전극으로서 기능하는 도전막(13)과 게이트 전극으로서 기능하는 도전막(29b)의 접속부를 도시하였다.

[0298] 도 24의 트랜지스터(102a)는 듀얼 게이트 구조를 갖고, 제 1 기판(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 포함한다. 또한, 트랜지스터(102a)는 제 1 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 질화물 절연막(15), 질화물 절연막(15) 위에 형성된 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 산화물 반도체막(19a), 및 산화물 반도체막(19a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 또한, 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 위에 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에 산화물 절연막(25)이 형성된다. 질화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에는 질화물 절연막(27)이 형성된다. 산화물 절연막(17) 위에는 화소 전극(19b)이 형성된다. 화소 전극(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 중 하나에 접속된다(여기서는 도전막(21b)에 접속됨). 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)이 질화물 절연막(27) 위에 형성된다.

[0299] 부분 C-D에서의 단면도에 도시된 바와 같이, 질화물 절연막(15), 산화물 절연막(17), 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)에 제공된 개구(41a, 41b)에서 게이트 전극으로서 기능하는 도전막(29b)이 게이트 전극으로서 기능하는 도전막(13)에 접속된다. 즉, 게이트 전극으로서 기능하는 도전막(13) 및 게이트 전극으로서 기능하는 도전막(29b)은 같은 전위를 갖는다.

[0300] 따라서, 트랜지스터(102a)의 각 게이트 전극에 같은 전위의 전압을 인가함으로써, 초기 특성의 변동을 저감할

수 있고, -GBT 스트레스 시험 후의 트랜지스터(102a)의 열화 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변화를 억제할 수 있다. 또한, 산화물 반도체막(19a)에서 캐리어가 흐르는 영역이 막 두께 방향으로 커져 캐리어 이동의 양이 증가된다. 그 결과, 트랜지스터(102a)의 온 전류가 증가되고, 전계 효과 이동도가 증가된다. 대표적으로는 전계 효과 이동도는 $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상이 된다.

[0301] 본 실시형태의 트랜지스터(102a) 위에는 산화물 절연막(23 및 25)이 형성된다. 산화물 절연막(23 및 25)은 산화물 반도체막(19a)과 중첩된다. 채널 폭 방향의 단면도에서, 산화물 절연막(23 및 25)의 단부는 산화물 반도체막(19a) 단부의 바깥쪽에 위치한다. 또한, 도 24의 채널 폭 방향에서, 게이트 전극으로서 기능하는 도전막(29b)은 산화물 절연막(23 및 25)의 단부에 위치한다.

[0302] 산화물 반도체막의 에칭 등에 의하여 가공된 단부는 가공에 의하여 대미지를 받아 결함을 생성하고 또한 불순물의 부착 등에 의하여 오염된다. 그러므로, 산화물 반도체막의 단부는 전계 등의 스트레스 인가에 의하여 쉽게 활성화됨으로써, n형이 되기(저저항을 갖기) 쉽다. 따라서, 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 산화물 반도체막(19a)의 단부는 n형이 되기 쉽다. 소스 전극 및 드레인 전극으로서 기능하는 도전막들(21a 및 21b) 사이에 n형이 되는 단부가 제공되면, n형이 되는 영역이 캐리어 패스로서 기능하여 결과적으로 기생 채널이 형성된다. 그러나, 부분 C-D에서의 단면도에 도시된 바와 같이, 게이트 전극으로서 기능하는 도전막(29b)이 채널 폭 방향에서 산화물 절연막(23 및 25)을 개재하여 산화물 반도체막(19a)의 측면과 대향하면, 게이트 전극으로서 기능하는 도전막(29b)의 전계에 의하여, 산화물 반도체막(19a)의 측면 상 또는 이 측면 및 측면 부근을 포함하는 영역에서의 기생 채널 발생이 억제된다. 그 결과, 문턱 전압에서의 드레인 전류의 상승이 급격한 등의 우수한 전기 특성을 갖는 트랜지스터가 얻어진다.

[0303] 용량 소자(105a)에서, 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성되며 불순물을 포함함으로써 증가된 도전성을 갖는다. 또는, 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성되며, 플라즈마 대미지 등에 의하여 생성된 산소 결손을 포함함으로써 증가된 도전성을 갖는다. 또는, 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성되며, 불순물 및 플라즈마 대미지 등에 의하여 생성된 산소 결손을 포함함으로써 증가된 도전성을 갖는다.

[0304] 본 실시형태에서 설명하는 표시 장치의 소자 기판에서, 화소 전극은 트랜지스터의 산화물 반도체막과 동시에 형성된다. 화소 전극은 용량 소자의 전극들 중 하나로서도 기능한다. 공통 전극은 용량 소자의 전극들 중 다른 하나로서도 기능한다. 이로써, 용량 소자를 형성하기 위하여 도전막을 하나 더 형성하는 단계가 필요하지 않아 반도체 장치의 제작 단계 수를 약간 할 수 있다. 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자가 차지하는 면적을 증대시킬 수 있고 화소에서의 개구율을 높일 수 있다.

[0305] 트랜지스터(102a)의 상세에 대하여 아래에 설명한다. 또한, 실시형태 2와 같은 부호의 구성요소에 대해서는 여기서는 설명하지 않는다.

[0306] 실시형태 2의 공통 전극(29)과 같은 재료를 사용하여 게이트 전극으로서 기능하는 도전막(29b)을 형성할 수 있다.

[0307] 다음에, 도 24의 트랜지스터(102a) 및 용량 소자(105a)의 제작 방법에 대하여 도 10의 (A)~(D), 도 11의 (A)~(D), 도 12의 (A), 및 도 25의 (A)~(C)를 참조하여 설명한다.

[0308] 실시형태 2에서와 같이, 도 10의 (A)~도 12의 (A)에 도시된 단계를 거쳐, 제 1 기판(11) 위에, 게이트 전극으로서 기능하는 도전막(13), 질화물 절연막(15), 산화물 절연막(16), 산화물 반도체막(19a), 화소 전극(19b), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)을 형성한다. 이를 단계에서, 제 1 포토마스크~제 4 포토마스크를 사용한 포토그래피 공정을 수행한다.

[0309] 다음에, 제 5 포토마스크를 사용한 포토리소그래피 공정을 거쳐 질화물 절연막(26) 위에 마스크를 형성하고 나서, 이 마스크를 사용하여 질화물 절연막(26)의 일부를 에칭함으로써, 도 25의 (A)에 도시된 바와 같이 개구(41a, 41b)를 갖는 질화물 절연막(27)을 형성한다.

[0310] 그 후, 도 25의 (B)에 도시된 바와 같이, 공통 전극(29) 및 게이트 전극으로서 기능하는 도전막(29b)이 되는 도전막(28)을 게이트 전극으로서 기능하는 도전막(13) 및 질화물 절연막(27) 위에 형성한다.

[0311] 그리고, 제 6 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(28) 위에 마스크를 형성한다. 그 후, 도 25의 (C)에 도시된 바와 같이, 상기 마스크를 사용하여 도전막(28)의 일부를 에칭하여 공통 전극(29) 및 게

이트 전극으로서 기능하는 도전막(29b)을 형성한다. 그 후, 마스크를 제거한다.

[0312] 상술한 공정을 거쳐, 트랜지스터(102a)를 제작하고, 용량 소자(105a)도 제작할 수 있다.

[0313] 본 실시형태에서 설명하는 트랜지스터에서, 게이트 전극으로서 기능하는 도전막(29b)이 채널 폭 방향에서 산화물 절연막(23 및 25)을 개재하여 산화물 반도체막(19a)의 측면과 대향하면, 게이트 전극으로서 기능하는 도전막(29b)의 전계에 의하여, 산화물 반도체막(19a)의 측면 상 또는 이 측면 및 측면 부근을 포함하는 영역에서의 기생 채널 발생이 억제된다. 그 결과, 문턱 전압에서의 드레인 전류의 상승이 급격한 등 우수한 전기 특성을 갖는 트랜지스터가 얻어진다.

[0314] 본 실시형태의 표시 장치의 소자 기판에는, 신호선과 교차되는 방향으로 연장되는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 따라서, 표시 장치는 우수한 콘트라스트를 가질 수 있다.

[0315] 본 실시형태에서 설명하는 표시 장치의 소자 기판에서, 화소 전극은 트랜지스터의 산화물 반도체막과 동시에 형성된다. 화소 전극은 용량 소자의 전극들 중 하나로서 기능한다. 또한, 공통 전극은 용량 소자의 전극들 중 다른 하나로서 기능한다. 이로써, 용량 소자를 형성하기 위하여 도전막을 하나 더 형성하는 단계가 필요하지 않아 표시 장치의 제작 단계 수를 줄일 수 있다. 용량 소자는 투광성을 갖는다. 그 결과, 용량 소자가 차지하는 면적을 증대시킬 수 있고 화소에서의 개구율을 높일 수 있다.

[0316] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0317] (실시형태 5)

[0318] 본 실시형태에서는, 상술한 실시형태들에 비하여 산화물 반도체막의 결합의 수가 더 저감된 트랜지스터를 포함하는 표시 장치에 대하여 도면을 사용하여 설명한다. 본 실시형태에서 설명하는 트랜지스터는, 복수의 산화물 반도체막을 포함하는 다층막이 제공되는 점에서 실시형태 2~4의 트랜지스터 중 어느 것과도 다르다. 여기서, 실시형태 2의 트랜지스터를 사용하여 자세히 설명한다.

[0319] 도 26의 (A) 및 (B)는 각각 표시 장치에 포함되는 소자 기판의 단면도를 도시한 것이다. 도 26의 (A) 및 (B)는 도 4에서의 일점쇄선 A-B 및 C-D를 따른 단면도이다.

[0320] 도 26의 (A)의 트랜지스터(102b)는, 질화물 절연막(15) 및 산화물 절연막(17)을 개재하여 게이트 전극으로서 기능하는 도전막(13)과 중첩되는 다층막(37a), 및 다층막(37a)과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)을 포함한다. 질화물 절연막(15), 산화물 절연막(17), 다층막(37a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b) 위에 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)이 형성된다.

[0321] 도 26의 (A)의 용량 소자(105b)는 산화물 절연막(17) 위에 형성된 다층막(37b), 다층막(37b)과 접하는 질화물 절연막(27), 및 질화물 절연막(27)과 접하는 공통 전극(29)을 포함한다. 다층막(37b)은 화소 전극으로서 기능한다.

[0322] 본 실시형태에서 설명하는 트랜지스터(102b)에서, 다층막(37a)은 산화물 반도체막(19a) 및 산화물 반도체막(39a)을 포함한다. 즉, 다층막(37a)은 2층 구조를 갖는다. 또한, 산화물 반도체막(19a)의 일부는 채널 영역으로서 기능한다. 또한, 다층막(37a)과 접하도록 산화물 절연막(23)이 형성되고, 산화물 절연막(23)과 접하도록 산화물 절연막(25)이 형성된다. 즉, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다.

[0323] 산화물 반도체막(39a)은 산화물 반도체막(19a)을 구성하는 하나 이상의 원소를 포함하는 산화물막이다. 따라서, 산화물 반도체막들(19a 및 39a) 사이의 계면에서 계면 산란이 일어나기 어렵다. 그러므로, 캐리어의 이동이 계면에서 저해되지 않아 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.

[0324] 산화물 반도체막(39a)은 대표적으로 In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M 은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)이다. 산화물 반도체막(39a)의 전도대 하단의 에너지는 산화물 반도체막(19a)보다 진공 준위에 가깝고, 대표적으로는 산화물 반도체막(39a)의 전도대 하단의 에너지와 산화물 반도체막(19a)의 전도대 하단의 에너지의 차이는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 및 0.15eV 이상 중 어느 하나, 2eV 이하, 1eV 이하, 0.5eV 이하, 및 0.4eV 이하 중 어느 하나이다. 즉, 산화물 반도체막(39a)의 전자 친화력과 산화물 반도체막(19a)의 전자 친화력의 차이는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 및 0.15eV 이하 중 어느 하나이다.

상 중 어느 하나, 2eV 이하, 1eV 이하, 0.5eV 이하, 및 0.4eV 이하 중 어느 하나이다.

[0325] 산화물 반도체막(39a)은 캐리어 이동도(전자 이동도)가 높아질 수 있기 때문에 In을 포함하는 것이 바람직하다.

[0326] 산화물 반도체막(39a)은 In의 양보다 높은 원자 비율로 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 포함하면, 다음의 효과들 중 어느 것을 얻을 수 있다: (1) 산화물 반도체막(39a)의 에너지 캡이 넓어지고; (2) 산화물 반도체막(39a)의 전자 친화력이 저감되고; (3) 외부로부터의 불순물의 산란이 저감되고; (4) 산화물 반도체막(19a)에 비하여 절연성이 높아지고; 및 (5) Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd은 산소와 강하게 결합되는 금속 원소이기 때문에 산소 결손이 생성되기 어렵다.

[0327] 산화물 반도체막(39a)이 In-*M*-Zn 산화물막인 경우에, In과 *M*의 합을 100atomic%로 가정할 때 In 및 *M*의 비율이 다음과 같은 것이 바람직하다: In의 원자 농도가 50atomic% 미만이고 *M*의 원자 농도가 50atomic%보다 높고; 더 바람직하게는 In의 원자 농도가 25atomic% 미만이고 *M*의 원자 농도가 75atomic%보다 높다.

[0328] 또한, 산화물 반도체막(19a 및 39a) 각각이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)인 경우, 산화물 반도체막(39a)에서의 *M*원자(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)의 비율은 산화물 반도체막(19a)보다 높다. 대표적인 예로서, 산화물 반도체막(39a)에서의 *M*의 비율은 산화물 반도체막(19a)의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이다.

[0329] 또한, 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)인 경우, 산화물 반도체막(39a)에서 In:*M*:Zn=x₁:y₁:z₁[원자 비율]가 만족되고, 산화물 반도체막(19a)에서 In:*M*:Zn=x₂:y₂:z₂[원자 비율]가 만족될 때, y₁/x₁이 y₂/x₂보다 높다. 바람직하게는 y₁/x₁이 y₂/x₂보다 1.5배 이상 높다. 더 바람직하게는 y₁/x₁이 y₂/x₂보다 2배 이상 높다. 더욱 바람직하게는 y₁/x₁이 y₂/x₂보다 3배 이상 높다.

[0330] 산화물 반도체막(19a)이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)이고 산화물 반도체막(19a)을 형성하기 위하여 금속 원소의 원자 비율이 In:*M*:Zn=x₁:y₁:z₁인 타깃을 사용할 때, x₁/y₁이 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하고, z₁/y₁이 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. 또한 z₁/y₁이 1 이상 6 이하일 때 산화물 반도체막(19a)으로서 나중에 설명하는 CAAC-OS막이 형성되기 쉽다. 타깃의 금속 원소의 원자 비율의 대표적인 예는 In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, 및 In:*M*:Zn=3:1:2이다.

[0331] 산화물 반도체막(39a)이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)이고 산화물 반도체막(39a)을 형성하기 위하여 금속 원소의 원자 비율이 In:*M*:Zn=x₂:y₂:z₂인 타깃을 사용할 때, x₂/y₂가 x₁/y₁ 미만인 것이 바람직하고, z₂/y₂가 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. 또한 z₂/y₂가 1 이상 6 이하일 때 산화물 반도체막(39a)으로서 나중에 설명하는 CAAC-OS막이 형성되기 쉽다. 타깃의 금속 원소의 원자 비율의 대표적인 예는 In:*M*:Zn=1:3:2, In:*M*:Zn=1:3:4, 및 In:*M*:Zn=1:3:6, In:*M*:Zn=1:3:8, In:*M*:Zn=1:4:4, In:*M*:Zn=1:4:5, 및 In:*M*:Zn=1:6:8이다.

[0332] 또한, 산화물 반도체막(19a) 및 산화물 반도체막(39a) 각각의 원자 비율에서의 각 금속 원소의 비율은, 상술한 원자 비율에서 오차로서 ±40%의 범위 내에서 변동된다.

[0333] 산화물 반도체막(39a)은 나중에 산화물 절연막(25)을 형성할 때 산화물 반도체막(19a)에 대한 대미지를 완화시키는 막으로서도 기능한다.

[0334] 산화물 반도체막(39a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다.

[0335] 산화물 반도체막(39a)은 산화물 반도체막(19a)과 같이 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조는 예를 들어 나중에 설명하는 CAAC-OS, 다결정 구조, 나중에 설명하는 미결정 구조, 또는 비정질 구조를 포함한다.

[0336] 산화물 반도체막(39a)은 예를 들어 비정질 구조를 가져도 좋다. 비정질 구조를 갖는 산화물 반도체막들은 각각 예를 들어 무질서한 원자 배열을 갖고, 결정 성분을 갖지 않는다.

[0337] 또한, 산화물 반도체막(19a 및 39a) 각각은 다음의 2 이상을 포함하는 혼합막이어도 좋다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역. 혼합

막은 예를 들어 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2 이상을 포함하는 단층 구조를 갖는 경우가 있다. 또한, 혼합막은 다음 영역 중 2 이상이 적층된 적층 구조를 갖는 경우가 있다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역.

- [0338] 여기서는, 산화물 반도체막(39a)이 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 형성된다. 따라서, 산화물 반도체막(39a)과 산화물 절연막(23) 사이에서 불순물 및 결함에 의하여 캐리어 트랩이 형성되어도, 캐리어 트랩과 산화물 반도체막(19a) 사이에 거리가 있기 때문에 산화물 반도체막(19a)을 흐르는 전자는 캐리어 트랩에 의하여 포획되기 어렵다. 따라서, 트랜지스터의 온 전류의 양이 증가될 수 있고, 전계 효과 이동도가 증가될 수 있다. 캐리어 트랩에 의하여 전자가 포획되면 전자는 음의 고정 전하가 된다. 그 결과, 트랜지스터의 문턱 전압이 변화된다. 그러나, 산화물 반도체막(19a)과 캐리어 트랩 사이의 거리에 의하여, 캐리어 트랩에 의한 전자의 포획을 저감할 수 있어, 문턱 전압의 변화량을 저감할 수 있다.
- [0339] 외부로부터의 불순물은 산화물 반도체막(39a)에 의하여 차단될 수 있기 때문에, 외부로부터 산화물 반도체막(19a)으로 이동하는 불순물의 양을 저감할 수 있다. 또한, 산화물 반도체막(39a)에는 산소 결손이 형성되기 어렵다. 결과적으로, 산화물 반도체막(19a)에서의 불순물 농도 및 산소 결손의 수를 저감할 수 있다.
- [0340] 또한, 산화물 반도체막(19a 및 39a)은 각 막을 단순히 적층하여 형성될 뿐만 아니라, 연속 접합(여기서는, 특히 각 막 사이에서 전도대 하단의 에너지가 연속적으로 변화되는 구조)을 갖도록 형성된다. 바꿔 말하면, 막들 사이의 계면에 트랩 중심 또는 재결합 중심 등의 결합 준위를 형성하는 불순물이 존재하지 않는 적층 구조가 제공된다. 적층되는 산화물 반도체막들(19a 및 39a) 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 대미지를 받고, 캐리어가 포획되거나 또는 계면에서 재결합되고, 그 후 없어진다.
- [0341] 이러한 연속적인 에너지 밴드를 형성하기 위해서는, 로드록 체임버(load lock chamber)를 포함하는 멀티 체임버 성막 장치(스퍼터링 장치)를 사용하여 막들을 공기에 노출시키지 않고 연속적으로 형성할 필요가 있다. 스퍼터링 장치에서의 각 체임버는, 산화물 반도체막에 대하여 불순물로서 기능하는 물 등을 가능한 한 제거하기 위하여, 크라이오 펌프 등의 흡착 진공 배기 펌프를 사용하여 고진공 상태(약 5×10^{-7} Pa~ 1×10^{-4} Pa 정도)가 되도록 배기하는 것이 바람직하다. 또는, 터보 분자 펌프 및 콜드 트랩을 조합하여, 배기계로부터 체임버 내로의 가스(특히 탄소 또는 수소를 포함하는 가스)의 역류를 방지하는 것이 바람직하다.
- [0342] 도 26의 (B)의 트랜지스터(102c)에서와 같이, 다층막(37a) 대신에 다층막(38a)이 제공되어도 좋다.
- [0343] 또한, 도 26의 (B)의 용량 소자(105c)에서와 같이, 다층막(37b) 대신에 다층막(38b)이 제공되어도 좋다.
- [0344] 다층막(38a)은 산화물 반도체막(49a), 산화물 반도체막(19a), 및 산화물 반도체막(39a)을 포함한다. 즉, 다층막(38a)은 3층 구조를 갖는다. 또한, 산화물 반도체막(19a)은 채널 영역으로서 기능한다.
- [0345] 산화물 반도체막(49a)은 산화물 반도체막(39a)과 같은 재료 및 형성 방법을 사용하여 형성될 수 있다.
- [0346] 다층막(38b)은 산화물 반도체막(49b), 산화물 반도체막(19f), 및 산화물 반도체막(39b)을 포함한다. 바꿔 말하면, 다층막(38b)은 3층 구조를 갖는다. 다층막(38b)은 화소 전극으로서 기능한다.
- [0347] 산화물 반도체막(19f)은 화소 전극(19b)과 같은 재료 및 형성 방법을 적절히 사용하여 형성될 수 있다. 산화물 반도체막(49b)은 산화물 반도체막(39b)과 같은 재료 및 형성 방법을 적절히 사용하여 형성될 수 있다.
- [0348] 또한, 산화물 절연막(17) 및 산화물 반도체막(49a)은 서로 접한다. 즉, 산화물 반도체막(49a)은 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 제공된다.
- [0349] 다층막(38a) 및 산화물 절연막(23)은 서로 접한다. 또한, 산화물 반도체막(39a) 및 산화물 절연막(23)은 서로 접한다. 즉, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다.
- [0350] 산화물 반도체막(49a)의 두께는 산화물 반도체막(19a)보다 작은 것이 바람직하다. 산화물 반도체막(49a)의 두께가 1nm 이상 5nm 이하, 바람직하게는 1nm 이상 3nm 이하이면, 트랜지스터의 문턱 전압의 변화량을 저감할 수 있다.
- [0351] 본 실시형태에서 설명하는 트랜지스터에서, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다. 따라서, 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 불순물 및 결함에 의하여 캐리어 트랩이 형성되어도, 캐리어 트랩과 산화물 반도체막(19a) 사이에 거리가 있기 때문에 산화물 반도체막(19a)을 흐르는 전자는 캐리어 트랩에 의하여 포획되기 어렵다. 따라서, 트랜지스터의 온 전류의 양이 증가될 수 있고,

전계 효과 이동도가 증가될 수 있다. 캐리어 트랩에 의하여 전자가 포획되면 전자는 음의 고정 전하가 된다. 그 결과, 트랜지스터의 문턱 전압이 변화된다. 그러나, 산화물 반도체막(19a)과 캐리어 트랩 사이의 거리에 의하여, 캐리어 트랩에 의한 전자의 포획을 저감할 수 있어, 문턱 전압의 변화량을 저감할 수 있다.

[0352] 외부로부터의 불순물은 산화물 반도체막(39a)에 의하여 차단될 수 있기 때문에, 외부로부터 산화물 반도체막(19a)으로 이동하는 불순물의 양을 저감할 수 있다. 또한, 산화물 반도체막(39a)에는 산소 결손이 형성되기 어렵다. 결과적으로, 산화물 반도체막(19a)에서의 불순물 농도 및 산소 결손의 수를 저감할 수 있다.

[0353] 또한, 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 산화물 반도체막(49a)이 제공되고, 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 산화물 반도체막(39a)이 제공된다. 따라서, 산화물 반도체막(49a)과 산화물 반도체막(19a) 사이의 계면 부근에서의 실리콘 또는 탄소의 농도, 산화물 반도체막(19a)에서의 실리콘 또는 탄소의 농도, 또는 산화물 반도체막(39a)과 산화물 반도체막(19a) 사이의 계면 부근에서의 실리콘 또는 탄소의 농도를 저감할 수 있다. 결과적으로, 다층막(38a)에서, 일정 광전류법에 의하여 산출되는 흡수계수는 $1 \times 10^{-3}/\text{cm}$ 미만, 바람직하게는 $1 \times 10^{-4}/\text{cm}$ 미만이 되기 때문에, 국재 준위 밀도(density of localized levels)는 매우 낮다.

[0354] 이러한 구조를 갖는 트랜지스터(102c)는 산화물 반도체막(19a)을 포함하는 다층막(38a)에서 결함이 매우 적기 때문에, 트랜지스터의 전기 특성이 향상될 수 있고, 대표적으로는 온 전류가 증가될 수 있고 전계 효과 이동도가 향상될 수 있다. 또한, 스트레스 시험의 예인 BT 스트레스 시험 및 BT 광 스트레스 시험에서, 문턱 전압의 변화량이 작아 신뢰성이 높다.

[0355] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0356] (실시형태 6)

[0357] 본 실시형태에서는, 상술한 실시형태에서 설명한 표시 장치에 포함되는 트랜지스터의 산화물 반도체막에 적용할 수 있는 일 형태에 대하여 설명한다.

[0358] 산화물 반도체막은 예를 들어 비단결정 산화물 반도체막 및 단결정 산화물 반도체막으로 분류된다. 또는, 산화물 반도체는 예를 들어 결정성 산화물 반도체 및 비정질 산화물 반도체로 분류된다.

[0359] 비단결정 산화물 반도체의 예에는, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체가 포함된다. 또한, 결정성 산화물 반도체의 예에는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체가 포함된다.

[0360] 산화물 반도체막은 다음의 하나 이상을 포함하여도 좋다: 단결정 구조를 갖는 산화물 반도체(아래에서 단결정 산화물 반도체라고 함); 다결정 구조를 갖는 산화물 반도체(아래에서 다결정 산화물 반도체라고 함); 미결정 구조를 갖는 산화물 반도체(아래에서 미결정 산화물 반도체라고 함); 및 비정질 구조를 갖는 산화물 반도체(아래에서 비정질 산화물 반도체라고 함). 또한, 산화물 반도체막은 CAAC-OS막을 포함하여도 좋다. 또한, 산화물 반도체막은 비정질 산화물 반도체 및 결정립을 갖는 산화물 반도체를 포함하여도 좋다. 아래에서는 대표적인 예로서 CAAC-OS 및 미결정 산화물 반도체에 대하여 설명한다.

[0361] <CAAC-OS>

[0362] 먼저, CAAC-OS막에 대하여 설명한다.

[0363] CAAC-OS막은 복수의 c축 배향된 결정부를 갖는 산화물 반도체막 중 하나이다.

[0364] 투과 전자 현미경(TEM)에 의하여, CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석 이미지(고분해능 TEM 이미지라고도 함)가 관찰된다. 그 결과, 복수의 결정부가 명확히 관찰된다. 그러나, 고분해능 TEM 이미지에서도 결정부들 사이의 경계, 즉 결정립계(grain boundary)는 명확히 관찰되지 않는다. 따라서, CAAC-OS막에서는, 결정립계로 인한 전자 이동도의 저하가 일어나기 어렵다.

[0365] 시료 표면에 실질적으로 평행한 방향으로 관찰된 CAAC-OS막의 고분해능 단면 TEM 이미지에 따르면, 금속 원자들이 결정부에서 층상으로 배열되어 있다. 각 금속 원자층은 CAAC-OS막이 형성되는 표면(이하, CAAC-OS막이 형성되는 표면을 형성 표면이라고 함) 또는 CAAC-OS막의 상면을 반영한 형태를 가지며 형성 표면 또는 CAAC-OS막의 상면에 평행하게 배열된다.

- [0366] 한편, 시료 표면에 실질적으로 수직인 방향으로 관찰된 CAAC-OS막의 고분해능 평면 TEM 이미지에 따르면, 금속 원자들이 결정부에서 삼각형 또는 육각형의 형상으로 배열되어 있다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열의 규칙성은 없다.
- [0367] 도 27의 (A)는 CAAC-OS막의 고분해능 단면 TEM 이미지이다. 도 27의 (B)는 도 27의 (A)의 이미지를 확대하여 얻어진 고분해능 단면 TEM 이미지이다. 도 27의 (B)에서, 이해를 쉽게 하기 위하여 원자 배열을 강조하였다.
- [0368] 도 27의 (C)는 도 27의 (A)에서 A와 0 사이 및 0와 A' 사이에서 원으로 둘러싸인 각 영역(직경은 약 4nm)의 푸리에 변환 이미지이다. 도 27의 (C)의 각 영역에서 c축 배향을 관찰할 수 있다. A와 0 사이의 c축 방향이 0과 A' 사이의 것과는 다른데, 이는 A와 0 사이의 영역에서의 그레인인 0과 A' 사이에서의 것과 다르다는 것을 나타낸다. 또한, A와 0 사이에서 c축의 각도가 14.3°로부터, 16.6°, 26.4°로 조금씩 연속적으로 변화하고 있다. 마찬가지로, 0과 A' 사이에서 c축의 각도는 -18.3°로부터, -17.6°, -15.9°로 연속적으로 변화하고 있다.
- [0369] 또한, CAAC-OS막의 전자 회절 패턴에 있어서, 배향을 갖는 스풋(회점)이 보인다. 한편, 예를 들어 1nm~30nm의 범위의 프로브 직경을 갖는 전자 빔을 사용하여 얻어진 CAAC-OS막의 상면의 나노빔 전자 회절 패턴에는 스풋이 보인다(도 28의 (A) 참조).
- [0370] 고분해능 단면 TEM 이미지 및 고분해능 평면 TEM 이미지의 결과로부터, CAAC-OS막의 결정부에 배향이 발견된다.
- [0371] CAAC-OS막에 포함되는 결정부의 대부분은 각각, 한 변이 100nm 미만인 입방체 내에 들어간다. 따라서, CAAC-OS 막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 경우가 있다. 다만, CAAC-OS막에 포함되는 복수의 결정부가 서로 연결되어 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어, 평면의 고분해능 TEM 이미지에서 면적이 2500nm^2 이상, $5\mu\text{m}^2$ 이상, 또는 $1000\mu\text{m}^2$ 이상인 결정 영역이 관찰되는 경우가 있다.
- [0372] X선 회절(XRD: X-ray diffraction) 장치를 사용하여 CAAC-OS막의 구조 분석을 수행한다. 예를 들어 InGaZnO_4 결정을 포함하는 CAAC-OS막을 out-of-plane법으로 분석하면 회절각(2θ)이 31° 부근일 때 피크가 나타나는 경우가 많다. 이 피크는, InGaZnO_4 결정의 (009)면에서 유래하며, CAAC-OS막의 결정이 c축 배향을 갖고, c축이 형성 표면 또는 CAAC-OS막의 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 가리킨다.
- [0373] 한편, CAAC-OS막을, c축에 실질적으로 수직인 방향으로 X선이 시료에 입사하는 in-plane법으로 분석하면, 2θ 가 56° 부근일 때 피크가 나타나는 경우가 많다. 이 피크는 InGaZnO_4 결정의 (110)면에서 유래한다. 여기서, 2θ 를 56° 부근에 고정시키고, 시료 표면의 법선 벡터를 축(ϕ 축)으로 시료를 회전시키는 조건에서 분석(ϕ 스캔)을 수행한다. 시료가 InGaZnO_4 의 단결정 산화물 반도체막인 경우, 6개의 피크가 나타난다. 6개의 피크는 (110)면과 등가인 결정면에서 유래한다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 부근에 고정시키고 ϕ 스캔을 수행하여도 피크가 명료하게 관찰되지 않는다.
- [0374] 상술한 결과에 따르면, c축 배향을 갖는 CAAC-OS막에서는, 결정부들 사이에서 a축 및 b축의 방향이 다르지만, c축이 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향되어 있다. 따라서, 고분해능 단면 TEM 이미지에서 관찰된 층상으로 배열된 각 금속 원자층은, 결정의 a-b면에 평행한 면에 상당한다.
- [0375] 또한, 결정부는 CAAC-OS막의 성막과 동시에 형성되거나, 또는 가열 처리 등의 결정화 처리를 통하여 형성된다. 상술한 바와 같이, 결정의 c축은 형성 표면의 법선 벡터 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상이 애칭 등에 의하여 변화되는 경우, c축이 형성 표면의 법선 벡터 또는 CAAC-OS막의 상면의 법선 벡터에 평행하지 않을 수도 있다.
- [0376] 또한, CAAC-OS막 내에서의 c축 배향된 결정부의 분포는 반드시 균일할 필요는 없다. 예를 들어, CAAC-OS막의 결정부를 형성하는 결정 성장이 막의 상면 부근으로부터 일어나는 경우, 상면 부근에서의 c축 배향된 결정부의 비율은 형성 표면 부근보다 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역이 변화되어, CAAC-OS막에서 c축 배향된 결정부의 비율이 영역에 따라 달라지는 경우가 있다.
- [0377] 또한, InGaZnO_4 결정을 갖는 CAAC-OS막을 out-of-plane법으로 분석하면, 31° 부근에서의 2θ 의 피크에 더하여, 36° 부근에서도 2θ 의 피크가 관찰될 수 있다. 36° 부근에서의 2θ 의 피크는 CAAC-OS막의 일부에, c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막에서는 31° 부근에 2θ 의 피크가 나타나고, 36° 부근에 2θ 의 피크가 나타나지 않는 것이 바람직하다.

- [0378] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소 등, 산화물 반도체막의 주성분 외의 원소이다. 특히 산화물 반도체막에 포함되는 금속 원소보다 산소에 대한 결합력이 높은 원소(실리콘 등)는, 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성의 저하를 초래한다. 또한, 철 또는 니켈 등의 중금속, 아르곤, 또는 이산화탄소 등은 원자 반경(분자 반경)이 크기 때문에 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성의 저하를 초래한다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다.
- [0379] CAAC-OS막은 결합 상태의 밀도가 낮은 산화물 반도체막이다. 산화물 반도체막 내의 산소 결손은 캐리어 트랩으로서 기능하거나, 또는 수소를 포함하여 캐리어 발생원으로서 기능하는 경우가 있다.
- [0380] 불순물 농도가 낮고 결합 상태의 밀도가 낮은(산소 결손의 양이 작은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"의 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 가질 수 있다. 따라서 산화물 반도체막을 포함하는 트랜지스터는 음의 문턱 전압을 좀처럼 갖지 않는다(노멀리 온이 좀처럼 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 결합 상태의 밀도가 낮기 때문에 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체막을 포함하는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높다. 산화물 반도체막의 캐리어 트랩에 의하여 포함된 전하는 방출될 때까지 긴 시간이 걸려 마치 고정 전하처럼 행동할 수 있다. 그러므로 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체막을 포함하는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.
- [0381] CAAC-OS막을 트랜지스터에 사용하면, 가시광 또는 자외광의 조사로 인한 트랜지스터의 전기 특성의 변동이 작다.
- [0382] <미결정 산화물 반도체>
- [0383] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0384] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 관찰되는 영역 및 고분해능 TEM 이미지에서 결정부가 명확히 관찰되지 않는 영역을 갖는다. 미결정 산화물 반도체막에서의 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히, 사이즈가 1nm 이상 10nm 이하, 또는 사이즈가 1nm 이상 3nm 이하인 미결정을 나노 결정(nc: nanocrystal)이라고 한다. 나노 결정을 포함하는 산화물 반도체막을 nc-OS(nanocrystalline oxide semiconductor)막이라고 한다. TEM으로 관찰된 nc-OS막의 이미지에서, 예를 들어 결정립계가 쉽게 또한 명확히 관찰되지 않는 경우가 있다.
- [0385] nc-OS막에서 미소 영역(예를 들어 사이즈가 1nm 이상 10nm 이하인 영역, 특히 사이즈가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. 또한 nc-OS막에서 상이한 결정부들 사이에서 결정의 배향에 규칙성이 없다. 그러므로, 막 전체에서 배향이 관찰되지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용한 XRD 장치를 사용하여 out-of-plane법으로 nc-OS막의 구조 분석을 수행하면, 결정면을 가리키는 피크가 나타나지 않는다. 또한, 결정부의 직경보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자 빔을 사용하여 얻어진 nc-OS막의 제한 시야 전자 회절 패턴에서는 헤일로 패턴이 나타난다. 한편, 프로브 직경이 결정부의 직경과 가깝거나 작은 전자 빔을 사용하여 얻어진 nc-OS막의 나노빔 전자 회절 패턴에서는 스포트이 나타난다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서는, 원형(고리형)의 패턴의 휘도가 높은 영역이 관찰되는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 패턴에서는, 고리형 영역 내에 복수의 스포트이 나타나는 경우가 있다(도 28의 (B) 참조).
- [0386] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 상태의 밀도가 낮다. 다만, nc-OS막에서 상이한 결정부들 사이에서 결정의 배향에 규칙성이 없으므로 nc-OS막은 CAAC-OS막보다 결합 상태의 밀도가 높다.
- [0387] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.
- [0388] 비정질 산화물 반도체막은 무질서한 원자 배열을 갖고 결정부를 갖지 않는다. 예를 들어, 비정질 산화물 반도체막은 석영과 같이 정형 상태를 갖지 않는다.
- [0389] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서 결정부는 보이지 않는다.
- [0390] XRD 장치를 사용하여 out-of-plane법으로 비정질 산화물 반도체막의 구조 분석을 수행하면, 결정면을 가리키는 피크가 나타나지 않는다. 비정질 산화물 반도체막의 전자 회절 패턴에는 헤일로 패턴이 나타난다. 또한, 비정

질 산화물 반도체막의 나노빔 전자 회절 패턴에는 헤일로 패턴이 나타나지만 스포이 나타나지 않는다.

[0391] 비정질 산화물 반도체막은 수소 등의 불순물을 고농도로 포함한다. 또한, 비정질 산화물 반도체막은 결합 상태의 밀도가 높다.

[0392] 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체막은 캐리어 트랩 또는 캐리어 발생원이 많다.

[0393] 따라서, 비정질 산화물 반도체막은, nc-OS막보다 높은 캐리어 밀도를 갖는다. 그러므로, 비정질 산화물 반도체막을 포함하는 트랜지스터는, 노멀리 온이 되기 쉽다. 따라서, 이런 비정질 산화물 반도체막은 노멀리 온이 될 필요가 있는 트랜지스터에 적용될 수 있는 경우가 있다. 비정질 산화물 반도체막은 결합 상태의 밀도가 높기 때문에, 캐리어 트랩이 증가될 수 있다. 결과적으로, 비정질 산화물 반도체막을 포함하는 트랜지스터는 CAAC-OS막 또는 nc-OS막을 포함하는 트랜지스터보다 전기 특성의 변동이 크고 신뢰성이 낮다.

[0394] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물리적 성질을 갖는 구조를 가질 수 있다. 이러한 구조를 갖는 산화물 반도체막을, 특히 amorphous-like OS(amorphous-like oxide semiconductor)막이라고 한다.

[0395] amorphous-like OS막의 고분해능 TEM 이미지에서 보이드(void)가 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서는 결정부가 명확히 관찰되는 영역과 결정부가 관찰되지 않는 영역이 있다. amorphous-like OS막에서는, TEM 관찰에 사용되는 미량의 전자 빔에 의한 결정화가 일어나 결정부의 성장이 보이는 경우가 있다. 한편, 양질의 nc-OS막에서는, TEM 관찰에 사용되는 미량의 전자 빔에 의한 결정화가 덜 관찰된다.

[0396] 또한, amorphous-like OS막 및 nc-OS막의 결정부의 사이즈는 고분해능 TEM 이미지를 사용하여 측정할 수 있다. 예를 들어, InGaZnO₄ 결정은 In-0층들 사이에 2개의 Ga-Zn-0층이 포함되는 층상 구조를 갖는다. InGaZnO₄ 결정의 단위 격자는 3개의 In-0층과 6개의 Ga-Zn-0층의 9층이 c축 방향으로 쌓인 구조를 갖는다. 따라서, 이들 인접한 층들 사이의 거리는 (009)면의 격자간 거리(d값이라고도 함)와 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 그러므로, 고분해능 TEM 이미지에서 격자 줄무늬(lattice fringe)에 착안할 때 거리가 0.28nm~0.30nm인 격자 줄무늬는 각각 InGaZnO₄ 결정의 a-b면에 대응한다고 간주한다. 격자 줄무늬가 관찰되는 영역에서의 최대 길이를 amorphous-like OS막 및 nc-OS막의 결정부의 사이즈로 한다. 또한, 사이즈가 0.8nm 이상인 결정부를 선택적으로 평가한다.

[0397] 도 35에는 고분해능 TEM 이미지를 사용하여 amorphous-like OS막 및 nc-OS막의 결정부(20~40개소)의 평균 사이즈의 변화를 조사한 결과를 나타내었다. 도 35에서와 같이, 전자 조사의 총량이 증가됨에 따라 amorphous-like OS의 결정부 사이즈도 커진다. 구체적으로는, TEM 관찰의 시작에서는 약 1.2nm의 결정부가 전자 조사의 총량 $4.2 \times 10^8 e^- / nm^2$ 에서 약 2.6nm의 사이즈까지 성장한다. 한편, 양질의 nc-OS막의 결정부 사이즈는 전자 조사 시작으로부터 전자 조사의 총량이 $4.2 \times 10^8 e^- / nm^2$ 가 될 때까지 전자 조사의 양에 상관없이 조금 변화한다.

[0398] 또한, 도 35에서, amorphous-like OS막 및 nc-OS막의 결정부 사이즈의 변화를 선형 근사하고 전자 조사의 총량 $0e^- / nm^2$ 까지 외삽함으로써, 결정부의 평균 사이즈가 양의 값인 것을 알았다. 이것은 amorphous-like OS막 및 nc-OS막에서 결정부가 TEM 관찰 전에 존재하는 것을 뜻한다.

[0399] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, 및 CAAC-OS막 중 2종류 이상을 포함하는 적층막이어도 좋다.

[0400] 산화물 반도체막이 복수의 구조를 갖는 경우, 나노빔 전자 회절을 사용하여 그 구조를 분석할 수 있는 경우가 있다.

[0401] 도 28의 (C)는 전자총 체임버(70)와, 전자총 체임버(70) 아래의 광학계(72)와, 광학계(72) 아래의 시료 체임버(74)와, 시료 체임버(74) 아래의 광학계(76)와, 광학계(76) 아래의 관찰 체임버(80)와, 관찰 체임버(80)에 설치된 카메라(78)와, 관찰 체임버(80) 아래의 필름 체임버(82)를 포함하는 투과 전자 회절 측정 장치를 도시한 것이다. 카메라(78)는 관찰 체임버(80) 내부를 향하여 제공된다. 또한, 필름 체임버(82)는 반드시 제공될 필요는 없다.

[0402] 도 28의 (D)는 도 28의 (C)에 도시된 투과 전자 회절 측정 장치의 내부 구조를 도시한 것이다. 투과 전자 회절 측정 장치에서, 시료 체임버(74)에 배치되는 물질(88)은, 광학계(72)를 통하여 전자총 체임버(70)에 설치된 전자총으로부터 방출된 전자로 조사된다. 물질(88)을 통과한 전자는 광학계(76)를 통하여 관찰 체임버(80)에 제

공된 형광판(92)에 들어간다. 형광판(92)에서, 입사 전자의 강도에 따른 패턴이 나타나기 때문에 투과된 전자 회절 패턴이 측정될 수 있다.

[0403] 카메라(78)는 형광판(92)에 대향하도록 설치되고 형광판(92)에 나타나는 패턴의 사진을 찍을 수 있다. 카메라(78)의 렌즈 중심과 형광판(92)의 중심을 통과하는 직선과, 형광판(92)의 상면이 이루는 각도는, 예를 들어 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하이다. 상기 각도가 감소될수록, 카메라(78)로 찍은 투과 전자 회절 패턴의 왜곡이 커진다. 또한, 미리 상기 각도가 얻어지면, 얻어진 투과 전자 회절 패턴의 왜곡을 고칠 수 있다. 또한, 필름 체임버(82)에 카메라(78)가 제공되어도 좋다. 예를 들어, 전자(84)의 입사 방향과 반대가 되도록 카메라(78)가 필름 체임버(82)에 설치되어도 좋다. 이 경우, 형광판(92)의 뒤쪽 면으로부터 왜곡이 적은 투과 전자 회절 패턴을 찍을 수 있다.

[0404] 시료인 물질(88)을 고정하기 위한 홀더가 시료 체임버(74)에 제공된다. 홀더는 물질(88)을 통과하는 전자를 투과시킨다. 홀더는 예를 들어 X축, Y축, 및 Z축 방향으로 물질(88)을 이동하는 기능을 가져도 좋다. 홀더의 이동 기능은 예를 들어 1nm~10nm, 5nm~50nm, 10nm~100nm, 50nm~500nm, 및 100nm~1μm의 범위에서 물질을 이동시키는 정밀도를 가져 수 있다. 이 범위는 물질(88)의 구조에 최적의 범위로 정해지는 것이 바람직하다.

[0405] 다음에, 상술한 투과 전자 회절 측정 장치에 의하여 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.

[0406] 예를 들어, 도 28의 (D)에 도시된 바와 같이, 물질의 구조에서의 변화는 물질에서의 나노빔인 전자(84)의 조사 위치를 변화시킴(스캔함)으로써 관찰될 수 있다. 이때, 물질(88)이 CAAC-OS막이면 도 28의 (A)에 나타낸 회절 패턴이 관찰될 수 있다. 물질(88)이 nc-OS막이면, 도 28의 (B)에 나타낸 회절 패턴이 관찰될 수 있다.

[0407] 물질(88)이 CAAC-OS막이라도, nc-OS막 등과 같은 회절 패턴이 부분적으로 관찰되는 경우가 있다. 그러므로, CAAC-OS막이 양호한지 여부는 소정의 면적에서 CAAC-OS막의 회절 패턴이 관찰되는 영역의 비율(CAAC 비율이라고도 함)로 결정될 수 있다. 질(quality)이 높은 CAAC-OS막의 경우, 예를 들어 CAAC 비율은 50% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상, 더욱 바람직하게는 95% 이상이다. 또한, CAAC-OS막과 상이한 회절 패턴이 관찰되는 영역은 비CAAC 비율이라고 한다.

[0408] 예를 들어, 투과 전자 회절 패턴은, 성막 직후("as-sputtered"라고 나타냄)에 얻어진 CAAC-OS막을 포함하는 시료의 상면, 및 산소를 포함하는 분위기에서 450°C로 가열 처리가 수행된 CAAC-OS를 포함하는 시료의 상면을 스캔함으로써 얻어졌다. 여기서 5nm/초의 속도로 60초간 스캔하여 회절 패턴을 관찰하고, 얻어진 회절 패턴을 0.5초마다 정지 화상으로 변환함으로써 CAAC 비율을 얻었다. 또한 전자 빔으로서, 프로브 직경이 1nm인 나노빔을 사용하였다. 6개의 시료에 대하여 상술한 측정을 수행하였다. CAAC 비율은 6개의 시료의 평균값을 사용하여 계산하였다.

[0409] 도 29의 (A)는 각 시료의 CAAC 비율을 나타낸 것이다. 성막 직후에 얻어진 CAAC-OS막의 CAAC 비율은 75.7%(비 CAAC 비율은 24.3%)이었다. 450°C의 가열 처리가 수행된 CAAC-OS막의 CAAC 비율은 85.3%(비CAAC 비율은 14.7%)이었다. 이를 결과는 450°C의 가열 처리 후에 얻어진 CAAC 비율이 성막 직후에 얻어진 것보다 높은 것을 나타낸다. 즉, 고온의 가열 처리(예를 들어 400°C 이상)는 비CAAC 비율을 저감(CAAC 비율을 증가)한다. 또한, 상술한 결과는 가열 처리의 온도가 500°C 미만이라도 CAAC-OS막은 높은 CAAC 비율을 가질 수 있다는 것도 시사한다.

[0410] 여기서, CAAC-OS막과 상이한 회절 패턴의 대부분은 nc-OS막과 같은 회절 패턴이다. 또한, 측정 영역에서는 비정질 산화물 반도체막을 관찰할 수 없었다. 따라서, 상술한 결과는, 인접한 영역의 구조의 영향에 의하여, nc-OS막과 같은 구조를 갖는 영역이 가열 처리로 재배열되어, 영역은 CAAC가 되는 것을 제시한다.

[0411] 도 29의 (B) 및 (C)는 각각 성막 직후에 얻어진 CAAC-OS막 및 450°C의 가열 처리가 수행된 CAAC-OS막의 고분해능 평면 TEM 이미지이다. 도 29의 (B) 및 (C)를 비교하면, 450°C의 가열 처리가 수행된 CAAC-OS막이 더 군일한 막질을 갖는 것을 알 수 있다. 즉, 고온의 가열 처리는 CAAC-OS막의 막질을 향상시킨다.

[0412] 이러한 측정 방법에 의하여, 복수의 구조를 갖는 산화물 반도체막의 구조를 분석할 수 있는 경우가 있다.

[0413] <산화물 반도체막 및 산화물 도전체막>

[0414] 다음에, 산화물 반도체로 형성된 막(아래에서는 산화물 반도체막(OS)이라고 함) 및 화소 전극(19b)에 사용될 수 있는 산화물 도전체로 형성된 막(아래에서는 산화물 도전체막(OC)이라고 함)의 도전율의 온도 의존성에 대하여도 34를 참조하여 설명한다. 도 34에서, 가로축은 측정 온도(아래 가로축은 1/T을 나타내고 위 가로축은 T를

나타냄)를 나타내고, 세로축은 도전율($1/\rho$)을 나타낸다. 산화물 반도체막(OS)의 측정 결과는 삼각으로 나타내고, 산화물 도전체막(OC)의 측정 결과는 동그라미로 나타낸다.

[0415] 또한, 원자 비율 In:Ga:Zn=1:1:1.2의 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 유리 기판 위에 두께 35nm의 In-Ga-Zn 산화물막을 형성하고, 두께 35nm의 In-Ga-Zn 산화물막 위에 원자 비율 In:Ga:Zn=1:4:5의 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 두께 20nm의 In-Ga-Zn 산화물막을 형성하고, 질소 분위기에서 450°C로 가열 처리를 수행한 후, 질소와 산소의 혼합 가스의 분위기에서 450°C로 가열 처리를 수행하고, 산화물막 위에 플라즈마 CVD법에 의하여 산화질화 실리콘막을 형성함으로써, 산화물 반도체막(OS)을 포함하는 시료를 준비하였다.

[0416] 원자 비율 In:Ga:Zn=1:1:1의 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 유리 기판 위에 두께 100nm의 In-Ga-Zn 산화물막을 형성하고, 질소 분위기에서 450°C로 가열 처리를 수행한 후, 질소와 산소의 혼합 가스의 분위기에서 450°C로 가열 처리를 수행하고, 산화물막 위에 플라즈마 CVD법에 의하여 질화 실리콘막을 형성함으로써, 산화물 도전체막(OC)을 포함하는 시료를 준비하였다.

[0417] 도 34로부터 볼 수 있는 바와 같이, 산화물 도전체막(OC)의 도전율의 온도 의존성은 산화물 반도체막(OS)의 도전율의 온도 의존성보다 낮다. 대표적으로는, 80K~290K의 온도에서 산화물 도전체막(OC)의 도전율의 변동 범위는 -20%보다 높고 +20% 미만이다. 또는, 150K~250K의 온도에서의 도전율의 변동 범위는 -10%보다 높고 +10% 미만이다. 바꿔 말하면, 산화물 도전체는 축퇴 반도체이고 전도대단(conduction band edge)은 페르미 레벨과 일치 또는 실질적으로 일치한다. 따라서, 산화물 도전체막(OC)은 레지스터, 배선, 전극, 화소 전극, 또는 공통 전극 등에 사용될 수 있다.

[0418] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0419] (실시형태 7)

[0420] 실시형태 2에서 설명한 바와 같이, 산화물 반도체막을 사용한 트랜지스터에서, 오프 상태에서의 전류(오프 전류)를 낮게 할 수 있다. 따라서, 비디오 신호 등의 전기 신호를 더 긴 기간 유지할 수 있고, 기록 간격을 더 길게 설정할 수 있다.

[0421] 오프 전류가 낮은 트랜지스터를 사용함으로써, 본 실시형태의 액정 표시 장치는 적어도 2개의 구동 방법(모드)에 의하여 화상을 표시할 수 있다. 제 1 구동 모드는, 데이터를 프레임마다 순차적으로 재기록하는, 액정 표시 장치의 종래의 구동 방법이다. 제 2 구동 모드는 데이터 기록이 수행된 후 데이터 재기록을 정지하는 구동 방법(즉 리프레시 레이트가 저감된 구동 모드)이다.

[0422] 동영상은 제 1 구동 모드로 표시된다. 정지 화상은 프레임마다 화상 데이터를 변화하지 않고 표시할 수 있으므로, 프레임마다 데이터를 재기록할 필요가 없다. 정지 화상의 표시에서 액정 표시 장치를 제 2 구동 모드로 구동시키면 화면 플리커를 줄여 소비 전력을 저감할 수 있다.

[0423] 본 실시형태의 액정 표시 장치에 사용되는 액정 소자는 큰 용량을 축적할 수 있는 대면적 용량 소자를 갖는다. 따라서, 화소 전극의 전위의 유지 기간을 더 길게 할 수 있고, 리프레시 레이트가 저감된 이러한 구동 모드를 적용할 수 있다. 또한, 리프레시 레이트가 저감된 구동 모드에서 액정 표시 장치가 사용되더라도, 액정층에 인가된 전압의 변화를 오랫동안 억제할 수 있다. 이로써, 사용자에 의하여 화면의 플리커가 시인되는 것을 더 효율적으로 방지할 수 있다. 따라서, 소비 전력을 저감할 수 있고, 표시 품질을 향상시킬 수 있다.

[0424] 여기서 리프레시 레이트를 저감하는 효과에 대하여 설명한다.

[0425] 안정 피로는 두 가지 카테고리로 나뉜다: 신경 피로와 근육 피로다. 신경 피로는, 액정 표시 장치로부터 방출된 광 또는 깜박거리는 화상을 오랫동안 시청함으로 인하여 일어난다. 이것은 밝기가 눈의 망막이나 시신경, 및 뇌를 자극하여 피로케 하기 때문이다. 근육 피로는 초점을 조정하기 위하여 기능하는 모양체 근육의 혹사에 의하여 일어난다.

[0426] 도 30의 (A)는 종래의 액정 표시 장치의 표시를 도시한 개략도이다. 도 30의 (A)에 나타낸 바와 같이, 종래의 액정 표시 장치를 표시하기 위해서는 화상 재기록을 1초당 60회 수행한다. 이런 화면의 오랫동안의 시청은 사용자의 망막, 시신경, 및 뇌를 자극하여 안정 피로를 초래한다.

[0427] 본 발명의 일 형태에서, 오프 전류가 매우 낮은 트랜지스터(예를 들어, 산화물 반도체를 사용한 트랜지스터)는 액정 표시 장치의 화소부에 사용된다. 또한, 액정 소자는 대면적 용량 소자를 갖는다. 이들 구성요소에 의하

여 용량 소자에 축적된 전하의 누설을 억제할 수 있어 낮은 프레임 주파수라도 액정 표시 장치의 휘도를 유지할 수 있다.

[0428] 즉, 도 30의 (B)에 나타낸 바와 같이, 예를 들어 5초당 한 번의 낮은 빈도로 화상을 재기록할 수 있다. 이로써, 사용자가 같은 하나의 화상을 가능한 한 길게 볼 수 있게 되어, 사용자에 의하여 시인되는 화면의 풀리 커가 저감된다. 결과적으로, 사용자의 눈의 망막이나 신경 또는 뇌에 대한 자극이 완화되어, 신경 피로가 저감된다.

[0429] 본 발명의 일 형태는 눈이 편한 액정 표시 장치를 제공할 수 있다.

[0430] 또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0431] (실시형태 8)

[0432] 본 실시형태에서는, 본 발명의 일 형태의 표시 장치를 각각 사용한 전자 기기의 구조예에 대하여 설명한다. 또한, 본 실시형태에서, 본 발명의 일 형태의 표시 장치를 사용한 표시 모듈에 대하여 도 31을 참조하여 설명한다.

[0433] 도 31의 표시 모듈(8000)에서, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 및 배터리(8011)가 상부 커버(8001)와 하부 커버(8002) 사이에 제공된다. 또한, 백라이트 유닛(8007), 배터리(8011), 및 터치 패널(8004) 등은 제공되지 않는 경우가 있다.

[0434] 본 발명의 일 형태의 표시 장치는 예를 들어 표시 패널(8006)에 사용될 수 있다.

[0435] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 사이즈는, 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 따라 적절히 바꿀 수 있다.

[0436] 터치 패널(8004)은, 저항식 터치 패널 또는 용량식 터치 패널일 수 있고, 표시 패널(8006)과 중첩되도록 형성될 수 있다. 표시 패널(8006)의 카운터 기판(밀봉 기판)은 터치 패널 기능을 가질 수 있다. 광학식 터치 패널을 형성하기 위하여 표시 패널(8006)의 각 화소에 광 센서가 제공되어도 좋다. 용량식 터치 패널을 얻기 위하여, 표시 패널(8006)의 각 화소에 터치 센서를 위한 전극이 제공되어도 좋다.

[0437] 백라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)은 백라이트 유닛(8007)의 단부에 제공되고, 광 확산판이 사용되어도 좋다.

[0438] 프레임(8009)은 표시 패널(8006)을 보호하고, 프린트 기판(8010)의 동작에 의하여 생기는 전자기파를 차단하기 위한 전자기 실드로서도 기능한다. 프레임(8009)은 방열판으로서도 기능할 수 있다.

[0439] 프린트 기판(8010)에는 전원 회로, 및 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원, 또는 별도 제공된 배터리(8011)를 사용한 전원이 사용되어도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에 생략될 수 있다.

[0440] 표시 모듈(8000)에는, 편광판, 위상차판, 또는 프리즘 시트 등의 부재가 추가로 제공되어도 좋다.

[0441] 도 32의 (A)~(D)는 각각 본 발명의 일 형태의 표시 장치를 포함한 전자 기기의 외관도이다.

[0442] 전자 기기의 예는, 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화 수화기(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대용 게임기, 휴대용 정보 단말기, 음향 재생 장치, 및 과칭코기 등의 대형 게임기 등이다.

[0443] 도 32의 (A)는 본체(1001), 하우징(1002), 및 표시부(1003a 및 1003b) 등을 포함하는 휴대용 정보 단말기를 도시한 것이다. 표시부(1003b)는 터치 패널이다. 표시부(1003b)에 표시된 키보드 버튼(1004)을 터치함으로써, 화면을 조작할 수 있고 문자를 입력할 수 있다. 물론, 표시부(1003a)가 터치 패널이어도 좋다. 상술한 실시형태들에서 설명한 트랜지스터 중 어느 것을 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고 표시부(1003a 또는 1003b)에 사용함으로써, 신뢰성이 높은 휴대용 정보 단말기를 제공할 수 있다.

[0444] 도 32의 (A)에 도시된 휴대용 정보 단말기는 다양한 정보(예를 들어, 정지 화상, 동영상, 및 문자 화상)를 표시하는 기능; 달력, 날짜, 및 시간 등을 표시부에 표시하는 기능; 표시부에 표시되는 정보를 조작 또는 편집하는 기능; 및 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 하우징의 뒷

면 또는 측면에 외부 접속 단자(이어폰 단자 또는 USB 단자 등) 및 기록 매체 삽입부 등이 제공되어도 좋다.

[0445] 도 32의 (A)에 도시된 휴대용 정보 단말기는 데이터를 무선으로 전송 및 수신하여도 좋다. 무선 통신을 통하여, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하여 다운로드할 수 있다.

[0446] 도 32의 (B)는, 본체(1021)에 표시부(1023), 휴대용 음악 플레이어를 귀에 장착시킬 수 있는 고정부(1022), 스피커, 조작 버튼(1024), 및 외부 메모리 슬롯(1025) 등을 포함하는 휴대용 음악 플레이어를 도시한 것이다. 상술한 실시형태들에서 설명한 트랜지스터 중 어느 것을 스위칭 소자로서 사용하여 액정 패널 또는 유기 발광 패널을 제작하고 표시부(1023)에 사용함으로써, 신뢰성이 높은 휴대용 음악 플레이어를 제공할 수 있다.

[0447] 또한, 도 32의 (B)에 도시된 휴대용 음악 플레이어가 안테나, 마이크로폰 기능, 또는 무선 통신 기능을 갖고, 휴대 전화와 함께 사용될 때, 사용자는 자동차 등을 운전하면서 무선으로 핸즈프리의 통화가 가능하다.

[0448] 도 32의 (C)는 2개의 하우징(하우징(1030) 및 하우징(1031))을 포함하는 휴대 전화를 도시한 것이다. 하우징(1031)은, 표시 패널(1032), 스피커(1033), 마이크로폰(1034), 포인팅 디바이스(1036), 카메라(1037), 및 외부 접속 단자(1038) 등을 포함한다. 하우징(1030)에는, 휴대 전화를 충전하기 위한 태양 전지(solar cell)(1040), 및 외부 메모리 슬롯(1041) 등이 제공된다. 또한, 안테나는 하우징(1031)에 내장된다. 상술한 실시형태들에서 설명한 트랜지스터 중 어느 것을 표시 패널(1032)에 사용함으로써, 신뢰성이 높은 휴대 전화를 제공할 수 있다.

[0449] 또한, 표시 패널(1032)은 터치 패널을 포함한다. 도 32의 (C)에서, 화상으로서 표시된 복수의 조작 키(1035)를 점선으로 나타내었다. 또한, 태양 전지(1040)로부터 출력되는 전압을, 각 회로를 위하여 충분히 높게 되도록 증가시키는 승압 회로도 포함된다.

[0450] 표시 패널(1032)에서, 적용 모드에 따라 표시의 방향이 적절히 변화된다. 또한, 휴대 전화는, 동일 표면 측에 카메라(1037) 및 표시 패널(1032)을 갖고, 영상 전화로서 사용될 수도 있다. 스피커(1033) 및 마이크로폰(1034)은 음성 통화뿐만 아니라, 영상 전화 통화, 녹음, 및 음향 재생 등에 사용될 수 있다. 또한, 도 32의 (C)에 도시된 바와 같이 전개된 상태의 하우징(1030 및 1031)은 슬라이드함으로써 하나가 다른 하나 위에 겹쳐진 상태로 변화할 수 있다. 따라서, 휴대 전화의 사이즈가 저감될 수 있어 휴대 전화를 휴대하기 적합하게 할 수 있다.

[0451] 외부 접속 단자(1038)는 AC 어댑터, 및 USB 케이블 등의 각종 케이블에 접속될 수 있어, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1041)에 기록 매체를 삽입함으로써, 대량의 데이터를 저장 및 이동시킬 수 있다.

[0452] 또한, 상술한 기능에 더하여, 적외선 통신 기능 또는 텔레비전 수신 기능 등이 제공되어도 좋다.

[0453] 도 32의 (D)는 텔레비전 세트의 예를 도시한 것이다. 텔레비전 세트(1050)에서, 표시부(1053)는 하우징(1051)에 제공된다. 표시부(1053)에 화상이 표시될 수 있다. 또한, 하우징(1051)을 지지하는 스탠드(1055)에 CPU가 내장된다. 상술한 실시형태들에서 설명한 트랜지스터들 중 어느 것을 표시부(1053) 및 CPU에 사용함으로써, 텔레비전 세트(1050)는 높은 신뢰성을 가질 수 있다.

[0454] 텔레비전 세트(1050)는 하우징(1051)의 조작 스위치 또는 별개의 리모트 컨트롤러로 조작될 수 있다. 또한, 리모트 컨트롤러에는 이 리모트 컨트롤러로부터 출력되는 데이터를 표시하기 위한 표시부가 제공되어도 좋다.

[0455] 또한, 텔레비전 세트(1050)에는 수신기 및 모뎀 등이 제공된다. 수신기를 사용하여, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트가 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신기로부터 수신기로) 또는 양방향(송신기와 수신기 사이 또는 수신기들 사이)의 정보 통신이 수행될 수 있다.

[0456] 또한, 텔레비전 세트(1050)에는 외부 접속 단자(1054), 기억 매체 녹화 및 재생부(1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속 단자(1054)는 USB 케이블 등의 각종 케이블에 접속될 수 있어, 퍼스널 컴퓨터 등과 데이터 통신이 가능하다. 기억 매체 녹화 및 재생부(1052)에 디스크형 기억 매체가 삽입되고, 기억 매체에 저장된 데이터의 판독 및 기억 매체로의 데이터 기록을 수행할 수 있다. 또한, 외부 메모리 슬롯에 삽입된 외부 메모리(1056)에 데이터로서 저장된 화상 또는 영상 등을 표시부(1053)에 표시될 수 있다.

[0457] 또한, 상술한 실시형태들에서 설명한 트랜지스터의 오프 상태의 누설 전류가 매우 작은 경우, 이 트랜지스터를 외부 메모리(1056) 또는 CPU에 사용하면, 텔레비전 세트(1050)는 높은 신뢰성과 충분히 저감된 소비 전력을 가질 수 있다.

[0458]

또한, 본 실시형태에서 설명한 구조 및 방법 등은 다른 실시형태들에서 설명하는 구조 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.

부호의 설명

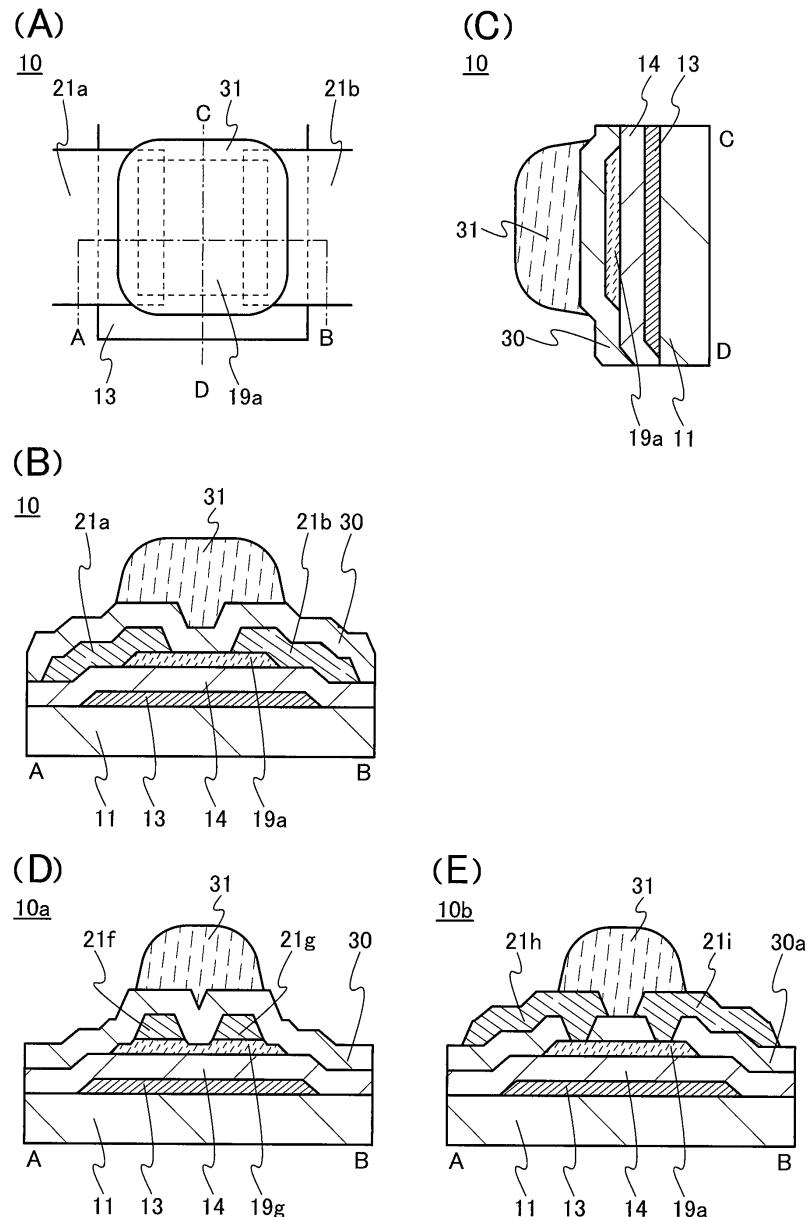
[0459]

10: 트랜지스터, 10a: 트랜지스터, 10b: 트랜지스터, 11: 기판, 12: 도전막, 13: 도전막, 14: 게이트 절연막, 15: 질화물 절연막, 16: 산화물 절연막, 17: 산화물 절연막, 18: 산화물 반도체막, 19a: 산화물 반도체막, 19b: 화소 전극, 19c: 산화물 반도체막, 19d: 막, 19f: 산화물 반도체막, 19g: 산화물 반도체막, 20: 도전막, 21a: 도전막, 21b: 도전막, 21b_1: 영역, 21b_2: 영역, 21c: 공통선, 21d: 도전막, 21e: 도전막, 21f: 도전막, 21g: 도전막, 21h: 도전막, 21i: 도전막, 22: 산화물 절연막, 23: 산화물 절연막, 24: 산화물 절연막, 25: 산화물 절연막, 26: 질화물 절연막, 27: 질화물 절연막, 28: 도전막, 29: 공통 전극, 29a: 공통 전극, 29a_1: 영역, 29a_2: 영역, 29b: 도전막, 29c: 도전막, 29d: 도전막, 30: 무기 절연막, 30a: 무기 절연막, 31: 유기 절연막, 31a: 유기 절연막, 31b: 유기 절연막, 31c: 유기 절연막, 33: 배향막, 37a: 다층막, 37b: 다층막, 38a: 다층막, 38b: 다층막, 39a: 산화물 반도체막, 39b: 산화물 반도체막, 40: 개구, 41: 개구, 41a: 개구, 42: 개구, 49a: 산화물 반도체막, 49b: 산화물 반도체막, 70: 전자총 채임버, 72: 광학계, 74: 시료 채임버, 76: 광학계, 78: 카메라, 80: 관찰 채임버, 82: 필름 채임버, 84: 전자, 88: 물질, 92: 형광판, 101: 화소부, 102: 트랜지스터, 102a: 트랜지스터, 102b: 트랜지스터, 102c: 트랜지스터, 103: 화소, 103a: 화소, 103b: 화소, 103c: 화소, 104: 주사선 구동 회로, 105: 용량 소자, 105a: 용량 소자, 105b: 용량 소자, 105c: 용량 소자, 106: 신호선 구동 회로, 107: 주사선, 109: 신호선, 115: 용량선, 121: 액정 소자, 131: 발광 소자, 133: 트랜지스터, 135: 트랜지스터, 137: 배선, 139: 배선, 141: 배선, 320: 액정층, 322: 액정 소자, 322a: 액정 소자, 342: 기판, 344: 차광막, 346: 착색막, 348: 절연막, 350: 도전막, 352: 배향막, 1001: 본체, 1002: 하우징, 1003a: 표시부, 1003b: 표시부, 1004: 키보드 버튼, 1021: 본체, 1022: 고정부, 1023: 표시부, 1024: 조작 버튼, 1025: 외부 메모리 슬롯, 1030: 하우징, 1031: 하우징, 1032: 표시 패널, 1033: 스피커, 1034: 마이크로폰, 1035: 조작 키, 1036: 포인팅 디바이스, 1037: 카메라, 1038: 외부 접속 단자, 1040: 태양 전지, 1041: 외부 메모리 슬롯, 1050: 텔레비전 세트, 1051: 하우징, 1052: 기억 매체 녹화 및 재생부, 1053: 표시부, 1054: 외부 접속 단자, 1055: 스탠드, 1056: 외부 메모리, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널, 8007: 백라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 프린트 기판, 8011: 배터리.

본 출원은 2013년 10월 22일에 일본 특허청에 출원된 일련 번호 2013-219516의 일본 특허 출원 및 2014년 3월 11일에 일본 특허청에 출원된 일련 번호 2014-047260의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

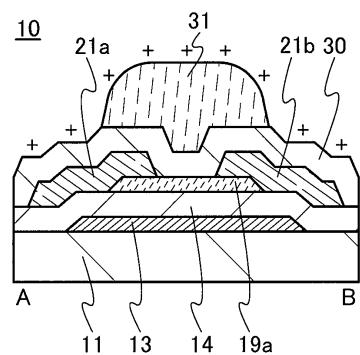
도면

도면1

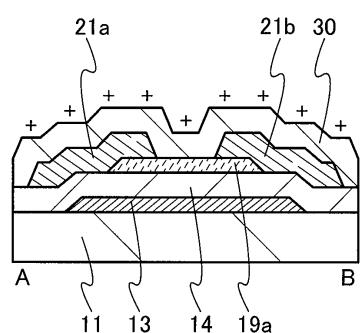


도면2

(A)

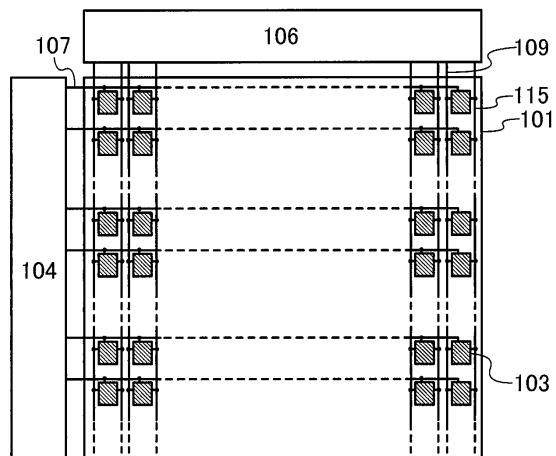


(B)

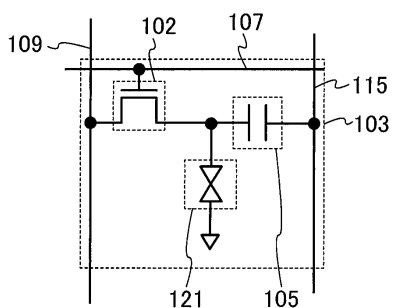


도면3

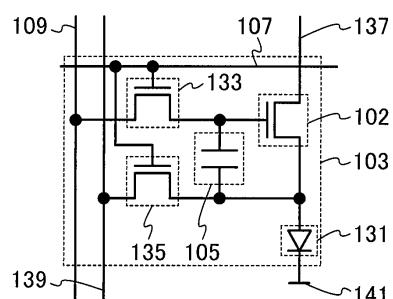
(A)



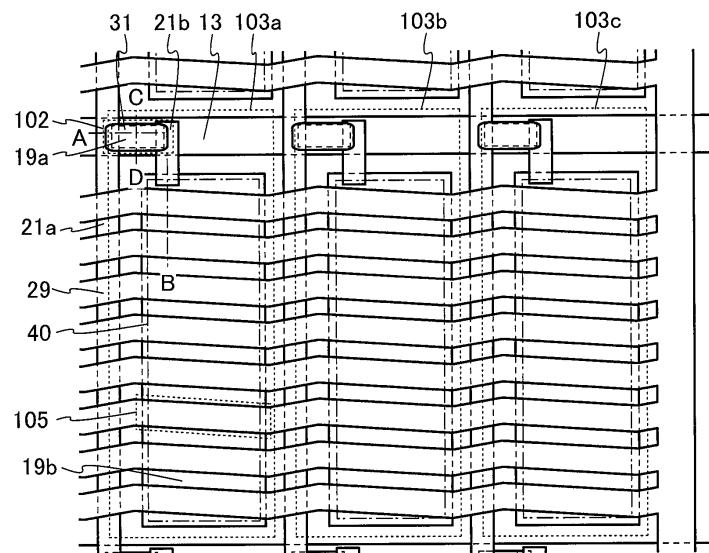
(B)



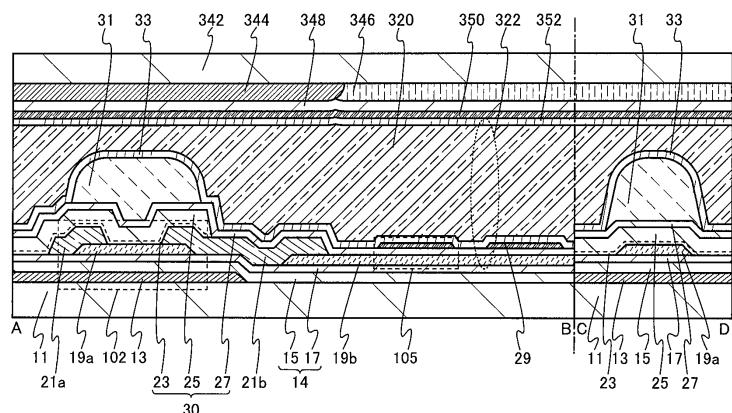
(C)



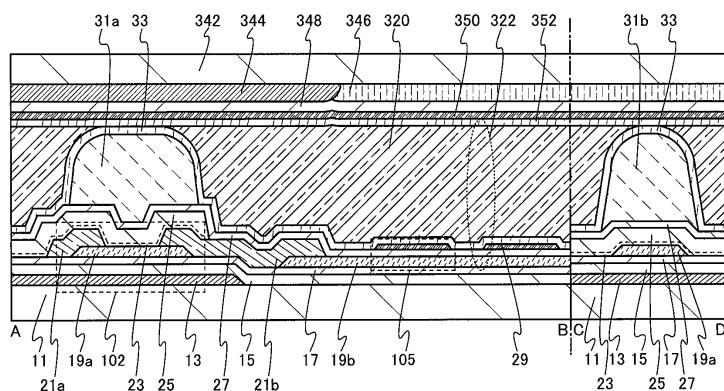
도면4



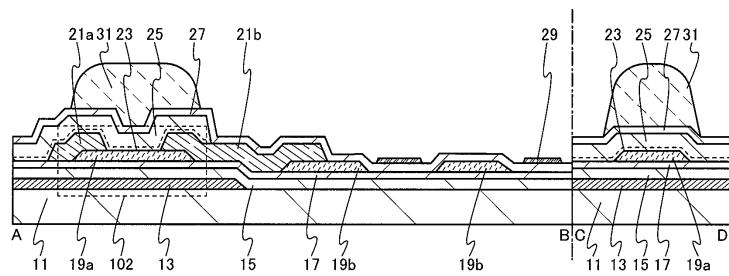
도면5



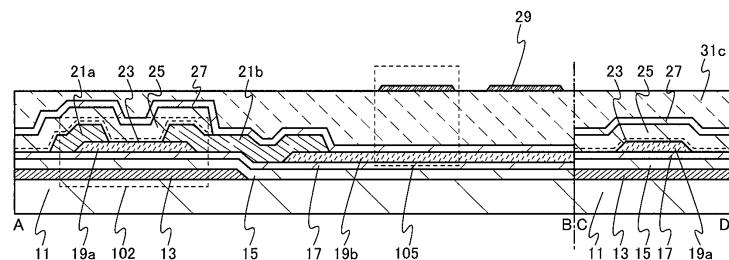
도면6



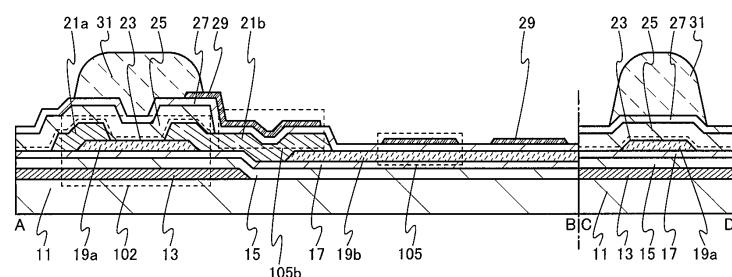
도면7



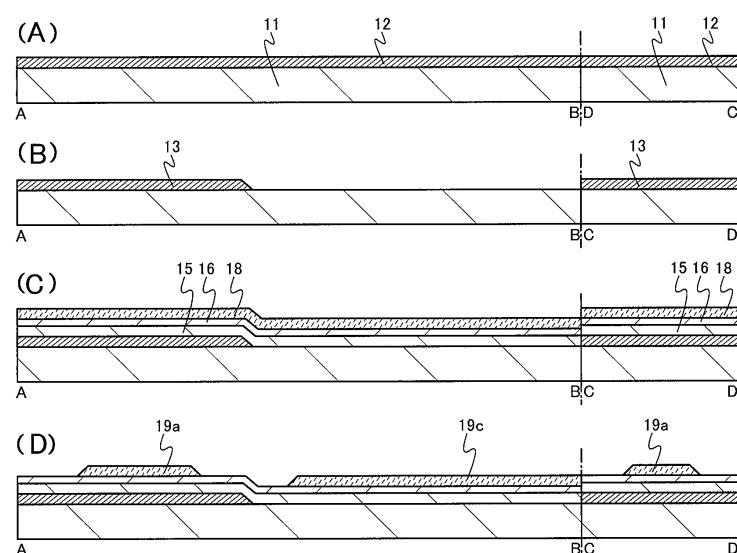
도면8



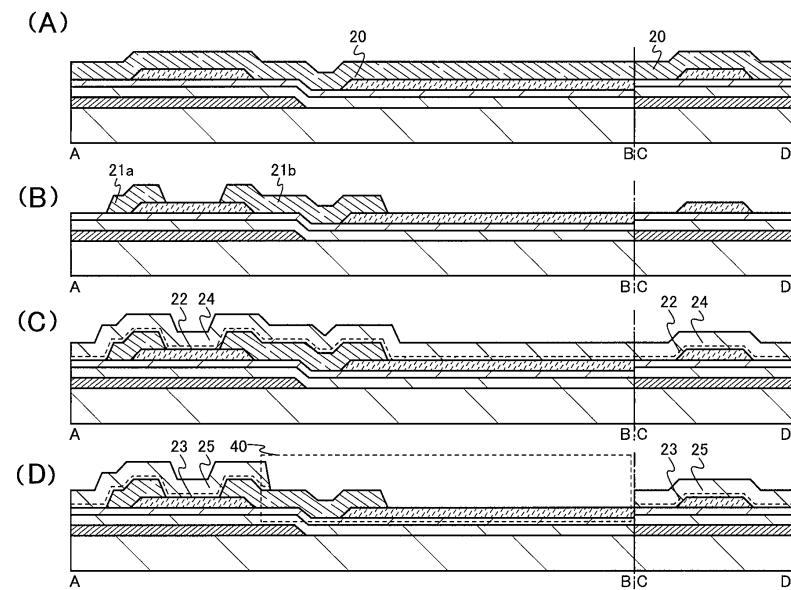
도면9



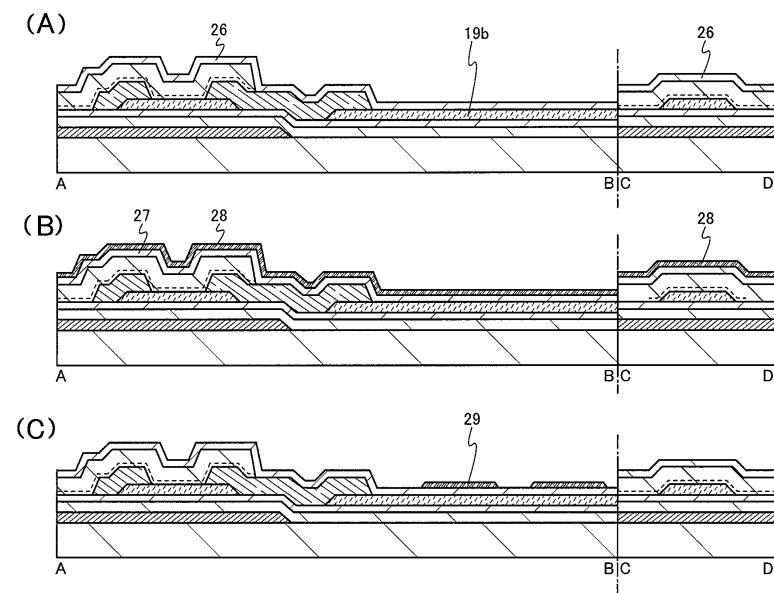
도면10



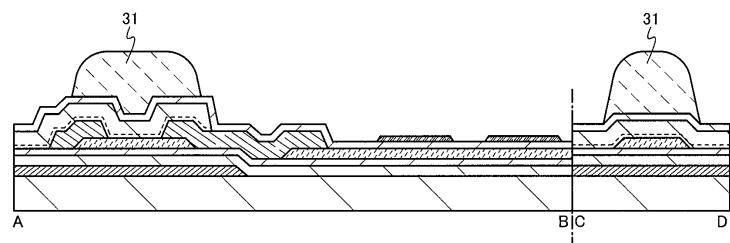
도면11



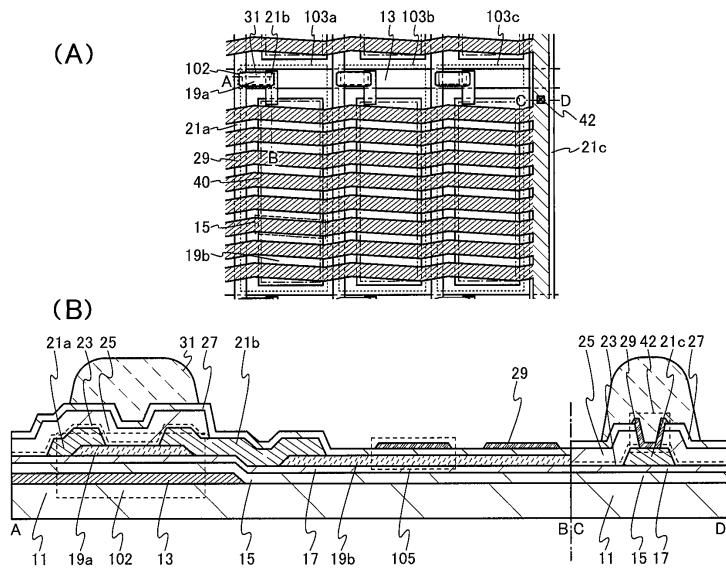
도면12



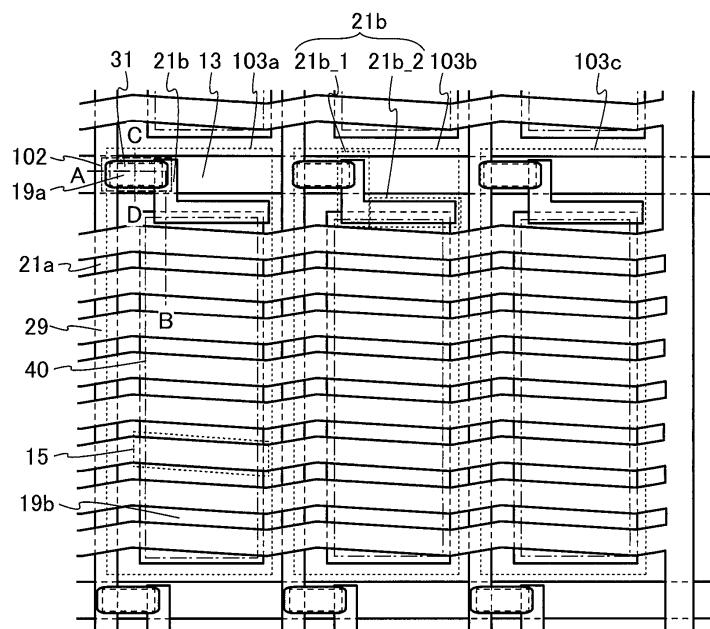
도면13



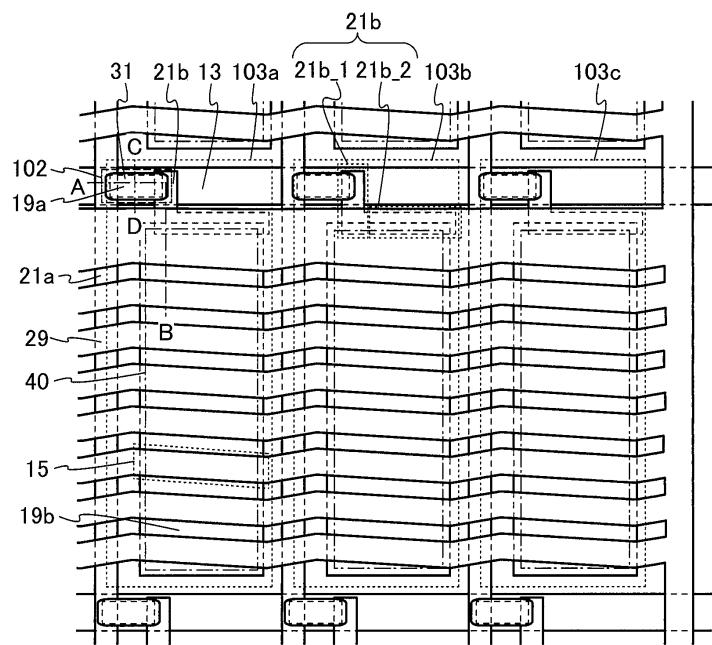
도면14



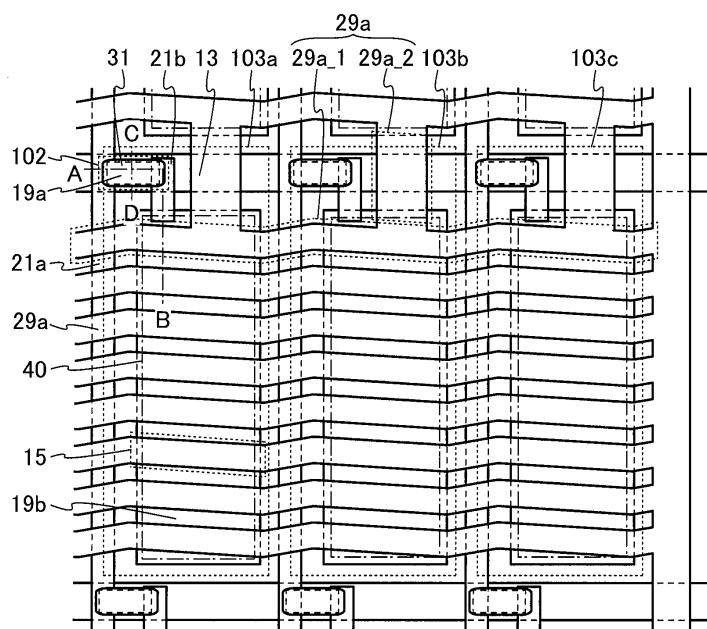
도면15



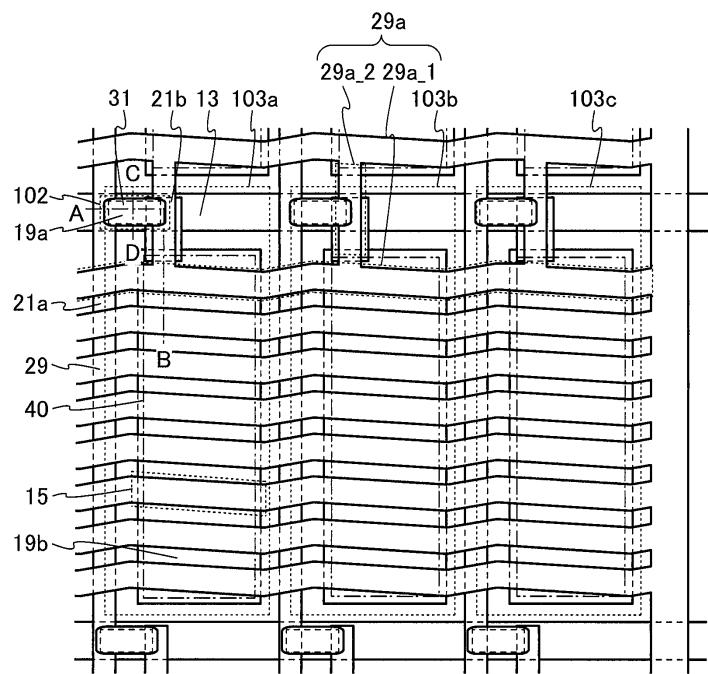
도면16



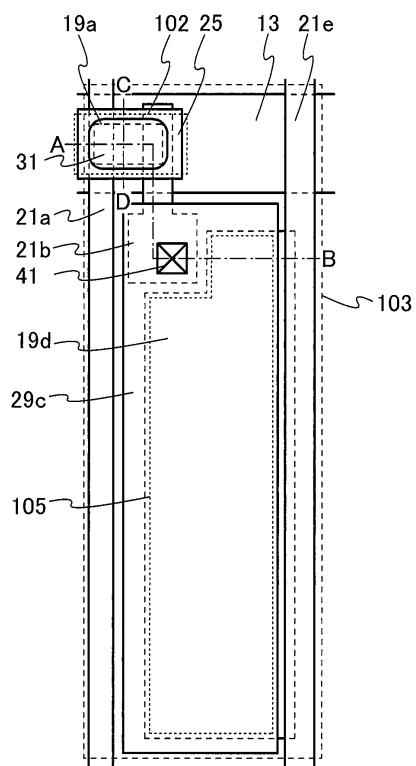
도면17



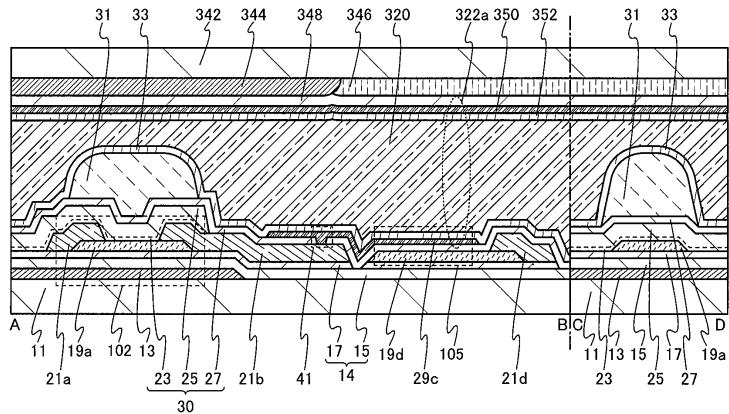
도면18



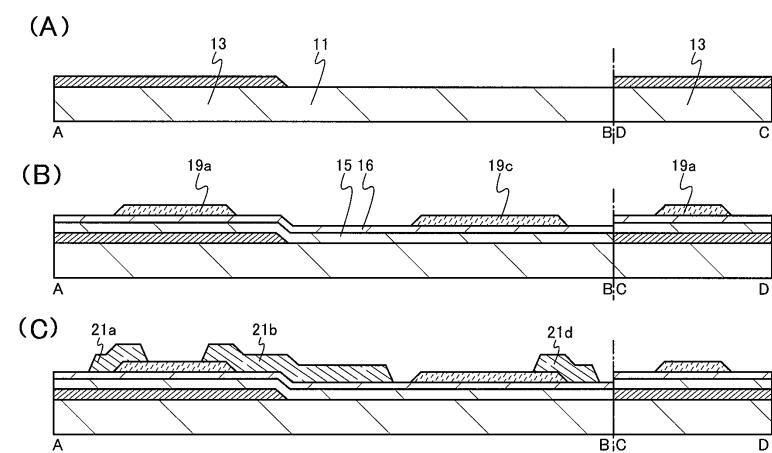
도면19



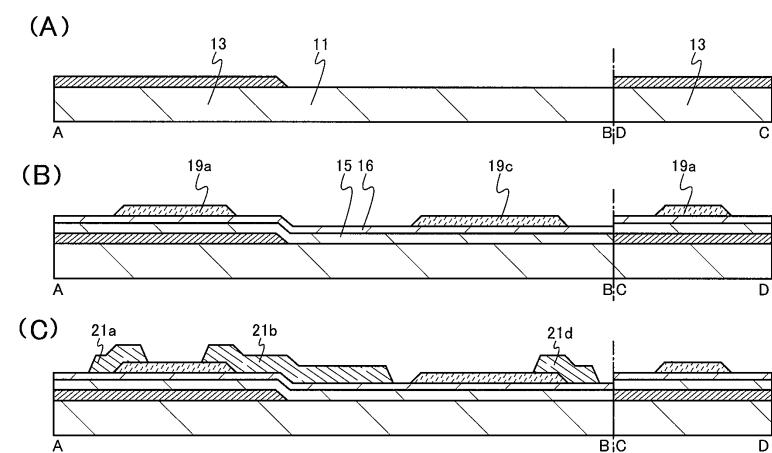
도면20



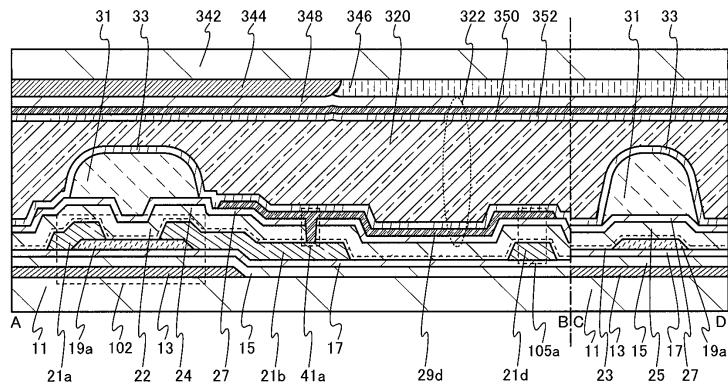
도면21



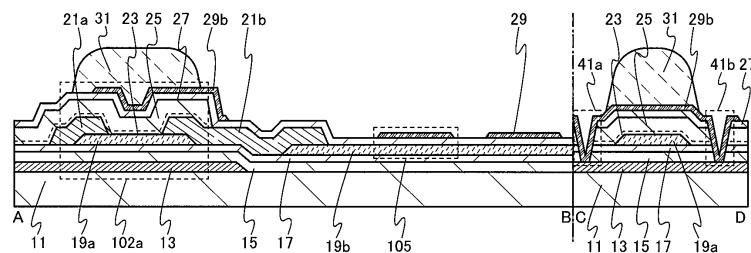
도면22



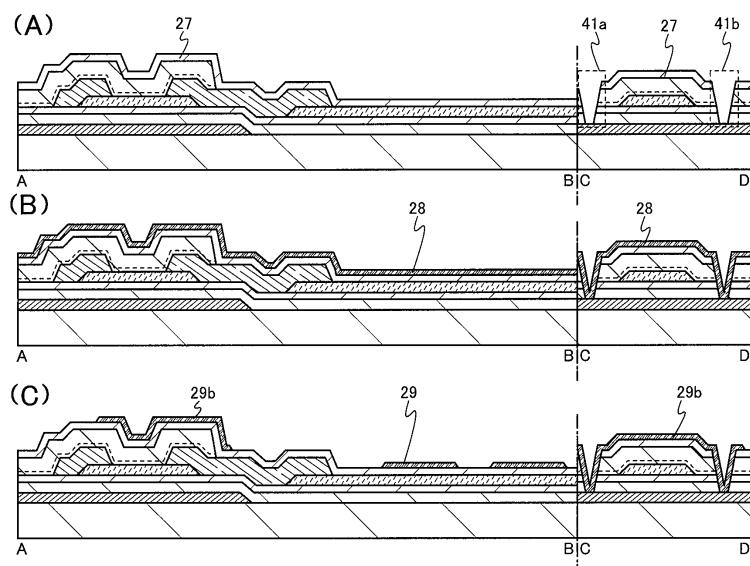
도면23



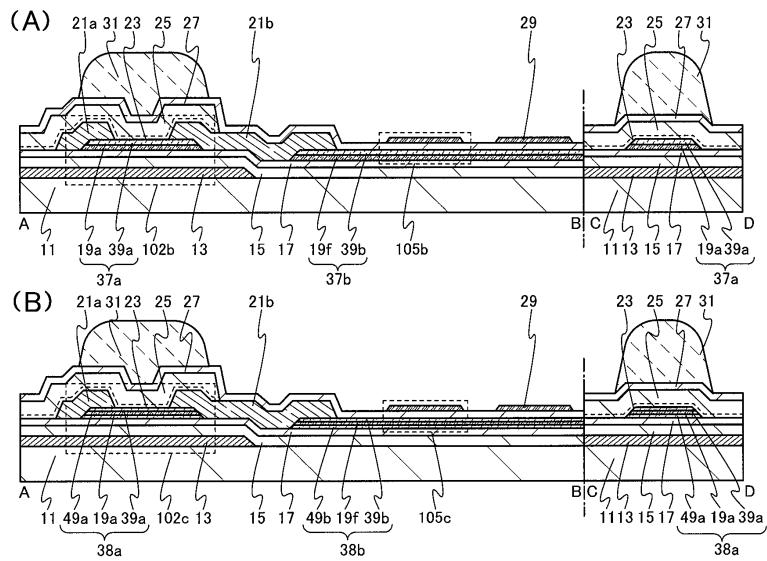
도면24



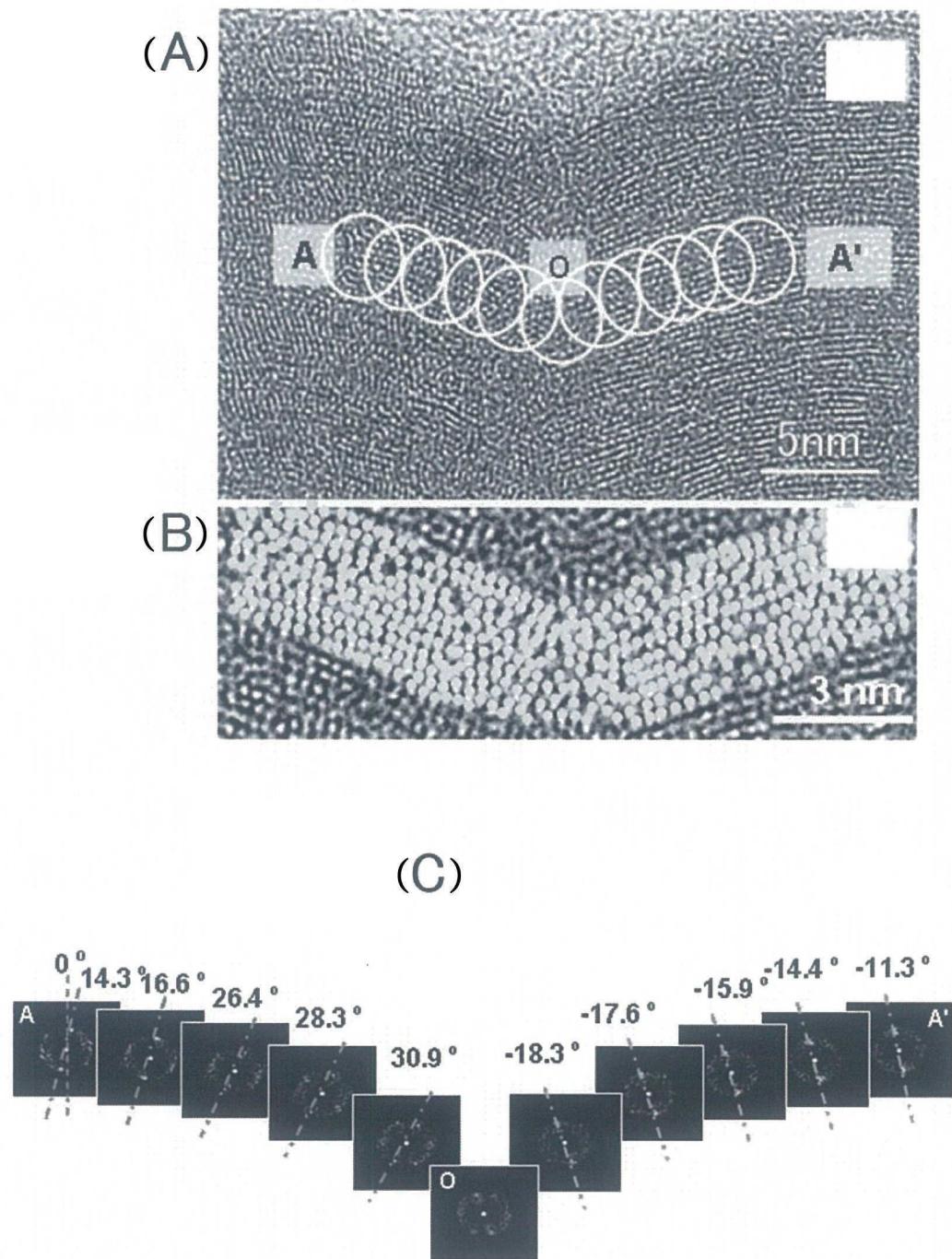
도면25



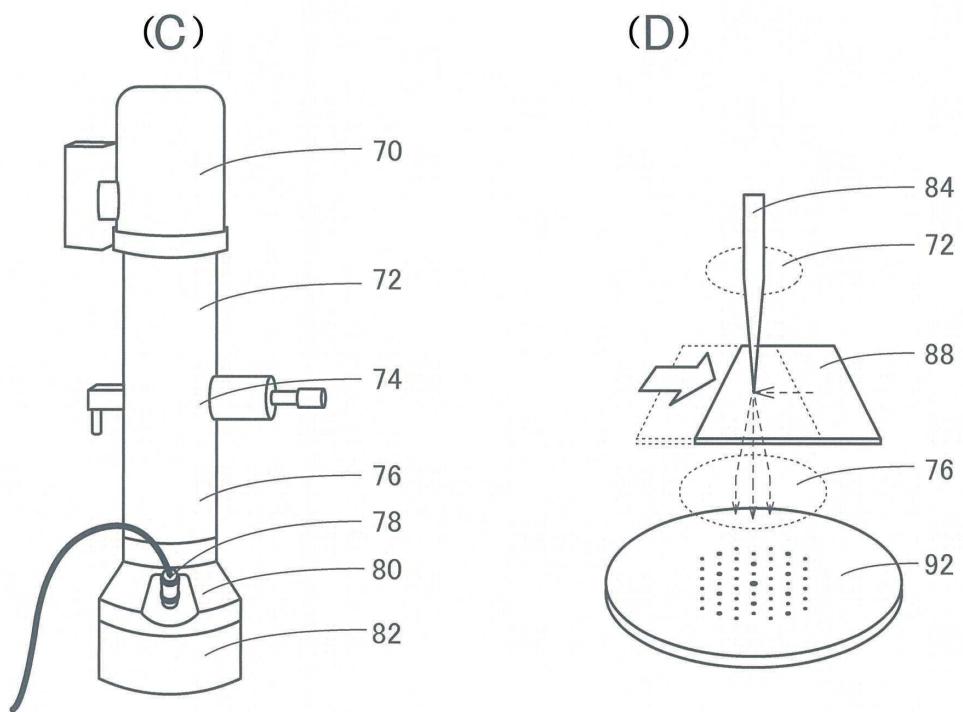
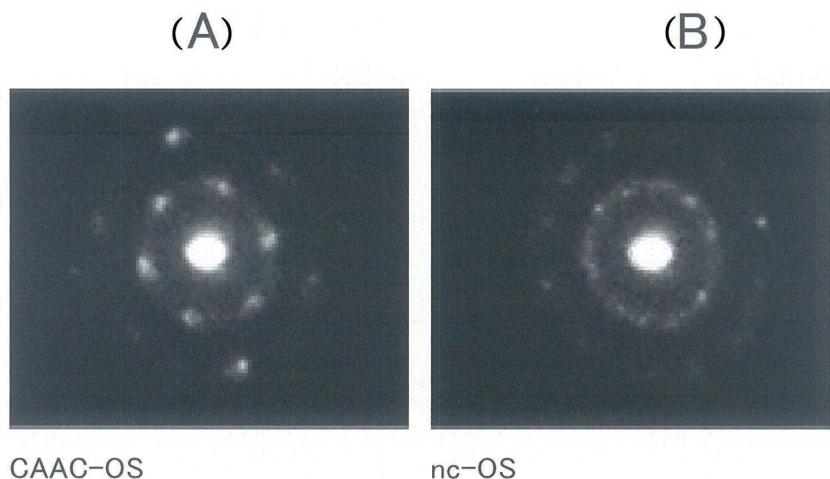
도면26



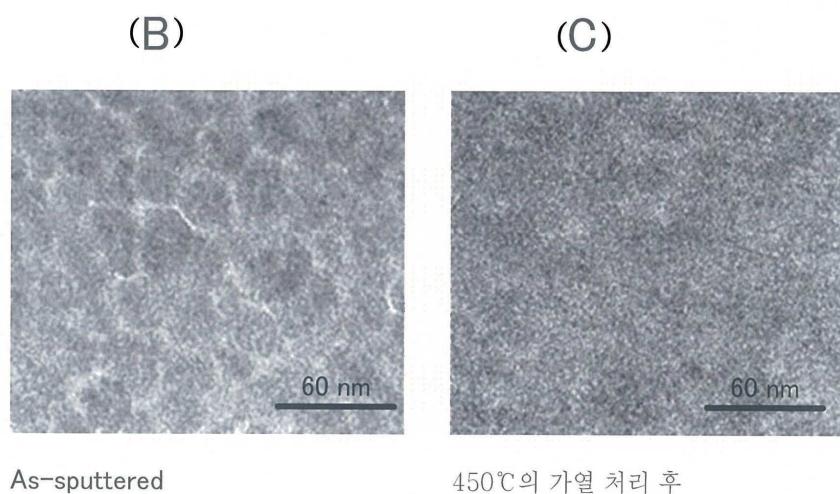
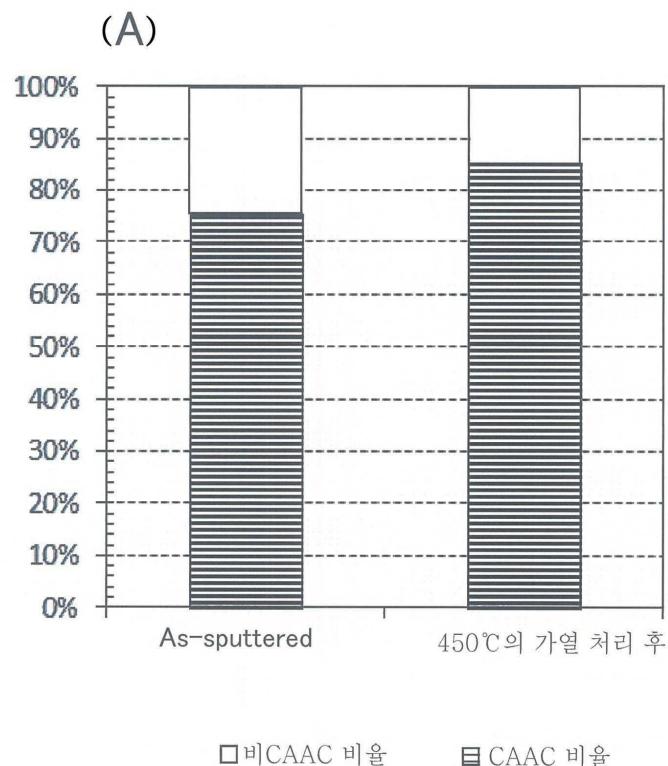
도면27



도면28

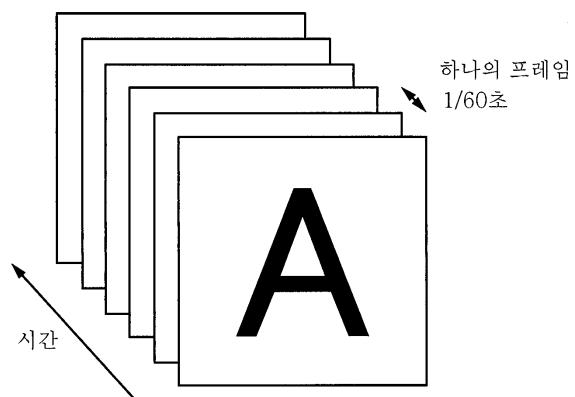


도면29

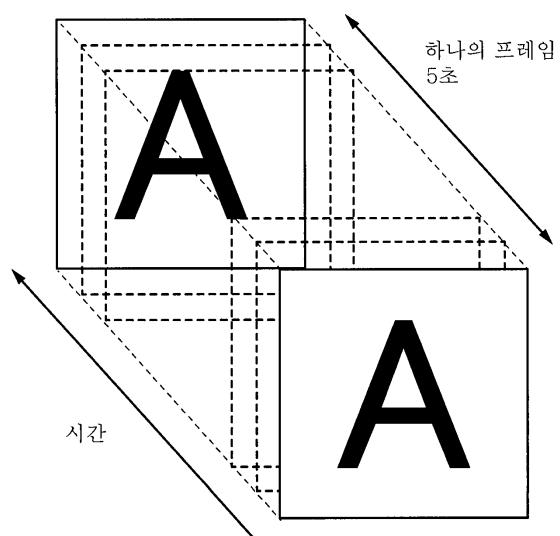


도면30

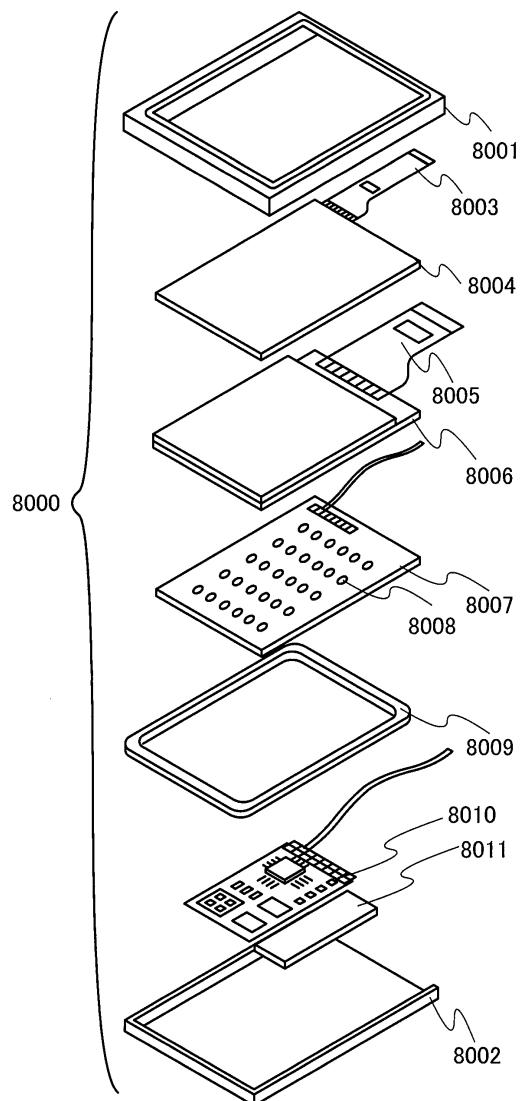
(A)



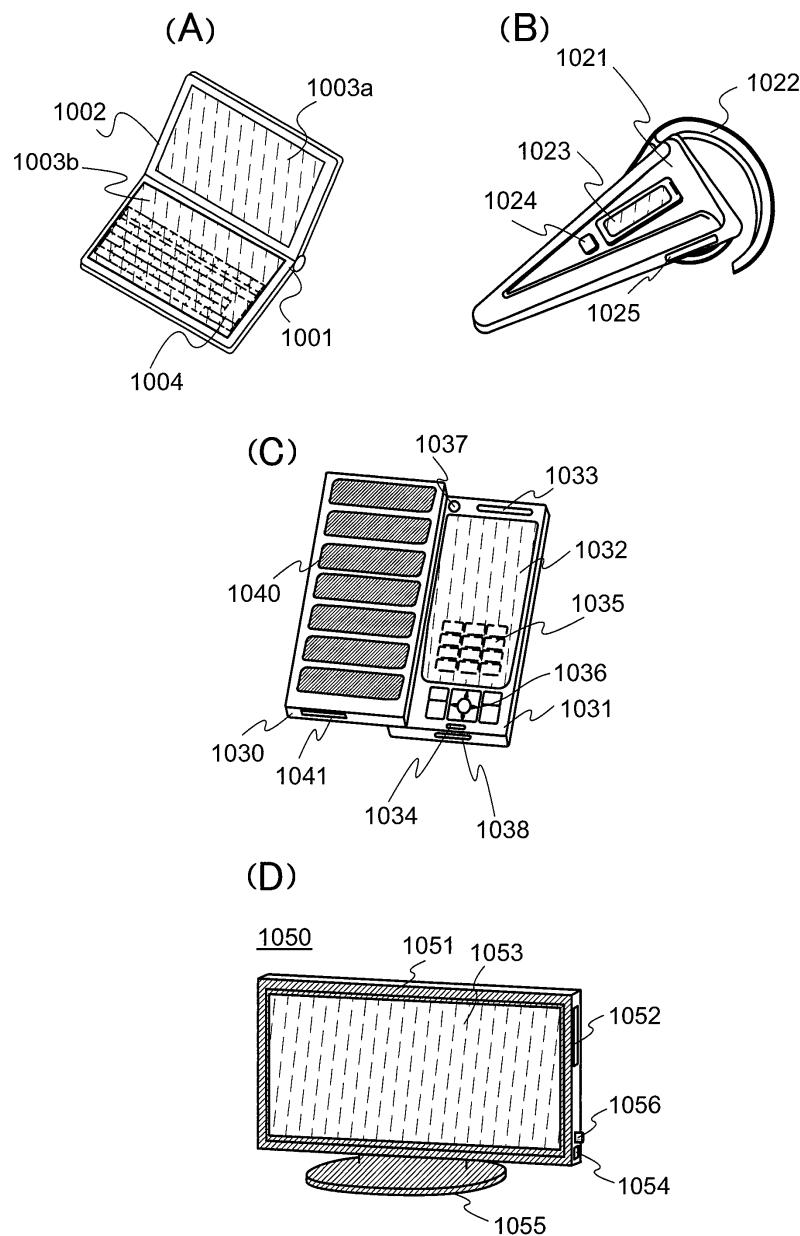
(B)



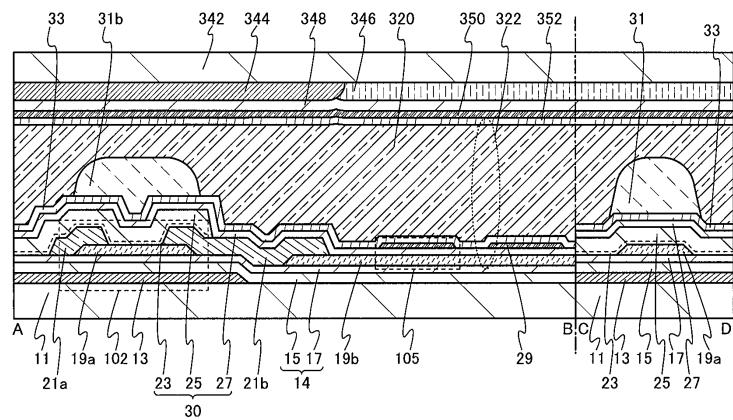
도면31



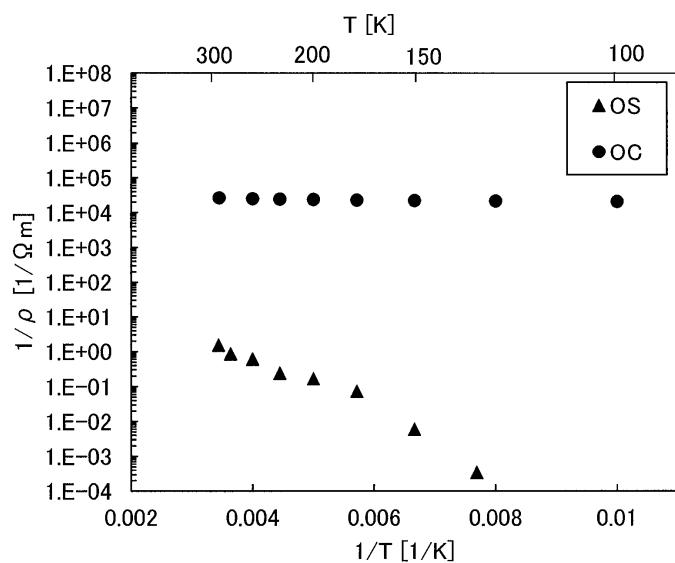
도면32



도면33



도면34



도면35

