



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0103896

(43) 공개일자 2015년09월14일

(51) 국제특허분류(Int. Cl.)

H03K 19/0175 (2006.01) H04L 25/02 (2006.01)

(21) 출원번호 10-2014-0025528

(22) 출원일자 2014년03월04일

심사청구일자 2014년03월04일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

백영현

대구 대구광역시 동구 신암남로28길 19 (신암4동)
(뒷면에 계속)

(74) 대리인

홍성욱, 한승범, 유병욱, 심경식

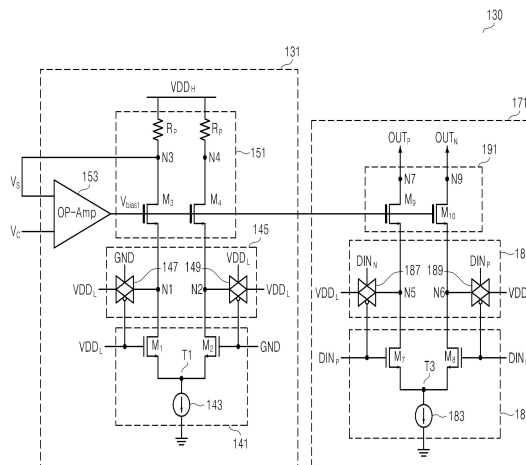
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전력소모를 줄일 수 있는 고효율 출력 드라이버 및 상기 출력 드라이버를 포함하는 송신기

(57) 요약

전력소모를 줄일 수 있는 고효율 출력 드라이버 및 상기 출력 드라이버를 포함하는 송신기가 개시된다. 상기 출력 드라이버는, 테일을 포함하는 차동증폭부; 상기 차동증폭부의 입력신호에 기초하여 상기 차동증폭부의 출력단에 제1전압을 공급하는 스위치부; 및 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 출력부를 포함할 수 있다. 본 발명에 의하면 출력드라이버의 전력소모를 줄일 수 있고 전송효율을 높일 수 있다.

대표도 - 도5



(72) 발명자

배상근

서울특별시 종로구 난계로 251, 614호 (승인동, 동양파라빌)

김가빈

서울특별시 강북구 삼각산로34길 8-3, 301호 (수유동, 청솔하이빌)

명세서

청구범위

청구항 1

테일을 포함하는 차동증폭부;

상기 차동증폭부의 입력신호에 기초하여 상기 차동증폭부의 출력단에 제1전압을 공급하는 스위치부; 및
바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 출력부를 포함하는 출력 드라이버.

청구항 2

제1항에 있어서, 상기 스위치부는,

적어도 하나의 트랜스미션게이트로 구성되는 출력 드라이버.

청구항 3

제1항에 있어서, 상기 출력 드라이버는,

상기 출력 드라이버의 출력전압을 스케일링 다운하고 스케일 다운한 전압과 제어전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 바이어스신호 발생부를 더 포함하는 출력 드라이버.

청구항 4

제3항에 있어서, 상기 바이어스신호 발생부는,

상기 제1전압과 제2 전압의 차이를 증폭하는 증폭하는 바이어싱 차동증폭부;

상기 바이어싱 차동증폭부의 입력신호에 기초하여 상기 바이어싱 차동증폭부의 출력단에 상기 제1전압을 공급하는 바이어싱 스위치부;

상기 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 바이어싱 출력부; 및

상기 바이어싱 출력부의 출력전압과 상기 비교전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 비교기를 포함하는 출력 드라이버.

청구항 5

제1항에 있어서, 상기 스위치부는,

적어도 하나의 트랜스미션게이트로 구성되는 출력 드라이버.

청구항 6

출력 드라이버;

상기 출력 드라이버의 출력전압을 제어하기 위한 제어신호를 출력하는 제어부;

상기 제어신호에 기초하여 상기 출력 드라이버의 출력신호에 대한 프리엠퍼시스를 수행하는 프리엠퍼시스 드라이버; 및

상기 상기 출력 드라이버의 출력부에 대한 소스터미네이션(Source Termination)을 수행하는 소스터미네이션부를 포함하는 송신기.

청구항 7

제6항에 있어서, 상기 출력 드라이버는,

테일을 포함하는 차동증폭부;

상기 차동증폭부의 입력신호에 기초하여 상기 차동증폭부의 출력단에 제1전압을 공급하는 스위치부; 및
바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 상기 출력 드라이버의 출력전압으로서 출력하는 출력부를 포함하는 송신기.

청구항 8

제6항에 있어서, 상기 스위치부는,
적어도 하나의 트랜스미션게이트로 구성되는 송신기.

청구항 9

제6항에 있어서, 상기 출력 드라이버는,
상기 출력 드라이버의 출력전압을 스케일링 다운하고 스케일 다운한 전압과 제어전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 바이어스신호 발생부를 더 포함하는 송신기.

청구항 10

제9항에 있어서, 상기 바이어스신호 발생부는,
상기 제1전압과 제2 전압의 차이를 증폭하는 증폭하는 바이어싱 차동증폭부;
상기 바이어싱 차동증폭부의 입력신호에 기초하여 상기 바이어싱 차동증폭부의 출력단에 상기 제1전압을 공급하는 바이어싱 스위치부;
상기 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 바이어싱 출력부; 및
상기 바이어싱 출력부의 출력전압과 상기 비교전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 비교기를 포함하는 송신기.

청구항 11

제10항에 있어서, 상기 바이어싱 스위치부는,
적어도 하나의 트랜스미션게이트로 구성되는 송신기.

발명의 설명

기술 분야

[0001] 본 발명의 일 실시예는 출력 드라이버 및 이를 포함하는 송신기에 관한 것으로, 특히 전력소모를 줄일 수 있고 전송효율을 높일 수 있는 HDMI(High-Definition Multimedia Interface) 출력 드라이버 및 이를 포함하는 송신기에 관한 것이다.

배경 기술

[0002] 최근 디스플레이 및 사운드의 성능이 좋아지면서 이에 따른 관련 데이터의 크기가 커지게 되고 상기 데이터의 입출력을 담당하는 인터페이스의 성능도 높아지고 있다. 최근 배포된 고선명 멀티미디어 인터페이스(HDMI, High-Definition Multimedia Interface)) 2.0a 버전은 종래 3.4Gbps의 최대 데이터 전송속도를 지원한 버전과는 달리 최대 전송 속도가 6Gbps까지 지원되도록 재정의되었다.

[0003] 한편, 상기 데이터 전송 속도가 증가하게 되면 드라이버의 전력 소모도 함께 증가되고, 전송되는 신호의 품질이 전송 채널에 의해서 현격히 나빠지는 현상이 발생될 수 있다.

[0004] 최근 재정의된 고선명 멀티미디어 인터페이스 2.0a 버전에서는 출력 드라이버의 공급 전압이 3.3(V)로 재정의되어, 게이트가 두꺼운 MOS펫을 사용해서 드라이버가 설계되어야 한다. 그러나, 게이트가 두꺼울수록 높은 전압을 견딜 수 있지만 전송속도가 낮으며, 상기 게이트의 두께가 낮을수록 전송속도를 높일 수 있지만 높은 전압에서 MOS펫이 견디지 못한다. 이러한 이유로 3.3(V) 출력 드라이버 공급 전압상에서 특정한 구조를 가지는 드라이버 회로를 설계해야 하는 실정이다.

- [0005] 도 1은 종래의 기술에 따른 TMDS(Transition Minimized Differential Signaling) 시스템을 나타내는 도면이다. 도 2는 도 1의 TMDS 시스템의 채널 전송효율을 설명하기 위한 도면이다. 도 1과 도 2를 참조하면, 상기 TMDS 시스템(10)은 HDMI 출력 디바이스(HDMI output device)(11) 및 HDMI 입력 디바이스(HDMI input device)(21)를 포함한다.
- [0006] 이때, 차동 라인(differential lines)(17)은 케이블(19)을 통하여 상기 HDMI 출력 디바이스(11)와 HDMI 입력 디바이스(21) 사이를 연결하고, 상기 HDMI 출력 디바이스(11)는 스위치쌍(D_p, D_n)(120)을 사용하여, 서로 상보적인 차동 라인(17) 사이로 전류 소스(15)의 전류를 스위칭시킨다.
- [0007] 상기 HDMI 입력 디바이스(21)는 비교기(25) 및 적어도 하나의 풀업 저항(R_T)(23)을 포함하고, 상기 비교기(25)는 상기 차동 라인(17) 상의 전위를 비교하며, 상기 적어도 하나의 풀업 저항(23)은 상기 차동 라인(17)을 V_{cc} (예컨대, 3.3[V])로 바이어스한다.
- [0008] 그러나, 종래의 기술에 따른 TMDS(Transition Minimized Differential Signaling) 시스템은 도 2와 같이 채널 특성이 6Gbps(3GHz)에서 약 8dB의 손실이 발생하는 바, 실제 3.3(V) 출력 드라이버 공급 전압상에서 데이터 전송속도 증가에 따른 전력손실을 줄일 수 있는 특정한 구조를 가지는 드라이버 회로를 설계해야 하는 실정이다.
- [0009] 관련 선행기술로는 일본 공개특허공보 제2008-009128호(발명의 명칭: 차동 트랜스미터, 공개일자: 2009년 7월 30일)가 있다.

발명의 내용

해결하려는 과제

- [0010] 따라서, 본 발명이 이루고자하는 기술적 과제는 전력소모를 줄일 수 있고 전송효율을 높일 수 있는 HDMI(High-Definition Multimedia Interface) 드라이버 및 이를 포함하는 송신기를 제공하는 것이다.

과제의 해결 수단

- [0011] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 출력 드라이버는, 테일을 포함하는 차동증폭부; 상기 차동증폭부의 입력신호에 기초하여 상기 차동증폭부의 출력단에 제1전압을 공급하는 스위치부; 및 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 출력부를 포함할 수 있다.
- [0012] 상기 스위치부는, 적어도 하나의 트랜스미션게이트로 구성될 수 있다.
- [0013] 상기 출력 드라이버는, 상기 출력 드라이버의 출력전압을 스케일링 다운하고 스케일 다운한 전압과 제어전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 바이어스신호 발생부를 더 포함할 수 있다.
- [0014] 상기 바이어스신호 발생부는, 상기 제1전압과 제2 전압의 차이를 증폭하는 증폭하는 바이어싱 차동증폭부; 상기 바이어싱 차동증폭부의 입력신호에 기초하여 상기 바이어싱 차동증폭부의 출력단에 상기 제1전압을 공급하는 바이어싱 스위치부; 상기 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 바이어싱 출력부; 및 상기 바이어싱 출력부의 출력전압과 상기 비교전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 비교기를 포함할 수 있다.
- [0015] 제1항에 있어서, 상기 스위치부는, 적어도 하나의 트랜스미션게이트로 구성될 수 있다.
- [0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 송신기는 출력 드라이버; 상기 출력 드라이버의 출력전압을 제어하기 위한 제어신호를 출력하는 제어부; 상기 제어신호에 기초하여 상기 출력 드라이버의 출력신호에 대한 프리엠퍼시스를 수행하는 프리엠퍼시스 드라이버; 및 상기 상기 출력 드라이버의 출력부에 대한 소스터미네이션(Source Termination)을 수행하는 소스터미네이션부를 포함할 수 있다.
- [0017] 상기 출력 드라이버는, 테일을 포함하는 차동증폭부; 상기 차동증폭부의 입력신호에 기초하여 상기 차동증폭부의 출력단에 제1전압을 공급하는 스위치부; 및 바이어스신호에 응답하여 상기 차동증폭부의 출력신호를 상기 출력 드라이버의 출력전압으로서 출력하는 출력부를 포함할 수 있다.
- [0018] 상기 스위치부는, 적어도 하나의 트랜스미션게이트로 구성될 수 있다.
- [0019] 상기 출력 드라이버는, 상기 출력 드라이버의 출력전압을 스케일링 다운하고 스케일 다운한 전압과 제어전압을 비교하고 비교결과를 상기 바이어스신호로서 출력하는 바이어스신호 발생부를 더 포함할 수 있다.

[0020] 상기 바이어싱신호 발생부는, 상기 제1전압과 제2 전압의 차이를 증폭하는 증폭하는 바이어싱 차동증폭부; 상기 바이어싱 차동증폭부의 입력신호에 기초하여 상기 바이어싱 차동증폭부의 출력단에 상기 제1전압을 공급하는 바이어싱 스위치부; 상기 바이어싱신호에 응답하여 상기 차동증폭부의 출력신호를 출력하는 바이어싱 출력부; 및 상기 바이어싱 출력부의 출력전압과 상기 비교전압을 비교하고 비교결과를 상기 바이어싱신호로서 출력하는 비교기를 포함할 수 있다.

[0021] 상기 바이어싱 스위치부는, 적어도 하나의 트랜스미션게이트로 구성될 수 있다.

발명의 효과

[0022] 본 발명의 실시예에 따르면, 출력 드라이버의 스위칭부에 트랜스미션게이트를 사용함으로써 전력 소모를 줄이면 서 상기 출력 드라이버의 입력 모스펫으로 얇은 게이트 모스펫을 사용 할 수 있게 될 수 있는 효과가 있다.

[0023] 또한, 본 발명의 실시예에 따르면, 프리엠퍼시스(Pre-Emphasis) 및 소스터미네이션(Source Termination)을 사용하여 출력신호에서 발생될 수 있는 채널의 감쇄특성을 보상해줄 수 있으며, 신호의 반사효과를 줄이고 전송되는 신호의 품질을 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

[0024] 도 1은 종래의 기술에 따른 TMDS 시스템을 나타내는 도면이다.

도 2는 도 1의 TMDS 시스템의 채널 전송효율을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 AV 시스템을 나타내기 위한 도면이다.

도 4는 도 3의 HDMI 입력 및 출력 디바이스를 나타내는 도면이다.

도 5는 도 4의 출력 드라이버에 대한 상세 회로도이다.

도 6은 본 발명의 비교 예에 따른 출력 드라이버의 상세 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0026] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적

인 의미로 해석되지 않는다.

- [0030] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0031] 도 3은 본 발명의 일 실시예에 따른 AV(Audio Visual) 시스템을 나타내기 위한 도면이다. 도 3을 참조하면, 상기 AV 시스템(100)은 비디오 전송 장치(110) 및 비디오 수신 장치(119)를 포함할 수 있다.
- [0032] 상기 비디오 전송 장치(110)는 송신기(111)를 포함할 수 있고, 상기 비디오 수신 장치(119)는 수신기(121) 및 메모리(127)를 포함할 수 있다.
- [0033] 상기 비디오 전송 장치(110)와 상기 비디오 수신 장치(119)에는 인터페이스가 연결될 수 있으며, 상기 인터페이스는 HDMI 및/또는 DVI를 포함할 수 있고, 상기 인터페이스에서 전송되는 신호는 DDC(Display Data Channel) 신호, HPD(Hot Plug Detect) 신호, 및 TMDS 신호(미도시) 등을 포함할 수 있다. 이때, 상기 TMDS 신호는 고속의 비디오 및/또는 오디오 신호에 상응할 수 있다.
- [0034] 상기 송신기(111)는 HDMI 출력 디바이스(HDMI output device)(113), DDC 인터페이스(DDC I/F)(115) 및 컨트롤러(controller)(117)를 포함할 수 있으며, 상기 수신기(121)는 HDMI 입력 디바이스(HDMI input device)(123) 및 제어 유닛(control unit)(125)을 포함할 수 있다.
- [0035] 상기 HDMI 출력 디바이스(HDMI output device)(113)는 AV 신호를 TMDS 신호로 변환하여 상기 수신기(121)의 HDMI 입력 디바이스(HDMI input device)(123)로 출력할 수 있다. 상기 DDC 인터페이스(DDC I/F)(115)는 상기 송신기(111) 및 수신기(121)가 DDC 통신을 수행하도록 하거나, 컨트롤러(117)가 상기 송신기(111)를 제어하기 위하여 발생하는 각종 제어 신호를 입출력하도록 할 수 있다.
- [0036] 상기 컨트롤러(controller)(117)는 상기 송신기(111)를 제어할 수 있다. 예컨대, 상기 컨트롤러(controller)(117)는 제어 신호를 출력하여 상기 HDMI 출력 디바이스(HDMI output device)(113)의 신호 변환수행을 제어할 수 있고, 상기 DDC 인터페이스(DDC I/F)(115)의 출력 부분의 임피던스를 제어(예컨대, 하이 임피던스 또는 로우 임피던스로 제어)할 수 있다.
- [0037] 상기 HDMI 입력 디바이스(HDMI input device)(123)는 상기 TMDS 신호를 수신하며, 상기 제어유닛(125)은 상기 DDC 신호를 상기 송신기(111)로부터 송/수신할 수 있다. 이때, 상기 DDC 신호는 DDC 데이터 신호 및 직류 신호를 포함할 수 있다. 상기 제어유닛(125)은 상기 DDC 신호를 이용하여 비디오 전송 장치(110)의 연결 여부를 결정하기 위해 HPD(Hot Plug Detect) 신호를 제어할 수 있다.
- [0038] 이때, 상기 HPD 신호는 비디오 수신 장치(119)에 전원을 인가한 상태에서 인터페이스 케이블을 꽂고 빼는 것을 가능하게 하는 신호에 해당할 수 있다. 상기 메모리(127)는 EDID(Extended Display Identification Data) 정보를 저장할 수 있다.
- [0039] 이때, 상기 EDID 정보는 상기 비디오 수신 장치(119)가 모니터일 경우, 모니터 정보 데이터(예컨대, 기본 디스플레이 변주 및 특성-모니터의 표현 가능 해상도, 수평 또는 수직 주파수 등-)에 해당할 수 있다. 상기 EDID 정보는 상기 DDC 신호에 포함되어 상기 송신기(111)에 송신될 수 있다.
- [0040] 도 4는 도 3의 HDMI 입력 및 출력 디바이스를 나타내는 도면이고, 도 5는 도 4의 출력 드라이버에 대한 상세 회로도이다. 도 3 내지 도 5를 참조하면, HDMI 출력 디바이스(113)는 출력 드라이버(130), 프리엠피시스(Pre-Emphasis) 드라이버(133), 제어부(135), 및 소스 터미네이션부(Source Termination)(136)을 포함할 수 있다.
- [0041] 상기 출력 드라이버(130)는 제1 입력신호(DIN[n])를 수신하고 제어전압(Vc)에 기초하여 수신된 제1 입력신호(DIN[n])를 증폭하여 출력할 수 있다. 상기 제1 입력신호(DIN[n])는 포지티브(positive) 신호(DIN_p[n]) 및 네거티브(negative) 신호(DIN_n[n])를 포함할 수 있다.
- [0042] 상기 출력 드라이버(130)는 바이어스신호 발생부(131) 및 메인 드라이버(171)를 포함할 수 있다. 상기 바이어스신호 발생부(131)는 상기 메인 드라이버(171)의 출력전압을 스케일링 다운하고 스케일 다운한 전압(Vs)과 제어전압(Vc)을 비교하고 비교결과를 바이어스신호(Vbias1)로서 출력할 수 있다.
- [0043] 상기 바이어스신호 발생부(131)는 메인 드라이버(171)의 복제된 드라이버를 사용하여 출력 노드의 전압을 감지하여 바이어스신호(Vbias1)를 조절할 수 있다. 보다 상세하게는, 피드백 방식의 비교기(153)를 사용하여 상기 바이어스신호(Vbias1)를 조절할 수 있다.
- [0044] 이때, 상기 스케일 다운 비율에 따라 복제된 드라이버의 소스 저항 값(Rp)이 정해질 수 있다.

- [0045] 한편, 바이어스신호(Vbias1)를 낮추기 위해 바이어스신호 발생부(131) 및 메인 드라이버(171) 각각의 출력부의 트랜지스터들(M3, M4, M9, M10)은 다른 트랜지스터들(M1, M2, M7, M8) 보다 상대적으로 두꺼운 게이트 모스펫으로 구현될 수 있고 그 크기를 증가시킬 수 있다.
- [0046] 만약, 바이어스신호(Vbias1)가 낮은 공급 전압(예컨대, 제2전압(VDD_L), 1.3(V))과 상기 두꺼운 게이트 모스펫의 문턱 전압의 합보다 높을 경우 트랜스미션 게이트(187 및 189)를 통하여 높은 공급전압(예컨대, 제1전압(VDD_H), 3.3(V))과 낮은 공급 전압(예컨대, 제2전압(VDD_L), 1.3(V)) 사이에 전류가 발생하게 되고 낮은 공급 전압의 노이즈를 발생하게 될 수 있다. 따라서, 상기 바이어스신호 발생부(131) 및 메인 드라이버(171) 각각의 출력부의 트랜지스터(M3, M4, M9, M10)는 다른 트랜지스터(M1, M2, M7, M8) 보다 상대적으로 두꺼운 게이트 모스펫으로 구현되고 그 크기를 증가시켜, 바이어스신호(Vbias1)를 낮출 수 있다.
- [0047] 상기 바이어스신호 발생부(131)는 바이어싱 차동증폭부(141), 바이어싱 스위치부(145), 바이어싱 출력부(151), 및 비교기(153)를 포함할 수 있다.
- [0048] 상기 바이어싱 차동증폭부(141)는 제2전압(VDD_L)과 제3전압(GND)의 차이를 증폭하고 증폭된 신호를 출력할 수 있다.
- [0049] 상기 바이어싱 차동증폭부(141)는 제1트랜지스터(M1), 제2트랜지스터(M2), 및 전류원(143)을 포함할 수 있다. 제1트랜지스터(M1)의 입력단, 예컨대 게이트로 제2전압(VDD_L)이 입력되고, 제2트랜지스터(M2)의 입력단, 예컨대 게이트로 제3전압(GND)이 입력될 수 있다.
- [0050] 상기 제1트랜지스터(M1)와 제2트랜지스터(M2) 각각은 NMOSFET로 구현될 수 있고, 제1트랜지스터(M1)와 제2트랜지스터(M2)는 테일(T1)에 공통으로 접속될 수 있다.
- [0051] 상기 바이어싱 스위치부(145)는 입력신호에 기초하여 상기 바이어싱 차동증폭부(141)의 출력단에 상기 제2전압(VDD_L)을 공급할 수 있다. 보다 상세하게는, 상기 바이어싱 스위치부(145)는 입력신호(예컨대, 제2전압(VDD_L)과 제3전압(GND))에 기초하여 상기 바이어싱 차동증폭부(141)의 출력단에 상기 제2전압(VDD_L)을 공급할 수 있다.
- [0052] 상기 바이어싱 스위치부(145)는 제1스위치(147) 및 제2 스위치(149)를 포함할 수 있으며, 상기 제1스위치(147) 및 상기 제2 스위치(149) 각각은 트랜스미션게이트로 구현될 수 있다.
- [0053] 상기 제1스위치(147)는 반전된 제2전압(/VDD_L)과 제3전압(GND)에 응답하여 상기 제2전압(VDD_L)을 상기 바이어싱 차동증폭부(141)의 제1출력단(N1)에 출력하고, 상기 제2스위치(149)는 제2전압(VDD_L)과 반전된 제3전압(/GND)에 응답하여 상기 제2전압(VDD_L)을 상기 바이어싱 차동증폭부(141)의 제2출력단(N2)에 출력할 수 있다.
- [0054] 상기 바이어싱 출력부(151)는 바이어스신호(Vbias1)에 응답하여 상기 바이어싱 차동증폭부(141)의 출력신호를 출력할 수 있다. 상기 바이어싱 출력부(151)는 제3트랜지스터(M3), 제4트랜지스터(M4), 및 적어도 하나의 저항(Rp)을 포함할 수 있다.
- [0055] 상기 제3트랜지스터(M3)는 상기 제1출력단(N1)과 제1노드(N3) 사이에 접속되고, 상기 바이어스신호(Vbias1)에 응답하여 게이팅되어 상기 제1출력단(N1)과 제1노드(N3) 사이를 접속시킬 수 있다.
- [0056] 상기 제4트랜지스터(M4)는 상기 제2출력단(N2)과 제2노드(N4) 사이에 접속되고, 상기 바이어스신호(Vbias1)에 응답하여 게이팅되어 상기 제2출력단(N2)과 제2노드(N4) 사이를 접속시킬 수 있다. 상기 적어도 하나의 저항(Rp)은 상기 제1노드(N1) 및 상기 제2 노드(N2)를 제1전압(VDD_H)(예컨대, 3.3(V))로 바이어스할 수 있다.
- [0057] 상기 비교기(153)는 상기 바이어싱 출력부(151)의 출력전압과 비교전압(Vc)을 비교하고 비교결과를 바이어스신호(Vbias1)로서 출력할 수 있다.
- [0058] 여기서 상기 바이어싱 출력부(151)의 출력전압은 스케일 다운 비율에 따라 소스 저항 값(Rp)에 의해서 정해질 수 있다. 예컨대, 상기 비교기(153)는 메인 드라이버(171)의 출력전압이 스케일 다운된 전압의 크기와 비교전압(Vc)을 비교하고 비교결과를 바이어스신호(Vbias1)로서 출력할 수 있다.
- [0059] 상기 메인 드라이버(171)는 차동증폭부(181), 스위치부(185), 및 출력부(191)를 포함할 수 있다. 상기 차동증폭부(181)는 포지티브(positive) 신호(DIN_P) 및 네거티브(negative) 신호(DIN_N)를 포함하는 제1 입력신호(DIN)를 수신하고 수신된 제1 입력 포지티브 신호(DIN_P) 및 제1 입력 네거티브 신호(DIN_N)의 차이를 증폭하고 증폭된 신

호를 출력할 수 있다.

- [0060] 상기 차동증폭부(181)는 제1트랜지스터(M7), 제2트랜지스터(M8), 및 전류원(183)을 포함할 수 있다. 제1트랜지스터(M7)의 입력단, 예컨대 게이트로 제1 입력 포지티브 신호(DIN_P)가 입력되고, 제2트랜지스터(M8)의 입력단, 예컨대 게이트로 제1 입력 네거티브 신호(DIN_N)가 입력될 수 있다.
- [0061] 상기 제1트랜지스터(M7)와 제2트랜지스터(M8) 각각은 NMOSFET로 구현될 수 있고, 제1트랜지스터(M7)와 제2트랜지스터(M8)는 테일(T3)에 공통으로 접속될 수 있다.
- [0062] 상기 스위치부(185)는 포지티브(positive) 신호(DIN_P) 및 네거티브(negative) 신호(DIN_N)를 포함하는 제1 입력 신호(DIN)에 기초하여 상기 차동증폭부(181)의 출력단에 상기 제2전압(VDD_L)을 공급할 수 있다.
- [0063] 보다 상세하게는, 상기 스위치부(185)는 제1 입력 포지티브 신호(DIN_P)와 제1 입력 네거티브 신호(DIN_N)에 기초하여 상기 차동증폭부(181)의 출력단(N5, N6)에 상기 제2전압(VDD_L)을 공급할 수 있다.
- [0064] 상기 스위치부(185)는 제1스위치(187) 및 제2 스위치(189)를 포함할 수 있으며, 상기 제1스위치(187) 및 상기 제2 스위치(189) 각각은 트랜스미션게이트 (transmission gate)로 구현될 수 있다.
- [0065] 상기 제1스위치(187)는 반전된 제1 입력 포지티브 신호(/DIN_P)와 제1 입력 네거티브 신호(DIN_N)에 기초하여 상기 차동증폭부(181)의 제1 출력노드(N5)에 상기 제2전압(VDD_L)을 공급할 수 있다.
- [0066] 상기 제2스위치(189)는 제1 입력 포지티브 신호(DIN_P)와 반전된 제1 입력 네거티브 신호(/DIN_N)에 기초하여 상기 차동증폭부(181)의 제2 출력노드(N6)에 상기 제2전압(VDD_L)을 공급할 수 있다.
- [0067] 상기 출력부(191)는 바이어스신호(Vbias1)에 응답하여 상기 차동증폭부(181)의 출력신호를 출력할 수 있다. 즉, 상기 출력부(191)는 상기 바이어스신호(Vbias1)에 응답하여 출력 드라이버(130)의 전류량을 조절 하며 동시에 출력 전압의 크기를 결정할 수 있다.
- [0068] 상기 출력부(191)는 제3트랜지스터(M7) 및 제4트랜지스터(M9)를 포함할 수 있다. 상기 제3트랜지스터(M7)는 상기 제1 출력노드(N5)와 제1노드(N7) 사이에 접속되고, 상기 바이어스신호(Vbias1)에 응답하여 게이팅되어 상기 제1 출력노드(N5)와 제1노드(N7) 사이를 접속시킬 수 있으며, 상기 제4트랜지스터(M10)는 상기 제2 출력노드(N6)와 제2노드(N9) 사이에 접속되고, 상기 바이어스신호(Vbias1)에 응답하여 게이팅되어 상기 제2출력노드(N6)와 제2노드(N9) 사이를 접속시킬 수 있다.
- [0069] 상기 제3트랜지스터(M9) 및 제4트랜지스터(M10)는 상기 출력부(191)의 출력전압이 높은 공급 전압까지 올라갈 수 있어 상기 트랜지스터(예컨대, MOS펫)의 손상을 방지 하기 위해 상기 제1 및 제2트랜지스터(M7, M8)의 게이트 보다 상대적으로 두꺼운 MOS펫으로 구현될 수 있다.
- [0070] 즉, 본 발명에 따른 출력 드라이버(130)는 각각이 트랜스미션 게이트로 구현되는 제1스위치(187) 및 제2 스위치(189)를 사용함으로써, 상대적으로 얇은 게이트 MOS펫으로 구현되는 제1 및 제2트랜지스터(M7, M8)의 드레인 노드 전압을 제1전압(VDD_H)(예컨대, 3.3(V)) 보다 낮은 전압인 상기 제2전압(VDD_L)(예컨대, 1.2(V))으로 고정시킬 수 있는 바, 메인 드라이버(171)의 상기 제1 및 제2트랜지스터(M7, M8)의 파손을 방지할 수 있다.
- [0071] 도 6은 본 발명의 비교 예에 따른 출력 드라이버의 상세 회로도이다. 도 6을 참조하면, 출력 드라이버(161)는 차동증폭부(163), 스위치부(165), 및 출력부(167)를 포함할 수 있다.
- [0072] 상기 차동증폭부(163)는 제1트랜지스터(M20) 및 제2트랜지스터(M21)를 포함하고 포지티브(positive) 신호(DIN_P) 및 네거티브(negative) 신호(DIN_N)를 포함하는 제1 입력신호(DIN)를 수신하고 수신된 제1 입력 포지티브 신호(DIN_P) 및 제1 입력 네거티브 신호(DIN_N)의 차이를 증폭하고 증폭된 신호를 출력할 수 있다.
- [0073] 상기 스위치부(165)는 제3트랜지스터(M22) 및 제4트랜지스터(M23)를 포함하고 제2바이어스신호(Vbias2)에 응답하여 상기 차동증폭부(181)의 출력노드(N11, N13)를 그라운드전압으로 풀다운할 수 있다. 상기 출력부(191)는 제5트랜지스터(M24) 및 제6트랜지스터(M25)를 포함하고 제1바이어스신호(Vbias1)에 응답하여 상기 차동증폭부(163)의 출력신호를 출력할 수 있다.
- [0074] 상기 본 발명의 비교 예에 따른 출력 드라이버(161)의 제5트랜지스터(M24) 및 제6트랜지스터(M25)는 상기 출력

부(167)의 출력전압이 높은 공급 전압까지 올라갈 수 있어 MOS펌트의 손상을 방지 하기 위해 상기 제1내지 제4트랜지스터(M20, M21, M22, M23)의 게이트 보다 상대적으로 두꺼운 MOS펌트로 구현될 수 있다.

[0075] 상기 제5트랜지스터(M24) 및 제6트랜지스터(M25)는 출력 드라이버(161)의 전류량을 조절 하며 동시에 출력 전압의 크기를 결정할 수 있다.

[0076] 또한, 상기 제3트랜지스터(M22) 및 제4트랜지스터(M23)는 출력 드라이버(161)의 입력신호(DIN)가 입력되는 MOS펌트(즉, 제1트랜지스터(M20) 및 제2트랜지스터(M21))의 손상을 방지하기 위해 차동증폭부(181)의 출력노드(N11, N13)에 지속적인 전류를 발생하여 상기 출력노드(N11, N13)의 전압을 낮은 공급 전압(예컨대, 제2전압(VDD_L)) 이하로 낮추는 역할을 수행한다. 그러나, 상기 제3트랜지스터(M22) 및 제4트랜지스터(M23)는 지속적인 전류를 발생시켜 전력소모의 원인이 된다.

[0077] 반면, 본 발명에 따른 스위칭부(185)는 상기 스위칭부(165)의 제3트랜지스터(M22) 및 제4트랜지스터(M23)를 트랜스미션게이트로 대체하고, 바이어스신호 발생부(131)는 차동증폭부(181)의 출력노드(N5, N6)에 제1전압(VDD_H)(예컨대, 3.3(V))과 상기 제1전압(VDD_H)보다 낮은 전압인 제2전압(VDD_L)(예컨대, 1.2(V)) 사이의 전류가 발생하지 않도록 구현될 수 있는 바, 전력 소모를 효율적으로 줄일 수 있고 적은 면적으로 출력 드라이버(130)의 출력 전압을 쉽게 컨트롤 할 수 있는 효과가 있다.

[0078] 한편, 본 발명의 실시 예에서는 상기 출력 드라이버(130)가 바이어스신호 발생부(131)와 메인 드라이버(171)로 구성되어 동작하는 것으로 설명하였으나, 상기 출력 드라이버(130)는 메인 드라이버(171)로만으로 구성되어 동작할 수도 있음은 물론이다.

[0079] 다시, 도 4를 참조하면, 프리엠퍼시스(Pre-Emphasis) 드라이버(133)는 제어신호(Vc)에 기초하여 제2 입력신호(DIN[n+1])를 프리엠퍼시스(Pre-Emphasis)하고 프리엠퍼시스된 신호를 출력할 수 있다. 이때, 상기 제2 입력신호(DIN[n+1])는 상기 제1 입력신호(DIN[n]) 보다 하나의 단위 시간간격(1 unit interval)만큼 지연 또는 앞선 신호일 수 있으며, 상기 제2 입력신호(DIN[n+1])는 포지티브(positive) 신호(DIN_p[n+1]) 및 네거티브(negative) 신호(DIN_n[n+1])를 포함할 수 있다.

[0080] 즉, 상기 프리엠퍼시스 드라이버(133)는 프리엠퍼시스(Pre-Emphasis) 기능을 통하여 상기 출력 드라이버(130)의 출력신호에서 발생될 수 있는 채널의 감쇄특성을 보상해줄 수 있다. 예컨대, 상기 프리엠퍼시스 드라이버(133)는 도 2와 같이 채널 특성이 6Gbps(3GHz)에서 발생될 수 있는채널 손실(약 8dB)의 손실을 보상할 수 있다.

[0081] 상기 제어부(135)는 출력 드라이버(130)의 출력전압을 제어하기 위한 제어신호(Vc)를 출력할 수 있고, 상기 소스터미네이션(Source Termination)부(136)는 상기 출력 드라이버(130)의 출력단(OUT_p, OUT_n)에 대한 소스터미네이션(Source Termination)을 수행할 수 있다.

[0082] 즉, 상기 소스터미네이션(Source Termination)부(136)는 출력단(OUT_p, OUT_n)에 대한 소스터미네이션(Source Termination)을 통하여 신호의 반사효과를 줄이고 전송되는 신호의 품질을 향상시킬 수 있다.

[0083] 또한, 본 발명의 실시 예에 의한 HDMI 출력 디바이스(HDMI output device)(113)는 최근 배포된 고선명 멀티미디어 인터페이스 2.0a 버전의 데이터 전송 속도(최대 6Gbps)에서 채널 손실을 보상하면서 신호 품질을 향상 시킬 수 있는 효과가 있다.

[0084] 상기 HDMI 입력 디바이스(123)는 비교기(139) 및 적어도 하나의 풀업 저항(R_T)(137)을 포함하고, 상기 비교기(139)는 상기 차동 라인(197) 상의 전위를 비교하며, 상기 적어도 하나의 풀업 저항(139)은 상기 차동 라인(197)을 Vcc(예컨대, 3.3[V])로 바이어스한다.

[0085] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

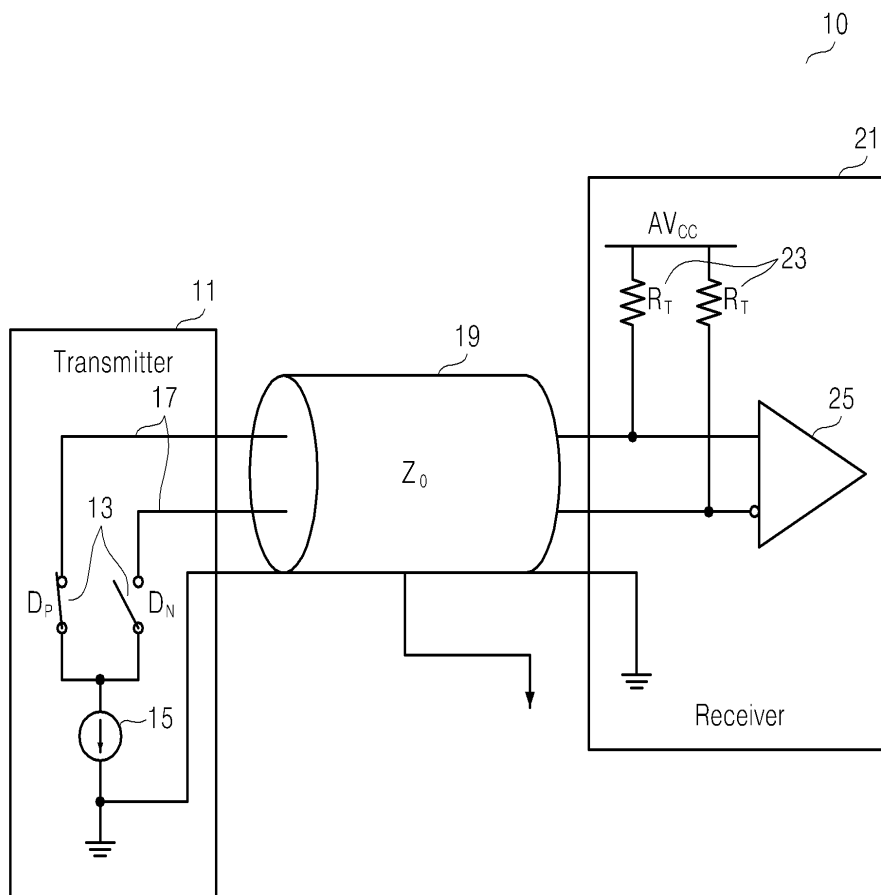
부호의 설명

[0086] 110 : 비디오 전송 장치

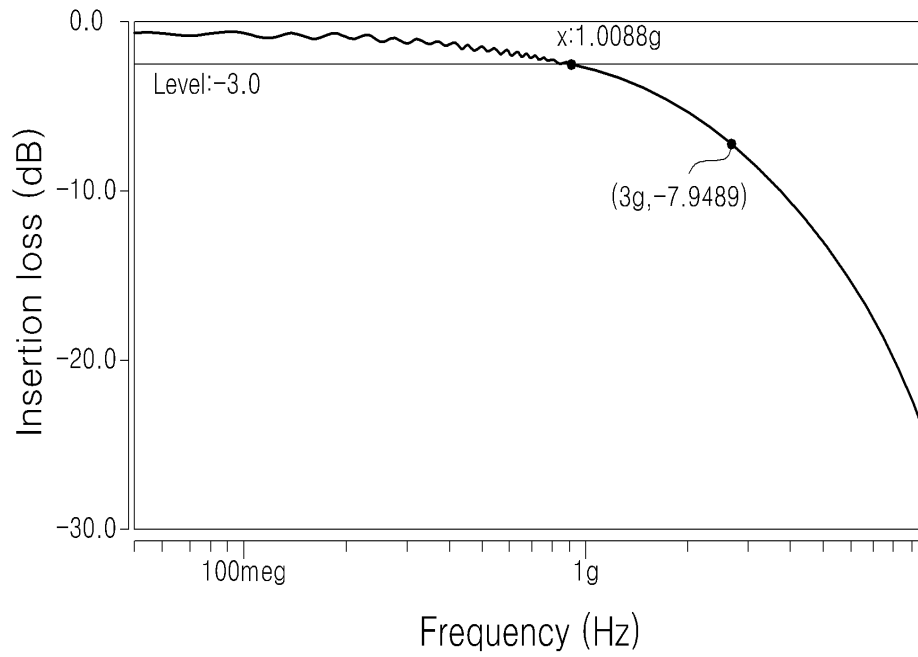
- 111 : 송신기
- 113 : HDMI 출력 디바이스
- 119 : 비디오 수신 장치
- 130 : 출력 드라이버
- 131 : 바이어스신호 발생부
- 133 : 프리엠퍼시스 드라이버
- 135 : 제어부
- 136 : 소스 터미네이션부
- 153 : 비교기
- 171 : 메인 드라이버

도면

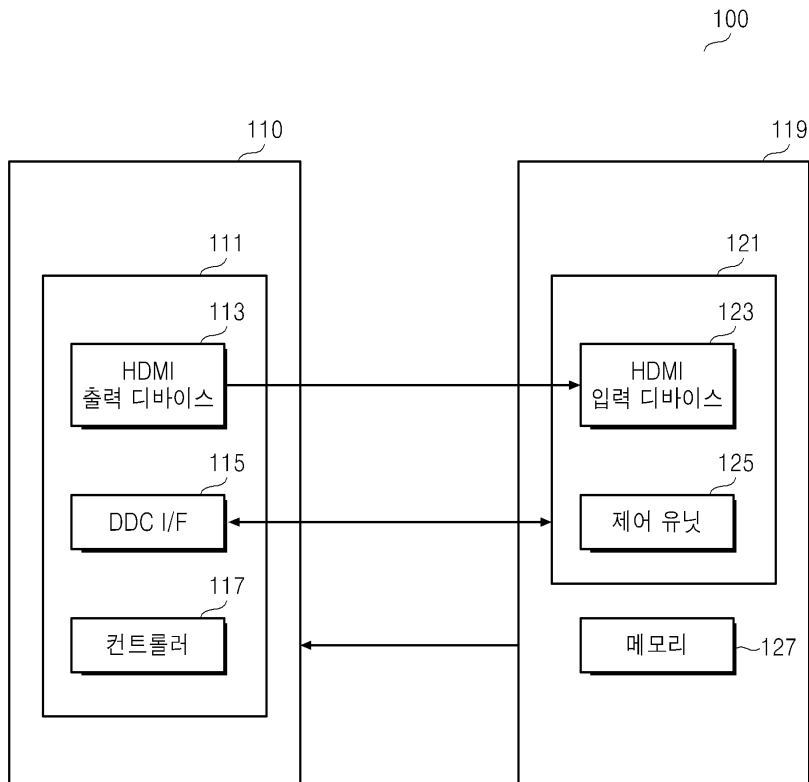
도면1



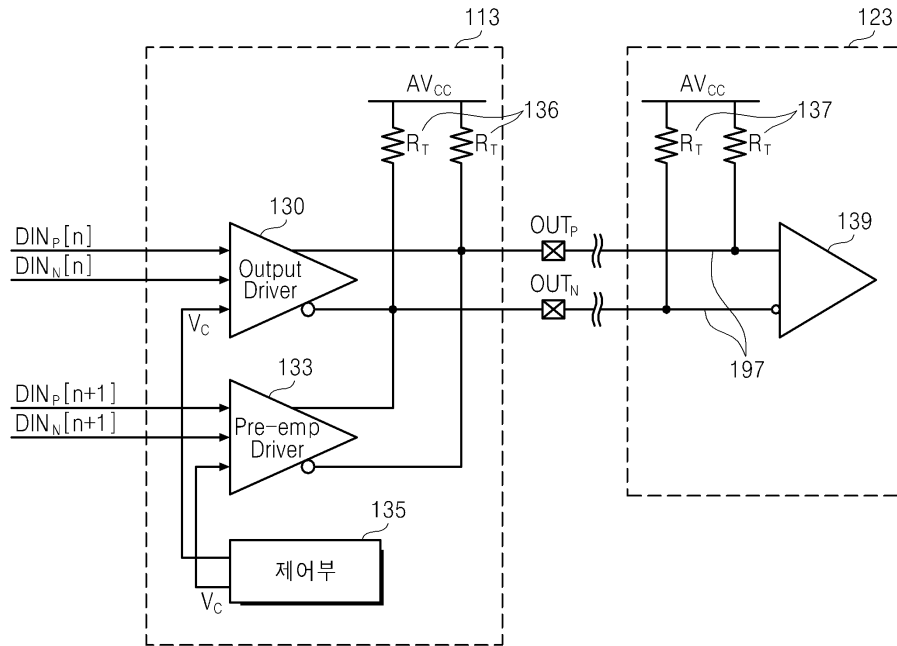
도면2



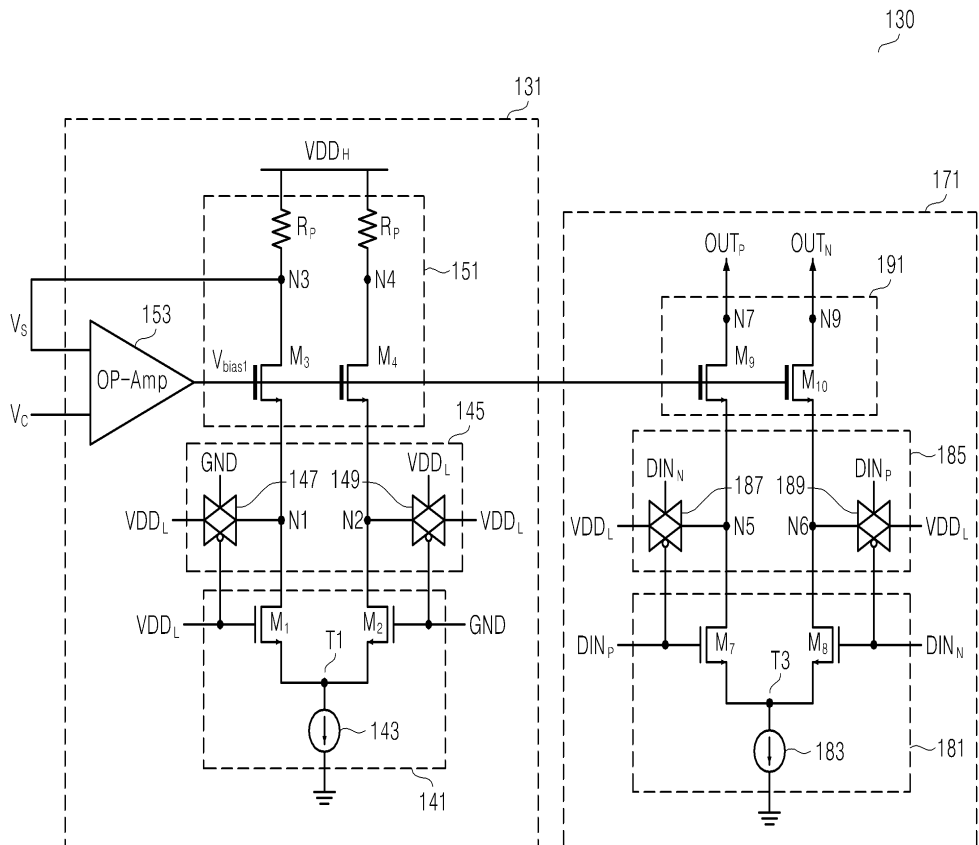
도면3



도면4



도면5



도면6

