

申請日期： 88. 12. 1 | 案號： 88120996

類別： C09K13/00

修正  
90年12月31日  
補充

(以上各欄由本局填註)

公告本

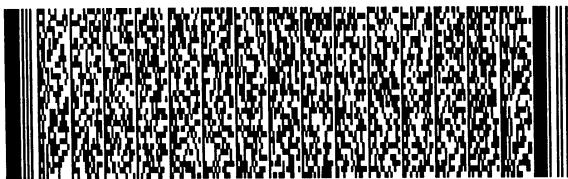
發明專利說明書

486512

一、發明名稱	中文	蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法
	英文	METHOD OF MANUFACTURING A SUBSTRATE FOR ELECTRONIC DEVICE BY USING ETCHANT AND ELECTRONIC DEVICE HAVING THE SUBSTRATE

二、發明人	姓名 (中文)	1. 曹奎哲
	姓名 (英文)	1. Gyoo Chul JO
	國籍	1. 韓國
	住、居所	1. 大韓民國慶尚北道聞慶市茅田洞870號

三、申請人	姓名 (名稱) (中文)	1. LG 菲利普液晶顯示股份有限公司
	姓名 (名稱) (英文)	1. LG Philips LCD Co., Ltd.
	國籍	1. 韓國
	住、居所 (事務所)	1. 大韓民國漢城市永登浦區汝矣島洞20番地
	代表人姓名 (中文)	1. 具本俊
	代表人姓名 (英文)	1. Bon Joon KOO



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

## 【發明領域】

本發明係關於一種蝕刻劑，與使用該蝕刻劑之電子機器用基板之製造方法，與具有以該方法製造出之基板之電子機器者，特別是關於一種蝕刻劑，為可將積層有鋁膜或鋁合金膜及鈦膜或鈦合金膜的配線之各膜以略相同之蝕刻率作一體性之蝕刻者。

## 【習知技術】

作為配線材料之鋁材，因具有低阻抗之優點，故常被使用於電子機器之基板上之電極等之配線材料上。

第12圖為電子機器之一例，為揭示一般的薄膜電晶體型液晶顯示裝置之薄膜電晶體部份之概略圖。

此薄膜電晶體82係於基板83上設置閘電極84，並設置一閘絕緣膜85覆蓋此閘電極84。於閘電極84之上方之閘絕緣膜85上設有由非晶形矽(以下略記為a-Si)所形成之半導體能動膜86，介以由包含磷等之n型不純物之非晶形矽(以下略記為n+型a-Si)所形成之歐姆接觸層87自半導體能動膜86上起遍及閘絕緣膜85上設有源電極88及漏電極89。又，設有包覆前述源電極88、漏電極89與閘電極84等所構成之薄膜電晶體82的鈍化膜90，於漏電極89上之鈍化膜90上設有接觸孔91。又，通過前述接觸孔91設有與漏電極89電連接之由銦氧化錫(以下略記為ITO)等之透明電極層所形成之畫素電極92。

又，第12圖左側之部份係揭示位於顯示範圍外之閘配線端部之閘端子電極部93之斷面構造。於基板83上之由閘



## 五、發明說明 (2)

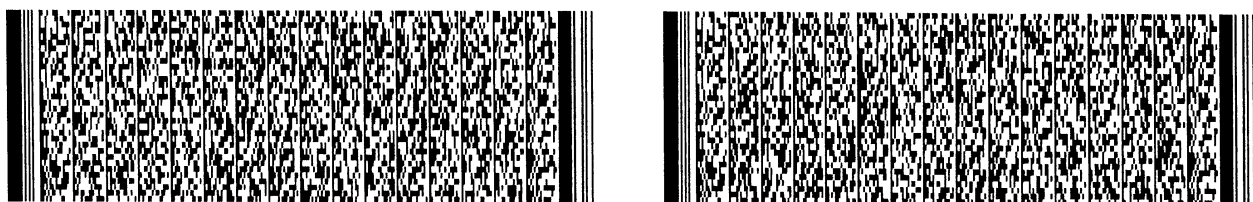
配線材料所形成之下部電極層 94 上設有貫通閘絕緣膜 85 與鈍化膜 90 之接觸孔 95，又，設有通過此接觸孔 95 而與下部電極層 94 作電連接之由透明電極所形成之上部電極層 96。又，於源配線端部設有相類似之構造。

如上述，例如於薄膜電晶體者，係構成爲直接接續形成閘端子、源端子與畫素電極之透明電極層，與形成閘配線、源配線及漏電極之配線用金屬。

惟，於此種電子機器上，為降低配線阻抗，使用由鋁所形成之金屬膜作為配線用材料時，會有會產生突起短路現象之問題。此突起短路係指熱處理時產生於鋁膜表面上之針狀突起，此突起會穿過積層於鋁上之絕緣層而與其他導電層短路而有引發絕緣不良之情形之慮。又，使 ITO 與鋁直接接觸時，ITO 中之氧氣會把鋁氧化，其結果將使接觸部份之電阻值升高。

為回避上述問題乃多使用於鋁膜上形成鉬膜或鉻膜等之其他金屬膜之積層膜（以下略記為相異金屬之積層膜）。利用此種相異金屬之積層膜形成閘電極 84 時，例如如第 14 圖之 A 所示，於在基板 83 上所形成之鋁膜 84a 上積層鉬膜 84b 所成之積層膜 84c 之表面以光蝕刻法形成既定圖樣之光罩 97 後，使用  $H_3PO_4$  80 重量 % 與  $HNO_3$  和  $CH_3COOH$  和  $H_2O$  所形成之蝕刻劑作一體性之蝕刻即可得到上述積層膜 84c。

惟，對上述相異金屬積層膜施以一體性蝕刻而形成圖樣時，因金屬膜間之電位差之影響，於蝕刻劑中會產生電池反應，而使下層之鋁膜較上層之鉬膜快速蝕刻，故會產生例如第 14 圖 B 所示般之下層之鋁膜 84a 之線寬為較上層之



## 五、發明說明 (3)

鉬膜 84b 之線寬為窄之基蝕現象 (undercut)，有時會引起絕緣耐壓不良等之問題。

為此，作為解決前述問題之方法，有於上述一體蝕刻後使用過碘酸對屋簷狀之鉬膜 84b 實行追加蝕刻而形成圖樣之分法。

## 【發明欲解決之課題】

惟，於習知之電子機器用基板之製造方法中，於形成由相異金屬積層膜所形成之積層配線時，因至少須要兩次之蝕刻工程，故生產性不佳，且製造工程亦較長，有提高成本之問題。又，實行上述之追加蝕刻時，上層之鉬膜 84b 係較下層之鋁膜 84a 稍快地蝕刻，如第 14 圖 C 所示般，會有下層之鋁膜 84a 會稍微突起之問題，而難以控制構成積層配線之上層與下層之配線之線寬。

又，作為以相異金屬積層膜形成閘電極 84 之其他形成方法者，有一方法為例如如第 15 圖 A 所示，係於基板 83 上形成鋁膜 84a 後，於鋁膜 84a 之表面上塗布光致抗蝕劑 97，而實行光蝕刻，接著如第 15 圖 B 所示般實行蝕刻，而得到具有所期之線寬之鋁膜 84a，接著如第 15 圖 C 所示以鉬膜 84b 覆蓋鋁膜 84a 後，如第 15 圖 D 所示實行光蝕刻而於形成既定圖樣之光罩 98 後，實行蝕刻而完成工作。惟，此種方法與先前所述之習知方法相同，因至少須要兩次的蝕刻工程，故有同樣的問題，又，所得到的積層配線構造如第 15 圖 E 所示係以上層之鉬膜 84b 覆蓋下層之鋁膜 84a 之構造，故上層的線寬必然較下層的線寬為寬，故難以控制上層與



## 五、發明說明 (4)

下層之配線之線寬。

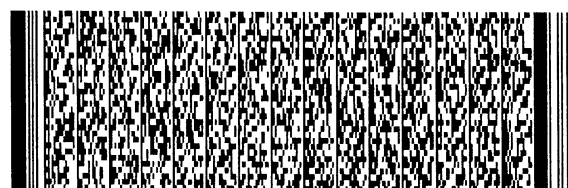
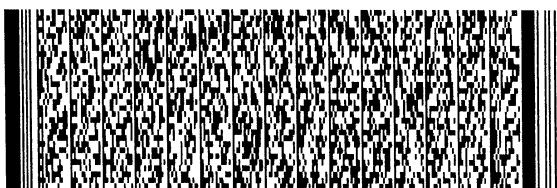
本發明係有鑑於上述情形所完成者，係將在低阻抗之鋁膜或鋁合金膜上積層其他金屬膜所成之積層膜作為配線材料使用時，以一次之蝕刻以略相同之蝕刻率蝕刻出構成上述積層膜之各金屬膜，而提供一種蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法與具有利用前述方法製造之基板的電子機器者。

## 【解決課題之方式】

本發明之發明人為提供一種蝕刻劑，為將在鋁膜或鋁合金膜上積層其他金屬膜所成之相異金屬之積層膜作為配線材料使用時，可用一次之蝕刻極力抑低基蝕之產生，而可用略相同之蝕刻率蝕刻出構成上述積層膜之各金屬膜，其著眼於將構成上述相異金屬之積層膜之各金屬膜作為電極而浸漬於電解液時之電極電位，反覆各種檢討與實驗之結果，發現作為形成上述積層膜之其他金屬膜者若使用與鋁或鋁合金之電位差之差異為較小之物品時，則蝕刻率之差別較小，具體上若使用順序形成鋁或鋁合金膜與鈦膜或鈦合金膜之積層膜作為配線材料使用時，可減低基蝕之產生，可實現一體性蝕刻之技術。

前述推論係依下述之實驗取得證實。

準備如第4圖所示般之電極電位測量裝置。此電極電位測量裝置為包括有：充滿電解液75之容器76；作為一側之電極77之標準氫電極（以下略記為SHE）；作為另方電極78之各種金屬試料（鋁、鉬、鈦、銅、鉻）；介以可變電阻

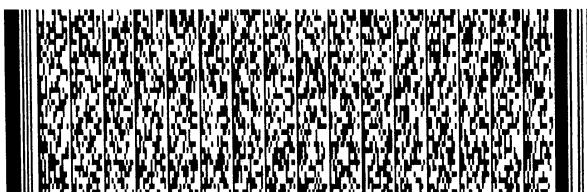


## 五、發明說明 (5)

79接續於前述兩電極 77及 78之電源 80。使用此種電極電位測量裝置測量兩極間 77、78之電位差時，係於容器 76內充滿電解液 75後，於該電解液 75中浸漬 SHE77與試料 78，於電源 80施加電壓而使電流通，藉此測量兩極間 77與 78之電極電位  $E_0$ 。充滿於容器中之電解液 75依構成試料之金屬之不同而相異，試料為鋁時使用硫酸，為鈦時使用 HCl 或 NaOH，為鈦時使用 HCl，為銅時使用硫酸，為鉻時使用 HCl。於在此測量電極電位  $E$  時，係調節可變電阻使電流為 0，而讀取其時之電極間之電位差。其結果如第 5 圖所示。又，第 5 圖中， $\Delta E$  為由鋁所形成之試料之電極電位與其他金屬所形成之試料之電極電位之電位差。由第 5 圖所示之結果可知，與由鋁所形成之試料 ( $E_0 = -1.66V$ ) 之電極間之電位差之差異度為較小者乃由鈦所形成之試料 ( $E_0 = -1.63V$ )，兩者之  $\Delta E = 0.03V$ 。

惟，使用順序積層鋁膜或鋁合金膜及鈦膜或鈦合金膜之積層膜 (以下略記為鋁與鈦之積層膜) 所形成之積層配線者，至今尚未被實用化，又，使用其而於形成此種積層配線時極力抑低基蝕之產生，且使構成上述積層膜之各金屬膜為可用同一蝕刻率作一體蝕刻之蝕刻劑者亦尚未被實用化，且將上述積層膜作一體性蝕刻之技術亦尚未被確立，因此上述推論尚未被證實及實用化。

又，本發明之發明人經過反覆實行各種檢討及實驗之結果，發現以氟酸、過碘酸及硫酸構成蝕刻劑時可將構成鋁與鈦之積層膜之各金屬膜同時蝕刻，且於蝕刻劑中浸漬由鋁所形成之電極及由鈦所形成之電極而與先前之實驗相



## 五、發明說明 (6)

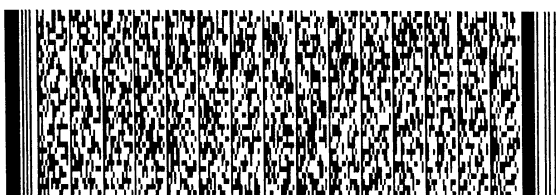
同測量電極間之電位差時，當其電位差  $\Delta E$  為較小時則將鋁與鈦之積層膜一體性蝕刻時之鋁膜之側蝕量  $\Delta L$  將變小，特別是使用電極間之電位差  $\Delta E$  為 400mV 以下之蝕刻劑時，可在無實用上之問題之程度 ( $\Delta L$  為 500埃程度以下) 之情形下減低基蝕。又，發現了上述電極間之電位差  $\Delta E$  可藉由調整構成上述蝕刻劑之各成份之配合量加以變更。其理由係依據下式 (1)

$$E = E_0 + (RT/nF \ln \sigma) \cdot \cdot \cdot (1)$$

(式中， $E$  為電位差， $E_0$  為標準電極電位， $R$  為氣體常數， $T$  為絕對溫度， $n$  為電子數， $F$  為法拉第常數， $\sigma$  為溶液相之離子之活動量)

所示之 Nernst 式，因  $\sigma$  值係依蝕刻劑之組成及組成比而可改變，故電位差之  $E$  亦可改變。

第 6 圖係揭示鋁電極與鈦電極間之電位差  $\Delta E$  與鋁及鈦之積層膜之側蝕量  $\Delta L$  之關係。在此的側蝕量  $\Delta L$  如第 13 圖所示，係將於基板 2a 上順序積層之 1300 埃之鋁膜 3a 與 500 埃之鈦膜 4a 所成之積層膜以由氟酸與過碘酸與硫酸所形成之蝕刻劑作蝕刻時，自鈦膜 4 側面進入而自至鈦膜 4 側面之距離。第 6 圖之電位差  $\Delta E$  為 0.1V 時，蝕刻劑之各成份之比率，氟酸為 0.3wt%，過碘酸為 0.5wt%，硫酸為 0.5mol/l (2.7wt%)，而當  $\Delta E$  為 0.45V 時，氟酸為 0.25wt%，過碘酸為 0.5wt%，硫酸為 0.3mol/l (1.6wt%)，而當  $\Delta E$  為 0.65V 時，氟酸為 0.5wt%，過碘酸為 1wt%，硫酸為 0.5mol/l (2.7wt%)，當  $\Delta E$  為 0.95V 時，氟酸為 0.3wt%，過碘酸為 1.0wt%，硫酸為 0.5mol/l (2.7wt%)。



## 五、發明說明 (7)

又，本發明之發明人發現以氟酸、過碘酸及硫酸構成蝕刻劑時，藉由將此等各成份之配合量規定於以下之特定之範圍內，可得到鋁電極與鈦電極間之電位差 $\Delta E$ 為400mV以下之物品，而得到解決上述問題之結論。

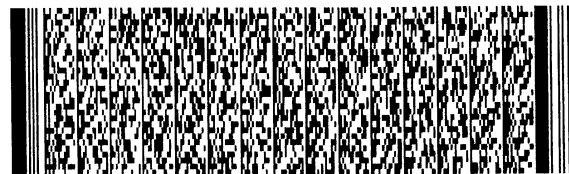
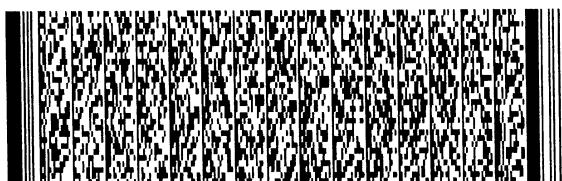
為解決上述課題，本發明之蝕刻劑其特徵為具有氟酸、過碘酸及硫酸，而上述氟酸與過碘酸之重量比率為0.05至30wt%，且上述硫酸之重量比率為0.05至20wt%，相對於上述氟酸之過碘酸之重量比為0.01至2，為由可將積層鋁膜或鋁合金膜及鈦膜或鈦合金膜所成之配線之各膜以略相同之蝕刻率作一體性蝕刻的材料所形成者。

當上述氟酸與過碘酸之合計之重量比率為未滿0.05wt%時，蝕刻率將變得過緩，而超過30wt%時則刻率將變得過快，而變得難以控制。

當上述之硫酸之重量比率為未滿0.05wt%時，上述電位差 $\Delta E$ 將超過400mV，於將鋁膜或鋁合金膜及鈦膜或鈦合金膜之積層膜作一體性蝕刻時，將會產生較大的基蝕，而有時會產生絕緣耐壓不良，當產生絕緣耐壓不良時，即使添加超過20wt%其效果亦不會增大，氟酸與過碘酸之比率將變少，蝕刻狀況之面內分布將變劣。

相對於上述氟酸之過碘酸之重量比為未滿0.01時，上述電位差 $\Delta E$ 將超過400mV，而重量比超過2時其電位差 $\Delta E$ 將超過400mV，於將上述積層膜作一體性蝕刻時會產生甚大的基蝕現象，有時會導致絕緣耐壓不良。

本發明之蝕刻劑因係由氟酸、過碘酸及硫酸所構成，可將順序形成鋁膜或鋁合金膜及鈦膜或鈦合金膜之積層



## 五、發明說明 (8)

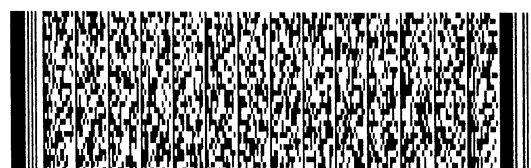
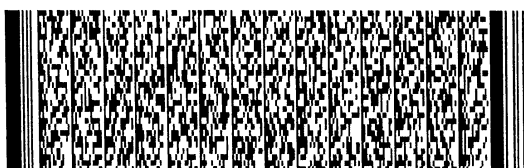
膜，或順序形成鈦膜或鈦合金膜、鋁膜或鋁合金膜及鈦膜或鈦合金膜之積層膜之構成之各金屬膜同時加以蝕刻。

又，依本發明之蝕刻劑，藉由調整成使上述氟酸與過碘酸之合計之重量比率為 0.05~30wt%之範圍內，且使上述硫酸之重量比率為 0.05~20wt%之範圍內，且使相對於上述氟酸之過碘酸之重量比為 0.01~2之範圍內，可將在低阻抗之鋁膜或鋁合金膜上積層其他金屬膜之鈦膜或鈦合金膜所成之積層膜之構成之各金屬膜以一次蝕刻及略相同之蝕刻率作蝕刻。

又，本發明為解決前述課題乃提供一種電子機器用基板之製造方法，為於至少表面為絕緣性之基板上順序形成鋁膜或鋁合金膜及鈦膜或鈦合金膜所成之積層膜(以下略記為鋁與鈦之積層膜)之表面形成既定圖樣之罩體，而使用本發明之蝕刻劑蝕刻上述積層膜，而形成上述既定圖樣之積層配線者，為其特徵者。

又，本發明為解決前述課題乃提供一種電子機器用基板之製造方法，為於至少表面為絕緣性之基板上順序形成鈦膜或鈦合金膜、鋁膜或鋁合金膜及鈦膜或鈦合金膜所成之積層膜(以下略記為鈦與鋁與鈦之積層膜)之表面形成既定圖樣之罩體，而使用本發明之蝕刻劑蝕刻上述積層膜，而形成上述既定圖樣之積層配線者，為其特徵者。

依本發明之電子機器用基板之製造方法，藉由使用上述構成之本發明之蝕刻劑蝕刻上述積層膜，即可將構成上述積層膜之各金屬膜以一次之蝕刻工程及略相同之蝕刻率作蝕刻，其生產效率甚高且可縮短製造工程。又，因係將



## 五、發明說明 (9)

構成上述積層膜之各金屬膜以略相同之蝕刻率蝕刻，故可容易地控制構成積層配線之上層與下層之配線之線寬。

又，因使用於鋁膜或鋁合金膜上積層鈦膜或鈦合金膜之積層膜，於鋁膜或鋁合金膜表面形成阻擋層，於其後之熱處理等可抑制鋁膜或鋁合金膜表面之突起之成長，故可防止突起所造成之短路及絕緣不良。又，鈦膜或鈦合金膜與ITO之接觸阻抗因較鋁膜或鋁合金膜與ITO之接觸阻抗為低，故藉由於鋁膜或鋁合金膜之表面形成鈦膜或鈦合金膜即可降低接觸阻抗。

因此，依本發明之電子機器用基板之製造方法乃可得到電子特性良好且可提高產生而能降低成本之電子機器用基板者。

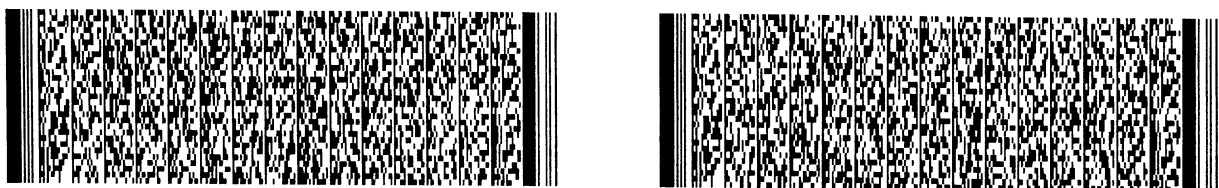
又，本發明為解決前述課題，乃提供一種具有以上述請求項第2項或第3項所述之製造方法所製造出之基板的電子機器者。

依本發明之電子機器，因設有具有作為低阻抗配線之鋁膜或鋁合金膜的積層用配線，而使用設有該配線之電子機器用基板，故配線阻抗所引起之訊號電壓降低及配線延遲等現象不易產生，而可容易地實現配線較長之大面積之顯示及配線為較細之高密度之顯示之最佳的顯示裝置者。

## 【較佳實施例之發明詳述】

以下根據圖示詳細說明本發明，但本發明並不只限定於此等實施型態例。

第3圖為將本發明之電子機器用基板之製造方法適用



## 五、發明說明 (10)

於液晶顯示裝置上所具備之薄膜電晶體基板之製造方法中而製造出薄膜電晶體之實施型態例之部份斷面圖。

符號 a 之部份為薄膜電晶體 (TFT) 部，b 之部份為位於 TFT 矩陣外側之源配線之端子部，c 之部份為閘配線之端子部。又，此等三個部份在具有此薄膜電晶體基板 1 之實際之液晶顯示裝置上為位於相距較遠處，本來是無法同時揭示斷面圖者，但為圖示上之方便乃相接近作圖示。

首先說明有關薄膜電晶體部 a 之部份。

於薄膜電晶體部 a 上，於基板 2 上設有由膜厚 1300 至 2000 埃左右之鋁膜或鋁合金膜 3 與膜厚 500 至 1000 埃左右之鈦膜或鈦合金膜 4 之積層配線所形成之閘電極 5。於其上設有閘絕緣膜 7，於此閘絕緣膜 7 上設有由非晶性矽 (a-Si) 所形成之半導體膜 8，於此半導體膜 8 上設有 n+ 型 a-Si 層 9，於其上復設有源電極 12 及漏電極 15。源電極 12 與漏電極 15 係由膜厚 500 至 1000 埃左右之鈦膜或鈦合金膜 10，與膜厚 1300 至 2000 埃左右之鋁膜或鋁合金膜 11，與膜厚 500 至 1000 埃左右之鈦膜或鈦合金膜 10 之積層配線所形成。

又，於源電極 12 與漏電極 15 之上方形形成有覆蓋其之鈍化膜 17 (絕緣膜)，於此鈍化膜 17 上形成有通達設於鋁膜或鋁合金膜 11 上側之鈦膜或鈦合金膜 10 之接觸孔 18。又，沿接觸孔 18 之內壁面及底面形成有成為畫素電極之 ITO 層 19。通過此接觸孔 18，漏電極 15 與 ITO 層 19 (畫素電極) 被電連接。

其次，關於源配線之端子部 b，係於閘絕緣膜 7 上形成由鈦膜或鈦合金膜 10 及鋁膜或鋁合金膜 11 與鈦膜及鈦合金



## 五、發明說明 (11)

膜 10 所形成之電極層 16a，於其上形成有鈍化膜 17，並形成有通達設於鋁膜或鋁合金膜 11 上側之鈦膜或鈦合金膜 10 之接觸孔 20。又，沿接觸孔 20 之內壁面及底面形成有由 ITO 所構成之上部電極層 21。通過此接觸孔 20，下部電極層 16a 與上部電極層 21 係被電連接。

其次，關於閘配線之端子部 c，係於基板 2 上形成由鋁膜或鋁合金膜 3 與鈦膜或鈦合金膜 4 之積層配線所構成之下部電極層 16b，於其上形成有閘絕緣膜 7，其上復形成有鈍化膜 17，並形成有通達鈦膜或鈦合金膜 4 之接觸孔 22。

又，沿接觸孔 22 之內壁面及底面形成有由 ITO 所構成之上部電極層 23。通過此接觸孔 22，下部電極層 16b 與上部電極層 23 係被電連接。

藉由此種構成，ITO 層與鋁層係介以由可與 ITO 作電連接之金屬所形成之鈦膜或鈦合金膜被接續，故不會發生由直接接觸所形成之阻抗值之上昇之情形。

上述鈍化膜之例，可舉出 a(非晶性)- $S_iN_x:H$ 、a- $S_iN_x$ 、a-二氧化矽:H、二氧化矽等。

其次，根據第 1 圖及第 2 圖說明本實施型態之薄膜電晶體基板 1 之製造工程。第 1 圖及第 2 圖中，符號 a 之部份為薄膜電晶體 (TFT) 部，b 之部份為位於 TFT 矩陣外側之源配線之端子部，c 之部份為閘配線之端子部。

首先，如第 1 圖 A 所示，於基板 2 全體上使用噴濺法順序成膜出鋁膜或鋁合金膜 3 與鈦膜或鈦合金膜 4 而形成積層膜。

接著關於薄膜電晶體部 a 者，係於鈦膜或鈦合金膜 4 上



## 五、發明說明 (12)

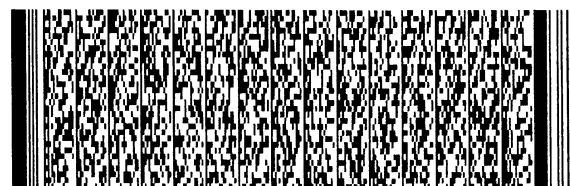
以光蝕刻法形成既定之圖樣之光罩 27，其後使用由氟酸、過碘酸及硫酸所形成之蝕刻劑，於上述積層膜上實施一體性之蝕刻，而形成如第 1 圖 B 所示般之由鋁膜或鋁合金膜 3 及鈦膜或鈦合金膜 4 之積層配線所形成之閘電極 5。在此所使用之蝕刻劑其上述氟酸與過碘酸之合計之重量比率為在 0.05 至 30wt% 之範圍內，且上述硫酸之重量比率為在 0.05 至 20wt% 之範圍內，而上述過碘酸之相對於上述氟酸之重量比為調整至 0.01 至 2 之範圍內。

一方面，閘配線之端子部 c 者，係於鈦膜或鈦合金膜 4 上以光蝕刻法形成既定圖樣之光罩 28 後，使用與前述者相同之蝕刻劑對上述積層膜實施一體性蝕刻，而形成如第 1 圖 B 所示之由鋁膜或鋁合金膜 3 與鈦膜或鈦合金膜 4 之積層配線所形成之下部電極層 16b。

藉由上述方式之施作，可將構成上述積層膜之鋁膜或鋁合金膜 3 與鈦膜或鈦合金膜 4 同時以略相同之蝕刻率作蝕刻，可得到上層與下層之配線之線寬為略相等之積層配線所構成之閘電極 5 與下部電極層 16b，可防止由基蝕所導致之絕緣耐壓不良等情形之發生。

接著於基板 2 之上表面全體上使用 CVD 法形成閘絕緣膜 7。接著，關於薄膜電晶體部 a 者，則於形成半導體膜 8、n+ 型 a-Si 層 9 後，如第 1 圖 C 所示般，蝕刻半導體膜 8 與 n+ 型 a-Si 層 9 使保留成為 TFT 之通道部之閘電極 5 之上方部份。

又，薄膜電晶體部 a 及源配線之端子部 b 者，如第 1 圖 D 所示般，係順續成膜出鈦膜或鈦合金膜 10 與鋁膜或鋁合金膜 11 及鈦膜或鈦合金膜 10 而形成積層膜。



## 五、發明說明 (13)

其次，薄膜電晶體部 a 者，係於成為 TFT 之通道部之閘電極 5 之上方之鈦膜或鈦合金膜 10 上以光蝕刻法形成既定圖樣的光罩 37 後，使用與前述者相同之蝕刻劑於上述積層膜上實施一體性蝕刻，而形成如第 2 圖 A 所示般之由鈦膜或鈦合金膜 10 及鋁膜或鋁合金膜 11 及鈦膜或鈦合金膜 10 之積層配線所形成之源電極 12 與漏電極 14。

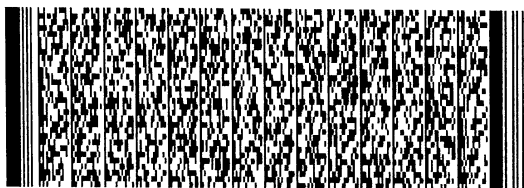
一方面，源配線之端子部 b 者，係於鈦膜或鈦合金膜 10 上以光蝕刻法形成既定圖樣之光罩 38 後，使用與前述者相同之蝕刻劑對上述積層膜實施一體性蝕刻，而形成如第 2 圖 A 所示之由鈦膜或鈦合金膜 10 與鋁膜或鋁合金膜 11 與鈦膜或鈦合金膜 10 之積層配線所形成之下部電極層 16a。

藉由上述方式之施作，可將構成上述積層膜之鈦膜或鈦合金膜 10 與鋁膜或鋁合金膜 11 與鈦膜或鈦合金膜 10 同時以略相同之蝕刻率作蝕刻，可得到上層與下層之配線之線寬為略相等之積層配線所構成之源電極 12、漏電極 14 與下部電極層 16a，可防止由基蝕所導致之絕緣耐壓不良等情形之發生。

其後使用乾式法或併用乾式法及濕式法將 n+ 型 a-Si 層蝕刻而形成通道 24。

其次，薄膜電晶體部 a 與源配線之端子部 b 及閘配線之端子物 c 者，係於鈦膜或鈦合金膜 4、10 上形成鈍化膜 17。

接著，薄膜電晶體部 a 者，如第 2 圖 B 所示，係以乾式法或併用乾式法及濕式法蝕刻鈍化膜 17 而於形成接觸孔 18 後，於全面上形成 ITO 層，其後藉由實行圖樣化工程，如第 3 圖所示般，於接觸孔 18 之底面及內壁面乃至鈍化膜 17



## 五、發明說明 (14)

之上表面形成 ITO 層 19。

一方面，源配線之端子部 b 與閘配線之端子部 c 者，係同樣地，以乾式法或併用乾式法及濕式法蝕刻鈍化膜 17 而於形成接觸孔 20、22 後（惟，閘配線端子部 c 除鈍化膜 17 外亦蝕刻閘絕緣膜 7 而形成接觸孔 22），於全面上形成 ITO 層，其後藉由實行圖樣化工程，如第 3 圖所示般，於接觸孔 20、22 之底面及內壁面乃至鈍化膜 17 之上表面形成上部電極層 21、23。

依照此種順序可製造出薄膜電晶體基板。

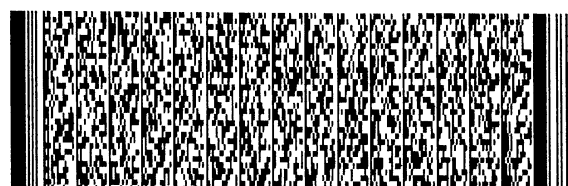
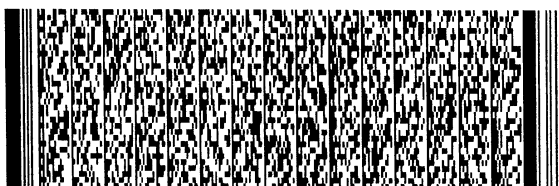
本實施型態例之薄膜電晶體基板之製造方法者，係以一次之蝕刻工程將構成上述積層膜之各金屬膜同時以略相同之蝕刻率作蝕刻，故除可容易地控制構成積層配線之上層與下層之配線之線寬外，其生產性良好，可縮短製造工程。

又，因使用於鋁膜或鋁合金膜上積層鈦膜或鈦合金膜之積層膜，故成為於鋁膜或鋁合金膜表面具有阻擋層之構成，可抑制其後之熱處理等所造成之鋁膜或鋁合金膜表面之突起之成長，可防止因突起所造成之短路或絕緣不良。

又，形成於鋁膜或鋁合金膜上的鈦膜或鈦合金膜係與 ITO 層接續，故可不使接觸阻抗上昇，而將鋁膜或鋁合金膜與 ITO 層作電連接。

因此，以本實施型態例之電晶體基板之製造方法所製造出之薄膜電晶體基板其電子特性甚良好，可提高生產性而有可減低成本之優點。

又，本發明之技術範圍並不只限定於上述實施型態，



## 五、發明說明 (15)

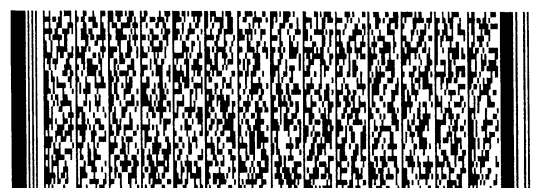
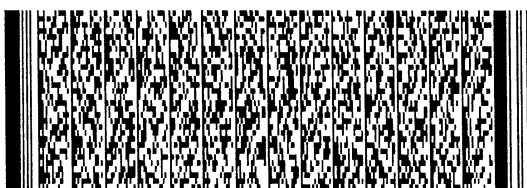
關於例如鋁膜或鋁合金膜、鈦膜或鈦合金膜及鈍化膜等之膜厚及形狀等，只要在不脫離本發明精神之範圍內可作各種變更。

又，於上述實施型態中，係說明一體蝕刻鋁膜或鋁合金膜 3 與鈦膜或鈦合金膜 4 之積層膜而形成下部電極層 16b 之情形，但一體蝕刻鈦膜或鈦合金膜與鋁膜或鋁合金膜與鈦膜或鈦合金膜之積層膜而形成者亦可。又，係說明一體蝕刻鈦膜或鈦合金膜 10 與鋁膜或鋁合金膜 11 與鈦膜或鈦合金膜 10 之積層膜而形成源電極 2、漏電極 14 與下部電極層 16a 之情形，但一體蝕刻鋁膜或鋁合金膜與鈦膜或鈦合金膜之積層膜而形成者亦可。

第 7 圖為使用藉由本發明之電子機器用基板之製造方法所製造出之薄膜電晶體基板的反射型液晶顯示裝置之一例的概略示意圖。

此反射型液晶顯示裝置者，係於夾持液晶層 59 而相對向之上側及下側玻璃基板 51 與 52 之上側玻璃基板 51 之內側，自上側玻璃基板 51 起順序設置上側透明電極層 55 及上側配向膜 57，而於下側玻璃基板 52 之內側面自下側玻璃基板 52 側起順序設置下側透明電極層 56 與下側配向膜 58 所成。

液晶層 59 係配設於上側與下側之配向膜 57 及 58 間。於上側玻璃基板 51 之外表面側上設有上側偏光板 60，於下側玻璃基板 52 之外表面側上設有下側偏光板 61，又，於下側偏光板 61 之外表面側上以使反射膜 64 之凹凸面 65 面上下側偏光板 61 側之方式安裝著反射板 62。反射板 62 係例如於表



## 五、發明說明 (16)

面上形成有任意之凹凸面之聚酯膜片 63 之凹凸面上蒸鍍由鋁或銀等所形成之金屬反射膜 64 而成膜形成者，其表面上設有任意之凹凸面 65。

於此反射型液晶顯示裝置上，玻璃基板 52 係相當於將本發明之電子機器之製造方法適用於薄膜電晶體基板之製造方法所製造出之實施型態例之薄膜電晶體基板 1 之基板 2，而下側透明電極層 56 係相當於 ITO 層 (畫素電極) 19。

依本實施型態之反射型液晶顯示裝置，因使用具有低阻抗配線材之鋁膜或鋁合金膜之積層配線的薄膜電晶體基板 1，故起因於配線阻抗之訊號電壓之降低及配線延遲將不易產生，可容易地實現配線較長之大面積之顯示及配線為較細之高密度之顯示之最佳的顯示裝置者。

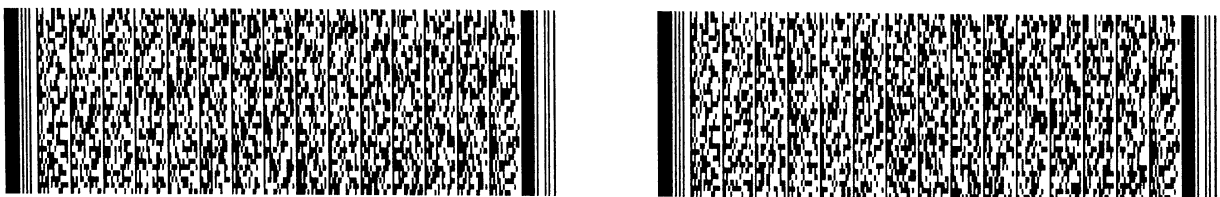
以下以實施例具體說明本發明，但本發明並不限定於此等實施例。

## (實施例 1)

使用第 4 圖之電極電位測量裝置以下述之方式調查蝕刻劑中之過碘酸之含有量及鋁電極與鈦電極間之電位差之關係。

於容器內充滿蝕刻劑後，於此蝕刻劑中浸漬鋁電極及鈦電極之兩電極，自電源施加電壓使電流流通，測量兩電極間之電位差。在此之蝕刻劑係使用一定份量之氟酸 0.3wt% 與硫酸 0.1mol/l (0.54wt%)，而過碘酸者係在 0.05wt% 至 2.0wt% 之範圍作變更。其結果如第 8 圖所示。

自第 8 圖所示之結果中可知，於蝕刻劑中包含 0.3wt%



## 五、發明說明 (17)

之氟酸與  $0.1\text{mol/l}$  之硫酸時，當過碘酸之含有量為  $0.6\text{wt}\%$  以下時，鋁電極與鈦電極之電位差  $\Delta E$  將成為  $0.4\text{V}$  以下。電位差  $\Delta E$  為  $0.4\text{V}$  時之相對於氟酸之過碘酸之重量比為 2 以下，因此將相對於氟酸之過碘酸之重量比之上限設為 2。

## (實施例 2)

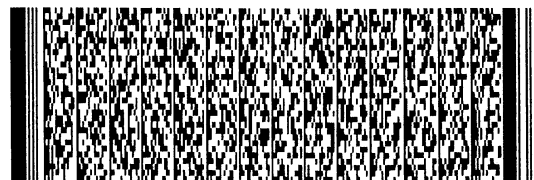
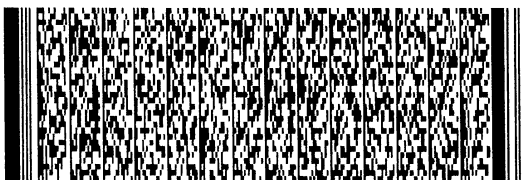
以下述方式調查蝕刻劑中之氟酸之含有量與鋁電極和鈦電極間之電位差，與使用此蝕刻劑蝕刻鋁膜與鈦膜之積層膜時之側蝕刻量  $\Delta L$  之關係。

關於蝕刻劑中的氟酸之含有量與鋁電極及鈦電極間之電位差，作為蝕刻劑使用一定成份之  $1.5\text{wt}\%$  之過碘酸及  $1\text{mol/l}$  ( $5.4\text{wt}\%$ ) 之硫酸，且使用範圍為變更於  $0.1\text{wt}\%$  至  $0.8\text{wt}\%$  之氟酸之物品，其他則以與上述實驗例 1 相同之方式作測量。其結果如第 9 圖所示。

又，關於側蝕量，可用將膜厚 1300 埃之鋁膜與膜厚 500 埃之鈦膜之積層膜以改變氟酸含有量之蝕刻劑作一體蝕刻時所測得之側蝕量  $\Delta L$ 。其結果如第 10 圖所示。

從第 9 圖及第 10 圖所示之結果可知，於蝕刻劑中含有過碘酸  $1.5\text{wt}\%$  及硫酸  $1\text{mol/l}$  時，當氟酸之含有量為  $0.65\text{wt}\%$  以上之場合，則鋁電極與鈦電極間之電位差  $\Delta E$  成為  $0.4\text{V}$  以下，又，側蝕量  $\Delta L$  亦成為無實用上之問題之 500 埃以下。特別是當氟酸之含有量為  $0.75\text{wt}\%$  以上時，側蝕量  $\Delta L$  則成為 250 埃。

## (實施例 3)



## 五、發明說明 (18)

關於蝕刻劑中的硫酸之含有量與鋁電極及鈦電極間之電位差，作為蝕刻劑使用一定成份之 0.05wt%之過碘酸及 0.3wt%之氟酸，且使用範圍為變更於 0wt%至 0.54wt%之硫酸，其他則以與上述實驗例 1 相同之方式作測量。其結果如第 11 圖所示。

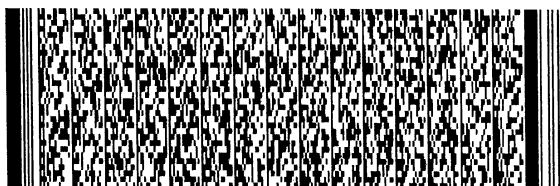
從第 11 圖所示之結果可知，於蝕刻劑中含有過碘酸 0.05wt%及氟酸 0.03wt%時，當硫酸之含有量為 0.05wt%以下之場合，則鋁電極與鈦電極間之電位差  $\Delta E$  成為 0.4V 以上，故硫酸之重量比之下限成為 0.05wt%。

## 【發明之效果】

如上所詳細敘述者，依本發明之蝕刻劑，因具有上述構成，乃有可將低阻抗之鋁膜或鋁合金膜上積層其他金屬膜之鈦膜或鈦合金膜而形成之積層膜之各構成之各金屬膜以一次之蝕刻及略相同之蝕刻率實行蝕刻之優點。

又，依本發明之電子機器用基板之製造方法，藉由使用上述構成之本發明之蝕刻劑對上述積層膜作蝕刻，乃可將上述積層膜之各構成之各金屬膜以一次之蝕刻及略相同之蝕刻率實行蝕刻，故除可容易地控制構成積層配線之上層與下層之配線之線寬外，其生產性良好，可縮短製造工程。

又，依本發明之電子機器，起因於配線阻抗之訊號電壓之降低及配線延遲將不易產生，可容易地實現配線較長之大面積之顯示及配線為較細之高密度之顯示之最佳的顯示裝置者。



五、發明說明 (19)

## 圖式簡單說明

第 1 圖為揭示本發明之電子機器用基板之製造方法之實施型態例之薄膜電晶體基板之製造方法之工程順序之概略圖。

第 2 圖為揭示本發明之電子機器用基板之製造方法之實施型態例之薄膜電晶體基板之製造方法之工程順序之概略圖。

第 3 圖為利用本發明之電子機器用基板之製造方法所得之薄膜電晶體基板之部份斷面圖。

第 4 圖為電極電位測量裝置之概略構成之示意圖。

第 5 圖為構成電極之金屬與電極電位之關係之示意圖。

第 6 圖為鋁電極與鈦電極間之電位差  $\Delta E$  與鋁及鈦之積層膜之側蝕量  $\Delta L$  之關係之示意圖。

第 7 圖為使用本實施型態例之薄膜電晶體基板之反射型液晶顯示裝置之一例之概略圖。

第 8 圖為蝕刻劑中之過碘酸之含有量與鋁電極及鈦電極間之電位差之關係之示意圖。

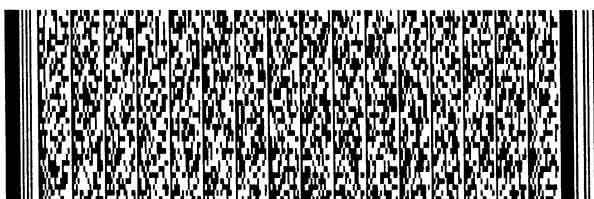
第 9 圖為蝕刻劑中之氟酸之含有量與鋁電極及鈦電極間之電位差之關係之示意圖。

第 10 圖為蝕刻劑中之氟酸之含有量與使用此蝕刻劑蝕刻鋁膜與鈦膜時之側蝕量之關係圖。

第 11 圖為蝕刻劑中之硫酸之含有量與鋁電極及鈦電極間之電位差之關係之示意圖。

第 12 圖為一般的薄膜電晶體型液晶顯示裝置之薄膜電晶體部份之概略示意圖。

第 13 圖為形成於基板之上之鋁膜及鈦膜之積層膜之斷面圖。



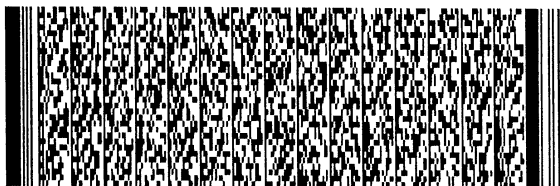
## 圖式簡單說明

第 14圖 為 習 知 之 電 子 機 器 用 基 板 之 製 造 方 法 之 工 程 順 序 之 概 略 圖 。

第 15圖 為 習 知 之 電 子 機 器 用 基 板 之 其 他 製 造 方 法 之 工 程 順 序 之 概 略 圖 。

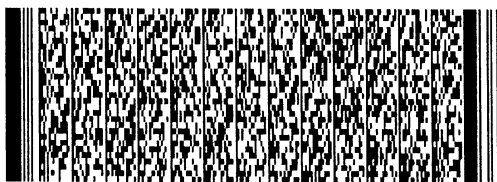
## 【圖式元件符號】

- |                |           |
|----------------|-----------|
| 1              | 薄膜電晶體基板   |
| 2、83           | 基板        |
| 3、11           | 鋁膜或鋁合金膜   |
| 4、10           | 鈦膜或鈦合金膜   |
| 5              | 閘電極       |
| 7              | 閘絕緣膜      |
| 8              | 半導體膜      |
| 9              | n+型 a-Si膜 |
| 12、88          | 源電極       |
| 15、89          | 漏電極       |
| 16a、16b        | 下部電極層     |
| 17             | 鈍化膜       |
| 18、20、22、91、95 | 接觸孔       |
| 19             | ITO層      |
| 21、23、96       | 上部電極層     |
| 27、37、38、97、98 | 光罩、光致抗蝕劑  |
| 24             | 通道        |
| 51             | 上側玻璃基板    |
| 52             | 下側玻璃基板    |



## 圖式簡單說明

- 55 上側透明電極層  
56 下側透明電極層  
57 上側配向膜  
58 下側配向膜  
59 液晶層  
60 上側偏光板  
61 下側偏光板  
62 反射板  
63 聚酯膜片  
64 反射膜  
65 凹凸面  
75 電解液  
76 容器  
77、78 電極  
79 可變電阻  
80 電源  
82 薄膜電晶體  
84 閘電極  
85 絕緣膜  
86 半導體能動膜  
87 歐姆接觸層  
90 鈍化膜  
92 畫素電極  
93 端子電極部  
a 薄膜電晶體部



圖式簡單說明

b、c 端子部

ITO 銦氧化錫



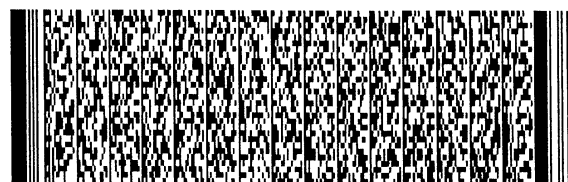
## 四、中文發明摘要 (發明之名稱：蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法)

提供一種蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法與具有利用前述方法製造之基板的電子機器者，其係於將低阻抗之Al膜或Al合金膜積層於其他金屬膜上所成之積層膜作為配線材料使用時，藉由對構成上述積層膜之金屬膜實行一次蝕刻，而形成以略相同之蝕刻率作蝕刻之狀況者。其係一蝕刻劑，其特徵為：具有氟酸、過碘酸及硫酸，且前述氟酸與過碘酸之合計之重量比率為0.05~30wt%，且前述硫酸之重量比率為0.05~20wt%，且相對於氟酸之過碘酸之重量比為0.01~2，其組成材料為可將積層有鋁膜或鋁合金膜與鈦膜或鈦合金膜的配線5、12、14的各膜以略同之蝕刻率作一體之蝕刻者。

## 英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A SUBSTRATE FOR ELECTRONIC DEVICE BY USING ETCHANT AND ELECTRONIC DEVICE HAVING THE SUBSTRATE)

Method of manufacturing a substrate for electronic device by using etchant and electronic device having the substrate is provided, while using low-resist Al films or Al alloy film layer developed on other metal film to be the wiring material, by implementing an one-time etching said layer on the metal layer to form almost the same etch ratio case as etched.

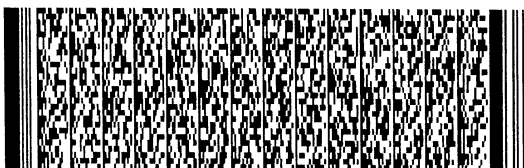
It is an etchant, characteristic in said



四、中文發明摘要 (發明之名稱：蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法與電子機器)

英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A SUBSTRATE FOR ELECTRONIC DEVICE BY USING ETCHANT AND ELECTRONIC DEVICE HAVING THE SUBSTRATE)

etchant, having a fluoric acid, periodic acid and sulfuric acids, wherein total weight % of the fluoric acid and periodic acid is between 0.05 and 30 wt%, wherein a weight % of the sulfuric acids is between 0.05 and 20 wt%, and wherein a weight ratio of the periodic acid over the fluoric acid is between 0.01 and 2. The composed material used the wiring 5,12,14 of each film having Al films or Al alloy film layer and Ti films or Ti alloy film is etched, almost the same etching ratio , as



四、中文發明摘要 (發明之名稱：蝕刻劑及使用該蝕刻劑之電子機器用基板之製造方法與電子機器)

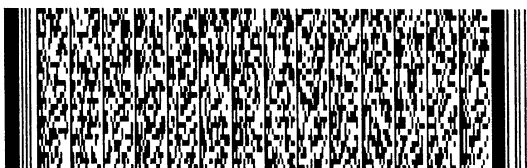
英文發明摘要 (發明之名稱：METHOD OF MANUFACTURING A SUBSTRATE FOR ELECTRONIC DEVICE BY USING ETCHANT AND ELECTRONIC DEVICE HAVING THE SUBSTRATE)

a whole.



## 六、申請專利範圍

1. 一種蝕刻劑，其特徵為：具有氟酸、過碘酸及硫酸，且前述氟酸與過碘酸之合計之重量比率為 0.05~30wt%，且前述硫酸之重量比率為 0.05~20wt%，且相對於氟酸之過碘酸之重量比為 0.01~2，其組成材料為可將積層有鋁膜或鋁合金膜與鈦膜或鈦合金膜的配線的各膜以略同之蝕刻率作一體之蝕刻者。
2. 一種電子機器基板之製造方法，其特徵為：於至少表面為絕緣性之基板上順序形成鋁膜或鋁合金膜及鈦膜或鈦合金膜所成之積層膜之表面形成既定圖樣之罩體，而使用申請專利範圍第 1 項之蝕刻劑蝕刻上述積層膜，而形成上述既定圖樣之積層配線者。
3. 一種電子機器用基板之製造方法，其特徵為：於至少表面為絕緣性之基板上順序形成鈦膜或鈦合金膜、鋁膜或鋁合金膜及鈦膜或鈦合金膜所成之積層膜之表面形成既定圖樣之罩體，而使用申請專利範圍第 1 項之蝕刻劑蝕刻上述積層膜，而形成上述既定圖樣之積層配線者。
4. 一種製造基板的方法，包括：在基板上形成金屬層，該金屬層至少具有 2 個不同的金屬層；在該金屬層上提供一預定的光罩 (MASK)；以及在預定的光罩中使用具有氟酸、過碘酸及硫酸之蝕刻劑去蝕刻該金屬層，其中氟酸與過碘酸之總比重百分比是介於 0.05 到 30 比重百分比，其中



## 六、申請專利範圍

硫酸之總比重百分比是介於 0.05到 20比重百分比，而且其中氟酸與過碘酸之比重比率是介於 0.01到 2。」

5.根據申請專利範圍第四項之方法，其中該金屬層包含一鋁或鋁合金層與鈦或鈦合金層。



本 告 公

圖

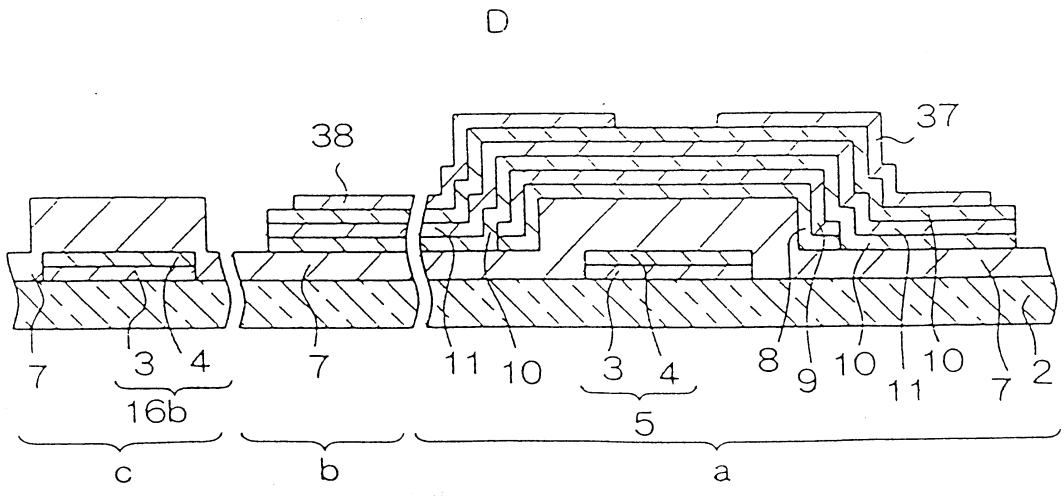
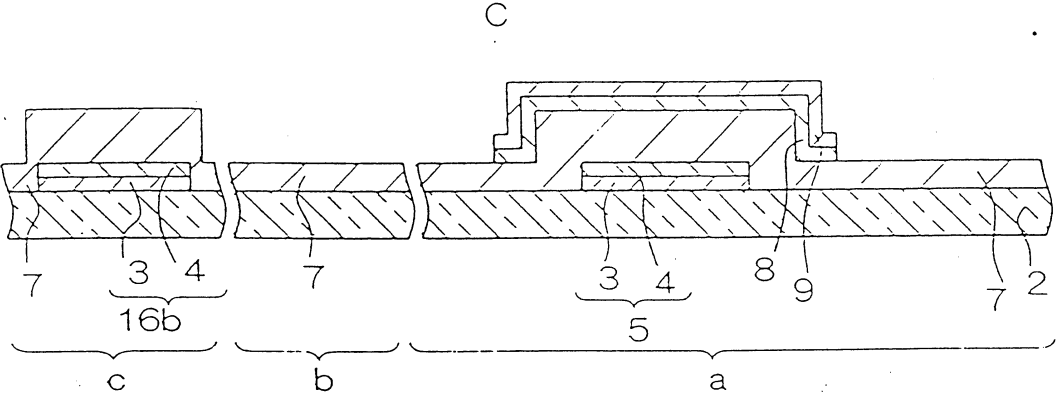
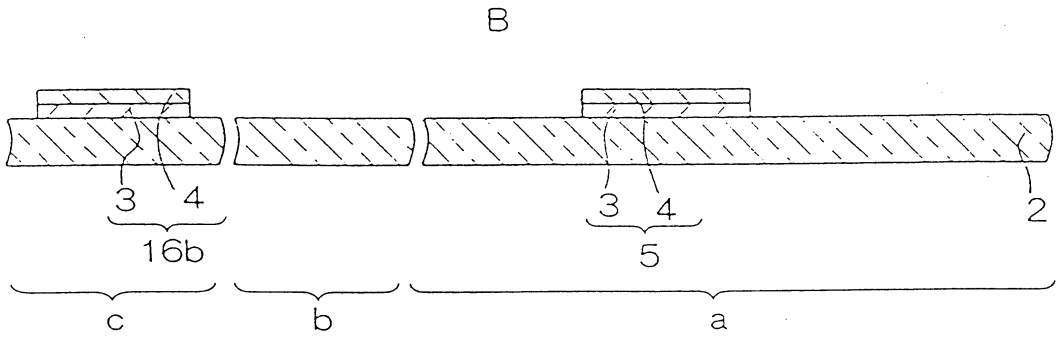
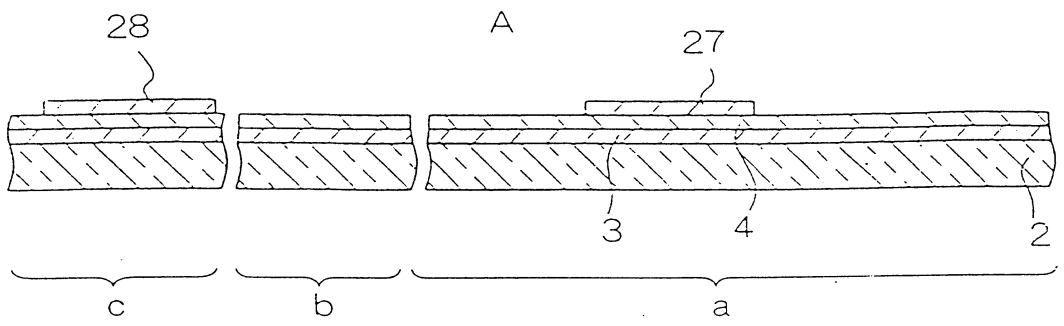


圖 2

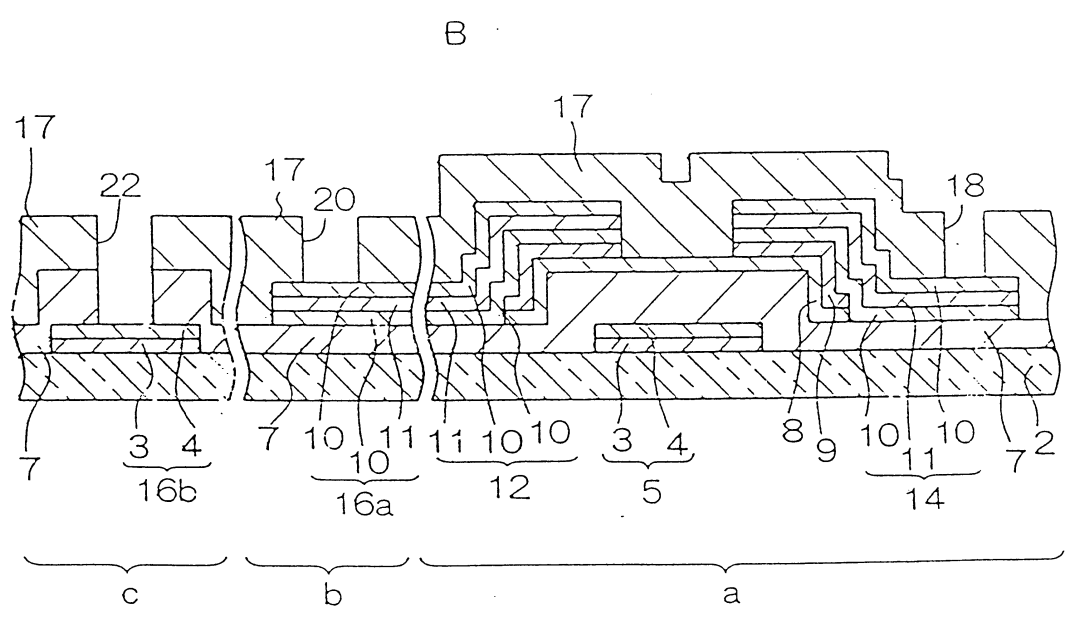
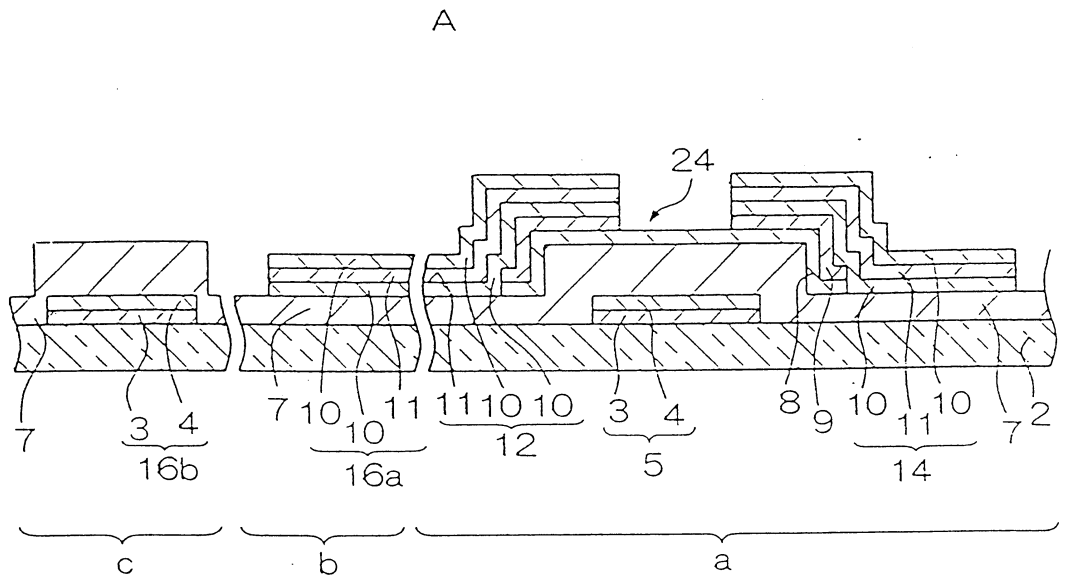


圖 3

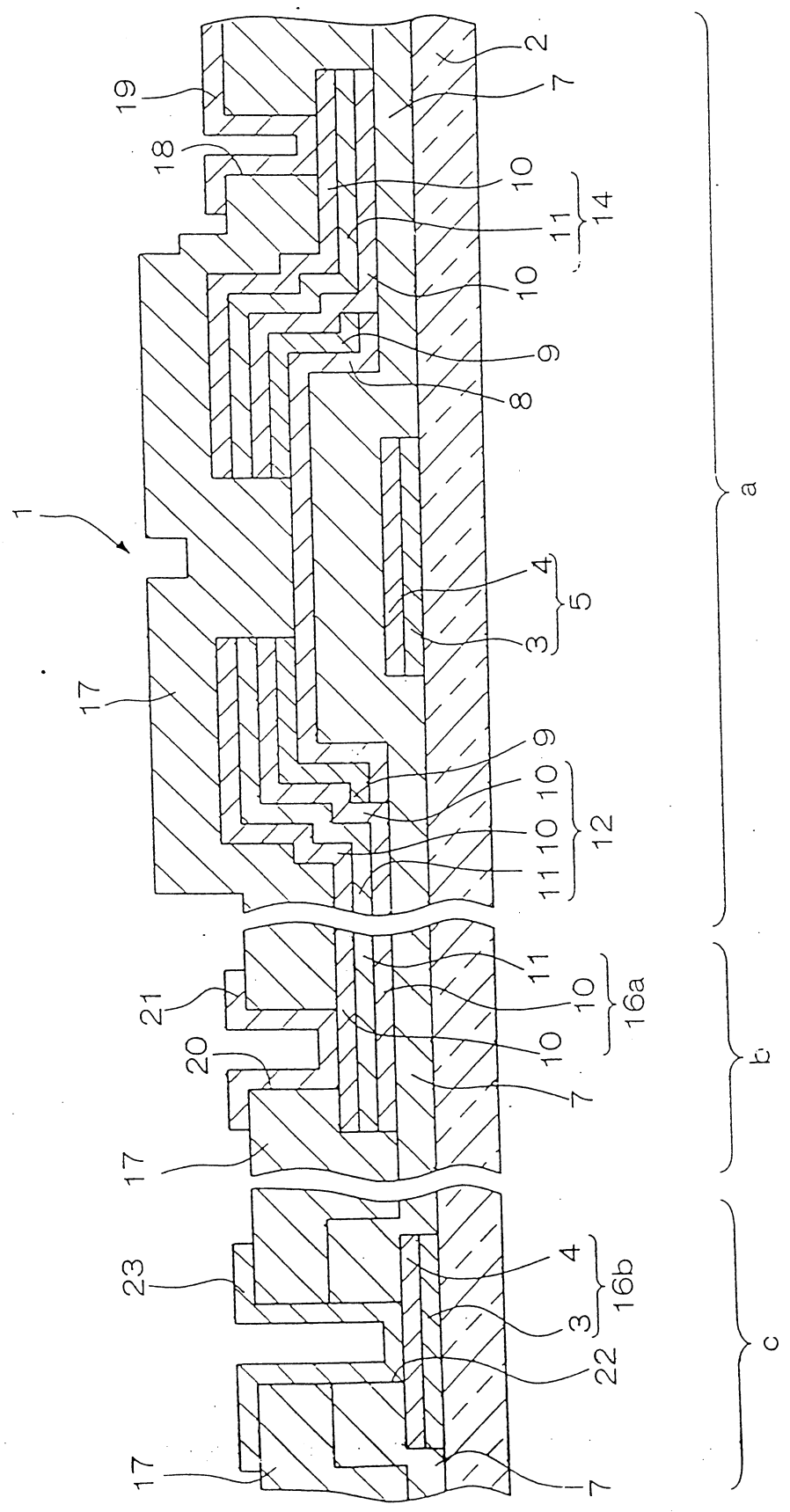


圖 4

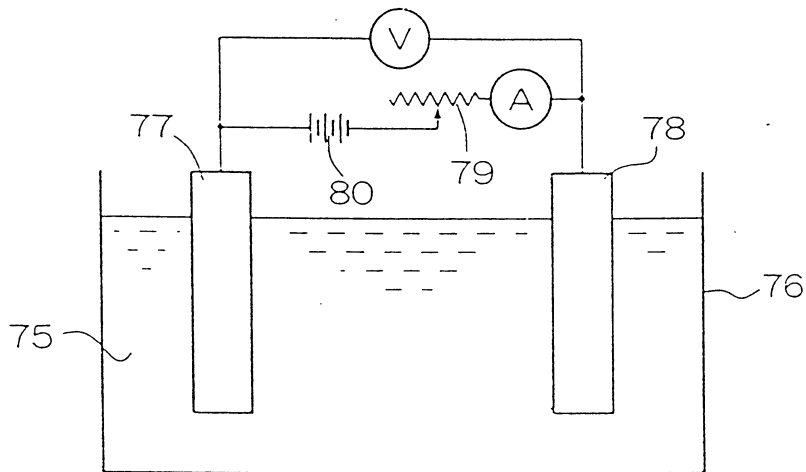


圖 5

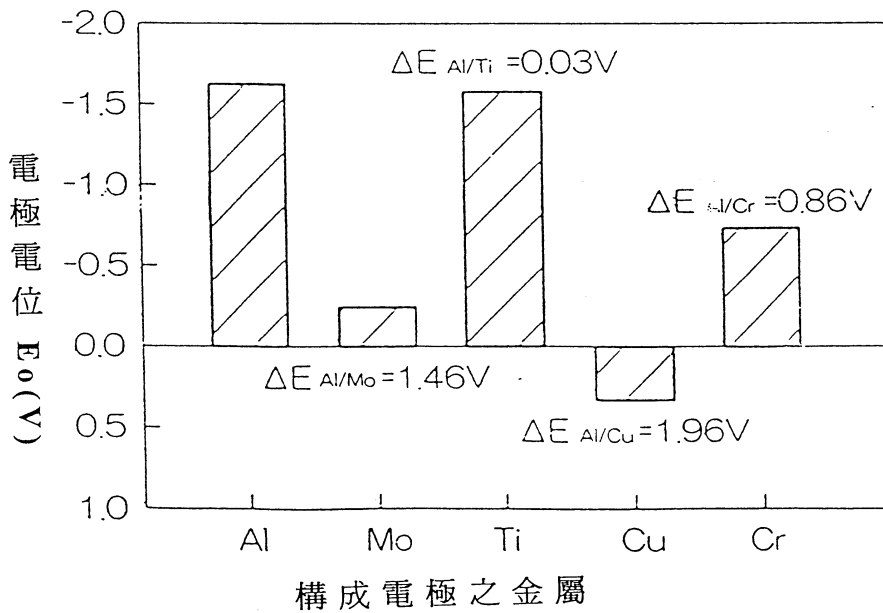


圖 6

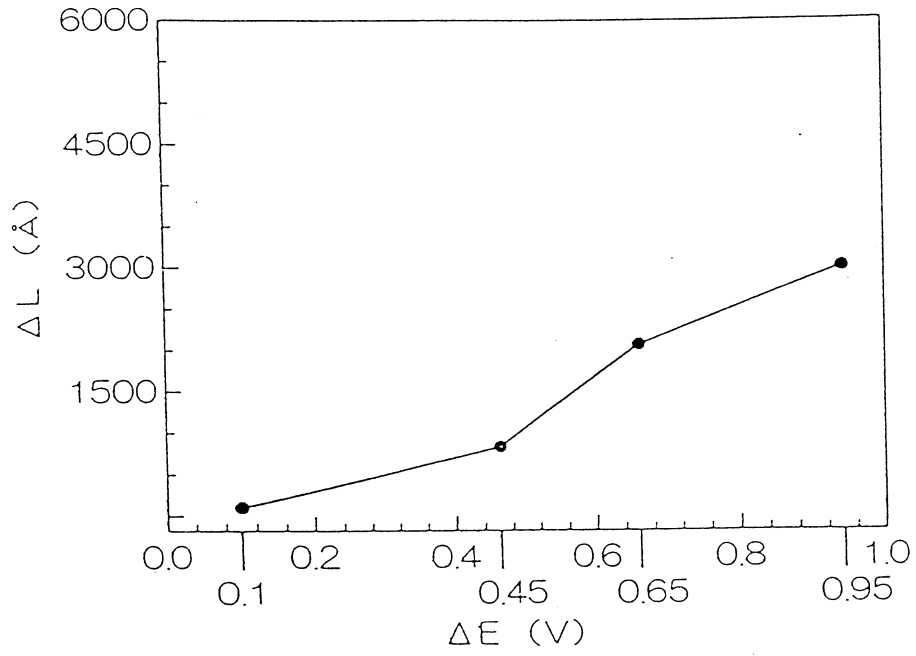


圖 7

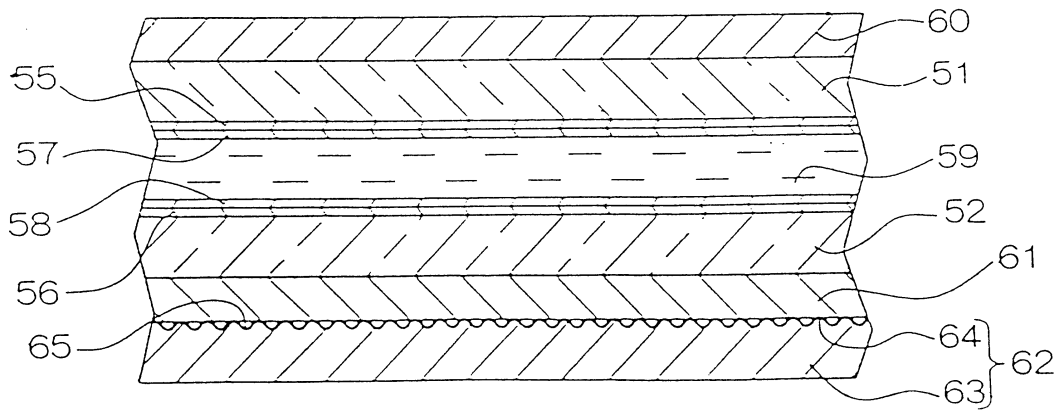


圖 8

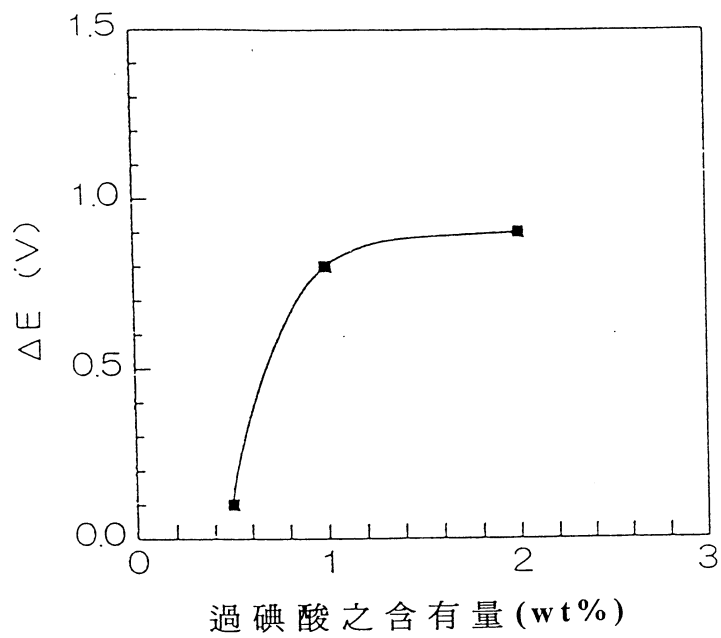


圖 9

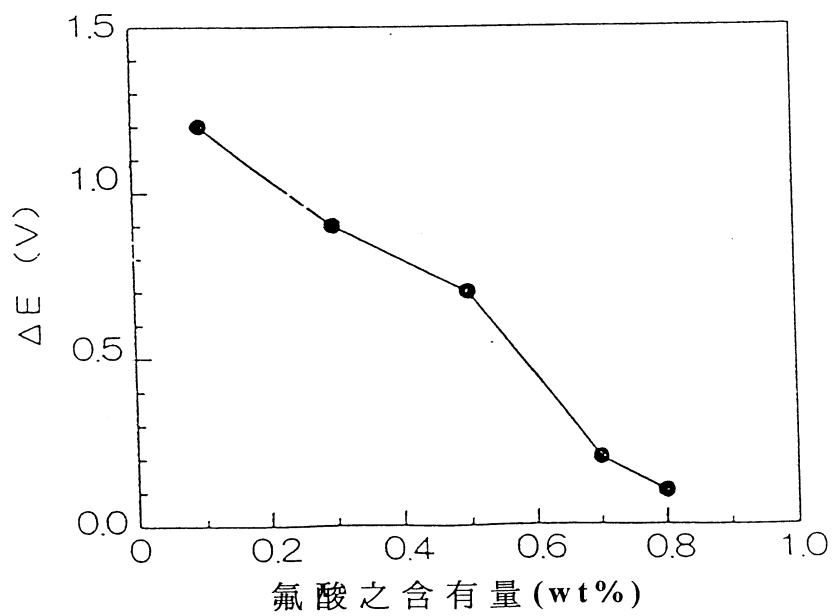


圖 10

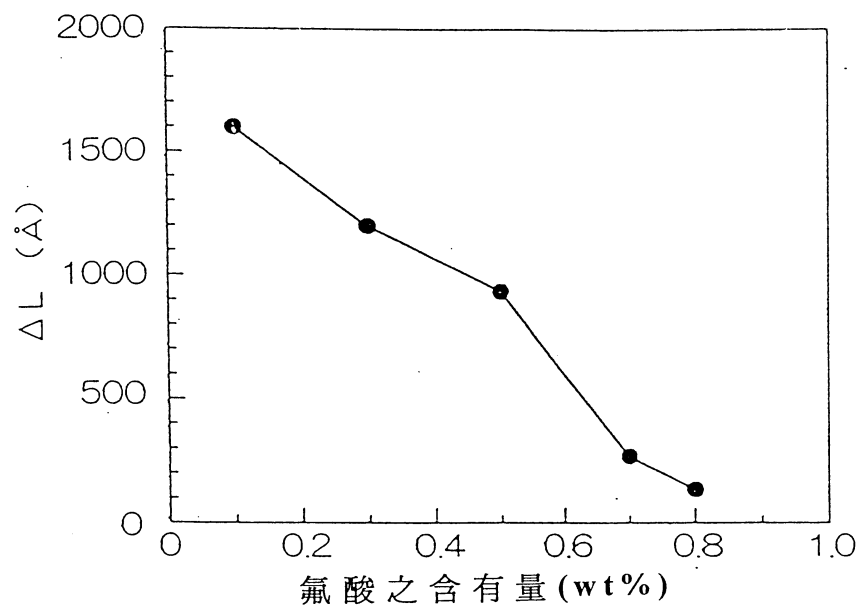


圖 11

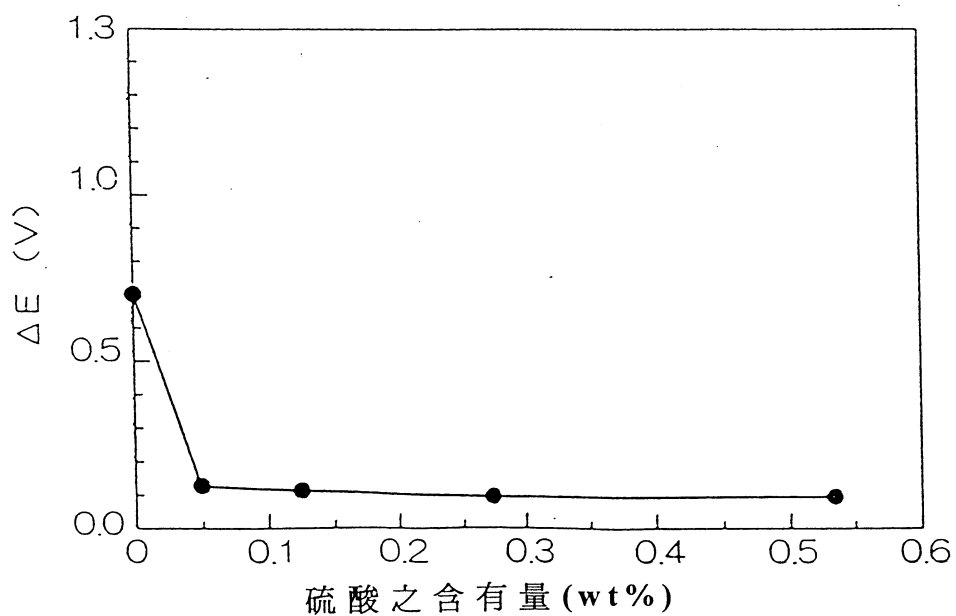


圖 12

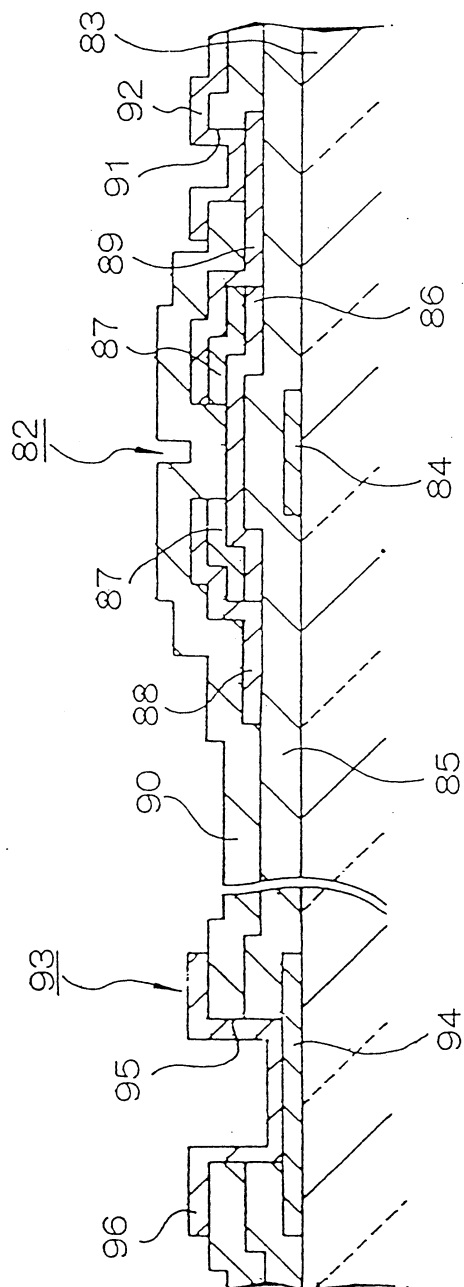


圖 13

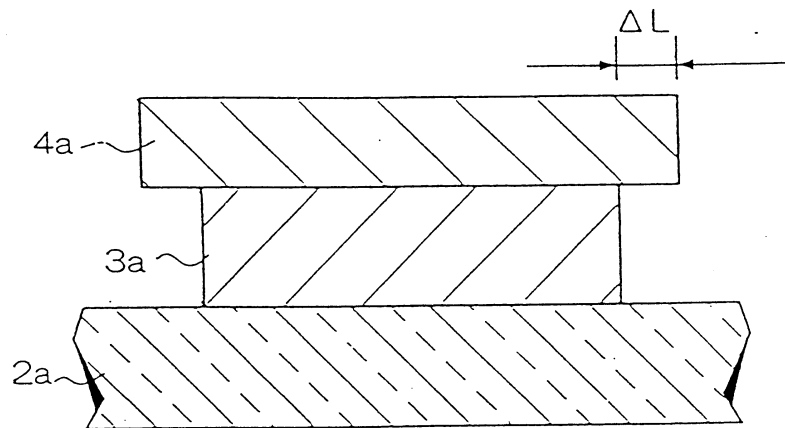


圖 14

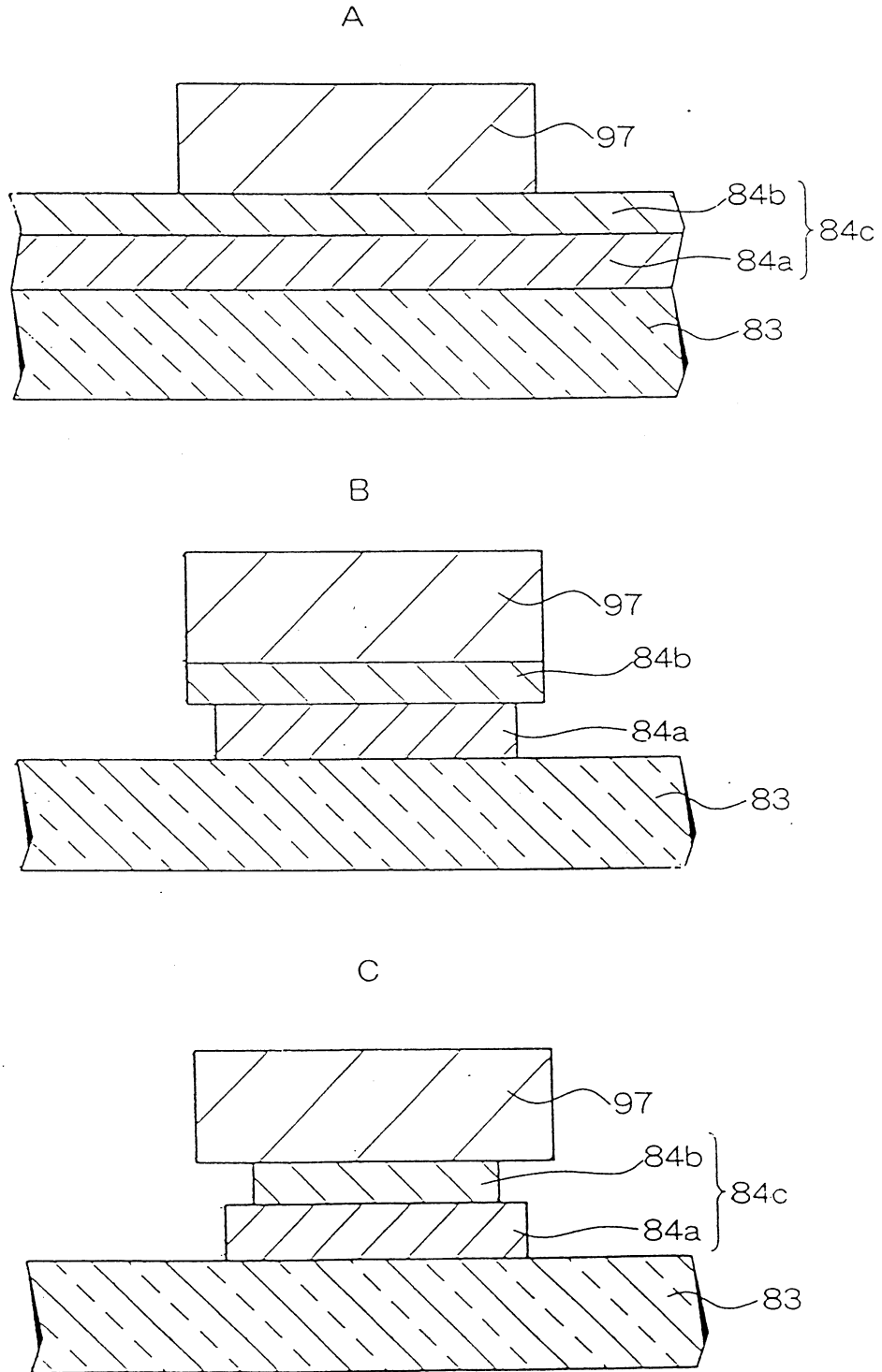


圖 15

