

**發明專利說明書** 200525550

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

95126785

※申請日期：

95.9.3

※IPC 分類：

G11C7/00

**一、發明名稱：**(中文/英文)

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

**二、申請人：**(共1人)

姓名或名稱：(中文/英文)

爾必達存儲器股份有限公司 / ELPIDA MEMORY, INC.

代表人：(中文/英文) 坂本 幸雄 / SAKAMOTO, YUKIO

住居所或營業所地址：(中文/英文)

日本國東京都中央區八重洲二丁目2番1號

2-1, Yaesu 2-chome, Chuo-ku, Tokyo, Japan

國籍：(中文/英文) 日本 / JAPAN

**三、發明人：**(共1人)

姓名：(中文/英文)

持田 宜晃 / MOCHIDA, NORIAKI

國籍：(中文/英文)

日本 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

受理國家：日本 JP

申請日：2003 年 9 月 4 日

申請案號：特願 2003-312389

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 一、【發明所屬之技術領域】

本發明係關於一種半導體記憶裝置之電力消耗量的降低技術，尤關於一種安裝有分層式 I/O 系統的半導體記憶裝置之電力消耗量的降低技術。

### 二、【先前技術】

近來，半導體記憶裝置的容量逐漸變大，且裝置之中的配線長度逐漸變長。自然而然地，與半導體記憶裝置有關的讀出／寫入速度將趨於緩慢。分層式 I/O 系統為用以改善讀出／寫入速度的其中一種技術。

根據分層式 I/O 系統，為了補償 I/O 線的電位且因而防止讀出／寫入速度變慢，故將副放大器配置在連接於主放大器與感測放大器之間的 I/O 線之上。

另一方面，根據習知的半導體記憶裝置，尚發生其它的問題。基於記憶裝置之中的配線之微型化，來自具有較小之閾值的 MOS 電晶體之漏電流將變大。基於半導體記憶裝置漸增的容量，元件的數量將增加，故半導體記憶裝置之待命電流將變大。尤其，具有分層式 I/O 系統的半導體記憶裝置勢必具有引起漏電流與待命電流的副放大器。

近年來，就 DRAM 而言，已必須進一步提高其容量、提高其處理速度、及降低其使用電壓。又，已將 DRAM 應用於各種新領域之中，例如，可攜式裝置的領域。尤其，極需降低 DRAM 的電力消耗量。

根據一種有效地抑制待命電流、因而能夠符合上述之需求的技術，其利用基板偏壓效應。根據此種技術，將基板設定成較大的負電位，藉以降低漏電流（副閾值電流）。然而，當基板的電位減小時，電晶體的閾值電壓將變大，進而使電晶體的操作速度變慢。因此，此種技術並不適用於需要進行高速操作的情況。

根據降低待命電流所用的另一種技術，其使用副閾值電流降低電路 (SCRC)。當電晶體為 Off 狀態時，SCRC 將控制電晶體的源極電位，藉以使電晶體之閘極與源極之間的偏壓電壓能夠減小，因此可降低副閾值電流。

習知地，已有各種作為降低副閾值電流所用之 SCRC 的目標之電路被提出；各種係控制 SCRC 所用之信號被提出；及輸入控制信號至 SCRC 的時序被提出。

例如，根據日本公開專利公報 (JP-A) 第 2000-30443 號所述之技術 (以下稱為引證案 1)，雖然在電路處於待命狀態時，SCRC 會作用於從相當早的時間點就開始操作的電路，但當從待命狀態切換至主動狀態時，SCRC 並不會作用於從相當早的時間點就開始操作的電路。回應待命命令而進行啟動與非啟動之間的切換。根據此種技術，SCRC 並不適用於從相當早的時間點就開始操作的電路，例如，處於待命狀態的副放大器。

又，根據日本公開專利公報 (JP-A) 第 2000-113670 號所述之技術 (以下稱為引證案 2)，SCRC 作用於 X 解碼器，而 X 解碼器則正從待命狀態切換成主動狀態。在引證案 2 之 0012 段落中，述及「在列系統操作啟動之前，就先使層次的電源控制信號 SCRC 啟動 (高或 H 位準)」。然而，引證案 2 並未述及「在列系統操作啟動之前，那一個信號使信號 SCRC 啟動」。

### 三、【發明內容】

有鑑於此，本發明之一目的係提供一種半導體記憶裝置，例如具有含副放大器之分層式 I/O 系統的 DRAM 等等，其中藉由設計作為降低待命電流之手段的副閾值電流降低電路 (SCRC) 之控制方法而降低副放大器之中的漏電流。

本發明之另一目的係提供一種半導體記憶裝置，其包括一金屬遮罩，可依照半導體記憶裝置的型態，例如 DDR1 或 DDR2，而選擇用以降低來自副放大器之漏電流的一電路。

本發明之另一目的係提供一種半導體記憶裝置，藉由以主動命令與寫入命令控制 SCRC、選擇 SCRC 之中的電路、選擇基板偏壓電壓等等及其組合而降低漏電流。

根據本發明之一實施樣態，在具有 DDR-2 之規格並使用含副放大器的分層式 I/O 系統之 DRAM 等等之中，為了控制源極電位，故將可藉由命令控制之副閾值電流降低電路 (SCRC) 連接至構成副放大器之中的寫入緩衝器之 NMOS 電晶體的源極。寫入緩衝器係用以快速地將局部 I/O 線 (LIO) 的電位降低成低位準。

圖 3 顯示根據本發明之 DRAM 之中的 SCRC 與副放大器之結構。DRAM 係包括分層式 I/O 系統與各個記憶庫 0 至 7 之上的副放大器。DRAM 更包括 SCRC 與用以控制 SCRC 的 SCRC 控制電路。

各 SCRC 係包括 NMOS 電晶體，其具有小於上述之寫入緩衝器的電流供應能力。NMOS 電晶體的汲極端子係連接至記憶庫之上的所有副放大器。

SCRC 控制電路係產生控制信號 NSC1，基於寫入等待時間 WL 資訊、動作命令 ACT、預充命令 PRE、及寫入命令 WRIT 而用以使 SCRC 切換成 ON-Off。

例如，在下述的實施例中，寫入等待時間係用以提供 SCRC 復原所需的期間，同時，動作命令使 SCRC 切換成 Off。因此，可使寫入緩衝器之中的電晶體 TN6 與 TN7 的源極電位降低至接地電位。本實例適用於具有寫入等待時間功能之 DDR2。

以下將從使 SCRC 切換成 Off (或使 SCRC 控制信號 NSC1 的位準提高至高位準) 至使 SCRC 電位 NSC2 降低至接地電位的期間稱為 SCRC 復原時間。若寫入等待時間夠長，則從輸入寫入命令至啟動副放大器的期間應遠大於 SCRC 復原時間。若此期間遠大於 SCRC 復原時間，則根據本發明之一實施樣態，寫入命令將使 SCRC 切換成 Off。

換言之，本發明係提供以下之半導體記憶裝置。

根據本發明之一實施樣態，係提供一種半導體記憶裝置，而在其中使用一分層式 I/O 系統。該半導體記憶裝置包括：一副放大器，用於該分層式 I/O 系統；及一副閾值電流降低電路，用以降低待輸入至該副放大器的一副閾值電流，其中，該副閾值電流降低電路係回應用以啟動該半導體記憶裝置之記憶單元陣列的一命令而降低該副閾值電流。

較佳地，半導體記憶裝置更包括：一設定等待時間的單元；及一執行命令的單元，用以執行在產生該等待時間所對應的時鐘信號之後輸入至該半導體記憶裝置的命令。在此情況下，該副閾值電流降低電路係回應該命令的輸入而降低該副閾值電流；及在該副閾值電流的降低完成之後，才執行該命令。

較佳地，一動作命令、一預充命令、與一寫入命令的至少一個係相當於該命令。

較佳地，半導體記憶裝置更包括：一第一電晶體；一第二電晶體，具有與該第一電晶體不同之電流供應能力；及一金屬遮罩，係依照該記憶單元陣列的型態而選擇該第一電晶體與該第二電晶體之其中一個。

又，半導體記憶裝置更包括一金屬遮罩，係依照該記憶單元陣列的型態而改變該副放大器之中的一寫入緩衝器所具有之電晶體的基板電位。因此，依據記憶單元陣列的型態亦可選擇使用基板偏壓效應或不使用基板偏壓效應。

例如，記憶單元陣列的型態為 DDR-1 與 DDR-2 之其中一個。

在待命狀態中，SCRC 控制信號係控制構成 SCRC 之 NMOS 電晶體的源極電位，俾能降低閘極與源極之間的電位。因此，係可降低副放大器電路之中的寫入緩衝器所需之副閾值電流。

故，在含有副放大器的分層式 I/O 系統之中，將可降低電源切斷與自行更新時的待命電流。因此，可實現高速處理與降低消耗之電力兩者。

藉由以下詳細說明及足以顯示本發明之原理的附圖，將可更

清楚明白本發明之其它樣態與優點。在圖式中，相似的參考符號指示類似的元件。

#### 四、【實施方式】

根據本發明，係在副放大器的寫入緩衝器之中使用副閾值電流降低電路 SCRC。習知地，副放大器之中並不使用 SCRC。根據本發明，由於副放大器之寫入緩衝器之中使用大型電晶體、且副放大器的數量極多，故副放大器的寫入緩衝器之中可使用 SCRC，因此，藉由降低副放大器之中的漏電流可有效地抑制整個半導體記憶裝置之中的待命電流之大小。

以下說明漏電流流進副放大器之中的原因。當未完成選擇時，則副放大器之中的互補 I/O 線係處於預充狀態，且維持在高位準。例如，就圖 3 所示的寫入緩衝器而言，當電晶體 TN6 與 TN7 的汲極處於高位準、且其源極處於接地電位時，則其閘極係處於低位準。副閾值電流係流過具有大電流供應能力之電晶體 TN6 與 TN7。亦即，將有漏電流流過。

在此狀態下，將引起 SCRC 的操作，俾能使 SCRC 的電晶體 TN8 關閉。因此，電晶體 TN6 與 TN7 的源極 NSC2 係與接地電位隔離。電晶體 TN6 與 TN7 的副閾值電流將使隔離之源極電位逐漸增大。因此，副閾值電流將停止流動。因此，利用 SCRC 將可降低漏電流。

#### [第一實施例]

在本實施例中，SCRC 的操作係受寫入命令控制，並在副放大器的寫入緩衝器之中使用 SCRC。

參見圖 1，俾說明本實施例之半導體記憶裝置的結構外觀。詳言之，半導體記憶裝置為 1G 位元之 DDR-2 的 SDRAM。半導體記憶裝置係包括記憶單元陣列 MCA，由複數之記憶單元所構成、位址緩衝器（列位址緩衝器與行位址緩衝器），用以指定記憶單元陣列 MCA 之中的位址、列解碼器 RDE、行解碼器 CDE、列驅動

器 RDR、行驅動器 CDR、感測放大器 SA，用以進行資料的讀出一寫入、主放大器 MA、輸出緩衝器 DOB、輸入緩衝器 DIB、輸入緩衝器 DIB，供個別的控制信號輸入到其中、主控制電路，用以產生內部控制信號、已知的單元，例如內部電壓產生電路 VG 等等。可藉由已知的半導體製造技術在一個半導體晶片之上形成這些元件。吾人應注意：係從位址緩衝器將記憶庫位址 BA 輸入至 SCRC 控制電路。根據本發明，所選擇之記憶庫的 SCRC 係受命令與記憶庫位址的控制。又，就非選擇之記憶庫的 SCRC 而言，將使 SCRC 啟動，因此得以抑制漏電流。

位址信號  $A_i$  係從外部輸入至 DRAM。因此，藉由列位址緩衝器 RAB 與行位址緩衝器 CAB 產生列位址信號與行位址信號。在列解碼器 RDE、列驅動器 RDR、行解碼器 CDE、與行驅動器 CDR 之中分別處理這些信號。因此，在記憶單元陣列 MCA 之中選擇預期的記憶單元。

在讀出操作中，經由感測放大器 SA、分層式 I/O 線 LIO 與 MIO、副放大器、及主放大器 MA 而將資料送至讀出／寫入匯流排 RWBS。最後，輸出資料 Dout 係從輸出緩衝器 DOB 輸出。在寫入操作中，係通過輸入緩衝器 DIB 而輸入輸入資料 Din。

分層式 I/O 結構係包括局部 I/O 匯流排 LIO、主 I/O 匯流排 MIO、及副放大器。在用以使複數個感測放大器與放大器互相連接之 I/O 線的中點處配置副放大器。因此，可輔助地放大 I/O 線之間的電位差，俾能防止由於 I/O 線之較大的長度所造成的讀出／寫入速度的降低。圖 2 所示的晶片佈局之實例中，在記憶庫的中心設置副放大器。局部 I/O 匯流排 LIO 與主 I/O 匯流排 MIO 係使用設置在記憶單元陣列之上的鋁配線。

又，使作為 DRAM 之控制信號的列位址選通脈衝信號/RAS、行位址選通脈衝信號/CAS、寫入致能信號/WE 等等從外部經由個別緩衝器而輸入。基於上述之控制信號產生內部控制信號。內部電路的操作受內部控制信號的控制。參照內部電源系統，外部



電源電壓 VDD 與接地電位 VSS 係從外部輸入。在內部電壓產生電路 VG 之中產生各種內部電壓位準，例如基板電位、電壓升高電源電位、電壓降低電源電位等等，並分別供應給內部電路，例如記憶單元陣列 MCA、周邊電路等等。

尤其，除了基於 DDR-2 規格所形成的寫入等待時間機制以外，亦利用含有用以輔助放大 I/O 線之間的電位差之副放大器的分層式 I/O 系統。對副放大器之中的寫入緩衝器所需的源極電位之控制加以設計。

參見圖 3，俾詳細說明本實施例之半導體記憶裝置。之後，對可依據副放大器的功能而將其區分成以下五個區域的副放大器加以說明。特別地，五個區域為讀出放大器部、寫入緩衝器部、選擇 LIO 預充部、LIO 開關部及非選擇 LIO 預充部。

當讀出資料時，讀出放大器部係放大互補 I/O 線 LIOT 與 LIOB 之上的信號且將放大之信號傳送給互補主 I/O 線 MIOT 與 MIOB。讀出放大器部係包括一對 NMOS 電晶體 TN1 與 TN2、及  $\pi$  形 NMOS 放大器 TN3、TN4、與 TN5，而上述各者係連接至互補主 I/O 線 MIOT 與 MIOB。電晶體 TN1 與 TN2 的閘極係連接至副放大器電路之中的互補局部 I/O 線 LIOT 與 LIOB。另一方面，電晶體 TN3、TN4、與 TN5 的閘極係連接至讀出放大器啟動信號 DIORESAT 的信號線。

將資料寫入記憶單元之中時，寫入緩衝器部係將資料從互補主 I/O 線傳送至互補局部 I/O 線。寫入緩衝器部係包括一對 NOR 電路 NOR1 與 NOR2，連接至互補主 I/O 線與寫入緩衝器啟動信號 DIOWEB 的信號線、一對反相器電路 INV1 與 INV2、及一對 NMOS 電晶體 TN6 與 TN7 與一對 PMOS 電晶體 TP1 與 TP2，而其閘極係分別連接至電路 NOR1 與 NOR2 的輸出節點及電路 INV1 與 INV2 的輸出節點。NMOS 電晶體 TN6 與 TN7 及 PMOS 電晶體 TP1 與 TP2 的汲極係連接至副放大器電路之中的互補 I/O 線 LIOT 與 LIOB。

NMOS 電晶體 TN6 與 TN7 的源極係連接至相同之記憶庫之中的共同節點，亦即 SCRC 電位 NSC2，且連接至 NMOS 電晶體 TN8 的汲極，而 NMOS 電晶體 TN8 係構成配置於各記憶庫之中的 SCRC。PMOS 電晶體 TP1 與 TP2 的源極係連接至電源電位 VDD。

選擇 LIO 預充部係預充各互補局部 I/O 線。選擇 LIO 預充部係包括一對 PMOS 電晶體 TP3 與 TP4 及一對 PMOS 電晶體 TP5 與 TP6。其閘極係連接至局部 I/O (LIO) 等化信號 DLIOEQB 的信號線。PMOS 電晶體 TP3 與 TP4 的汲極係連接至相同之副放大器電路之中的互補局部 I/O 線 LIOT 與 LIOB。源極係連接至電源電位 VDD。另一方面，PMOS 電晶體 TP5 與 TP6 的源極與汲極係分別連接至位於副放大器之外部的互補局部 I/O 線 LIOUT、LIOUB、LIOLT、及 LIOLB。

LIO 開關部係選擇一對互補局部 I/O 線 LIOUT 與 LIOUB 及一對互補局部 I/O 線 LIOLT 與 LIOLB 之其中一對，並使選擇之信號線分別連接至互補局部 I/O 線 LIOT 與 LIOB。LIO 開關部係包括兩對 NMOS 電晶體，亦即 TNK1、TNK2、TNK3、與 TNK4。閘極係連接至位元線等化信號 ABLEQLT 與 ABLEQUT 的信號線。TNK1 的源極係連接至互補局部 I/O 線 LIOT，且汲極連接至互補局部 I/O 線 LIOUT。TNK2 的源極係連接至互補局部 I/O 線 LIOB，且汲極連接至互補局部 I/O 線 LIOUB。TNK3 的源極係連接至互補局部 I/O 線 LIOT，且汲極連接至互補局部 I/O 線 LIOLT。TNK4 的源極係連接至互補局部 I/O 線 LIOB，且汲極連接至互補局部 I/O 線 LIOLB。

非選擇 LIO 預充部係預充未被 LIO 開關部選擇之互補局部 I/O 線。非選擇 LIO 預充部係包括兩個電路，各包括三個 NMOS 電晶體，亦即其中一個電路包括 TNK5、TNK6、與 TNK7，而另外一個電路包括 TNK8、TNK9、與 TNK10。TNK5 與 TNK6 的閘極係連接至位元線等化信號線 ABLEQUT，且源極連接至互補局部 I/O 線 LIOUT 與 LIOUB。汲極係連接至內部產生電源電位

VBLR。TNK7 的閘極係連接至位元線等化信號線 ABLEQUT。源極與汲極係連接至互補局部 I/O 線 LIOUT 與 LIOUB。同樣地，TNK8 與 TNK9 的閘極係連接至位元線等化信號線 ABLEQLT，且源極連接至互補局部 I/O 線 LIOLT 與 LIOLB。汲極係連接至內部產生電源電位 VBLR。TNK7 的閘極係連接至位元線等化信號線 ABLEQLT，且源極與汲極連接至互補局部 I/O 線 LIOLT 與 LIOLB。

參照 SCRC 控制電路，輸入信號為寫入等待時間 WL、動作命令 ACT/預充命令 PRE/寫入命令 WRIT、控制信號 SC3、及記憶庫位址 BA。SCRC 控制電路係輸出 SCRC 控制信號 NSC1，而 SCRC 控制信號 NSC1 則造成 SCRC 使 SCRC 從 ON 轉變成 Off。將信號 NSC1 提供給 NMOS 電晶體 TN8 的閘極。寫入等待時間係由 EMRC 所決定。依據等待時間，從藉由寫入命令控制 SCRC 轉換成藉由 ACT/PRE 命令控制 SCRC，且反之亦然。藉由記憶庫位址信號選擇記憶庫。在選擇之記憶庫中，SCRC 的 ON/Off 係受上述命令控制。另一方面，在非選擇之記憶庫中，SCRC 為 ON。在此，免於贅述 SCRC 控制電路的詳細結構。

之後，參見圖 4，俾說明當 SCRC 受寫入命令控制時，SCRC 所進行之操作。

就具有 DDR-2 規格的 DRAM 而言，為了有效地利用命令匯流排，故可根據後 CAS 功能而在由 AL（附加等待時間）所指定之時間前提早收到寫入命令 WRIT 與讀出命令 READ。將寫入等待時間 WL、先期等待時間 RL、附加等待時間 AL、及 CAS 等待時間 CL 之間的關係定義成  $WL = RL - 1 = AL + CL - 1$ 。

圖 4 為寫入等待時間  $WL = 5$  之情況所獲得的時序圖，其顯示利用寫入等待時間而由寫入命令控制記憶庫 0 之中的 SCRC 之操作。藉由模式暫存器組（MRS）與擴充模式暫存器組（EMRS）的操作而預先將寫入等待時間 WL 指定成  $WL = 5$ 。

在此狀態下，當輸入動作命令 AC 與位址時，位元線等化信

號 ABLEQUT 的位準係變成低 (箭號 A1)。

相對於此，電晶體 TNK3 與 TNK4 係關閉，而 TNK1 與 TNK2 繼續處於 ON。局部 I/O 線 LIOT 與 LIOB 係與局部 I/O 線 LIOLT 與 LIOLB 斷開，且連接至局部 I/O 線 LIOUT 與 LIOUB。故，LIO 開關部係選擇局部 I/O 線 LIOUT 與 LIOUB，並使其分別連接至信號線 LIOT 與 LIOB，。

未被 LIO 開關部選擇之局部 I/O 線 LIOLT 與 LIOLB 係經由電晶體 TNK8 與 TNK9 而藉由內部產生電源電位 VBLR 加以預充。

當 LIO 等化信號 DLIOEQB 的位準變成低時，被 LIO 開關部選擇之局部 I/O 線 LIOUT 與 LIOUB 係藉由外部電源電位 VDD 加以預充 (箭號 A2 與 A3)。

隨後，當輸入由後 CAS 所供應的寫入命令 WRIT 時，採與內部時鐘同步的時序將內部控制信號 WL、ACT、及 WRIT 提供給圖 3 所示的 SCRC 控制電路。SCRC 控制信號 NSC1 的位準係基於這些控制信號 (箭號 4) 而變成高，SCRC 關閉、SCRC 的電晶體 TN8 切換成 ON、且寫入緩衝器部之電晶體 TN6 與 TN7 的源極電位變成等於接地電位。以復原期間  $t_1$  表示從輸入寫入命令的時間至 SCRC 降低各副放大器之中的寫入緩衝器之源極電位而使輸出節點到達接地電位的時間之間的期間。因此，在將寫入命令 WRIT 提供給 SCRC 控制電路之後的期間  $t_1$ ，係完成 SCRC 的復原。

在寫入等待時間 WL 所對應的時鐘數量消逝之後，突發寫入係開始，且資料選通脈衝信號 DQS 門鎖住輸入資料 DQ。隨後，寫入緩衝器啟動信號 DIOWEB 的位準變成低，且 LIO 等化信號 DLOEQB 的位準變成高，且寫入緩衝器部變成主動。

根據本發明，特徵在於：使後 CAS 功能作用於具有 DDR-2 規格的 DRAM 之中的 SCRC 控制。以  $t_2$  表示從輸入寫入命令的時間至使副放大器啟動的時間之間的期間。可確保期間  $t_2$  遠大於期間  $t_1$ 。

接著，經由主放大器 MA 將輸入資料 DQ 提供給互補主 I/O

OMIOT/MIOB，並到達副放大器。副放大器之中的寫入緩衝器係依據資料之位準是否為高或低而降低互補 I/O 線 LIOT/LIOB 與 LIOUT/LIOUB 的電位。因此，使寫入資料傳送到感測放大器 SA。

當完成寫入操作時，寫入緩衝器啟動信號 DIOWEB 的位準變成高，且 LIO 等化信號 DLOEQB 的位準變成低，且副放大器進入待命狀態。接著，當 SCRC 控制電路的輸出節點 NSC1 變成低時（箭號 A6），SCRC 係切換成 ON。因此，電晶體 TN8 係處於 Off，且源極節點 NSC2 與接地電位斷開。因此，在待命時間的期間，將可降低副閾值電流。在此情況下，藉由輸入 SCRC 重設信號 NSC3（箭號 A5）等等至 SCRC 控制電路，而此種信號係基於寫入命令而由內部時鐘計數器所產生，則可在完成寫入操作之後的時序啟動 SCRC。

如上所述，在較大之寫入等待時間 WL 的情況中，SCRC 係受寫入命令控制。另一方面，在較小之寫入等待時間 WL 的情況中，SCRC 係受動作命令 ACT 與預充命令 PRE 控制。這說明如下。

參照圖 5 所示的時序圖，藉由模式暫存器組 MRS 與擴充模式暫存器組 EMRS 預先將寫入等待時間設定在  $WL=2$ 。

在此狀態下，當輸入動作命令 ACT 與位址信號時，位元線等化信號 ABLEQUT 的位準係變成低（箭號 A11）。

相對於此，電晶體 TNK3 與 TNK4 係關閉，而 TNK1 與 TNK2 繼續處於 ON。局部 I/O 線 LIOT 與 LIOB 係與局部 I/O 線 LIOLT 與 LIOLB 斷開，且連接至局部 I/O 線 LIOUT 與 LIOUB。故，LIO 開關部係選擇局部 I/O 線 LIOUT 與 LIOUB，並使其分別連接至信號線 LIOT 與 LIOB，。

未被 LIO 開關部選擇之局部 I/O 線 LIOLT 與 LIOLB 係經由電晶體 TNK8 與 TNK9 而藉由內部產生電源電位 VBLR 加以預充。

當 LIO 等化信號 DLIOEQB 的位準變成低時，被 LIO 開關部選擇之局部 I/O 線 LIOUT 與 LIOUB 係藉由外部電源電位 VDD 加以預充（箭號 A12 與 A13）。

上述之圖 5 的操作與圖 4 的操作相同。然而，在圖 4 的操作中，SCRC 控制信號 NSC1 的位準係對應於寫入命令 WRIT 而變成高，而在圖 5 的操作中，信號 NSC1 的位準則對應於動作命令 ACT 而變成高。特別地，當輸入動作命令 ACT 時，採與內部時鐘同步的時序將內部控制信號 WL、ACT、及 WRIT 提供給圖 3 所示的 SCRC 控制電路。SCRC 控制信號 NSC1 的位準係基於這些控制信號（箭號 14）而變成高。

SCRC 係基於 SCRC 控制信號 NCC1 而關閉。亦即，SCRC 的電晶體 TN8 啟動，且寫入緩衝器部之電晶體 TN6 與 TN7 的源極電位變成等於接地電位。以復原期間  $t_1$  表示從輸入寫入命令的時間至 SCRC 降低寫入緩衝器部之源極電位而使輸出節點 NSC2 的電位足夠小的時間之間的期間。因此，在輸入寫入命令 WRIT 之後的期間  $t_1$ ，係完成 SCRC 的復原。

將寫入等待時間 WL 設定在  $WL=2$ 。在輸入寫入命令 WRIT 之後的兩個時鐘，突發寫入係開始。資料選通脈衝信號 DPQ 門鎖住輸入資料 DQ。隨後，寫入緩衝器啟動信號 DIOWEB 的位準變成低，且 LIO 等化信號 DLOEQB 的位準變成高，且寫入緩衝器部進入主動狀態。以  $t_2$  表示從輸入動作命令 ACT 的時間至寫入緩衝器部進入主動狀態的時間之間所需的期間。在期間  $t_2$  消逝之前，必須使輸出節點 NSC2 完全復原到接地電位。

參照圖 5 所示之操作，相較於圖 4 所示之操作之中的寫入等待時間 WL 而言，圖 5 之寫入等待時間 WL 係較短。然而，寫入命令 WRIT 之前的動作命令 ACT 係作用於 SCRC 控制，俾能確保期間  $t_2$  遠大於 SCRC 的復原期間  $t_1$ 。

接著，經由主放大器 MA 將輸入資料 DQ 提供給互補主 I/O MIOT/MIOB，並到達副放大器。於此，副放大器之中的寫入緩衝器係依據資料之位準是否為高或低而降低互補 I/O 線 LIOT/LIOB 與 LIOUT/LIOUB 的電位，並將寫入資料傳送到感測放大器 SA。

當完成寫入操作時，則輸入預充命令 PRE。對應於預充命令 PRE，SCRC 控制電路係造成 SCRC 控制信號 NSC1 的位準變成低（箭號 A15）並啟動 SCRC。亦即，電晶體 TN8 進入 Off 狀態，作為寫入緩衝器部之中的電晶體 TN6 與 TN7 之源極節點的 NSC2 則與接地電位斷開。

對應於預充命令 PRE，位元線等化信號 ABLEQUT 的位準係變成高（箭號 A16）。對應於預充命令 PRE 的位準變成高，電晶體 TNK3 與 TNK4 係啟動。當 LIO 等化信號 DLIOEQB 的位準變成高時（箭號 A17），則以內部產生電源電位 VBLR 預充局部 I/O 線 LIOT/LIOB（箭號 18）。

因此，當副放大器處於待命狀態時，SCRC 係啟動，且可抑制來自寫入緩衝器的副閾值電流。當副放大器處於主動狀態時，SCRC 係關閉，且使寫入緩衝器電位降低至接地電位 VSS。因此，副放大器係啟動。

如上所述，根據本發明，採與內部時鐘同步之時序的命令控制完成 SCRC 的 ON-Off，因此，係可實現待命電流的降低。

又，就根據本發明之 SCRC 控制而言，當寫入等待時間 WL 較大時，SCRC 係受寫入命令控制。另一方面，當寫入等待時間 WL 較小時，SCRC 係受預充命令 PRE 控制。亦即，依據輸入至 SCRC 控制電路之寫入等待時間 WL 的數值，可轉換用以控制 SCRC 的控制信號。因此，SCRC 係受控制。

如上所述，設定包含作為等待時間之 SCRC 的復原期間之期間，因此，可藉由動作命令與寫入命令而完成 SCRC 控制。因此，亦可降低處於主動—待命狀態之副放大器的漏電流。吾人應注意到：根據 SCRC 僅在自行更新時受 CKE 信號控制的已知技術，並無法降低副放大器在主動—待命狀態時所產生的漏電流。

#### [第二實施例]

參見圖 6，俾說明本發明之第二實施例。本實施例之基本構造與第一實施例相同。在 DDR-1/DDR-2 組合安裝的 DRAM 中，

進一步設計 SCRC 結構而適合 DDR-1 規格。

根據 DDR-1 規格，將寫入等待時間 WL 固定在  $WL=1$ 。因此，相較於第一實施例而言，如同第一實施例，若藉由將寫入等待時間設定成一較長的期間，並無法確保寫入緩衝器部之中的電晶體 TN6 與 TN7 之源極電位復原到接地電位所需的期間。因此，必須使源極電位更早復原到接地電位。

因此，根據本實施例，在處理具有 DDR-1 規格之 DRAM 的情況中，藉由具有較大之電流供應能力的電晶體完成 SCRC 操作，詳言之，相較於用以處理具有 DDR-2 規格之 DRAM 的電晶體而言，其具有較大之閘極寬度。

另一方面，根據 DDR-1 規格之基本時鐘頻率係小於根據 DDR-2 規格之基本時鐘頻率。在僅用以處理 DDR-1 規格之 SCRC 結構的情況中，相較於僅用以處理 DDR-2 規格之 SCRC 結構而言，TN6 與 TN7 所需的電流供應能力係頗小。

因此，在用以處理具有 DDR-1 規格之 DRAM 的 SCRC 結構之情況中，將電晶體 TN6 與 TN7 的基板偏壓電位設定成更大之負電位，俾能將閾值電壓設定成較高。

特別地，根據第二實施例，SCRC 係設有 DDR-1/DDR-2 轉換開關與基板偏壓轉換開關。

設有 DDR-1/DDR-2 轉換開關之 SCRC 係包括具有不同之電流供應能力的兩個電晶體，亦即 MOS 電晶體 TN8 與 TN9，及金屬遮罩 SW1 與 SW2。DDR-2 與 DDR-1 規格的情況可加以互換。

在 DDR-1 規格的情況中，係利用金屬遮罩 SW1 與 SW2 兩者選擇電晶體 TN9。在 DDR-2 規格的情況中，係利用金屬遮罩 SW1 與 SW2 兩者選擇電晶體 TN8。

以  $W1$  與  $W2$  表示電晶體 TN8 與 TN9 的閘極寬度，其具有  $W1 < W2$  的關係。例如，將閘極寬度  $W2$  設定成為閘極寬度  $W1$  的兩倍。在 DDR-2 規格的情況中，係連接電晶體 TN8。在 DDR-1 規格的情況中，係連接電晶體 TN9。在副放大器之中的寫入緩衝



器部中，使 NMOS 電晶體 TN6 與 TN7 的源極側連接至節點 NSC2。

亦即，具有較大尺寸之電晶體係用於 DDR-1 規格。在使用具有較大尺寸之電晶體的情況中，相較於使用具有較小尺寸之電晶體的情況而言，可輕易地將電晶體 TN6 與 TN7 的源極電位降低至接地電位。因此，係可減小復原期間的時間。

然而，當構成 SCRC 之電晶體的閘極寬度變大時，寫入緩衝器部之電晶體 TN6 與 TN7 之中的漏電流將變大。為了抵消漏電流之增加量且進一步降低漏電流，故藉由基板偏壓轉換開關與金屬遮罩而使電晶體 TN6 與 TN7 的基板電位互換，如此一來，在 DDR-2 規格的情況中，電位係變成 VBB2，且在 DDR-1 規格的情況中，電位係變成 VBB1。電位 VBB1 與 VBB2 之間具有  $VBB2 > VBB1$  的關係。例如，將電位 VBB2 與 VBB1 設定成 0.0V 與 -0.5V。

當電晶體 TN6 與 TN7 的基板電位降低時，漏電流將由於基板偏壓效應而降低，且電晶體 TN6 與 TN7 的操作速度係降低。然而，相較於 DDR-2 規格所需的高速操作而言，由於 DDR-1 規格並不亟需高速操作，故速度的降低並不會造成問題。

以下就 DDR-1 規格之情況的電晶體之汲極電流與閘極—源極電壓  $V_{gs}$  之間的關係加以定性地說明。利用具有 DDR-1/DDR-2 規格轉換開關之 SCRC 的金屬遮罩 SW1 與 SW2 進行轉換而選擇電晶體 TN9。因此，可藉由電晶體 TN9 獲得 SCRC 效應（箭號 B1）。又，藉由基板偏壓轉換開關 SW3 將接地電壓設定成電位 VBB1。因此，將由於基板偏壓效應而獲得漏電流降低的效果（箭號 B2）。整體而言，將獲得箭號 B1 與 B2 之縱向上的分量之總合所代表的漏電流降低之效果（箭號 B3）。

在將具有 DDR-2 規格之 DRAM 的 DDR2 當作記憶單元陣列使用的情況中，係藉由具有 DDR-1/DDR-2 規格轉換開關之 SCRC 的金屬遮罩 SW1 與 SW2 選擇電晶體 TN6，且亦藉由基板偏壓轉換開關 SW3 選擇電位 VBB2。由於在此情況進行的操作與第一實施例相同，故不再重覆說明。

如上所述，根據本實施例，就 DDR-1 與 DDR-2 規格兩者的情況而言，可利用金屬遮罩進行簡單的轉換而降低漏電流。

例如，SCRC 係受 DDR-1/DDR-2 組合安裝的 DRAM 之中的動作命令 ACT 與預充命令 PRE 所控制。因此，可降低待命電流，亦即可降低電源切斷時的待命電流  $IDD2P$ 、降低電源未切斷時的待命電流  $IDD2N$ 、及降低自行更新電流  $IDD6$ 。又，由於基板偏壓效應，故可降低電源切斷時的主動待命電流  $IDD3P$  及電源未切斷時的主動待命電流  $IDD3N$ 。

表格 1 係總結根據本發明之 SCRC 的控制方法之實例。在所有的副放大器之中，估計可將寫入緩衝器部之中的電晶體 TN6 與 TN7 之漏電流降低達  $5.5 \text{ (nA/um)} \times 16000 \text{ (um)} \times 8 \text{ (記憶庫)} = 0.70\text{mA}$ 。

參見圖 7，俾簡潔地說明根據本發明與各實施例所獲得之優點。在表格 1 中， $IDD2P$  代表電源切斷時的待命電流、 $IDD2N$  代表電源未切斷時的待命電流、 $IDD3P$  代表電源切斷時的主動待命電流、 $IDD3N$  代表電源未切斷時的主動待命電流、及  $IDD6$  代表自行更新電流。

WL	SCRC 開關 ON	SCRC 開關 OFF	SCRC 電晶體 尺寸比例	副放大器基 板偏壓電位	IDD2P 6mA -0.7mA	IDD2N 25mA -0.7mA	IDD3P 30mA -0.7mA	IDD3N 58mA -0.7mA	IDD6 3mA -0.7mA	規格	SCRC 效應
										←	←
DDR-1	1	ACT	PRE	-0.5V	○	○	△	△	○		
	2	ACT	PRE	0V	○	○	x	x	○		
	3	ACT	PRE	0V	○	○	x	x	○		
DDR-2	4	寫入命令 輸入	寫入操 作完成	0V	○	○	○	○	○		
	5			0V	○	○	○	○	○		
	6	0V	○	○	○	○	○	○			

表格 1

(1) 在 DDR-2 規格的情況中 (寫入等待時間=4 至 6)，寫入等待時間 WL 係較大。因此，從寫入命令之輸入延伸至副放大器之啟動的期間係大於 SCRC 之復原期間。因此，可藉由寫入命令設定 SCRC。另一方面，利用寫入命令與內部時鐘計數器之中所產生的 SCRC 重設信號 NSC3，則在完成寫入協同之後，係可完成 SCRC 重設。因此，可降低待命電流 IDD2P、IDD2N、IDD6，且亦可降低待命電流 IDD3P 與 IDD3N (第一實施例)

(2) 在 DDR-2 規格的情況中 (寫入等待時間 WL=2 至 3)，從動作命令之輸入延伸至副放大器之啟動的期間係大於 SCRC 之復原期間。因此，可藉由動作命令設定 SCRC。另一方面，可藉由 PRE 命令而採與內部時鐘同步的時序完成 SCRC 的重設。因此，係可降低待命電流 IDD2P、IDD2N 及 IDD6 (第一實施例)。

(3) 在 DDR-1 規格的情況中，從動作命令之輸入至副放大器之啟動之間的期間係較短。因此，經由金屬遮罩進行之轉換係可利用具有較短之復原期間及較大之常數的 SCRC。同時，使副放大器基板電位降低，而亦可利用基板偏壓效應。因此，在 DDR-1 規格的情況中，係可降低漏電流。

例如，在 DDR-1/DDR-2 規格組合安裝的 DRAM 中，使 SCRC 電晶體的尺寸增大為兩倍，且藉由金屬遮罩的轉換而將副放大器基板電位 VBB 設定為 -0.5V。接著，使 SCRC 受動作命令與預充命令 PRE 的控制。在此情況下，係可降低待命電流 IDD2P、IDD2N、及 IDD6。又，由於基板偏壓效應，故可實現待命電流 IDD3P 與 IDD3N 的降低 (第二實施例)。

雖然藉由上述各實施例說明本發明，但本發明之範圍並非僅限於上述實施例，只要在不脫離本發明之精神的情況下，可藉由任一變化型式據以實施本發明。故本發明之範圍係包括上述各實施例及其變化型態。

## 五、【圖式簡單說明】

圖 1 為顯示根據本發明之第一實施例之功能的方塊圖。

圖 2 顯示根據預充之第一實施例的晶片佈局之實例。

圖 3 為根據本發明之第一實施例的副放大器與周邊電路之電路圖。

圖 4 為顯示根據本發明之第一實施例的副放大器之中的 SCRC 操作之時序圖。

圖 5 為顯示根據本發明之第一實施例的在寫入等待時間較小時所進行的 SCRC 操作之時序圖。

圖 6 為根據本發明之第二實施例的副放大器與周邊電路之電路圖。

圖 7 為顯示根據本發明之漏電流的降低量之圖形。

### 元件符號說明：

A1-A18、B1-B3：箭號

ABLEQLT、ABLEQUT：位元線等化信號

ACT：動作命令

Ai：位址信號

BA：記憶庫位址

BANK0-7：記憶庫 0 至 7

/CAS：行位址選通脈衝信號

CDE：行解碼器

CDR：行驅動器

CKE：信號

DIB：輸入緩衝器

DIORESAT：讀出放大器啟動信號

DIOWEB：寫入緩衝器啟動信號

DLIOEQB：局部 I/O 等化信號

DOB：輸出緩衝器

DQ：輸入資料  
DQS：資料選通脈衝信號  
INV1、INV2：反相器電路  
LIO：局部 I/O 線  
LIOT、LIOB、LIOUT、LIOUB、LIOLT、LIOLB：互補局部 I/O 線  
MA：主放大器  
MCA：記憶單元陣列  
MIO：主 I/O 線  
MIOT、MIOB：互補主 I/O 線  
NCC1：SCRC 控制信號  
NOR1、NOR2：NOR 電路  
NSC1：SCRC 控制信號  
NSC2：SCRC 電位  
NSC3：SCRC 重設信號  
PRE：預充命令  
/RAS：列位址選通脈衝信號  
RDE：列解碼器  
RDR：列驅動器  
RWBS：讀出／寫入匯流排  
SA：感測放大器  
SCRC：副閾值電流降低電路  
SW1、SW2：金屬遮罩  
SW3：基板偏壓轉換開關  
t1：復原期間  
t2：期間  
TN1、TN2、TN6、TN7、TN8、TN9、TNK1、TNK2、TNK3、TNK4、TNK5、  
TNK6、TNK7、TNK8、TNK9、TNK10：NMOS 電晶體  
TN3、TN4、TN5： $\pi$  形 NMOS 放大器  
TP1、TP2、TP3、TP4、TP5、TP6：PMOS 電晶體

VBB1、VBB2：電位

VBLR：電源電位

VDD：外部電源電壓

VSS：接地電位

VG：內部電壓產生電路

Vgs：閘極－源極電壓

W1、W2：閘極寬度

/WE：寫入致能信號

WL：寫入等待時間

WRIT：寫入命令

XDEC：X 解碼器

YDEC：Y 解碼器

**五、中文發明摘要：**

將一命令輸入至一半導體記憶裝置時，使一副閾值電流降低至該命令所對應的一預定值。在完成副閾值電流的降低之後，半導體記憶裝置才開始進行該命令所對應的操作。

**六、英文發明摘要：**

When a command is input to a semiconductor memory device, a sub-threshold current is reduced to a predetermined value corresponding to the command. After the reduction of the sub-threshold current is completed, the semiconductor memory device starts to operate corresponding to the command.



## 十、申請專利範圍：

1. 一種半導體記憶裝置，對其使用一分層式 I/O 系統，包含：
  - 一副放大器，用於該分層式 I/O 系統；及
  - 一副閾值電流降低電路，用以降低待輸入至該副放大器的一副閾值電流；其中，該副閾值電流降低電路係回應用以啟動該半導體記憶裝置之記憶單元陣列的一命令而降低該副閾值電流。
  
2. 如申請專利範圍第 1 項之半導體記憶裝置，更包含：
  - 設定等待時間的裝置；及
  - 執行命令的裝置，用以執行在產生該等待時間所對應的時鐘信號之後輸入至該半導體記憶裝置的命令，其中：
  - 該副閾值電流降低電路係回應該命令的輸入而降低該副閾值電流；及
  - 在完成該副閾值電流的降低之後，才執行該命令。
  
3. 如申請專利範圍第 1 項之半導體記憶裝置，其中一動作命令、一預充命令、與一寫入命令的至少其中之一係對應於該命令。
  
4. 如申請專利範圍第 1 項之半導體記憶裝置，更包含：
  - 一第一電晶體；
  - 一第二電晶體，具有與該第一電晶體不同之電流供應能力；及
  - 一金屬遮罩，係依照該記憶單元陣列的型態而選擇該第一電晶體與該第二電晶體之其中一個。
  
5. 如申請專利範圍第 1 項之半導體記憶裝置，更包含一金屬遮罩，係依照該記憶單元陣列的型態而改變該副放大器之中的一寫入緩

衝器所具有之電晶體的基板電位。

6. 如申請專利範圍第 4 項之半導體記憶裝置，其中該記憶單元陣列的型態為 DDR-1 與 DDR-2 之其中一個。

7. 如申請專利範圍第 5 項之半導體記憶裝置，其中該記憶單元陣列的型態為 DDR-1 與 DDR-2 之其中一個。

十一、圖式：

圖式

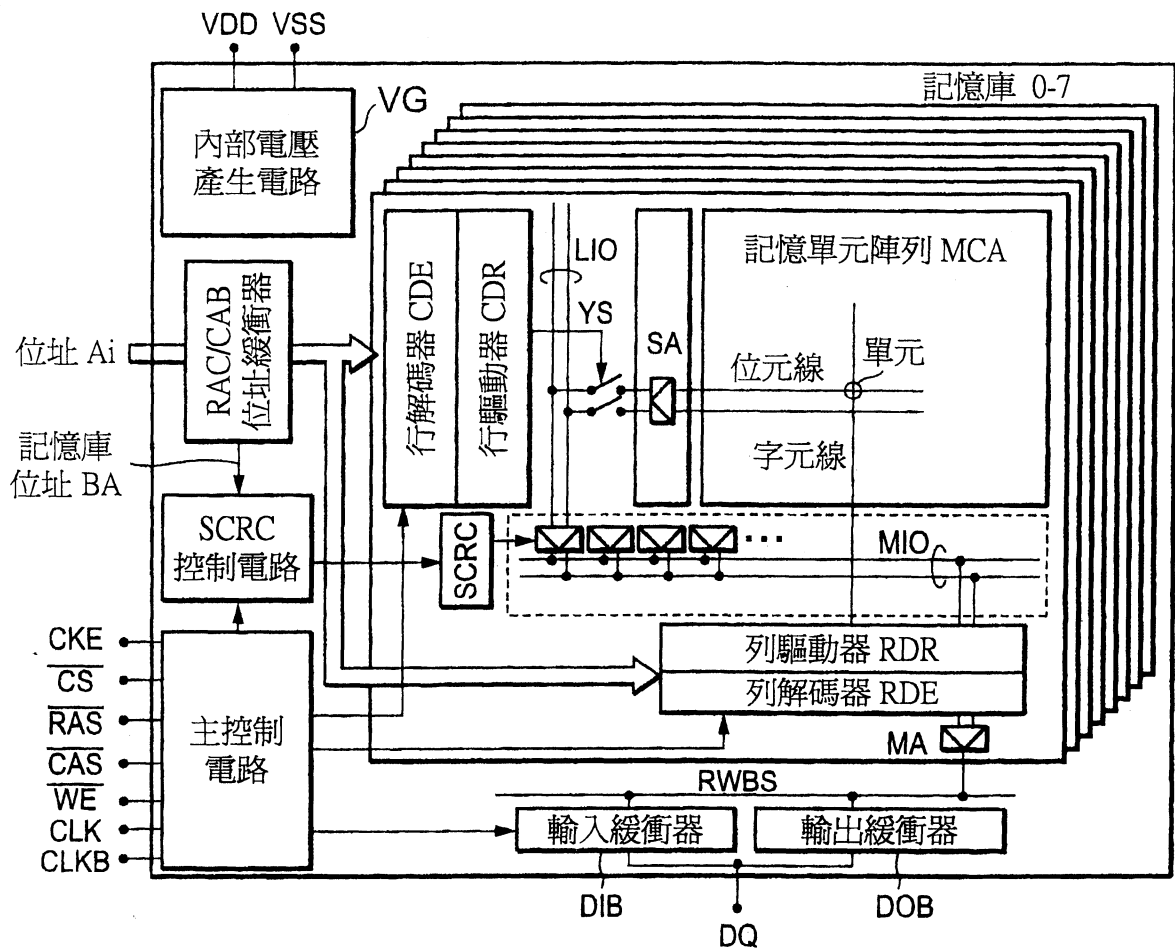


圖 1

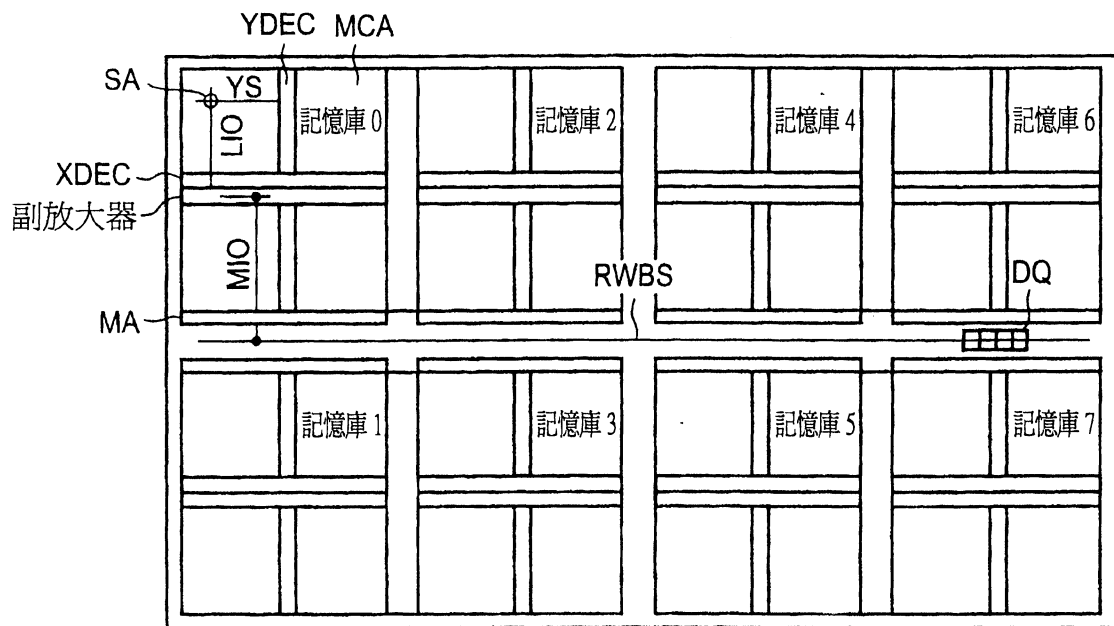


圖 2

圖式

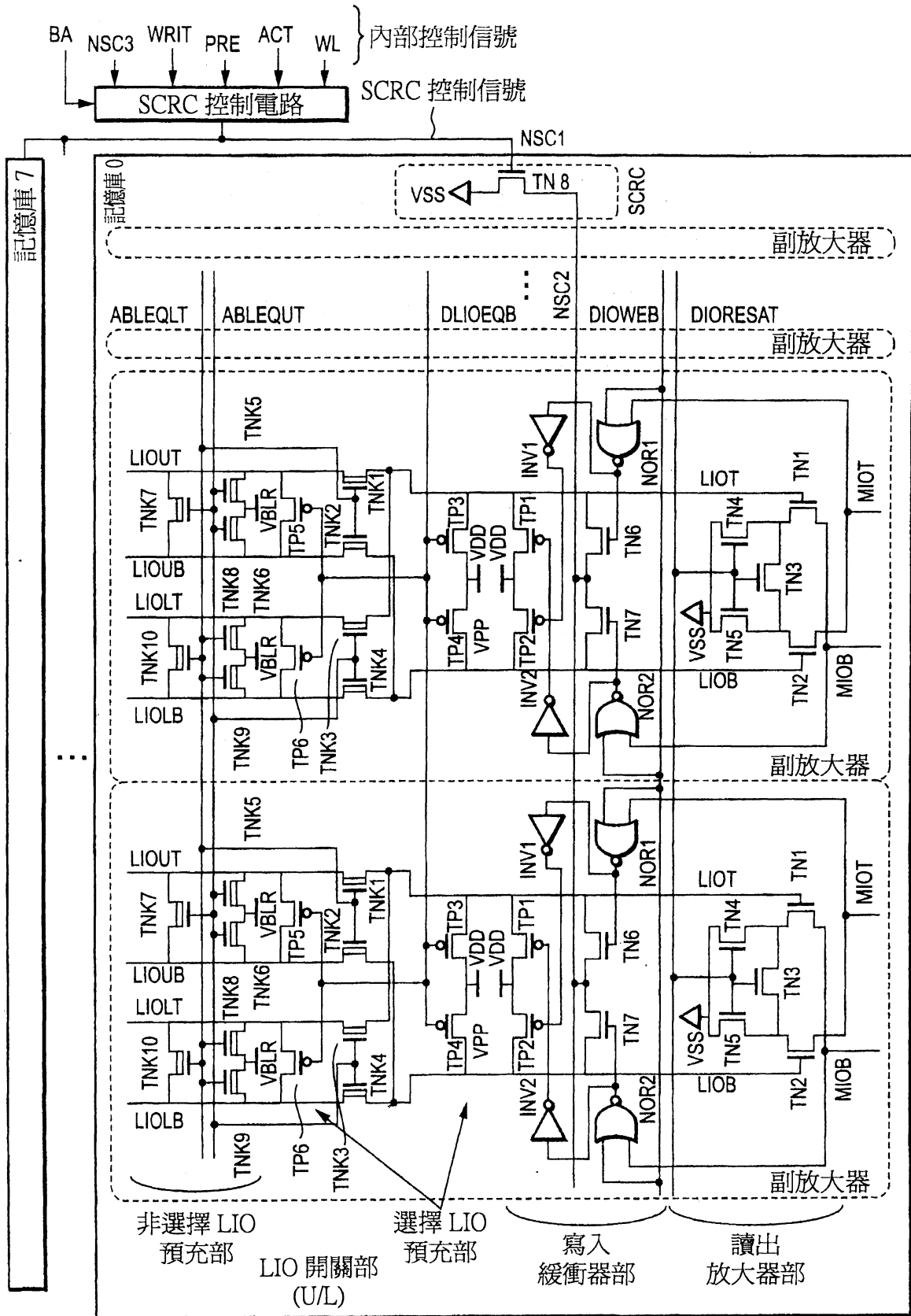
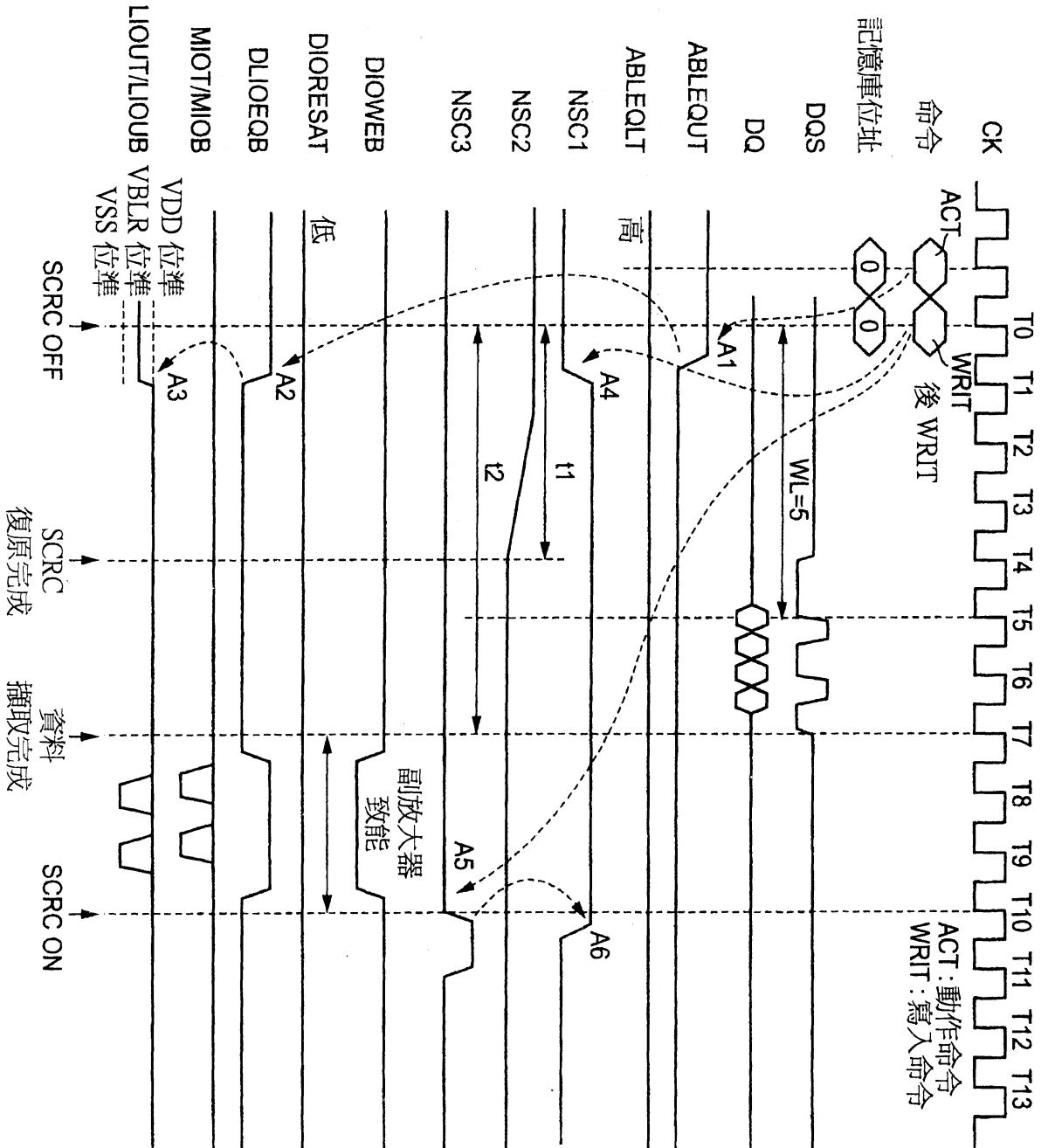


圖 3



圖式

圖 4

圖式

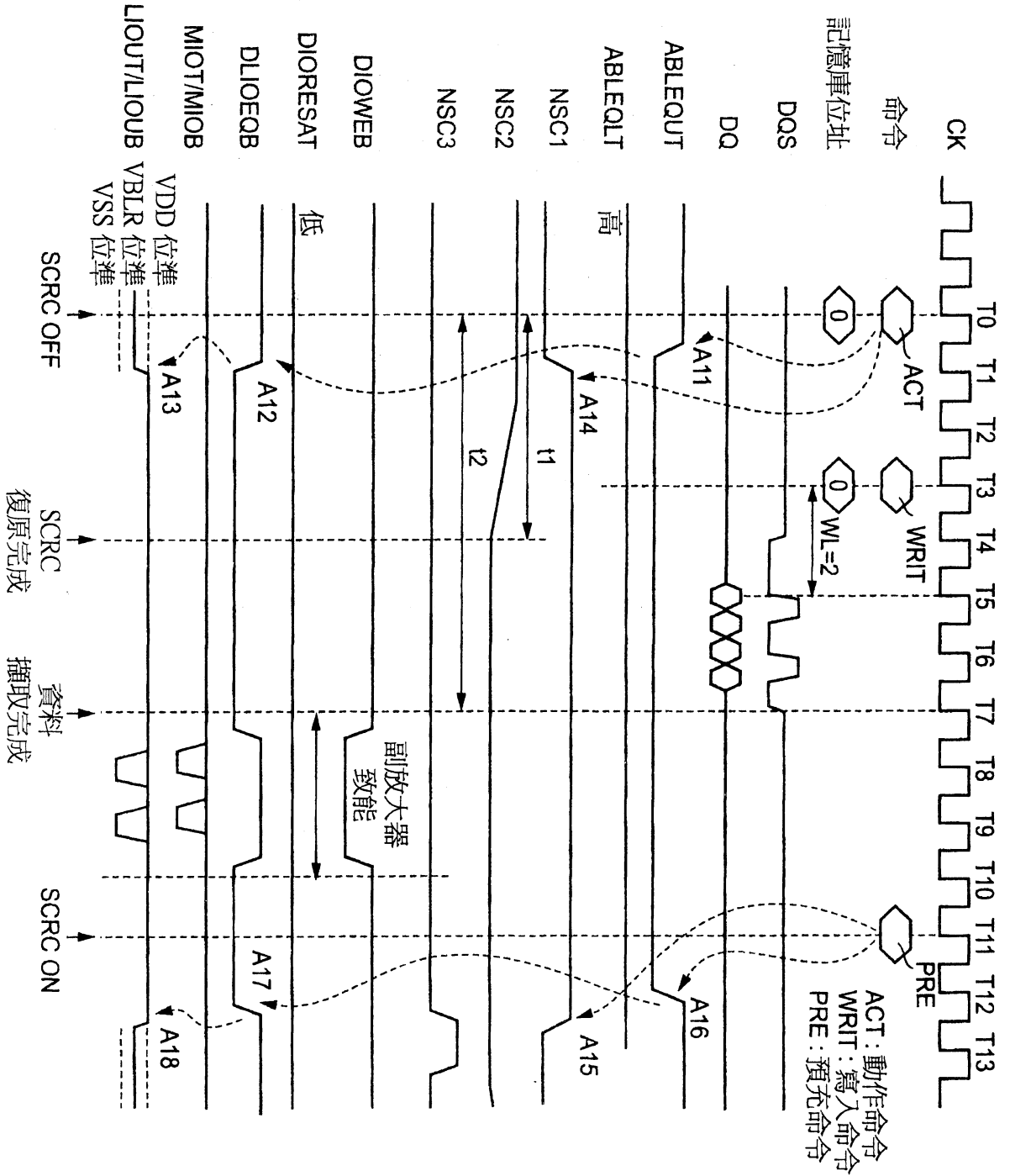


圖 5

圖式

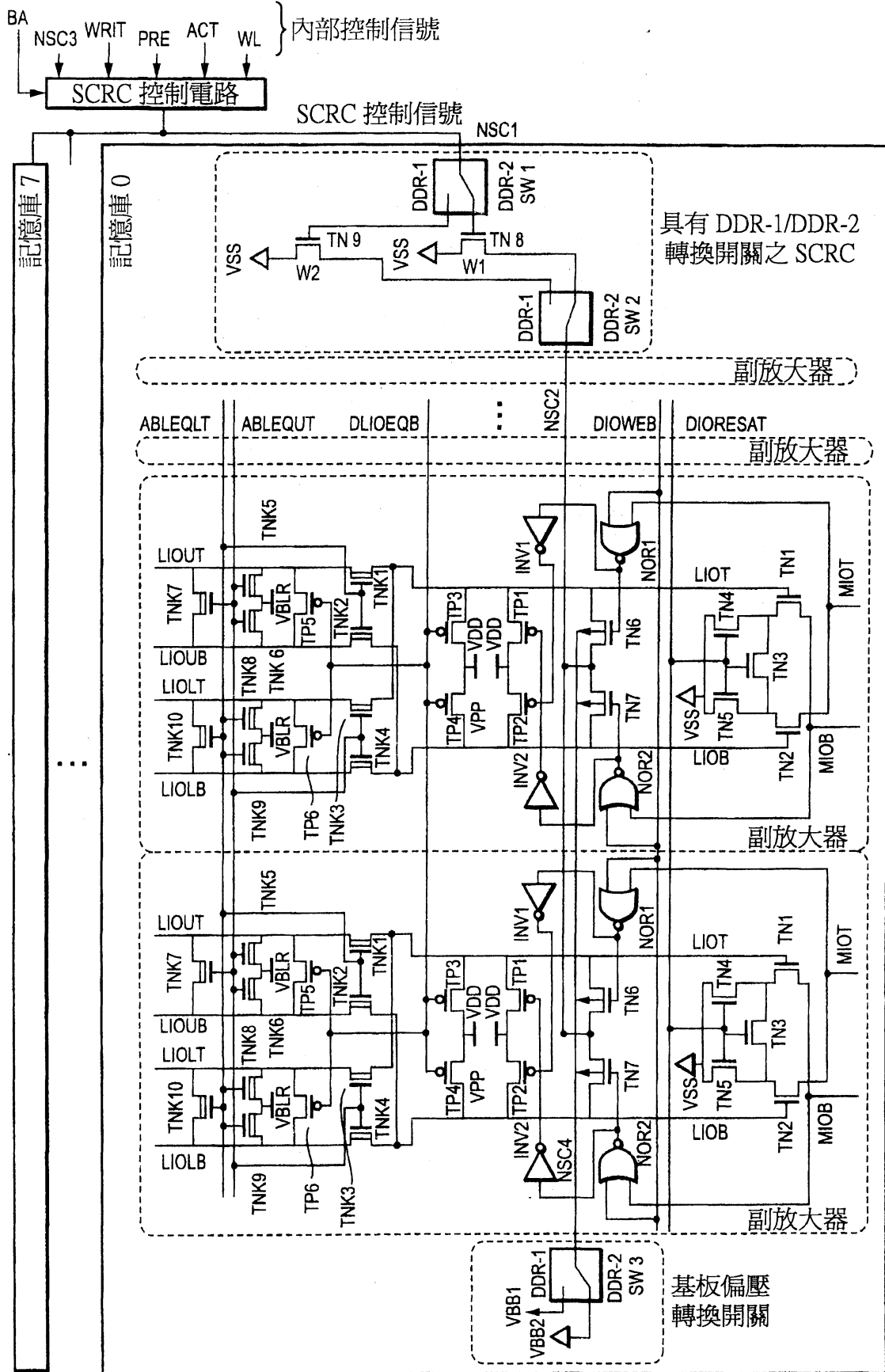
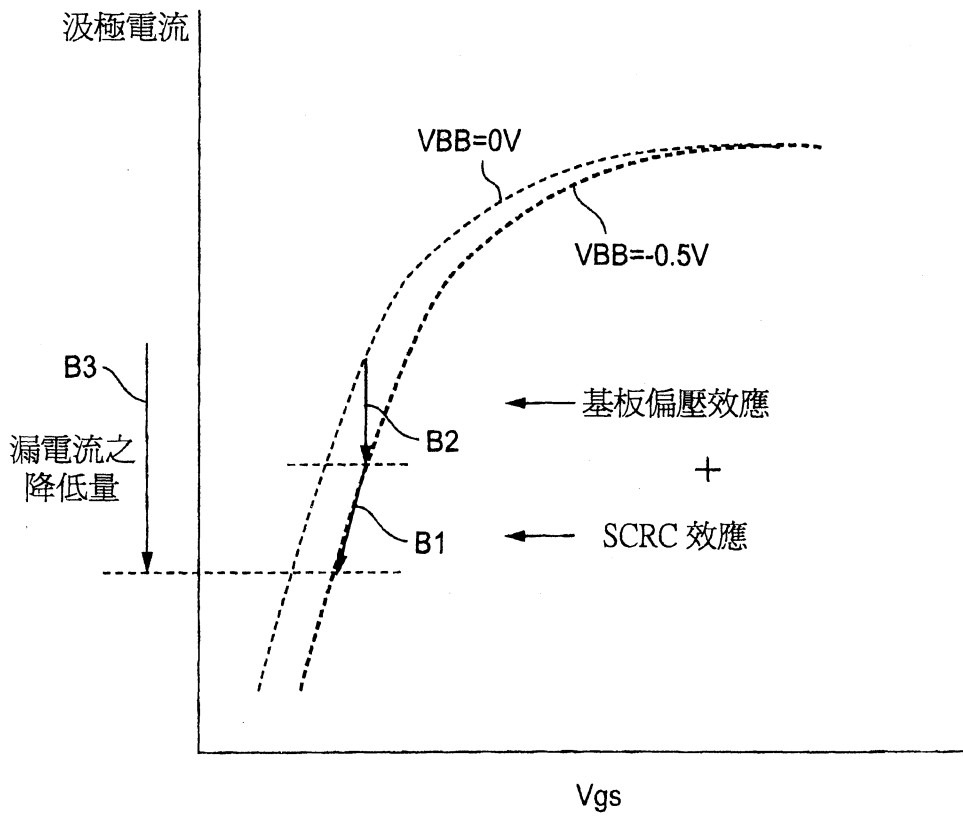


圖 6

圖式



SCRC 效應之定性說明

圖 7



**七、指定代表圖：**

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

ABLEQLT、ABLEQUT：位元線等化信號

ACT：動作命令

BA：記憶庫位址

DIORESAT：讀出放大器啟動信號

DIOWEB：寫入緩衝器啟動信號

DLIOEQB：局部 I/O 等化信號

INV1、INV2：反相器電路

LIOT、LIOB、LIOUT、LIOUB、LIOLT、LIOLB：互補局部 I/O 線

MIOT、MIOB：互補主 I/O 線

NOR1、NOR2：NOR 電路

NSC1：SCRC 控制信號

NSC2：SCRC 電位

NSC3：SCRC 重設信號

PRE：預充命令

SCRC：副閾值電流降低電路

TN1、TN2、TN6、TN7、TN8、TN9、TNK1、TNK2、TNK3、TNK4、TNK5、

TNK6、TNK7、TNK8、TNK9、TNK10：NMOS 電晶體

TN3、TN4、TN5： $\pi$  形 NMOS 放大器

TP1、TP2、TP3、TP4、TP5、TP6：PMOS 電晶體

VBB1、VBB2：電位

VBLR：電源電位

VDD：外部電源電壓

VSS：接地電位

WL：寫入等待時間

WRIT：寫入命令

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：(無)**