



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0128267
(43) 공개일자 2018년12월03일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2006.01) G06N 3/04 (2006.01)
G06N 3/08 (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G06N 3/049 (2013.01)
(21) 출원번호 10-2017-0063623
(22) 출원일자 2017년05월23일
심사청구일자 2017년05월23일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박중선
서울특별시 서초구 신반포로 9, 85동 403호 (반포동, 반포아파트)
최웅
경기도 부천시 소사로170번길 81, 108동 607호 (소사본동, 한신아파트)
(74) 대리인
특허법인엠에이피에스

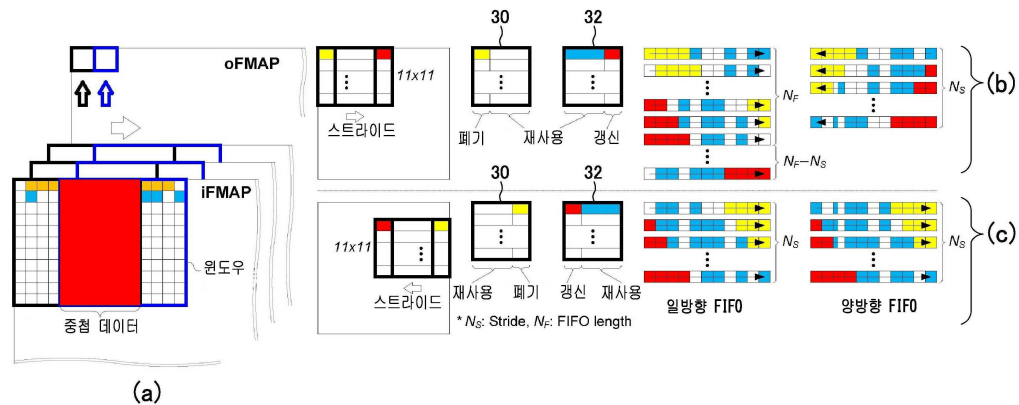
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 양방향 선입 선출 메모리와 이를 이용하는 컨볼루션 연산 처리 장치

(57) 요약

본 발명에 따른 컨볼루션 뉴럴 네트워크(Convolutional Neural Network) 에서 컨볼루션 연산을 처리하는 장치는 클럭신호에 따라 제 1 방향 또는 제 2 방향으로 데이터를 전달하는 양방향 래치들이 접속된 적어도 하나 이상의 양방향 선입선출 메모리를 포함하고, 상기 장치는 입력 값과 필터의 컨볼루션 곱을 수행하되, 제 1 컨볼루션 곱 연산처리에 대응하여, 입력 값 행렬 중 상기 필터의 크기에 해당하는 윈도우에 대응하는 제 1 입력 값들을 상기 양방향 선입선출 메모리에 저장하고, 상기 제 1 컨볼루션 곱 연산처리에 이어지는 제 2 컨볼루션 곱 연산처리에 대응하여, 상기 제 1 입력 값들의 위치로부터 상기 제1 방향 또는 제 2 방향으로 상기 윈도우를 소정의 크기 만큼 이동한 위치에 대응하는 제 2 입력 값들을 상기 양방향 선입선출 메모리에 저장하되, 상기 윈도우의 이동 크기는 상기 제 1 입력 값과 제 2 입력 값의 일부 데이터가 중복 되도록 설정된 것이다.

대표도



(52) CPC특허분류

G06N 3/084 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2016R1A2B4015329

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 사물인터넷용 저면적/저전력 전용 프로세서 설계를 위한 맞춤형 임베디드 메모리 개발

기 여 율 1/2

주관기관 고려대학교

연구기간 2016.06.01 ~ 2017.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 1711037794

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 미래소재디스커버리사업

연구과제명 설계기반 Spin-Orbitronics 소재 개발

기 여 율 1/2

주관기관 고려대학교

연구기간 2017.04.04 ~ 2018.02.03

명세서

청구범위

청구항 1

양방향 래치 회로에 있어서,

제 1 인버터 및 제 2 인버터로 이루어진 데이터 저장부;

상기 제 1 인버터의 입력단자와 그 출력단자가 접속되고, 제 1 클럭 신호에 동기되어 활성화되는 제 1 트리-스테이트 인버터; 및

상기 제 2 인버터의 입력단자와 그 출력단자가 접속되고, 제 2 클럭 신호에 동기되어 활성화되는 제 2 트리-스테이트 인버터를 포함하되,

상기 제 1 클럭 신호의 인가에 따라 상기 제 1 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하고,

상기 제 2 클럭 신호의 인가에 따라 상기 제 2 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하는 것인 양방향 래치 회로.

청구항 2

제 1 항에 있어서,

상기 제 1 트리-스테이트 인버터는

전원 전압 단자와 접지 단자 사이에 순차적으로 직렬 접속된 제 1 P 형 스위칭 소자, 제 2 P 형 스위칭 소자, 제 1 N형 스위칭 소자 및 제 2 N 형 스위칭 소자를 포함하고,

상기 제 1 P형 스위칭 소자는 반전된 제 1 클럭 신호에 따라 스위칭되고,

상기 제 1 N형 스위칭 소자는 상기 제 1 클럭 신호에 따라 스위칭되고,

상기 제 2 P형 스위칭 소자 및 제 2N 형 스위칭 소자는 제 1 입력 신호에 따라 스위칭되는 것이고,

상기 제 2 트리-스테이트 인버터는

전원 전압 단자와 접지 단자 사이에 순차적으로 직렬 접속된 제 1 P 형 스위칭 소자, 제 2 P 형 스위칭 소자, 제 1 N형 스위칭 소자 및 제 2 N 형 스위칭 소자를 포함하고,

상기 제 1 P형 스위칭 소자는 반전된 제 2 클럭 신호에 따라 스위칭되고,

상기 제 1 N형 스위칭 소자는 상기 제 2 클럭 신호에 따라 스위칭되고,

상기 제 2 P형 스위칭 소자 및 제 2 N 형 스위칭 소자는 제 2 입력 신호에 따라 스위칭되는 것인 양방향 래치 회로.

청구항 3

양방향 선입선출 메모리에 있어서,

클럭신호에 따라 제 1 방향 또는 제 2 방향으로 데이터를 전달하는 양방향 래치가 복수개 접속된 것이되,

상기 양방향 래치는

제 1 인버터 및 제 2 인버터로 이루어진 데이터 저장부;

상기 제 1 인버터의 입력단자와 그 출력단자가 접속되고, 제 1 클럭 신호에 동기되어 활성화되는 제 1 트리-스테이트 인버터; 및

상기 제 2 인버터의 입력단자와 그 출력단자가 접속되고, 제 2 클럭 신호에 동기되어 활성화되는 제 2 트리-스테이트 인버터를 포함하되,

상기 제 1 클럭 신호의 인가에 따라 상기 제 1 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하고,
상기 제 2 클럭 신호의 인가에 따라 상기 제 2 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하는
것인 양방향 선입 선출 메모리.

청구항 4

제 3 항에 있어서,

상기 제 1 클럭 신호의 인가에 따라 전체 양방향 래치들이 제 1 방향으로 데이터를 전달하고, 상기 제 2 클럭
신호의 인가에 따라 전체 양방향 래치들이 제 2 방향으로 데이터를 전달하는 양방향 선입 선출 메모리.

청구항 5

컨볼루션 뉴럴 네트워크(Convolutional Neural Network) 에서 컨볼루션 연산을 처리하는 장치 있어서,

클럭신호에 따라 제 1 방향 또는 제 2 방향으로 데이터를 전달하는 양방향 래치들이 접속된 적어도 하나 이상의
양방향 선입선출 메모리를 포함하고,

상기 장치는 입력 값과 필터의 컨볼루션 곱을 수행하되,

제 1 컨볼루션 곱 연산처리에 대응하여, 입력 값 행렬 중 상기 필터의 크기에 해당하는 윈도우에 대응하는 제 1
입력 값들을 상기 양방향 선입선출 메모리에 저장하고,

상기 제 1 컨볼루션 곱 연산처리에 이어지는 제 2 컨볼루션 곱 연산처리에 대응하여, 상기 제 1 입력 값들의 위
치로부터 상기 제1 방향 또는 제 2 방향으로 상기 윈도우를 소정의 크기 만큼 이동한 위치에 대응하는 제 2 입
력 값들을 상기 양방향 선입선출 메모리에 저장하되,

상기 윈도우의 이동 크기는 상기 제 1 입력 값과 제 2 입력 값의 일부 데이터가 중복 되도록 설정된 것인 컨볼
루션 연산 처리 장치.

청구항 6

제 5 항에 있어서,

상기 제 2 입력 값은 상기 제 1 입력 값과 중첩되는 중첩 데이터와 상기 제 1 입력 값과 중첩되지 않는 신규 데
이터를 포함하며,

상기 제 1 입력 값이 저장된 양방향 선입 선출 메모리에 상기 제 2 입력 값을 저장할 때, 상기 윈도우가 제 1
방향으로 이동하는 경우, 상기 양방향 선입 선출 메모리는 제 2 방향으로 데이터를 전달하는 모드로 설정되어,
상기 제 1 입력 값 중 상기 제 2 입력 값과 중첩되지 않은 데이터 들은 제 2 방향으로 이동되어 삭제되고, 상기
신규 데이터가 상기 제 2 방향으로 이동되어 저장되고, 상기 중첩 데이터는 상기 윈도우의 이동 크기 만큼 제 2
방향으로 이동되는 것인 컨볼루션 연산 처리 장치.

청구항 7

제 5 항에 있어서,

상기 제 2 입력 값은 상기 제 1 입력 값과 중첩되는 중첩 데이터와 상기 제 1 입력 값과 중첩되지 않는 신규 데
이터를 포함하며,

상기 제 1 입력 값이 저장된 양방향 선입 선출 메모리에 상기 제 2 입력 값을 저장할 때, 상기 윈도우가 제 2
방향으로 이동하는 경우, 상기 양방향 선입 선출 메모리는 제 1 방향으로 데이터를 전달하는 모드로 설정되어,
상기 제 1 입력 값 중 상기 제 2 입력 값과 중첩되지 않은 데이터 들은 제 1 방향으로 이동되어 삭제되고, 상기
신규 데이터가 상기 제 1 방향으로 이동되어 저장되고, 상기 중첩 데이터는 상기 윈도우의 이동 크기 만큼 제 1
방향으로 이동되는 것인, 컨볼루션 연산 처리 장치.

청구항 8

제 5 항에 있어서,

상기 윈도우의 이동에 따라 상기 입력 값 행렬에서 제 1 방향의 단부 또는 제 2 방향의 단부에 상기 윈도우가

위치하는 경우, 다음 입력 값 설정시 상기 윈도우를 수직 방향으로 소정의 크기 만큼 이동 시키고, 이동된 윈도우에 해당하는 입력 값을 상기 양방향 선입 선출 메모리에 저장하되,

윈도우의 이동전 입력 값과 윈도우의 이동 후 입력 값의 일부가 서로 중첩되도록 하는 것인 컨볼루션 연산 처리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 양방향 선입 선출 메모리와 컨볼루션 뉴럴 네트워크에 사용될 수 있는 컨볼루션 연산 처리 장치에 관한 것이다.

배경 기술

[0002] 최근 영상 처리 분야에서 인간의 인지 능력과 비슷한 수준의 성능을 보이는 컨볼루션 뉴럴 네트워크(Convolutional Neural Network, CNN)에 대한 연구가 활발하게 진행되고 있다. 컨볼루션 뉴럴 네트워크는 딥러닝(Deep Learning) 기반의 알고리즘을 특징으로 하며, 최근 CPU, GPU, 메모리, 기타 연산 로직 등을 통합한 하드웨어를 통해 이를 구현하는 형태로 개발되고 있다.

[0003] 컨볼루션 뉴럴 네트워크 하드웨어는 이미지 데이터에 대하여 소정의 필터를 적용하여 출력 값을 산출하는 컨볼루션 연산을 여러 단계에 걸쳐 수행하게 된다. 즉, 입력 값과 필터 웨이트 값 사이의 내적(Dot Product) 연산을 수행하게 되는데, 연산은 곱셈과 덧셈 연산과 같이 비교적 단순하게 구성되나, 파라미터 값들의 크기가 다양하고 크기가 크기 때문에 하드웨어 구현에 어려움이 있다.

[0004] 이러한 엄청난 양의 파라미터를 처리하기 위하여, 프로세서(또는 칩)의 외부에 위치한 메모리에서 프로세서로 많은 양의 데이터를 로드(Load)하게 되는데 이 과정에서 상당한 전력 소모가 발생하게 된다.

선행기술문헌

[0005] 대한민국 공개 특허 10-2017-0023708(발명의 명칭: 컨볼루션 신경망 컴퓨팅 장치)

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 컨볼루션 연산 처리 장치에 양방향 선입 선출 메모리를 적용하고, 이를 위한 새로운 구성의 양방향 선입 선출 메모리를 제공하는데 그 목적이 있다.

[0007] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

[0008] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 양방향 래치 회로는 제 1 인버터 및 제 2 인버터로 이루어진 데이터 저장부; 상기 제 1 인버터의 입력단자와 그 출력단자가 접속되고, 제 1 클럭 신호에 동기되어 활성화되는 제 1 트리-스테이트 인버터; 및 상기 제 2 인버터의 입력단자와 그 출력단자가 접속되고, 제 2 클럭 신호에 동기되어 활성화되는 제 2 트리-스테이트 인버터를 포함하되, 상기 제 1 클럭 신호의 인가에 따라 상기 제 1 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하고, 상기 제 2 클럭 신호의 인가에 따라 상기 제 2 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달한다.

[0009] 또한, 본 발명의 제 2 측면에 따른 양방향 선입선출 메모리는 클럭신호에 따라 제 1 방향 또는 제 2 방향으로 데이터를 전달하는 양방향 래치가 복수개 접속된 것이되, 상기 양방향 래치는 제 1 인버터 및 제 2 인버터로 이루어진 데이터 저장부; 상기 제 1 인버터의 입력단자와 그 출력단자가 접속되고, 제 1 클럭 신호에 동기되어 활성화되는 제 1 트리-스테이트 인버터; 및 상기 제 2 인버터의 입력단자와 그 출력단자가 접속되고, 제 2 클럭 신호에 동기되어 활성화되는 제 2 트리-스테이트 인버터를 포함한다. 이때, 제 1 클럭 신호의 인가에 따라 상기 제 1 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달하고, 상기 제 2 클럭 신호의 인가에 따라 상기 제 2 트리-스테이트 인버터의 출력을 상기 데이터 저장부로 전달한다.

[0010] 또한, 본 발명의 제 3 측면에 따른 컨볼루션 뉴럴 네트워크(Convolutional Neural Network)에서 컨볼루션 연산을 처리하는 장치는 클럭신호에 따라 제 1 방향 또는 제 2 방향으로 데이터를 전달하는 양방향 래치들이 접속된 적어도 하나 이상의 양방향 선입선출 메모리를 포함하고, 상기 장치는 입력 값과 필터의 컨볼루션 곱을 수행하되, 제 1 컨볼루션 곱 연산처리에 대응하여, 입력 값 행렬 중 상기 필터의 크기에 해당하는 윈도우에 대응하는 제 1 입력 값들을 상기 양방향 선입선출 메모리에 저장하고, 상기 제 1 컨볼루션 곱 연산처리에 이어지는 제 2 컨볼루션 곱 연산처리에 대응하여, 상기 제 1 입력 값들의 위치로부터 상기 제1 방향 또는 제 2 방향으로 상기 윈도우를 소정의 크기 만큼 이동한 위치에 대응하는 제 2 입력 값들을 상기 양방향 선입선출 메모리에 저장하되, 상기 윈도우의 이동 크기는 상기 제 1 입력 값과 제 2 입력 값의 일부 데이터가 중복 되도록 설정된 이다.

발명의 효과

[0011] 본 발명의 구성에 따른 컨볼루션 뉴럴 네트워크의 컨볼루션 연산 처리 장치는 양방향으로 데이터 전달이 가능한 양방향 FIFO를 포함하기 때문에, 양방향 FIFO에 저장되는 입력 값들의 재사용 비율을 획기적으로 증가시킬 수 있어, 전체 시스템의 연산 처리 비용을 감소시킬 수 있다. 또한, 새롭게 제안된 양방향 래치의 구성은 종래의 양방향 FIFO의 구성을 개량한 것으로서, 시스템의 면적을 감소시킬 수 있을 뿐만 아니라 양방향 래치가 소모하는 전력을 감소시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 통상적인 컨볼루션 뉴럴 네트워크의 아키텍처를 도시한 것이다.
 도 2는 본 발명의 일 실시예에 따른 컨볼루션 연산 처리 장치를 도시한 도면이다.
 도 3은 본 발명의 일 실시예에 따른 컨볼루션 연산 처리 장치에서의 양방향 컨볼루션 연산 처리 방법을 도시한 도면이다.
 도 4는 본 발명의 일 실시예에 따른 컨볼루션 연산 처리 장치에서의 양방향 컨볼루션 연산 처리 방법을 도시한 도면이다.
 도 5는 종래에 알려진 양방향 FIFO의 구성을 도시한 도면이다.
 도 6은 본 발명의 일 실시예에 따른 양방향 FIFO의 구성을 도시한 도면이다.
 도 7은 본 발명의 일 실시예에 따른 양방향 FIFO에 포함되는 양방향 래치의 상세 구성을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0014] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0015] 도 1은 통상적인 컨볼루션 뉴럴 네트워크의 아키텍처를 도시한 것이다.

[0016] 도시된 바와 같이, 컨볼루션 뉴럴 네트워크에서는 입력 이미지에 대하여 여러 단계에 걸쳐 다양한 필터를 컨볼루션하는 연산을 수행하며, 이러한 각각의 단계를 거쳐 각 이미지에 대한 피쳐맵을 추출하게 된다. 이러한 필터링을 수행하는 과정에서 연산 처리를 위한 프로세서와 데이터의 임시저장을 위한 버퍼로서 선입선출 메모리(First Input First Output, 이하 FIFO 메모리라 함)등이 사용된다. 한편, 컨볼루션 뉴럴 네트워크의 아키텍처는 통상의 기술에 해당하므로 이에 대한 상세한 설명은 생략하기로 한다.

[0017] 도 2는 본 발명의 일 실시예에 따른 컨볼루션 연산 처리 장치를 도시한 도면이고, 도 3 및 도 4는 본 발명의 일 실시예에 따른 컨볼루션 연산 처리 장치에서의 양방향 컨볼루션 연산 처리 방법을 도시한 도면이다.

- [0018] 도시된 바와 같이 컨볼루션 연산처리 장치(100)는 이미지 데이터가 저장되는 이미지 버퍼(110), 필터 웨이트 값이 저장되는 웨이트 버퍼(120), 부분합 연산 결과가 저장되는 부분합 버퍼(130), 이미지 데이터와 필터 웨이트 값에 대한 컨볼루션 연산을 수행하는 복수의 연산 처리부(140, 150), 각 연산 처리부에 포함되는 이미지 FIFO(142, 152) 및 웨이트 FIFO(144, 154)를 포함한다.
- [0019] 각 연산 처리부(140, 150)에서는 각 FIFO 메모리에 저장된 데이터 값들을 곱셈 및 덧셈 연산하여 컨볼루션 곱 연산 결과를 산출하는데, 이때 일반적인 FIFO 메모리는 데이터가 단일 방향으로 전달되므로, 데이터를 재사용하는 것이 어렵다. 즉, 종래의 기술에서는 이미지 데이터들을 반복적으로 외부 메모리로부터 읽어 들인 후 컨볼루션 곱 연산을 수행하는데, 읽어 들이는 과정에서 상당한 전력 소모가 발생하게 된다. 본 발명에서는 이와 같은 문제를 해소하고자 한다.
- [0020] 도 3을 참조하면, (a)와 (b)에 도시된 바와 같이 입력 이미지 데이터를 나타내는 입력 값 행렬 상에서 소정의 필터 웨이트에 대응하는 윈도우를 이동하여, 윈도우에 대응하는 입력 값을 이미지 FIFO로 전달하게 된다. 이때, 윈도우는 각 입력 값들이 소정의 중첩(overlap) 영역을 갖도록 이동한다. 즉, 도 (b)에 도시된 바와 같이 제 1 윈도우와 제 2 윈도우는 서로 중첩된 영역을 갖게 되며, 이에 따라 제 1 윈도우에 대응하는 입력 값과 제 2 윈도우에 대응하는 입력 값이 일부 중첩된다. 또한, 윈도우가 제 1 방향으로 이동하는 경우, 폐기 대상 데이터는 중첩 데이터의 좌측에 위치하고, 신규 데이터는 중첩 데이터의 우측에 위치하게 된다. 이와 반대로, 윈도우가 제 2 방향으로 이동하는 경우, 폐기 대상 데이터는 중첩 데이터의 우측에 위치하고, 신규 데이터는 중첩 데이터의 좌측에 위치하게 된다. 그리고, 윈도우가 이동하는 양만큼 폐기 대상 데이터와 신규 데이터가 각각 결정된다.
- [0021] (b)에 도시된 바와 같이, 윈도우가 제 1 방향(우측 방향)으로 진행할 경우, 제 1 윈도우에 의해 특정된 데이터의 일부는 폐기 대상이 되고, 제 2 윈도우에 의해 특정된 데이터의 일부는 신규 입력 대상이 된다. 제 1 윈도우에 의해 특정된 데이터가 저장된 후 제 2 윈도우에 의해 특정된 데이터를 저장하는 과정을 설명하면 다음과 같다.
- [0022] 종래의 일방향 FIFO 메모리는 데이터가 일방향으로만 전달되기 때문에, 전체 데이터를 모두 제 1 방향의 단부로 이동시켜 폐기 대상 데이터(노란색 표시)를 모두 삭제시키고, 이러한 과정에 연속하여 중첩 데이터(청색 표시)를 다시 읽어들이어 오는 과정과, 갱신 대상 데이터(적색 표시)를 읽어들이어오는 과정을 모두 수행하여야 한다. 이때, 폐기 대상 데이터는 중첩 데이터의 좌측에 위치하고 있기 때문에, 폐기 대상 데이터를 삭제하기 위해서는 FIFO 메모리의 길이(N_F) 만큼 데이터를 전달하는 연산 처리를 수행해야 한다.
- [0023] 그러나, 본 발명에서와 같은 양방향 FIFO 메모리에서는 저장된 데이터가 제 1 방향 외에 그 반대 방향인 제 2 방향으로도 전달될 수 있다. 이를 가능하게 하는 양방향 FIFO 메모리의 구체적인 구성에 대해서는 추후 설명하기로 한다.
- [0024] 이와 같은 양방향 FIFO 메모리의 기능에 따라, 제 1 윈도우에 의해 특정된 데이터 중 폐기 대상 데이터(노란색)를 삭제하기 위해 제 1 방향과 반대방향인 제 2 방향의 단부로 데이터를 전달하는 과정만으로 폐기 대상 데이터를 쉽게 삭제할 수 있다. 이는, 폐기 대상 데이터가 저장된 위치와 가장 가까운 방향으로 데이터를 전달하여 해당 데이터를 출력시킬 수 있기 때문이다. 이와 같은, 데이터 폐기 과정과 동시에 갱신 대상 데이터(청색)를 함께 입력할 수 있다. 이와 같이, FIFO 메모리의 데이터 전달방향을 전환한 후 윈도우의 진행 크기(또는 stride 크기) 만큼만 데이터를 전달하는 것 만으로, 폐기 대상 데이터를 삭제하고 신규 입력 데이터를 입력할 수 있으며, 그 사이에 위치한 중첩 데이터를 새롭게 입력하기 위한 연산을 처리하지 않아도 되므로, FIFO 메모리에서 처리하는 연산 처리량을 최소화 시킬 수 있다.
- [0025] (b)의 경우와는 달리 (c)에 도시된 바와 같이, 윈도우가 제 2 방향(좌측 방향)으로 진행하는 경우도 발생할 수 있다. 즉, 입력 값 행렬상에서 윈도우가 제 1 방향으로 진행하다가 입력 값 행렬의 일측 단부에 도달할 경우, 수직방향으로 소정의 크기 만큼 윈도우를 이동시킨 후에 제 2 방향으로 윈도우를 이동시키게 된다. 이때, 윈도우가 제 2 방향으로 이동하므로, 폐기 대상 데이터는 중첩 데이터의 우측에 위치하고, 신규 데이터는 중첩 데이터의 좌측에 위치하게 된다.
- [0026] 이러한 경우에도 양방향 FIFO 메모리의 기능에 따라, 제 1 윈도우에 의해 특정된 데이터 중 폐기 대상 데이터(노란색)를 삭제하기 위해 제 2 방향과 반대방향인 제 1 방향의 단부로 데이터를 전달하는 과정만으로 폐기 대상 데이터를 쉽게 삭제할 수 있다. 이는, 폐기 대상 데이터가 저장된 위치와 가장 가까운 방향으로 데이터를 전달하여 해당 데이터를 출력시킬 수 있기 때문이다. 이와 같은, 데이터 폐기 과정과 동시에 갱신 대상 데이터

터(청색)를 함께 입력할 수 있다.

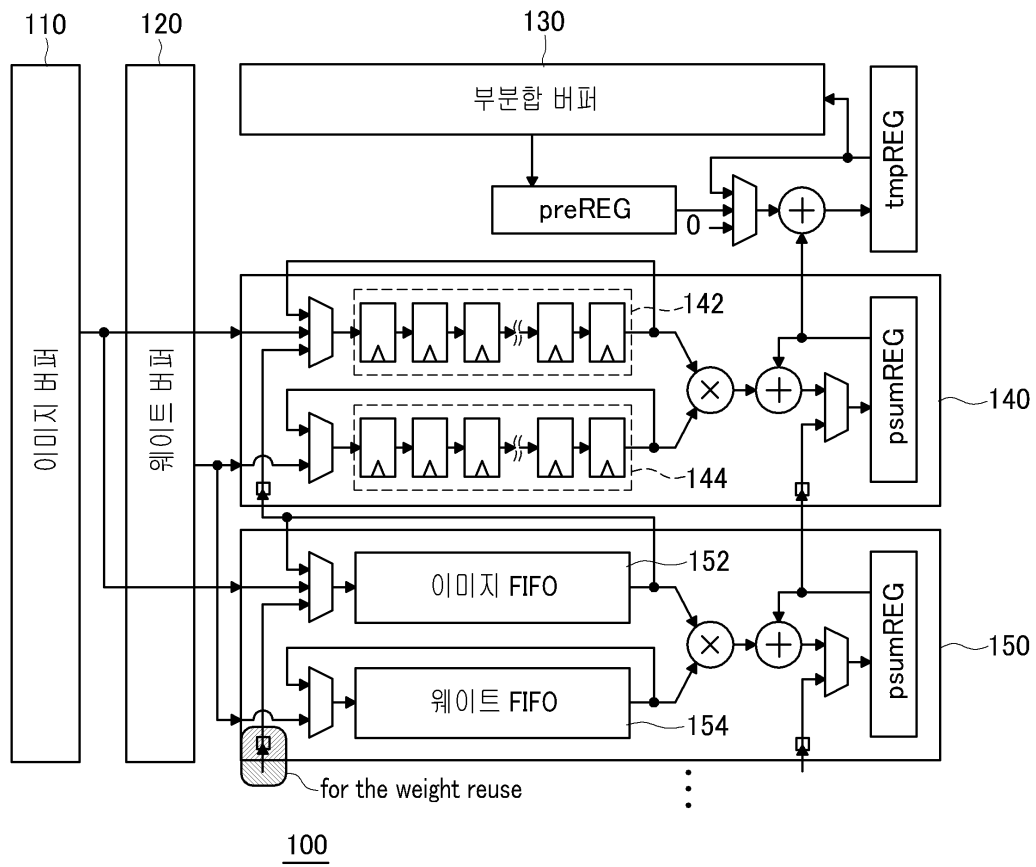
- [0027] 도 4를 참조하면, 입력 값 행렬 상에서 윈도우가 수평 방향이 아닌 수직 방향으로 이동하는 것을 확인할 수 있다. 즉, 윈도우의 이동에 따라 입력 값 행렬에서 제 1 방향의 단부 또는 제 2 방향의 단부에 윈도우가 위치하는 경우, 다음 입력 값 설정시 윈도우를 수직 방향으로 소정의 크기 만큼 이동 시키고, 이동된 윈도우에 해당하는 입력 값을 FIFO 메모리에 저장한다. 이때, 윈도우의 수직 방향 이동 전 입력 값(40)과 윈도우의 수직 방향 이동 후 입력 값(42)의 일부가 서로 중첩되도록 한다.
- [0028] 이제, 양방향 FIFO의 구성 및 동작에 대하여 살펴보기로 한다.
- [0029] 도 5는 종래에 알려진 양방향 FIFO의 구성을 도시한 도면이다.
- [0030] (a)에 도시된 바와 같이, 양방향 FIFO에 포함된 래치는 클럭신호에 동기되어 동작하는 제 1 인버터(50) 및 제 2 인버터(53), 제 1 인버터에 연결되며 데이터 저장 동작을 수행하는 인버터(51, 52), 제 2 인버터(53)에 연결되며 데이터 저장 동작을 수행하는 인버터(54, 55), 데이터를 출력하는 인버터(56, 57)를 포함한다.
- [0031] 이때, 제 1 인버터(50)와 인버터(54)는 클럭신호가 로우(low) 레벨일 때 활성화되고, 제 2 인버터(53)와 인버터(51)는 클럭신호가 하이(high)레벨일 때 활성화된다.
- [0032] 이와 같은 래치를 직렬로 조합하여 양방향 FIFO를 구성할 수 있으며, 구체적인 구성은 (b)와 (c)에 도시되어 있다.
- [0033] (b)와 (c)에 도시된 바와 같이 복수의 래치가 직렬 접속되는데, 각 래치 사이에는 멀티플렉서가 추가된다. 이 멀티플렉서에 입력되는 선택신호에 따라 제 1 방향으로 데이터를 전달하는 동작과 제 2 방향으로 데이터를 전달하는 동작을 선택할 수 있다. 그러나, 이와 같은 멀티플렉서를 추가는 방식의 경우 멀티플렉서가 추가됨에 따라 소자의 면적이 넓어지게 되고, 전력 소모가 증가하는 문제점이 있을 수 있다. 본 발명에서는 이와 같은 양방향 FIFO의 구성을 개선하고자 한다.
- [0034] 도 6은 본 발명의 일 실시예에 따른 양방향 FIFO의 구성을 도시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 양방향 FIFO에 포함되는 양방향 래치의 상세 구성을 도시한 도면이다.
- [0035] (a)에 도시된 바와 같이, 본 발명의 양방향 래치(60)는 데이터 저장부를 구성하는 제 1 인버터(62) 및 제 2 인버터(63), 제 1 인버터(62)의 입력단자와 그 출력단자가 접속되고, 제 1 클럭 신호(LCK)에 동기되어 활성화되는 제 1 트리-스테이트 인버터(61), 제 2 인버터(63)의 입력단자와 그 출력단자가 접속되고, 제 2 클럭 신호(RCK)에 동기되어 활성화되는 제 2 트리-스테이트 인버터(63)를 포함한다. 이와 같은 구성에서, 제 1 클럭 신호(LCK)의 인가에 따라 제 1 트리-스테이트 인버터(61)의 출력을 데이터 저장부로서 기능하는 제 1 인버터(62) 및 제 2 인버터(63)로 전달하고, 제 2 클럭 신호(RCK)의 인가에 따라 제 2 트리-스테이트 인버터(64)의 출력을 데이터 저장부로서 기능하는 제 1 인버터(62) 및 제 2 인버터(63)로 전달한다.
- [0036] 도 7의 (a)를 참조하면, 제 1 트리-스테이트 인버터(61)는 전원 전압 단자와 접지 단자 사이에 순차적으로 직렬 접속된 제 1 P 형 스위칭 소자(71), 제 2 P 형 스위칭 소자(72), 제 1 N형 스위칭 소자(73) 및 제 2 N 형 스위칭 소자(74)를 포함한다. 이때, 제 1 P형 스위칭 소자(71)는 반전된 제 1 클럭 신호(/LCK)에 따라 스위칭되고, 제 1 N형 스위칭 소자(74)는 제 1 클럭 신호(LCK)에 따라 스위칭되고, 제 2 P형 스위칭 소자(72)와 제 2 N 형 스위칭 소자(74)는 제 1 입력 신호(DL)에 따라 스위칭된다. 이러한 구성에 의하여, 하이레벨의 제 1 클럭 신호(LCK)가 인가되면, 제 1 P 형 스위칭 소자(71) 및 제 2 N 형 스위칭 소자(74)가 모두 활성화되어, 일반 인버터와 동일한 동작을 수행하게 된다. 그러나, 로우레벨의 제 1 클럭 신호(LCK)가 인가되면, 제 1 P 형 스위칭 소자(71) 및 제 2 N 형 스위칭 소자(74)가 모두 비활성화되어, 인버터로서의 기능을 수행하지 못한다.
- [0037] 또한, 제 2 트리-스테이트 인버터(64)는 전원 전압 단자와 접지 단자 사이에 순차적으로 직렬 접속된 제 1 P 형 스위칭 소자(75), 제 2 P 형 스위칭 소자(76), 제 1 N형 스위칭 소자(77) 및 제 2 N 형 스위칭 소자(78)를 포함한다. 이때, 제 1 P형 스위칭 소자(75)는 반전된 제 2 클럭 신호(/RCK)에 따라 스위칭되고, 제 1 N형 스위칭 소자(76)는 제 2 클럭 신호(RCK)에 따라 스위칭되고, 제 2 P형 스위칭 소자(76)와 제 2 N형 스위칭 소자(78)는 제 2 입력 신호(DR)에 따라 스위칭된다. 이러한 구성에 의하여, 하이레벨의 제 2 클럭 신호(RCK)가 인가되면, 제 1 P 형 스위칭 소자(75) 및 제 2 N 형 스위칭 소자(78)가 모두 활성화되어, 일반 인버터와 동일한 동작을 수행하게 된다. 그러나, 로우레벨의 제 2 클럭 신호(RCK)가 인가되면, 제 1 P 형 스위칭 소자(75) 및 제 2 N 형 스위칭 소자(78)가 모두 비활성화되어, 인버터로서의 기능을 수행하지 못한다.

- [0038] 한편, 제 1 트리-스테이트 인버터(61)에 접속된 스위칭 소자(81~84)들과 제 2 트리 스테이트 인버터(64)에 접속된 스위칭 소자(85~88)들은 각각 데이터 저장부를 구성하는 제1 인버터(62)와 제 2 인버터(63)로 동작한다.
- [0039] 이와 같은 구성에 따라, 멀티플렉서를 추가하지 않고서도 양방향 FIFO의 구성이 가능하다.
- [0040] 다시 도 6의 (b)를 살펴보면, 제 1 클럭 신호(LCK)가 활성화됨에 따라 제 1 트리-스테이트 인버터(61)가 활성화되고, 제 1 트리-스테이트 인버터(61)의 출력이 데이터 저장부를 구성하는 인버터로 전달된다. 이를 통해, FIFO 메모리에 포함된 양방향 래치들이 통해 제 1 방향으로 데이터 전달을 수행한다. 이때, 제 1 트리-스테이트 인버터(61)의 출력과 데이터 저장부를 구성하는 인버터 간에 데이터 레벨에 대한 경합(fighting)이 발생할 가능성이 있으므로, 제 1 트리-스테이트 인버터(61)의 크기를 제1 인버터(62) 및 제 2 인버터(63) 보다 상대적으로 크게 설계하여 안정적인 동작이 가능하도록 한다.
- [0041] 마찬가지로, 도 6의 (c)를 살펴보면, 제 2 클럭 신호(RCK)가 활성화됨에 따라 제 2 트리-스테이트 인버터(64)가 활성화되어, 제 2 트리-스테이트 인버터(64)의 출력이 데이터 저장부를 구성하는 인버터로 전달된다. 이를 통해, FIFO 메모리에 포함된 양방향 래치들이 통해 제 2 방향으로 데이터 전달을 수행한다. 이때, 제 2 트리-스테이트 인버터(62)의 출력과 데이터 저장부를 구성하는 인버터 간에 데이터 레벨에 대한 경합(fighting)이 발생할 가능성이 있으므로, 제 2 트리-스테이트 인버터(64)의 크기를 제1 인버터(62) 및 제 2 인버터(63) 보다 상대적으로 크게 설계하여 안정적인 동작이 가능하도록 한다.
- [0042] 이와 같은 구성에 따라 도 7의 (b)에 도시된 바와 같이, 양방향 래치의 전원 전압용 콘택(VSS, VDD)와 데이터 입력용 콘택(DL, DR), 클럭 신호용 콘택(RCK, LCK)을 레이아웃의 아웃라인에 배치하기가 용이해지며, 메모리 비트셀 타입의 레이아웃이 가능하여 최대 약 40%의 면적 감소가 가능해진다.
- [0043] 본 발명의 일 실시예에 따른 컨벌루션 연산 처리 방법은 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행 가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체를 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다.
- [0044] 본 발명의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템을 사용하여 구현될 수 있다.
- [0045] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0046] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

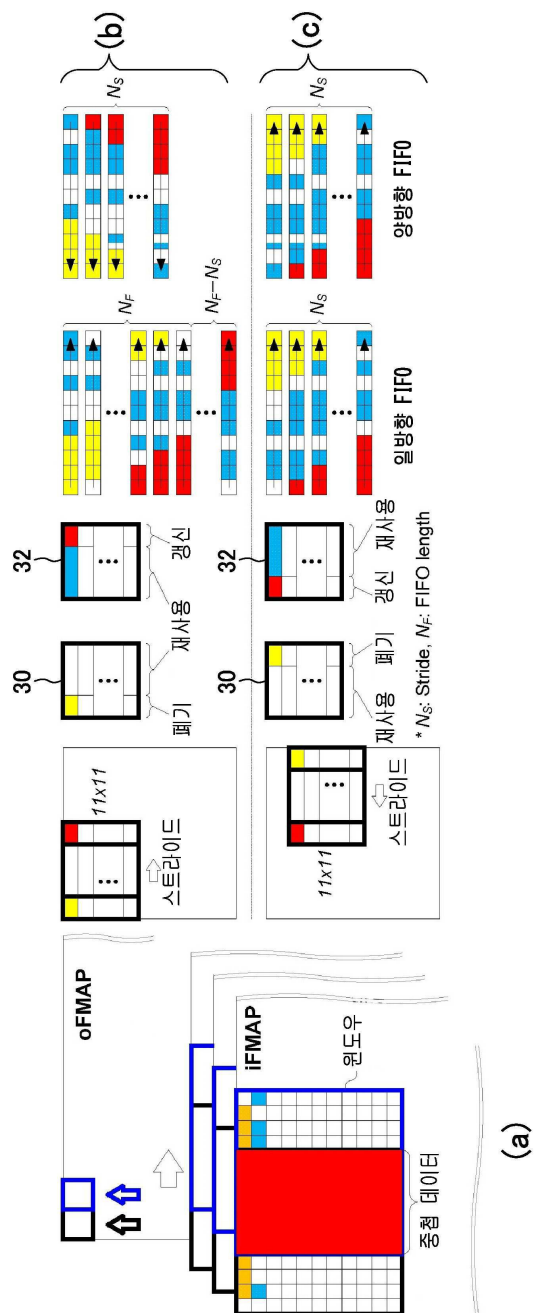
부호의 설명

- [0047] 100: 컨벌루션 연산처리 장치
- 110: 이미지 버퍼
- 120: 웨이트 버퍼
- 130: 부분합 버퍼
- 140, 150: 연산 처리부

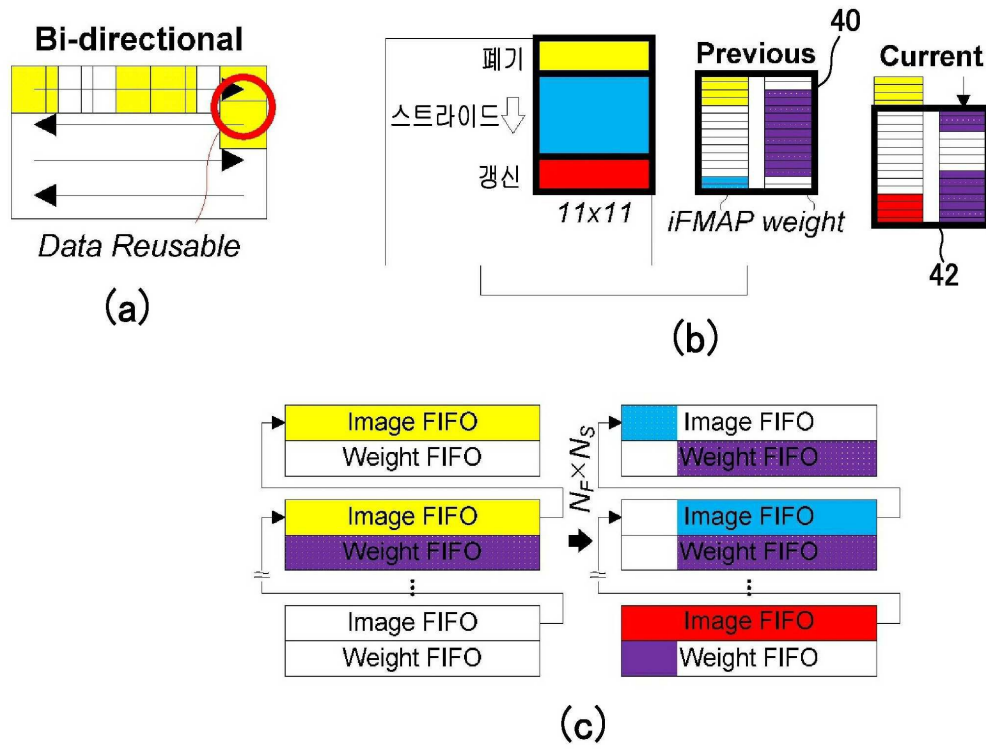
도면2



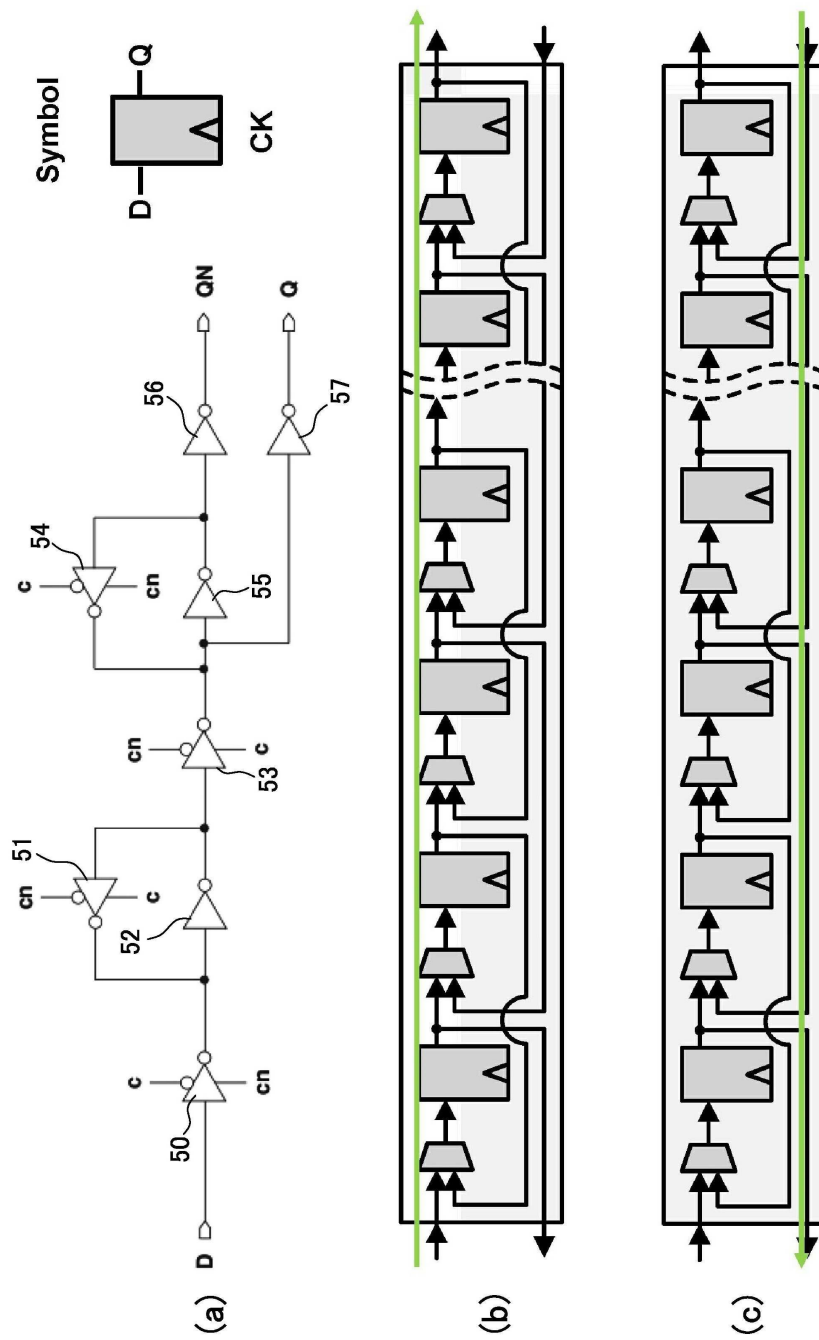
도면3



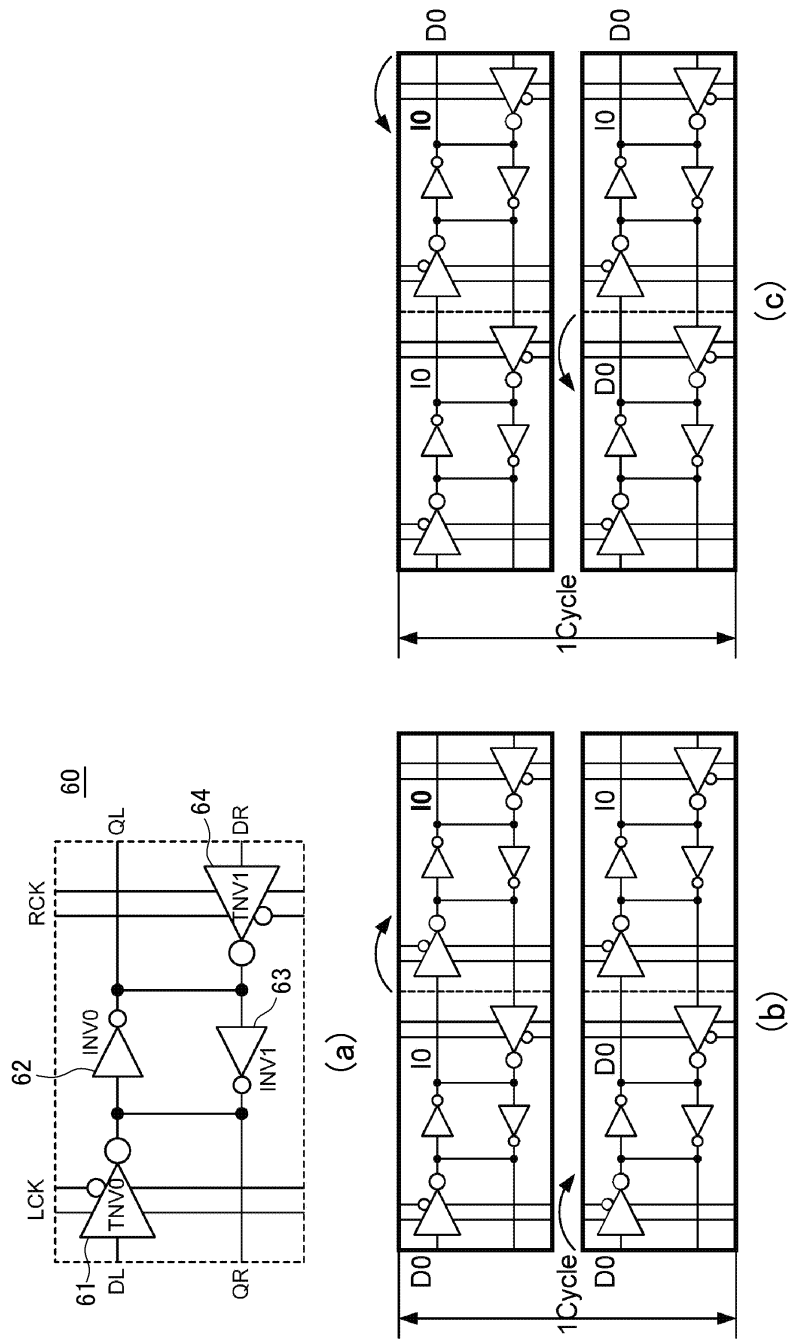
도면4



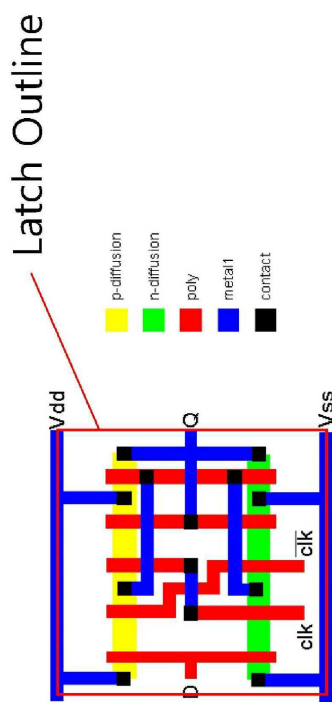
도면5



도면6

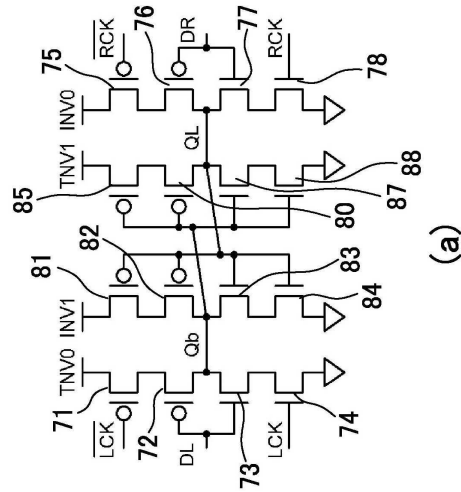


도면7



Latch Outline

Figure 8.6: Latch symbolic layout.



(b)