



(12) 发明专利申请

(10) 申请公布号 CN 115461975 A

(43) 申请公布日 2022. 12. 09

(21) 申请号 202180031675.0

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(22) 申请日 2021.03.29

专利代理师 林斯凯

(30) 优先权数据

63/004,334 2020.04.02 US

17/139,500 2020.12.31 US

(51) Int.Cl.

H02M 1/44 (2006.01)

(85) PCT国际申请进入国家阶段日

2022.10.28

(86) PCT国际申请的申请数据

PCT/US2021/024569 2021.03.29

(87) PCT国际申请的公布数据

W02021/202326 EN 2021.10.07

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 K·乔希 S·马南达尔

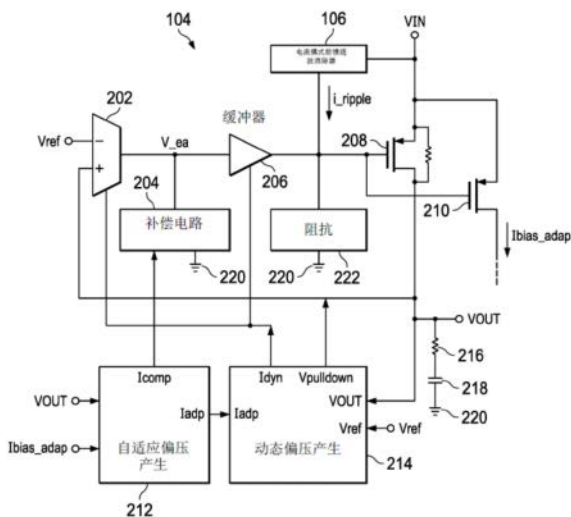
权利要求书3页 说明书7页 附图8页

(54) 发明名称

电流模式前馈涟波消除

(57) 摘要

在实例中,一种设备包含误差放大器(202)、缓冲器(206)、晶体管(208)及电流模式前馈涟波消除器(CFFRC)(106)。所述误差放大器具有放大器输出、第一输入及第二输入,所述误差放大器第二输入经配置以接收参考电压(Vref)。所述缓冲器具有缓冲器输入及缓冲器输出,所述缓冲器输入经耦合到所述误差放大器输出。所述晶体管具有栅极、源极及漏极,所述栅极经耦合到所述缓冲器输出,所述漏极经耦合到所述第一输入。所述晶体管经配置以在所述源极处接收输入电压(VIN),且在所述漏极处提供输出电压。所述CFFRC具有CFFRC输入及CFFRC输出,所述CFFRC输出经耦合到所述栅极,且所述CFFRC输入经配置以接收VIN。



1. 一种设备,其包括:

误差放大器,其具有放大器输出、第一输入及第二输入,所述第二输入经配置以接收参考电压(V_{ref});

缓冲器,其具有缓冲器输入及缓冲器输出,所述缓冲器输入经耦合到所述放大器输出;

晶体管,其具有栅极、源极及漏极,所述栅极经耦合到所述缓冲器输出,所述漏极经耦合到所述第一输入,且所述晶体管经配置以在所述源极处接收输入电压(V_{IN})且在所述漏极处提供输出电压(V_{OUT});及

电流模式前馈涟波消除器(CFFRC),其具有CFFRC输入及CFFRC输出,所述CFFRC输出经耦合到所述栅极,且所述CFFRC输入经配置以接收 V_{IN} 。

2. 根据权利要求1所述的设备,其进一步包括耦合到所述放大器输出的补偿电路。

3. 根据权利要求1所述的设备,其中所述晶体管适于在所述漏极处耦合到串联连接的第二电阻器及电容器。

4. 根据权利要求1所述的设备,其中所述晶体管是第一晶体管,所述栅极是第一栅极,所述源极是第一源极,所述漏极是第一漏极,且所述设备进一步包括具有第二栅极、第二源极及第二漏极的第二晶体管,所述第二栅极经耦合到所述缓冲器输出,且所述第二源极经耦合到所述第一源极。

5. 根据权利要求1所述的设备,其中所述晶体管是第一晶体管,所述栅极是第一栅极,所述源极是第一源极,所述漏极是第一漏极,所述放大器输出是第一放大器输出,且所述CFFRC包含:

电容器,其具有第一板及第二板,所述第二板适于耦合到接地端子;

电阻器,其具有第一端子及第二端子,所述第一端子经配置以接收偏压电压,且所述第二端子经耦合到所述第一板;

差分放大器,其具有第二放大器输出、第三输入及第四输入,所述第三输入经耦合到所述第一板;

第二晶体管,其具有第二栅极、第二源极及第二漏极,所述第二栅极及所述第二漏极经耦合到所述第四输入,且所述第二源极经配置以接收 V_{IN} ;及

第三晶体管,其具有第三栅极、第三源极及第三漏极,所述第三栅极经耦合到所述第二放大器输出,且所述第三源极经耦合到所述第四输入。

6. 根据权利要求5所述的设备,其中所述CFFRC包含串联耦合在所述第三漏极与所述第一栅极之间的第一电流镜及第二电流镜,其中所述第一电流镜及所述第二电流镜经配置以将流过所述第三晶体管的电流镜射到所述第一栅极。

7. 根据权利要求5所述的设备,其中所述缓冲器包含:

第四晶体管,其具有第四栅极、第四源极及第四漏极,所述第四栅极经配置以接收所述偏压电压,所述第四源极经配置以接收 V_{IN} ,且所述第四漏极经耦合到所述第一栅极;及

第五晶体管,其具有第五栅极、第五源极及第五漏极,所述第五栅极经配置以在所述放大器输出处接收误差信号,所述第五源极经耦合到所述第一栅极,且所述第五漏极适于耦合到接地端子。

8. 根据权利要求7所述的设备,其中所述第二晶体管经配置以具有与所述第五晶体管相同的跨导。

9. 根据权利要求1所述的设备,其中所述CFFRC经配置以在所述栅极处提供VIN的涟波分量的电流表示。

10. 一种设备,其包括:

晶体管,其具有栅极、源极及漏极,所述源极经配置以接收输入电压(VIN);

误差放大器,其经配置以:将所述漏极处的输出电压(VOUT)与参考信号(Vref)进行比较;及响应于所述比较而提供误差信号;

缓冲器,其经配置以将所述误差信号提供到所述栅极;及

电流模式前馈涟波消除器(CFFRC),其经配置以:

感测VIN中的电压涟波;

将所述经感测电压涟波转换为所述电压涟波的电流表示;及

将所述电压涟波的所述电流表示提供到所述栅极。

11. 根据权利要求10所述的设备,其中所述CFFRC经配置以通过将所述电压涟波的所述电流表示提供到所述栅极来增加所述设备的功率信号抑制比且减少由所述晶体管从所述源极耦合到所述漏极的所述电压涟波的量。

12. 根据权利要求10所述的设备,其进一步包括补偿电路,所述补偿电路经配置以通过调制所述误差信号的频率响应中的频率响应零点的位置来将补偿提供到所述误差信号。

13. 根据权利要求10所述的设备,其进一步包括偏压电路,所述偏压电路经配置以加偏压于所述误差放大器及所述缓冲器以将电流注入到所述误差放大器及所述缓冲器中,以便补偿VOUT值相对于Vref值的下冲。

14. 根据权利要求10所述的设备,其进一步包括偏压电路,所述偏压电路经配置以电加载所述漏极以减小VOUT值,以便补偿VOUT值相对于Vref值的过冲。

15. 根据权利要求10所述的设备,其中所述CFFRC及所述缓冲器经配置以具有约相同的跨导。

16. 一种系统,其包括:

负载;及

低压差调节器(LDO),其适于耦合到所述负载,且经配置以基于输入电压(VIN)将经调节输出电压(VOUT)提供到所述负载,其中所述LDO包含:

晶体管,其具有栅极、源极及漏极,所述源极经配置以接收VIN;

误差放大器,其经配置以:将所述漏极处的VOUT与参考信号(Vref)进行比较;

及响应于所述比较而提供误差信号;

缓冲器,其经配置以将所述误差信号提供到所述栅极;及

电流模式前馈涟波消除器(CFFRC),其经配置以:

感测VIN中的电压涟波;

将所述经感测电压涟波转换为所述电压涟波的电流表示;及

将所述电压涟波的所述电流表示提供到所述栅极。

17. 根据权利要求16所述的系统,其中:

所述误差放大器具有放大器输出、第一输入及第二输入,所述第二输入经配置以接收Vref;

所述缓冲器具有缓冲器输入及缓冲器输出,所述缓冲器输入经耦合到所述放大器输

出；

所述栅极经耦合到所述缓冲器输出，所述源极经配置以接收VIN，且所述漏极经配置以提供VOUT；及

所述CFFRC具有CFFRC输入及CFFRC输出，所述CFFRC输出经耦合到所述栅极，且所述CFFRC输入经配置以接收VIN。

18. 根据权利要求16所述的系统，其中所述CFFRC及所述缓冲器经配置以具有约相同的跨导。

19. 根据权利要求16所述的系统，其中所述CFFRC经配置以通过将所述电压涟波的所述电流表示提供到所述栅极来增加所述LDO的功率信号抑制比且减少由所述晶体管从所述源极耦合到所述漏极的所述电压涟波的量。

20. 根据权利要求16所述的系统，其中所述LDO包含补偿电路，所述补偿电路经配置以通过调制所述误差信号的频率响应中的频率响应零点的位置来将补偿提供到所述误差信号。

电流模式前馈涟波消除

背景技术

[0001] 低压差调节器 (LDO) 是基于输入电压 (VIN) 来调节输出电压 (VOUT) 的直流 (DC) 线性电压调节器。如果VIN的值大于指示VOUT的编程调节点的参考电压 (VREF), 那么LDO向下调节VIN以提供VOUT。LDO可用作跟随开关调节器的滤波装置以在将信号提供到负载之前调节所述信号。VIN可包含信号噪声或其它值变化, 且LDO的电源抑制 (PSR) 比可定义LDO抑制此噪声或其它值变化传递到VOUT的能力。

发明内容

[0002] 在实例中, 一种设备包含误差放大器、缓冲器、晶体管及电流模式前馈涟波消除器 (CFFRC)。所述误差放大器具有放大器输出、第一输入及第二输入, 所述第二输入经配置以接收参考电压 (Vref)。所述缓冲器具有缓冲器输入及缓冲器输出, 所述缓冲器输入经耦合到所述放大器输出。所述晶体管具有栅极、源极及漏极, 所述栅极经耦合到所述缓冲器输出, 所述漏极经耦合到所述第一输入。所述晶体管经配置以在所述源极处接收输入电压 (VIN), 且在所述漏极处提供输出电压 (VOUT)。所述CFFRC具有CFFRC输入及CFFRC输出, 所述CFFRC输出经耦合到所述栅极, 且所述CFFRC输入经配置以接收VIN。

[0003] 在实例中, 一种设备包含晶体管、误差放大器、缓冲器及CFFRC。所述晶体管具有栅极、源极及漏极, 所述源极经配置以接收VIN。所述误差放大器经配置以将所述漏极处的VOUT与Vref进行比较, 且响应于所述比较而提供误差信号。所述缓冲器经配置以将所述误差信号提供到所述栅极。所述CFFRC经配置以感测VIN中的电压涟波, 将所述经感测电压涟波转换为所述电压涟波的电流表示, 且将所述电压涟波的所述电流表示提供到所述栅极。

[0004] 在实例中, 一种系统包含负载及低压差调节器 (LDO)。所述LDO适于耦合到所述负载, 且经配置以基于VIN将经调节VOUT提供到所述负载。所述LDO包含晶体管、误差放大器、缓冲器及CFFRC。所述晶体管具有栅极、源极及漏极, 所述源极经配置以接收VIN。所述误差放大器经配置以将所述漏极处的VOUT与Vref进行比较, 且响应于所述比较而提供误差信号。所述缓冲器经配置以将所述误差信号提供到所述栅极。所述CFFRC经配置以感测VIN中的电压涟波, 将所述经感测电压涟波转换为所述电压涟波的电流表示, 将所述电压涟波的所述电流表示提供到所述栅极。

附图说明

[0005] 图1是实例系统的框图。

[0006] 图2是低压差调节器 (LDO) 的实例实施方案的框图。

[0007] 图3是LDO的一部分的实例实施方案的示意图。

[0008] 图4是实例信号波形的图。

[0009] 图5是实例信号波形的图。

[0010] 图6是实例信号波形的图。

[0011] 图7是实例信号波形的图。

[0012] 图8A是实例信号波形的图。

[0013] 图8B是实例信号波形的图。

具体实施方式

[0014] 在低压差调节器 (LDO) 中,跨越宽频率范围具有高电源抑制 (PSR) 比 (例如,举例来说跨越约2兆赫 (MHz) 的频率范围大于约45分贝 (dB) 的PSR) 可为有利的。跨越宽频率范围内的高PSR可使LDO能够适于在多种应用中实施,例如跟随开关调节器,所述开关调节器可提供具有高或低频率噪声的输入电压 (VIN),且将输出电压 (VOUT) 提供到可对噪声敏感的组件,例如片上系统 (SOC)、传感器模块、低解决方案尺寸电源系统及其它噪声敏感电路 (例如射频 (RF) 电路、模/数转换器 (ADC)、锁相环 (PLL) 等)。一些LDO拓扑可在其环路带宽内提供PSR。然而,其PSR性能随着其环路带宽外的环路增益降低而降级。具有外部滤波电容器的LDO可在其PSR响应中具有频谱峰值,从而导致增加的系统级电源噪声。此外,用于改进PSR响应的大电容器可增加LDO的静态功率消耗,且增加由LDO消耗的硅表面积,这可增加LDO的成本。

[0015] 本描述的方面涉及一种具有宽频率、高PSR比的LDO。例如,根据本描述的LDO的至少一个实施方案对于高达2MHz的频率且在从约100微安 (μA) 到约250毫安 (mA) 的负载电流范围内达到大于68dB的PSR。对于至少一些频率,与其它技术相比,PSR改进或增加高达约25dB。在至少一些实施方案中,经由在提供PSR时不使用求和放大器的电流模式方法来达到上述性能。LDO的至少一个实例包含电流模式前馈涟波消除器 (CFFRC)。包含CFFRC的LDO的前馈路径的增益可与LDO的前向增益匹配。因此,对于至少一些实施方案,可在不对LDO进行特定校准的情况下实施CFFRC。

[0016] 在至少一些实施环境中,包含例如p型晶体管、p型场效应晶体管 (PFET) 或p型金属氧化物半导体 (PMOS) FET的p型传递装置 (pass device) 的LDO可在不包含电荷泵的情况下实施以将驱动信号提供到p型传递装置的栅极。相比之下,包含n型传递装置 (例如,NFET) 的LDO可使用电荷泵来将驱动信号提供到n型传递装置的栅极。电荷泵可增加LDO的静态电流消耗。因此,在某些情况下,例如在低静态电流可为有利的LDO应用中,使用具有p型传递装置而不是n型传递装置的LDO可为有利的。为了稳健的PSR性能,半导体物理学可规定n型传递装置可在传递装置的栅极上使用恒定电压,且p型传递装置可使用在传递装置的栅极上复制的电源电压涟波,例如由其在共同源极配置中的操作导致。在至少一些实例中,本描述中的LDO的CFFRC经配置以将由LDO接收的VIN的电源涟波复制到LDO的p型传递装置的栅极。CFFRC可以与波纹的频率无关的方式且在不使用求和放大器的情况下将波纹复制到传递装置的栅极,如上文描述。

[0017] 图1是实例系统100的图。系统100的至少一些实施方案代表用于包含CFFRC的LDO的应用环境,如上文描述。在至少一些实例中,系统100包含电源102、包含CFFRC 106的LDO 104及负载108。LDO 104可经耦合在电源102与负载108之间,且经配置以基于从电源102接收的VIN将经调节VOUT提供到负载108。在一些实例中,VIN包含噪声或其它值变化。例如,电源102可为用于LDO 104的任何合适电源,例如电池、开关电源转换器 (例如开关模式电源)、变压器等,其可将具有一定量的噪声或其它值变化的VIN提供到LDO 104。

[0018] 在至少一些实例中,负载108对噪声敏感,或包含对噪声敏感的一或多个组件。因

此,在至少一些这样的实例中,LDO 104具有高PSR比以抑制噪声或其它VIN变化以减轻噪声或其它VOUT变化的出现可为有利的。为了至少部分减轻VIN的噪声在VOUT中传递到负载108,CFFRC 106可检测噪声且将其复制到LDO 104的传递装置(未展示)的栅极上,从而增加LDO 104的PSR,且借此增加在VOUT中被抑制的VIN噪声量。

[0019] 图2是LDO 104的实例实施方案的框图。在至少一些实例中,LDO 104包含CFFRC 106、误差放大器202、补偿电路204、缓冲器206、传递FET 208、电流感测FET 210、自适应偏压产生电路212及动态偏压产生电路214。在至少一些实例中,LDO 104适于耦合到LDO 104的输出处的一或多个组件,例如电阻器216及/或电容器218。误差放大器202可为任何合适运算跨导放大器(OTA),其范围在本文中不受限制。

[0020] 在LDO 104的实例架构中,误差放大器202具有:第一输入(例如,正或非反相输入),其经耦合到传递FET 208的漏极;第二输入(例如,负或反相输入),其经配置以接收参考电压(V_{ref});及输出。补偿电路204经耦合在误差放大器202的输出与接地220之间。在至少一些实例中,补偿电路204包含一或多个无源组件(未展示),例如电容器及/或电阻器,其可对来自误差放大器202的输出的误差放大器输出信号(V_{ea})进行滤波或以其它方式提供补偿。缓冲器206具有:输入,其经耦合到误差放大器202的输出;及输出,其经耦合到传递FET 208的栅极。CFFRC 106具有:输入,其经耦合到传递FET 208的源极且经配置以接收VIN;及输出,其经耦合到传递FET 208的栅极。在至少一些实例中,可在缓冲器206的输出处提供阻抗。这在LDO 104中被展示为耦合在缓冲器206的输出与接地220之间的阻抗222。然而,在至少一些实例中,阻抗222可并非物理组件。代替地,阻抗222可表示缓冲器206所固有的且在其输出处提供的输出阻抗。电流感测FET 210具有:源极,其经耦合到传递FET 208的源极;栅极,其经耦合到传递FET 208的栅极;及漏极,其经耦合到自适应偏压产生电路212的输入。自适应偏压产生电路212具有:第一输出,其经耦合到补偿电路204;及第二输出,其经耦合到动态偏压产生电路214的第一输入。动态偏压产生电路214具有:第一输出,其经耦合到误差放大器202及缓冲器206的偏压输入;第二输出,其经耦合到误差放大器202的第一输入;第二输入,其经配置以接收 V_{ref} ;及第三输入,其经耦合到传递FET 208的漏极。在至少一些实例中,LDO 104的输出(在其处提供VOUT)是传递FET 208的漏极。在至少一些实例中,电阻器216及电容器218可串联耦合在传递FET 208的漏极与接地220之间。在至少一些实例中,电容器218可为LDO 104适于耦合到其的片外电容器,且其设置由LDO 104提供的VOUT的频率响应中的主极点。尽管图2中未展示,但在至少一些实例中,电阻分压器经耦合在传递FET 208的漏极与接地220之间,且误差放大器202的第一输入经耦合到电阻分压器的输出,而不是直接耦合到传递FET 208的漏极。

[0021] 在LDO 104的实例操作中,VIN由传递FET 208接收及传递,因此LDO 104可将其提供为VOUT。传递FET 208基于在传递FET 208的栅极处接收的信号的值来传递VIN(用于提供为VOUT)。流过传递FET 208的电流与在传递FET 208的栅极处接收的信号的值有关,因此传递FET 208的栅极处的较大值信号(例如引起传递FET 208的较大栅极到源极电压差)可导致VOUT具有更接近VIN的值。为了在传递FET 208的栅极处提供信号,误差放大器202将VOUT与 V_{ref} 进行比较,且提供具有指示VOUT与 V_{ref} 之间的差的值的 V_{ea} 。在一些实施方案中,误差放大器202是基于折叠式共源共栅运算跨导放大器(OTA)的误差放大器,其可用静态偏压电流(例如,在空载操作中)及例如由自适应偏压产生电路212及/或动态偏压产生电

路214提供的自适应或动态偏压(例如,用于瞬态及高负载电流操作)的组合来加偏压,如下文描述。在至少一些实例中,由补偿电路204例如在自适应偏压产生电路212的控制下将补偿提供到 V_{ea} 。缓冲器206将 V_{ea} 提供到传递FET 208的栅极。

[0022] 在至少一些实例中,CFFRC 106还将信号提供到传递FET 208的栅极。例如,CFFRC 106可感测VIN中的电压涟波,将电压涟波转换为指示为 i_{ripple} 的电压涟波的电流表示,且将 i_{ripple} 提供到传递FET 208的栅极。 i_{ripple} 的电流及在提供 V_{ea} 时由缓冲器206提供的电流在传递FET 208的栅极处求和,且具有至少部分根据阻抗222来确定的电压。在至少一些实例中,这将VIN的电压涟波镜射到传递FET 208的栅极,从而增加LDO 104的PSR比。例如,在传递FET 208的栅极处提供的信号中的电压涟波可约等于VIN涟波乘以CFFRC 106的跨导与缓冲器206的跨导之比。通过匹配缓冲器206及CFFRC 106的至少一些组件的晶体管级特性,可将所述比控制为1,借此使在传递FET 208的栅极处提供的信号中的电压涟波约等于VIN涟波。响应于所述比被控制为1,LDO 104的VOUT可约等于 $(\text{增益}/(1+\text{增益})) * V_{ref}$,其中增益是LDO 104的闭环增益。将此涟波作为传递FET 208的栅极及源极两者的共模输入可减少由传递FET 208耦合到传递FET 208的漏极上的涟波量,所述漏极(如上文描述)是LDO 104的输出。以此方式,LDO 104的PSR比增加。在至少一些实例中,LDO 104的PSR比在不使用电压求和放大器的情况下增加,借此导致LDO 104的减小静态电流。例如,LDO 104的至少一些实施方案具有约5.6微安(μA)的空载静态电流。

[0023] 在至少一些实例中,电流感测FET 210是传递FET 208的比例复制品,且流过电流感测FET 210的电流(指示为 I_{bias_adap})被提供到自适应偏压产生电路212。在至少一些实施方案中,自适应偏压产生电路212实施具有约1:12000的感测比的基于1:M感测FET的架构(例如,感测FET 210具有约为传递FET 208的大小的12000倍的大小)。基于 I_{bias_adap} ,自适应偏压产生电路212可改变LDO 104的组件的带宽,例如补偿电路204及/或动态偏压产生电路214。例如,基于 I_{bias_adap} ,自适应偏压产生电路212可将补偿电流(I_{comp})提供到补偿电路204以控制(或加偏压于)补偿电路204。补偿电路204可实施零极点跟踪补偿技术,其中在误差放大器202的输出处引入频率响应零点。例如,LDO 104可为双极点系统(例如,由电容器218导致的极点(如上文描述)及由误差放大器202的输出导致的极点)。为了维持LDO 104的稳定性,由补偿电路204针对在误差放大器202的输出处引入的极点提供补偿。补偿可为具有根据 I_{comp} (例如,基于LDO 104的负载电流)调制的位置的频率响应零点,以便在负载电流范围内维持LDO 104的稳定性。

[0024] 基于 I_{bias_adap} 及/或VOUT,自适应偏压产生电路212还可将自适应电流(I_{adp})提供到动态偏压产生电路214。基于 I_{adp} 、 V_{ref} 及/或VOUT(例如响应于VOUT中相对于VIN发生的下冲或过冲),动态偏压产生电路214可将动态偏压电流(I_{dyn})提供到误差放大器202及缓冲器206。在至少一些实例中, I_{dyn} 经配置以将爆发电流提供到误差放大器202及缓冲器206以减轻负载瞬变期间(例如,在传递FET 208的漏极处)的电压过冲或下冲。类似地,动态偏压产生电路214可经由 $V_{pulldown}$ 下拉(例如,加载)传递FET 208的漏极以减小VOUT的值,借此减少恢复时间(例如,在一些实施方案中减少到小于约10微秒)及响应于VOUT的过冲的过冲量。在至少一些实例中,自适应偏压产生电路212及/或动态偏压产生电路214例如经由通过自适应偏压产生电路212及/或动态偏压产生电路214提供的一或多个信号促进晶体管307的跨导跟踪或被控制为约等于晶体管326的跨导。

[0025] 图3是LDO 104的一部分的实例实施方案的示意图。在至少一些实例中,图3代表如图2中展示的LDO 104的至少一部分的晶体管级实施方案。例如,如图3中展示的LDO 104包含CFFRC 106、缓冲器206、传递FET 208及阻抗222。在至少一些实例中,CFFRC 106包含电阻器302、电容器304、差分放大器306、p型FET (PFET) 307、PFET 308、包含n型FET (NFET) 312及NFET 314的电流镜310以及包含PFET 318及PFET 320的电流镜316。在一些实例中,缓冲器206包含PFET 322、PFET 324及PFET 326。

[0026] 在LDO 104的实例架构中,电阻器302具有:第一端子,其经配置以接收偏压电压 V_{gs_adap} ;及第二端子,其经耦合到差分放大器306的第一输入(例如,正或非反相输入)。电容器304经耦合在差分放大器306的第一输入与接地220之间。差分放大器306具有耦合到PFET 308的栅极的输出。PFET 308的源极经耦合到差分放大器306的第二输入(例如,负或反相输入)。PFET 307的栅极经耦合到差分放大器306的第二输入,PFET 307的漏极经耦合到差分放大器306的第二输入,且PFET 307的源极经配置以接收 V_{IN} 。PFET 308的漏极经耦合到NFET 312的漏极及栅极。此外,NFET 312具有耦合到接地220的源极。NFET 314具有:栅极,其经耦合到NFET 312的栅极;源极,其经耦合到接地220;及漏极,其经耦合到PFET 318的漏极、PFET 318的栅极及PFET 320的栅极。PFET 318及PFET 320各自具有经配置以接收 V_{IN} 的源极。PFET 320具有耦合到或适于耦合到传递FET 208的栅极的漏极。PFET 322及PFET 324具有经配置以接收 V_{IN} 的相应源极。PFET 322的漏极经耦合到PFET 322的栅极且适于耦合到自适应偏压产生电路212,如上文描述。在至少一些实例中,自适应偏压产生电路212通过PFET 322汲取 I_{bias_adap} 。此外,PFET 322是二极管连接的,从而在耦合到PFET 320的栅极的PFET 322的栅极处提供偏压电压 V_{gs_adap} 。在至少一些实例中,感测FET 210及PFET 322可实施为相同的。PFET 324还具有耦合到传递FET 208的栅极的漏极。PFET 326具有:栅极,其经耦合到误差放大器202的输出且经配置以接收 V_{ea} ;源极,其经耦合到传递FET 208的栅极;及漏极,其经耦合到接地220。在至少一些实例中,可匹配PFET 307及PFET 326的跨导以提供1的跨导比,如上文描述。

[0027] 在如图2中展示的LDO 104的实例操作中,电阻器302及电容器304形成具有耦合到差分放大器306的第一输入的输出的低通滤波器。在至少一些实例中,低通滤波器基于电阻器302的电阻值及电容器304的电容值来定义CFFRC 106的截止频率。在至少一些实例中,截止频率为约150赫兹(Hz),这是由约100兆欧姆的电阻器302的电阻及约10微微法拉的电容器304的电容导致的。在150Hz的截止频率的情况下,与PFET 307的源极相比,PFET 307的栅极可保持在交流电(AC)接地。通过对PFET 308的控制,差分放大器306可设置流过PFET 307的直流电(DC)偏压电流(I_{bias})的值。在至少一些实例中,差分放大器306被实施为5晶体管OTA。低通滤波器与差分放大器306组合可形成伺服高通滤波器。

[0028] 在至少一些实例中,由于PFET 324的栅极经配置以接收 V_{gs_adap} 且由 V_{gs_adap} 加偏压,正如差分放大器306通过电阻器302及电容器304的滤波器一样,PFET 307及PFET 326的跨导可匹配,借此提供如上文描述的1的跨导比。流过PFET 307的电流可根据 $g_{pfet307} * V_{IN_ripple}$ 来确定,其中 $g_{pfet307}$ 是PFET 307的跨导,且 V_{IN_ripple} 是 V_{IN} 中存在的涟波。此外,在其中阻抗222由缓冲器206的输出阻抗(例如,其是在传递FET 208的栅极处提供的阻抗)支配的至少一些实例中,阻抗222可具有根据 $1/g_{pfet326}$ 确定的近似值,其中 $g_{pfet326}$ 是PFET 326的跨导。 V_{ripple} (其是由CFFRC 106提供到传递FET 208的栅极的电压

涟波)约等于流过PFET 307的电流乘以阻抗222。因此,通过代入上文, V_{ripple} 约等于 $(g_{\text{pfet307}}/g_{\text{pfet326}})*V_{\text{IN_ripple}}$ 。如果 $g_{\text{pfet307}}/g_{\text{pfet326}}$ 被控制为1(如上文描述),那么 V_{ripple} 变为约等于 $V_{\text{IN_ripple}}$ 。

[0029] 在传递FET 208的栅极处提供 V_{ripple} ,其中传递FET 208的源极接收 $V_{\text{IN_ripple}}$ (例如,提供约 $V_{\text{IN_ripple}}$ 作为传递FET 208的栅极及源极的共模输入)减少传递到 V_{OUT} 的 $V_{\text{IN_ripple}}$ 的量,且增加LDO 104的PSR比。图4是实例信号波形的图400,其展示包含CFFRC 106的LDO 104对比不包含CFFRC 106的LDO的PSR比的比较。在图400中:水平轴在对数标度上以Hz为单位表示频率;且垂直轴在线性标度上以dB为单位表示PSR。如图400中展示,当与不包含CFFRC 106的LDO相比时,CFFRC 106跨越宽频率范围为LDO 104提供增加的PSR比。

[0030] 图5是实例信号波形的图500,其在考虑包含CFFRC 106的LDO 104对比不包含CFFRC 106的LDO的变化负载电流(展示为 I_L)的情况下展示PSR比的另一比较。图500的波形假定约5V的 V_{IN} ,约4.5V的 V_{OUT} ,及约2.2微法拉(μF)的负载电容。在图500中:水平轴在对数标度上以Hz为单位表示频率;且垂直轴在线性标度上以dB为单位表示PSR。如图500中展示,当与不包含CFFRC 106的LDO相比时,CFFRC 106跨越宽频率范围为LDO 104提供增加的PSR比。同样如图500中展示,CFFRC 106跨越以 μA 或毫安(mA)为单位的负载电流范围(例如,对于100 μA 、20mA及250mA的负载电流)向LDO 104提供增加的PSR比。

[0031] 图6是实例信号波形的图600,其在考虑LDO 104的变化输出电容(展示为 C_{out})的情况下展示PSR比的另一比较。图600的波形假定约5V的 V_{IN} ,约4.5V的 V_{OUT} ,及约20mA的负载电流。在图600中:水平轴在对数标度上以Hz为单位表示频率;且垂直轴在线性标度上以dB为单位表示PSR。如图600中展示,CFFRC 106跨越输出电容范围(针对1 μF 、2.2 μF 及12.2 μF 的输出电容展示)为LDO 104提供类似增加的PSR比。

[0032] 图7是实例信号波形的图700,其在考虑LDO 104的变化 V_{OUT} 值的情况下展示PSR比的另一比较。图700的波形假定约5V的 V_{IN} ,约2.2 μF 的负载电容,及约20mA的负载电流。在图700中:水平轴在对数标度上以Hz为单位表示频率;且垂直轴在线性标度上以dB为单位表示PSR。如图700中展示,CFFRC 106跨越 V_{OUT} 值范围(针对4.8V、4.7V、4.5V及4V的 V_{OUT} 值展示)为LDO 104提供类似增加的PSR比。

[0033] 图8A及8B是实例信号波形的图。例如,图8A是LDO 104针对从约100 μA 到约250mA的负载电流增高的负载瞬态响应的图805。图8B是LDO 104针对从约250mA到约100 μA 的负载电流减低的负载瞬态响应的图810。如图805及图810中展示,与不包含自适应偏压产生电路212及动态偏压产生电路214的LDO相比,由自适应偏压产生电路212及动态偏压产生电路214减小 V_{OUT} 值的下冲及过冲。例如,与不包含自适应偏压产生电路212及动态偏压产生电路214的LDO相比,通过将电流注入到LDO 104中,在LDO 104中减小 V_{OUT} 值的下冲(且通过下拉 V_{OUT} ,减小 V_{OUT} 的过冲)。

[0034] 在本描述中,术语“耦合”可涵盖实现与本描述一致的功能关系的连接、通信或信号路径。例如,如果装置A提供信号来控制装置B执行动作,那么:(a)在第一实例中,装置A直接耦合到装置B;或(b)在第二实例中,装置A通过中介组件C间接耦合到装置B,前提是中介组件C大体上未更改装置A与装置B之间的功能关系,因此装置B由装置A经由由装置A提供的控制信号来控制。

[0035] “经配置以”执行任务或功能的装置可由制造商在制造时进行配置(例如,编程及/

或硬接线)以执行功能及/或可在制造之后由用户进行配置(或可重新配置)以执行功能及/或其它额外或替代功能。配置可通过装置的固件及/或软件编程、通过装置的硬件组件及互连件的构造及/或布局或其组合。

[0036] 本文中被描述为包含某些组件的电路或装置可代替地适于耦合到那些组件以形成所描述的电路或装置。例如,本文中被描述为包含一或多个半导体元件(例如晶体管)、一或多个无源元件(例如电阻器、电容器及/或电感器)及/或一或多个源(例如电压及/或电流源)的结构可代替地仅包含单个物理装置(例如半导体裸片及/或集成电路(IC)封装)内的半导体元件,且可适于耦合到至少一些无源元件及/或源以在制造时或制造后例如由终端用户及/或第三方形成所描述的结构。

[0037] 虽然某些组件可在本文中被描述为具有特定工艺技术,但这些组件可被交换为其它工艺技术的组件。本文中描述的电路可经重新配置以包含被替换的组件以提供至少部分类似于组件替换之前可用的功能性的功能性。除非另有说明,否则被展示为电阻器的组件通常表示串联及/或并联耦合以提供由所展示电阻器表示的阻抗量的任一或多个元件。例如,本文中被展示及描述为单个组件的电阻器或电容器可代替地是分别串联或并联耦合在与单个电阻器或电容器相同的两个节点之间的多个电阻器或电容器。

[0038] 本描述中的短语“接地电压电势”的使用包含底板接地、地面接地、浮动接地、虚拟接地、数字接地、共同接地及/或适用于或适合于本发明的教导的任何其它形式的接地连接。除非另有说明,否则值前面的“大约”、“约”或“大体上”意指所陈述值的 $\pm 10\%$ 。

[0039] 在权利要求书的范围内,所描述的实例中的修改是可行的,且其它实例是可行的。

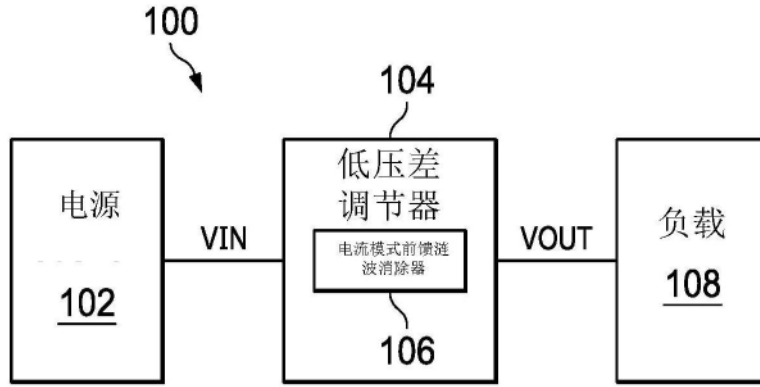


图1

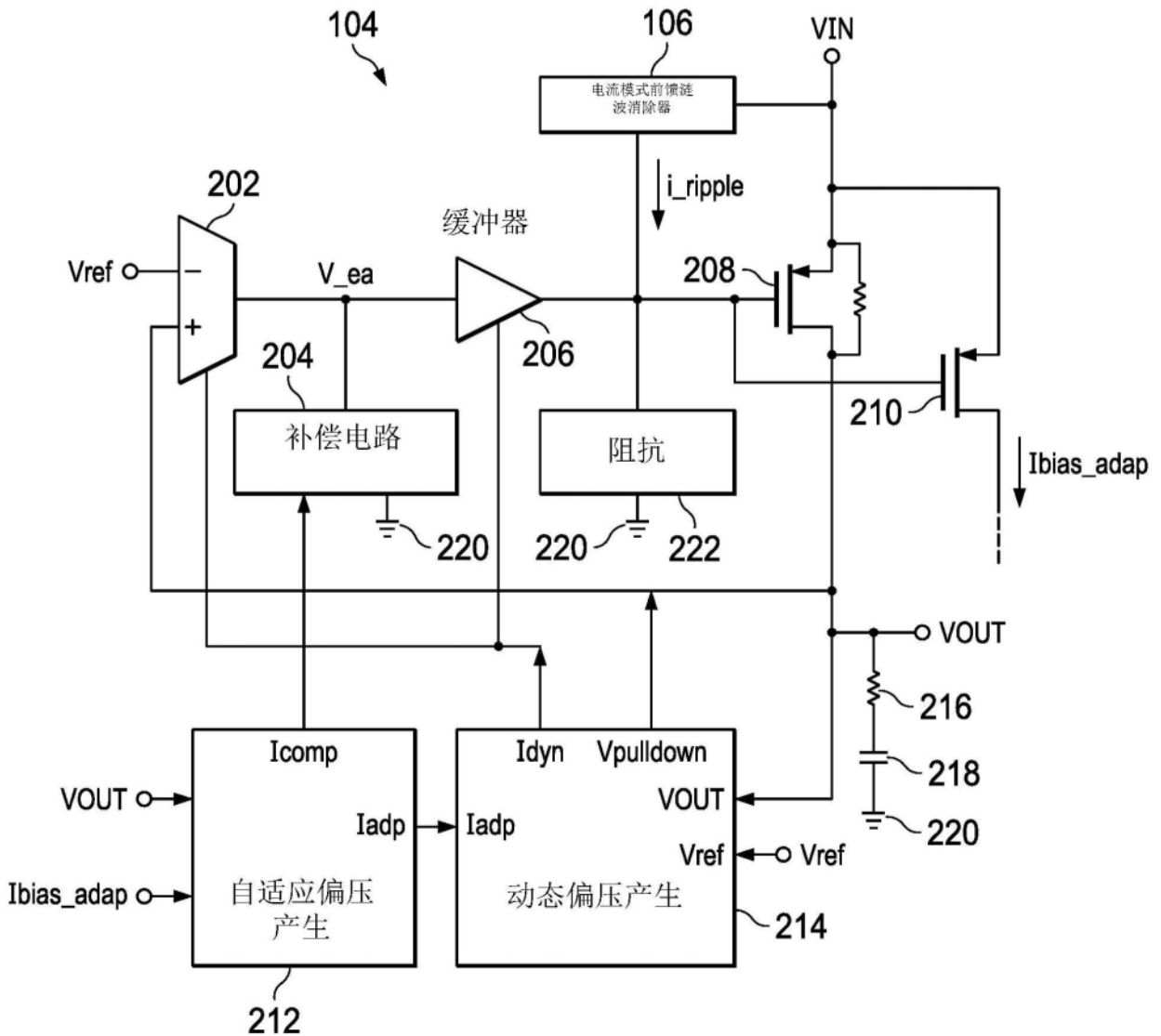


图2

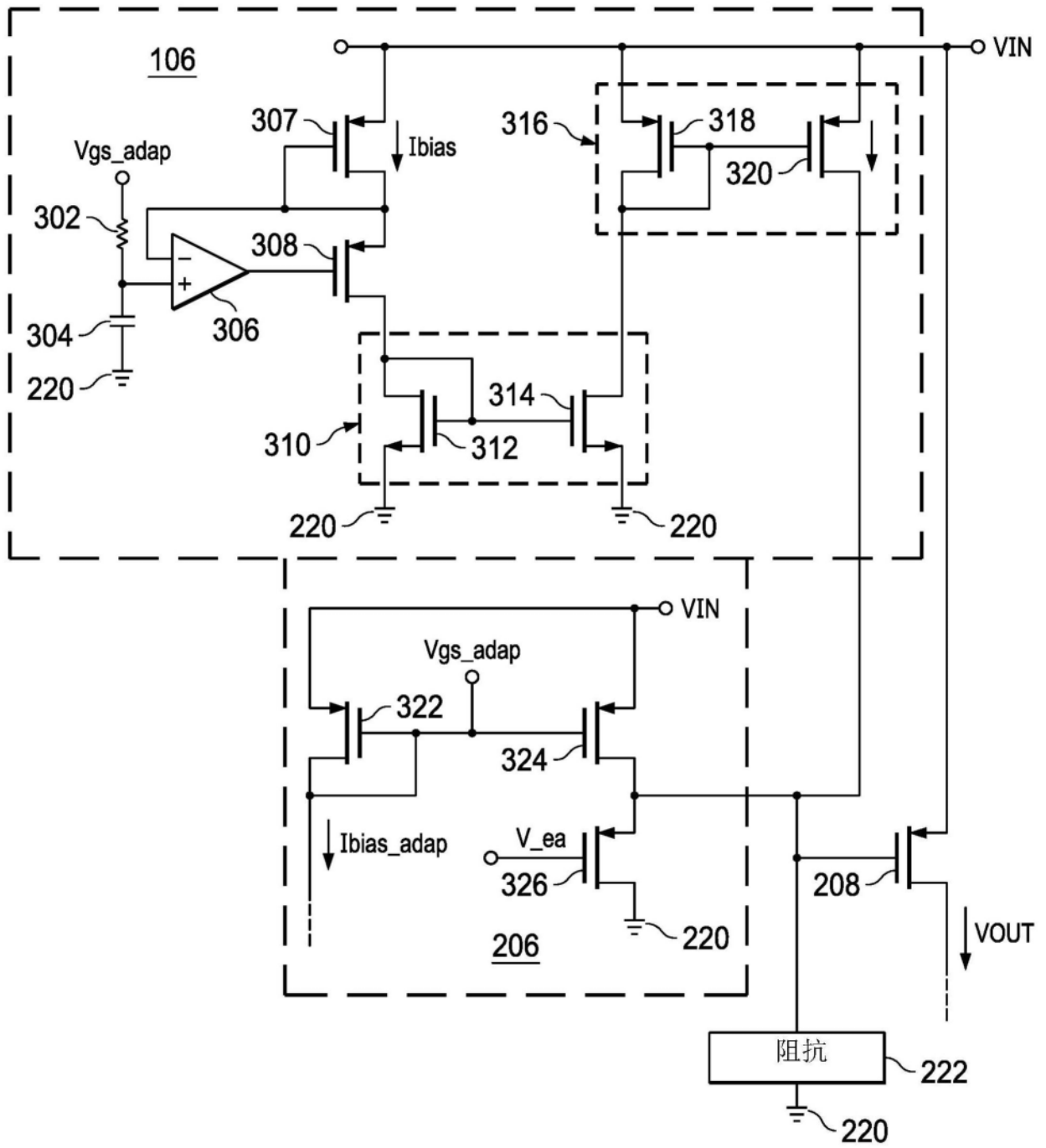


图3

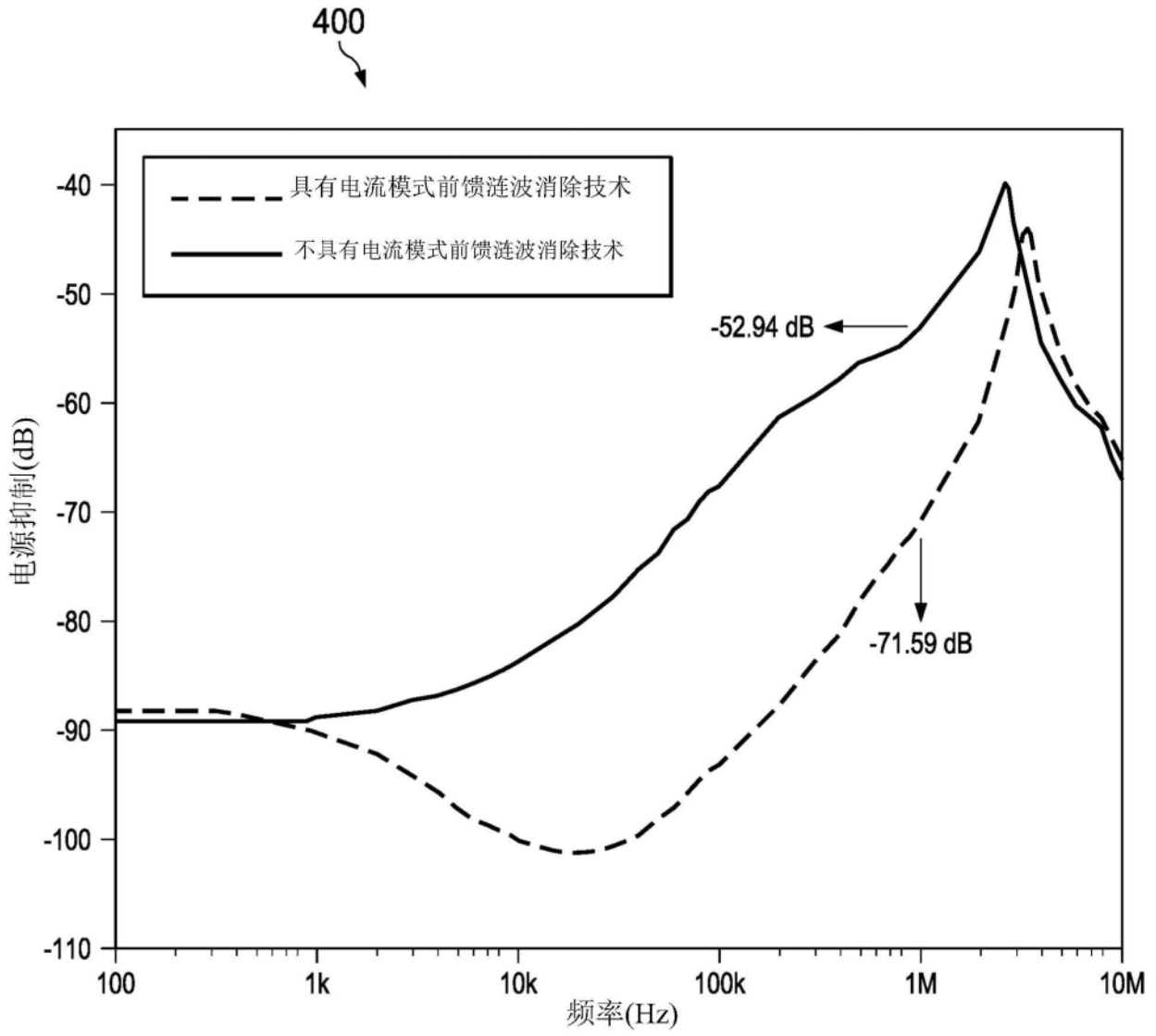


图4

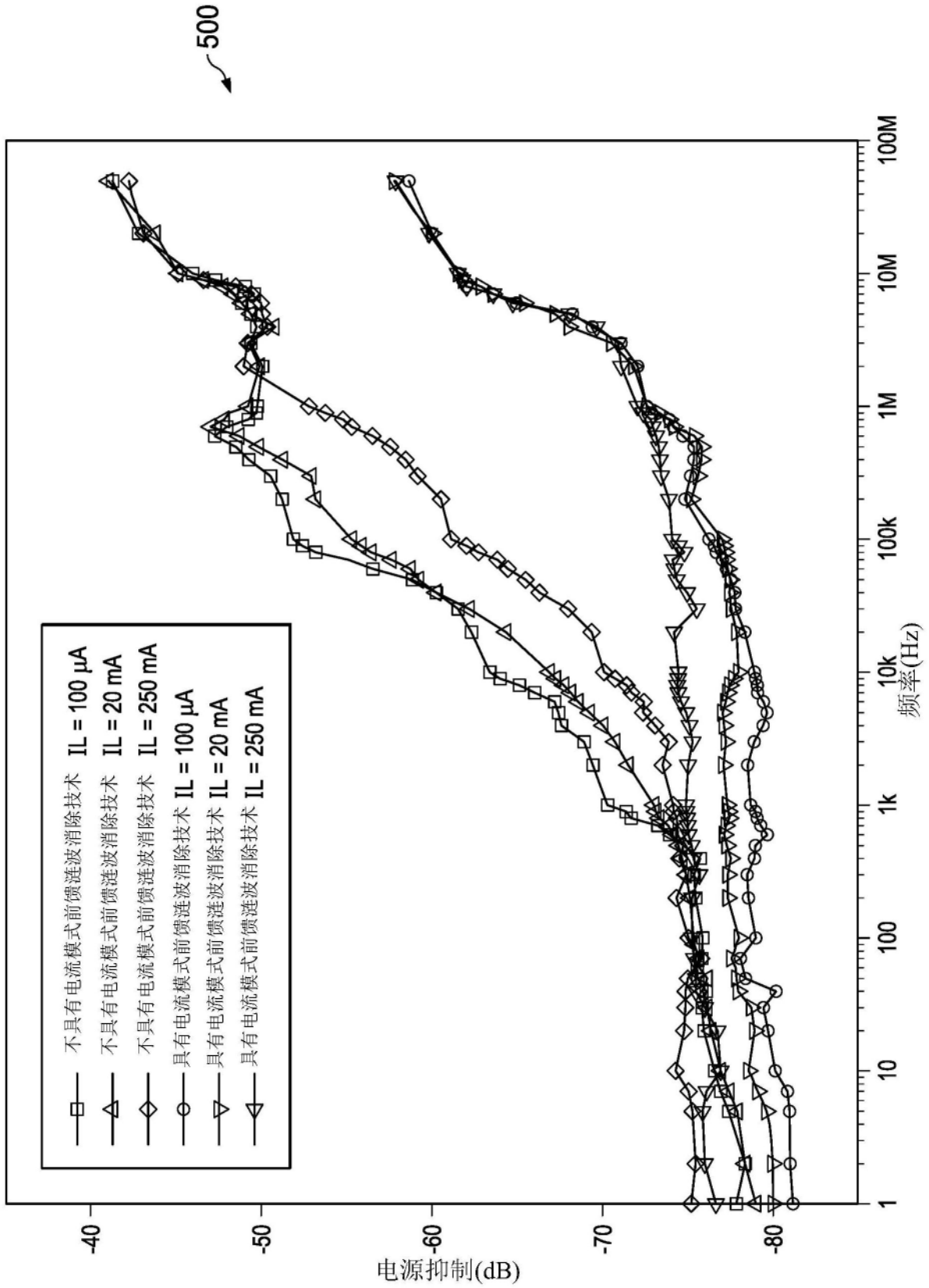


图5

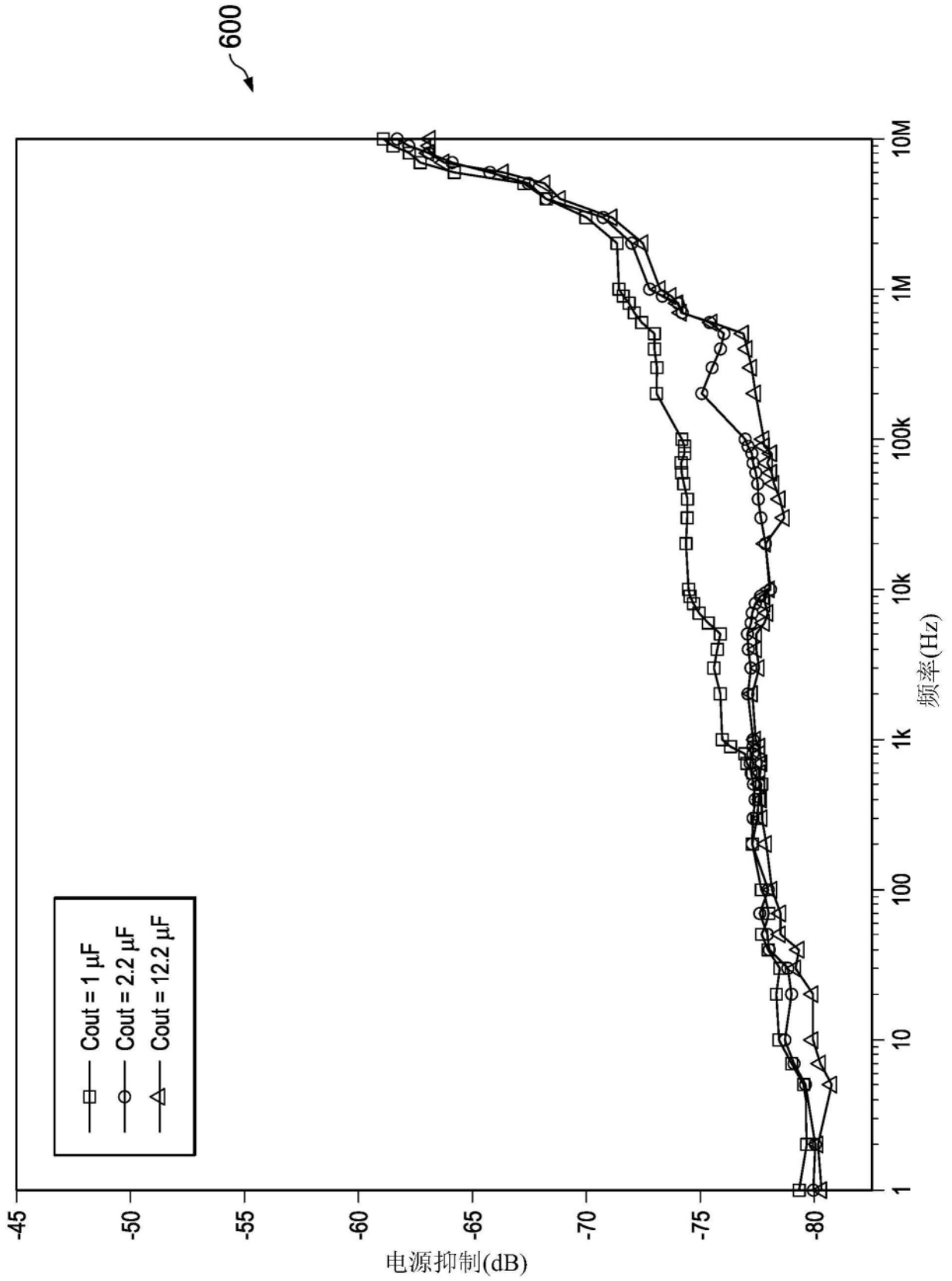


图6

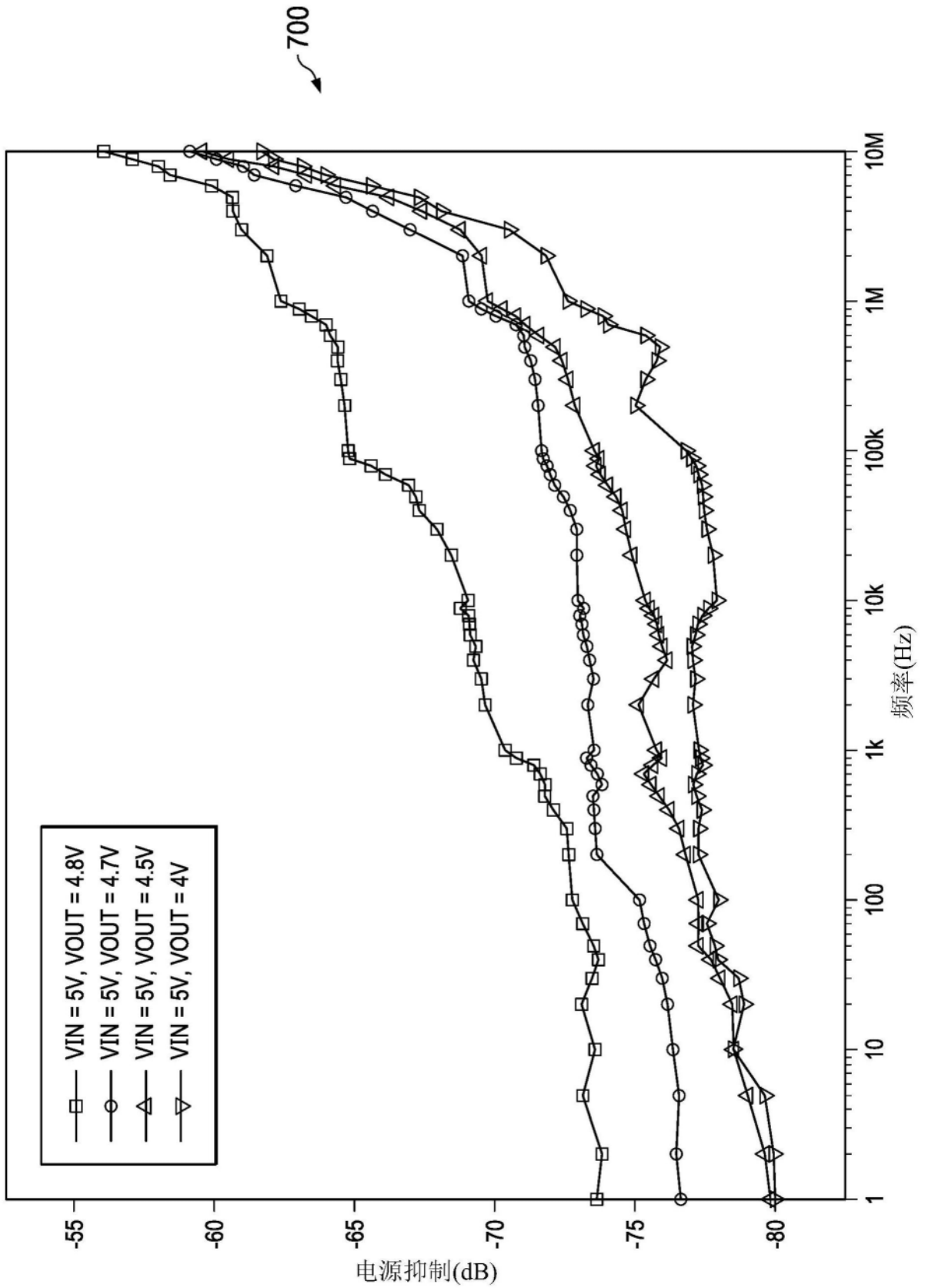


图7

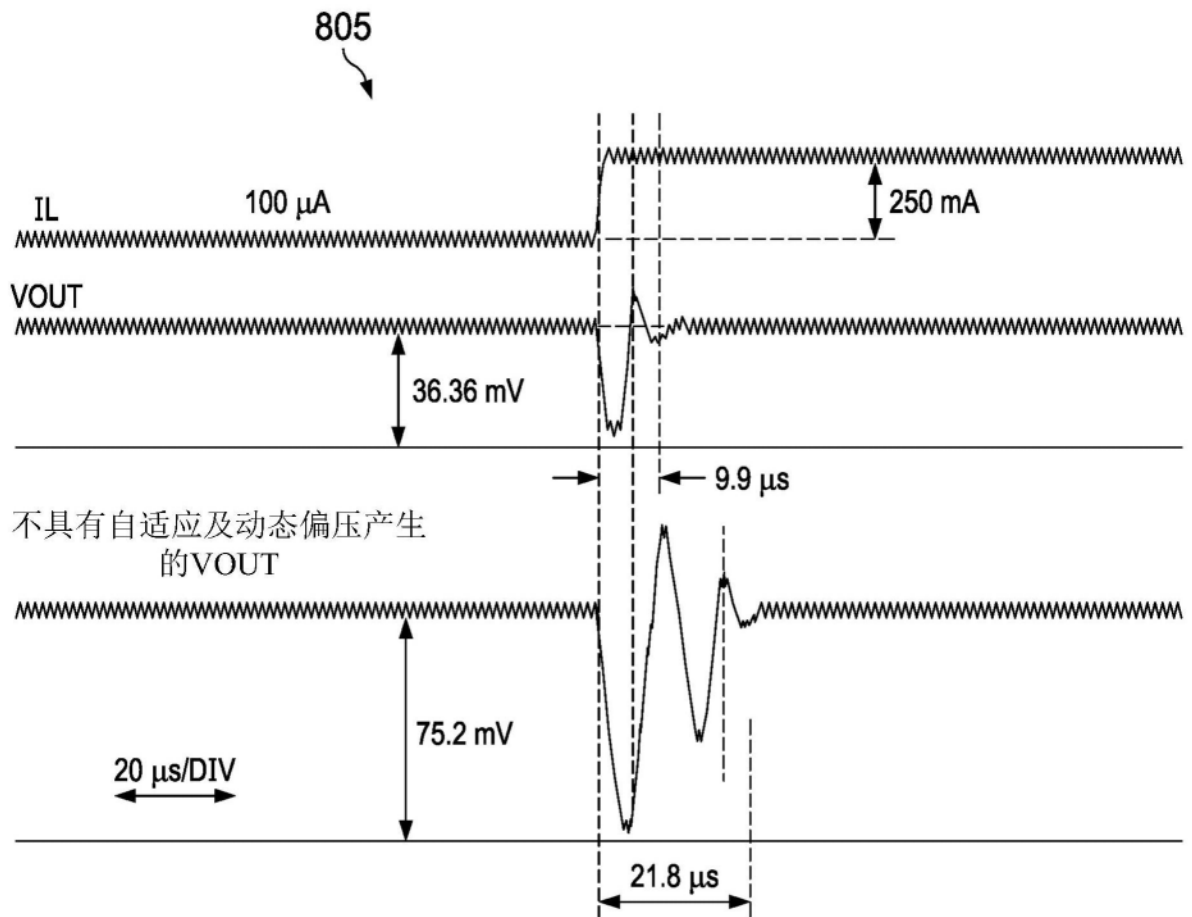


图8A

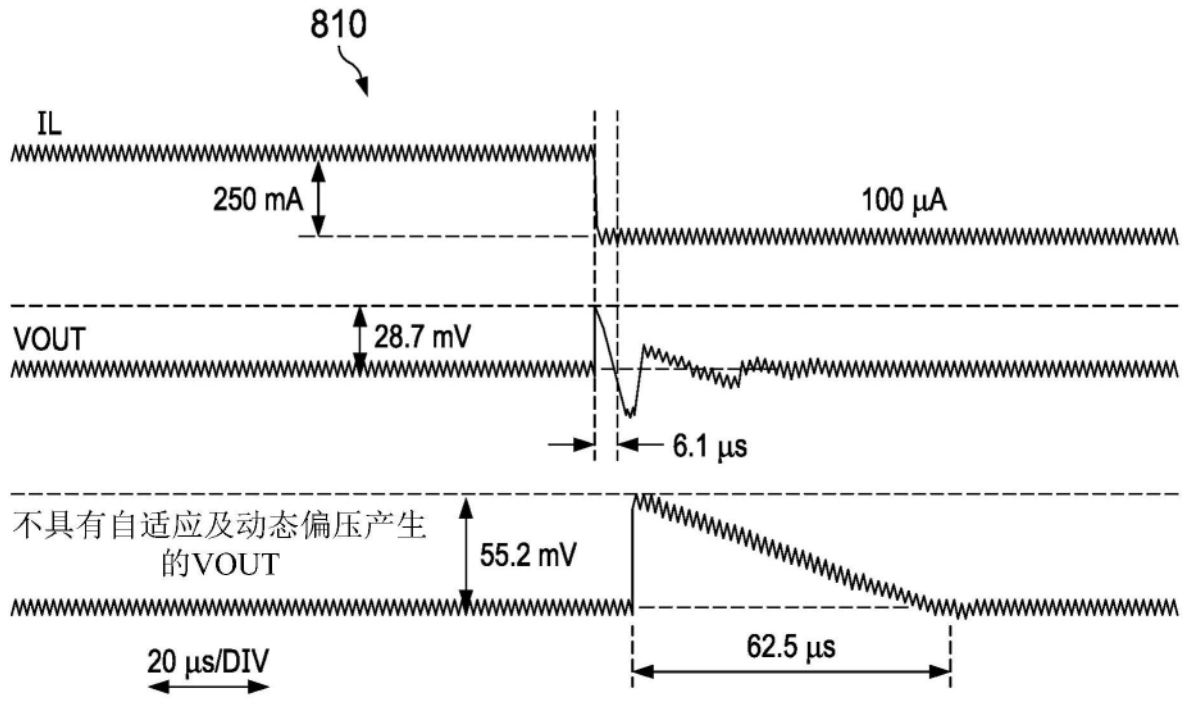


图8B